



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0041393
(43) 공개일자 2015년04월16일

(51) 국제특허분류(Int. Cl.)
G11C 8/04 (2015.01)

(21) 출원번호 10-2013-0119852
(22) 출원일자 2013년10월08일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091

(72) 발명자
가동윤
인천 서구 청라루비로 106, 남광하우스토리
352-602 (경서동)

(74) 대리인
특허법인신성

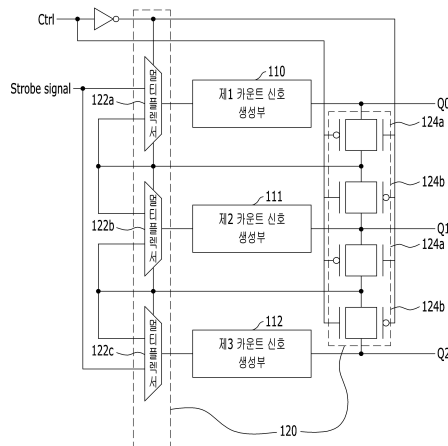
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 카운터 회로 및 그를 포함하는 반도체 장치

(57) 요약

반도체 설계기술에 관한 것으로, 더욱 상세하게는 카운팅 제어 방법에 관한 카운터 회로 및 그를 포함하는 반도체 장치를 제공하는 것으로, 하위비트를 생성하는 하위 카운트신호 생성부; 상위비트를 생성하는 상위 카운트신호 생성부; 제어신호에 응답하여 순방향 루트와 역방향 루트를 제공하는 제어부를 포함하고, 상기 순방향 루트 시에는 상기 하위비트에 응답하여 상기 상위비트를 생성하고, 상기 역방향 루트 시에는 상기 상위비트에 응답하여 상기 하위비트를 생성하는 카운트 회로를 포함할 수 있다.

대표도 - 도1



명세서

청구범위

청구항 1

하위비트를 생성하는 하위 카운트신호 생성부;

상위비트를 생성하는 상위 카운트신호 생성부;

제어신호에 응답하여 순방향 루트와 역방향 루트를 제공하는 제어부를 포함하고,

상기 순방향 루트 시에는 상기 하위비트에 응답하여 상기 상위비트를 생성하고, 상기 역방향 루트 시에는 상기 상위비트에 응답하여 상기 하위비트를 생성하는

카운트 회로.

청구항 2

제 1 항에 있어서,

상기 하위 카운트신호 생성부 및 상기 상위 카운트신호 생성부는 서로 직렬로 접속된 다수의 플립플롭인 카운트 회로.

청구항 3

제 1 항에 있어서,

상기 제어부는

스트로브 신호를 입력받아 상기 하위 카운트신호 생성부와 상기 상위 카운트신호 생성부 중 어느 하나에 출력하는 입력제어부;

상기 순방향 루트를 위한 순방향 피드백 제어부; 및

상기 역방향 루트를 위한 역방향 피드백 제어부를 포함하는

카운트 회로.

청구항 4

제 3 항에 있어서,

상기 입력제어부는

상기 제어신호에 응답하여,

상기 순방향 루트에서 상기 스트로브 신호를 상기 하위 카운트신호 생성부로 출력하고, 상기 역방향 루트에서 상기 스트로브 신호를 상기 상위 카운트신호 생성부로 출력하는 멀티플렉서를 포함하는

카운트 회로.

청구항 5

제 3 항에 있어서,

상기 순방향 피드백 제어부 및 상기 역방향 피드백 제어부는 패스게이트(path gate)를 포함하는 카운트 회로.

청구항 6

최하위비트를 생성하는 제 1 카운트신호 생성부;

중간비트를 생성하는 제 2 카운트신호 생성부;

최상위비트를 생성하는 제 3 카운트신호 생성부; 및

제어신호에 응답하여 순방향 루트와 역방향 루트를 제공하는 제어부를 포함하고,

상기 순방향 루트에서 스트로브 입력신호가 상기 제 1 카운트신호 생성부에 제공되고, 상기 제 1 카운트 신호 생성부의 출력이 제 2 카운트신호 생성부의 입력으로 제공되고, 상기 제 2 카운트신호 생성부의 출력이 제 3 카운트신호 생성부의 입력으로 제공되어,

상기 역방향루트에서 상기 스트로브 입력신호가 상기 제 3 카운트신호 생성부에 제공되고, 상기 제 3 카운트신호 생성부의 출력이 제 2 카운트신호생성부의 입력으로 제공되고, 상기 제 3 카운트신호생성부의 출력을 제 1 카운트신호의 입력으로 제공되는

카운트 회로.

청구항 7

제 6 항에 있어서,

상기 제 1 카운트신호 생성부와 제 2 카운트신호 생성부와 상기 제 3 카운트신호 생성부는 서로 직렬로 접속된 다수의 플립플롭인

카운트 회로.

청구항 8

제 6 항에 있어서,

상기 제어부는

스트로브 신호를 입력받아 상기 제 1 카운트신호 생성부와 상기 제 3 카운트신호 생성부 중 어느 하나에 출력하는 입력제어부;

상기 순방향루트를 위한 순방향 피드백 제어부; 및

상기 역방향루트를 위한 역방향 피드백 제어부를 포함하는

카운트 회로.

청구항 9

제 8 항에 있어서,

상기 입력제어부는

상기 제어신호에 응답하여,

상기 순방향 루트에서 상기 스트로브 신호를 상기 제 1 카운트신호 생성부로 출력하고, 상기 역방향 루트에서 상기 스트로브 신호를 상기 제 3 카운트신호 생성부로 출력하는 멀티플렉서를 포함하는

카운트 회로.

청구항 10

제 8 항에 있어서,
상기 순방향 피드백 제어부 및 상기 역방향 피드백 제어부는 패스게이트(path gate)를 포함하는
카운트 회로.

청구항 11

복수의 워드라인을 갖는 매트가 복수개 구비된 셀 어레이;
스트로브신호를 입력받아 워드라인 어드레스 신호와 매트 어드레스 신호를 생성하기 위한 어드레스 카운터; 및
상기 어드레스 카운터로부터 제공받은 어드레스에 응답하여 상기 메모리 및 어레이 내의 워드라인을 활성화하는
로우 디코더를 포함하고
상기 어드레스 카운터는 제어신호의 제 1 논리 레벨에 응답하여 상기 워드라인 어드레스 신호로부터 토글링하여
상기 매트 어드레스 신호를 생성하고, 상기 제어신호의 제 2 논리 레벨에 응답하여 상기 매트 어드레스 신호로
부터 토글링하여 상기 워드라인 어드레스 신호를 생성하는
반도체 장치.

청구항 12

제 11 항에 있어서,
상기 어드레스 카운터는
상기 워드라인 어드레스 신호를 생성하는 워드라인 어드레스 신호 생성부;
상기 매트 어드레스 신호를 생성하는 매트 어드레스 신호 생성부;
상기 제어신호의 논리 레벨에 응답하여 순방향 루트와 역방향 루트를 제공하는 제어부를 포함하는
반도체 장치.

청구항 13

제 11 항에 있어서,
상기 워드라인 어드레스 신호 생성부 및 상기 매트 어드레스 신호 생성부는 서로 직렬로 접속된 다수의 플립플
롭인
반도체 장치.

청구항 14

제 11 항에 있어서,
상기 제어부는
상기 스트로브 신호를 입력받아 상기 워드라인 신호 생성부와 상기 어드레스 신호 생성부 중 어느 하나로 출력
하는 입력제어부;
상기 순방향 루트를 위한 순방향 피드백 제어부; 및
상기 역방향 루트를 위한 역방향 피드백 제어부를 포함하는

반도체 장치.

청구항 15

제 14 항에 있어서,

상기 입력제어부는

상기 제어신호에 응답하여,

상기 순방향 루트에서 상기 스트로브 신호를 상기 워드라인 신호 생성부로 출력하고, 상기 역방향 루트에서 상기 스트로브 신호를 상기 어드레스 신호 생성부로 출력하는 멀티플렉서를 포함하는

반도체 장치.

청구항 16

제 14 항에 있어서,

상기 순방향 피드백 제어부 및 상기 역방향 피드백 제어부는 패스게이트(path gate)를 포함하는

반도체 장치.

발명의 설명

기술 분야

[0001] 반도체 설계기술에 관한 것으로, 카운터 회로 및 그를 포함하는 반도체 장치에 관한 것이다.

배경 기술

[0002] 통상적인 카운터 회로는 상위 비트에 도달하기까지 하위 비트로부터 순차적 토글링 하여 특정 어드레스 또는 사용자가 원하는 디코딩 신호의 색인이 가능하였다. 특히, 반도체 칩 내부에 어레이 형태로 존재하는 어드레스 카운터의 경우 특정 범주에 속하는 어드레스 군(Group)만을 선택할 수 없어 이를 응용하는 테스트 및 불필요한 동작시간이 증대하는 문제가 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 실시예들이 해결하고자 하는 기술적 과제는 특정 어드레스 군만을 선택하여 군내의 원하는 어드레스만을 빠르게 색인할 수 있는 어드레스 카운터회로를 갖는 반도체 장치를 제공하는 것이다.

[0004] 본 발명의 실시예들이 해결하고자 하는 다른 기술적 과제는 스트로브 신호(strobe signal)의 인가 횟수를 최소화하여 목표 값을 빠르게 색인할 수 있는 카운터 회로를 제공하는 것이다.

과제의 해결 수단

[0005] 상기 목적을 달성하기 위해 본 발명의 일 실시예에 따른 카운트 회로는, 하위비트를 생성하는 하위 카운트신호 생성부; 상위비트를 생성하는 상위 카운트신호 생성부; 제어신호에 응답하여 순방향 루트와 역방향 루트를 제공하는 제어부를 포함할 수 있고 순방향 루트 시에는 하위비트에 응답하여 상위비트를 생성하고, 역방향 루트 시에는 상위비트에 응답하여 하위비트를 생성할 수 있다.

[0006] 또한, 목적을 달성하기 위해 본 발명의 일 실시예에 따른 카운트 회로는 최하위비트를 생성하는 제 1 카운트신

호 생성부; 중간비트를 생성하는 제 2 카운트신호 생성부; 최상위비트를 생성하는 제 3 카운트신호 생성부; 제어신호에 응답하여 순방향 루트와 역방향 루트를 제공하는 제어부를 포함할 수 있고, 순방향 루트에서 스트로브 입력신호가 제 1 카운트신호 생성부에 제공되고 제 1 카운트 신호 생성부의 출력이 제 2 카운트신호 생성부의 입력으로 제공되고, 역방향 루트에서 스트로브 입력신호가 제 3 카운트신호 생성부에 제공되고 제 3 카운트신호 생성부의 출력이 제 2 카운트신호 생성부의 입력으로 제공되고 제 3 카운트신호 생성부의 출력을 제 1 카운트신호 생성부의 입력으로 제공될 수 있다.

[0007] 또한, 목적을 달성하기 위해 본 발명의 또 다른 실시예의 반도체 장치는 복수의 워드라인을 갖는 매트가 복수개 구비된 셀 어레이; 스트로브신호를 입력받아 워드라인 어드레스 신호와 매트 어드레스 신호를 생성하기 위한 어드레스 카운터; 및 어드레스 카운터로부터 제공받은 어드레스에 응답하여 메모리 및 어레이 내의 워드라인을 활성화하는 로우 디코더를 포함할 수 있고 어드레스 카운터는 제어신호의 제 1 논리 레벨에 응답하여 워드라인 어드레스 신호로부터 토글링하여 매트 어드레스 신호를 생성하고, 제어신호의 제 2 논리 레벨에 응답하여 매트 어드레스 신호로부터 토글링하여 워드라인 어드레스 신호를 생성할 수 있다.

발명의 효과

[0008] 상술한 실시예들에 의한 카운트 회로는 스트로브 신호의 토글링 방향을 제어하는 카운터 회로를 구비하여 스트로브 신호의 인가 횟수를 최소화하고 목표값을 빠르게 색인하는 효과가 있다.

[0009] 또한, 복수의 매트가 구비된 셀 어레이에서 특정 매트를 먼저 선택하여 원하는 어드레스만을 빠르게 색인할 수 있는 효과가 있다.

도면의 간단한 설명

[0010] 도 1은 본 발명의 일 실시예에 따른 카운터 회로이다.

도 2 내지 도 3은 본 발명의 일 실시예의 카운터 제어방법의 개념도 이다.

도 4는 본발명의 일 실시예에 따른 카운터 출력 값 '111'을 생성하는 동작을 보여주는 타이밍도 이다.

도 5 내지 도 6을 참조하여 본 발명의 실시예에 따른 효과를 설명하는 타이밍도 이다.

도 7은 본 발명의 또 다른 실시예에 따른 반도체 장치의 블록도 이다.

발명을 실시하기 위한 구체적인 내용

[0011] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부한 도면을 참조하여 설명하기로 한다.

[0012] 도 1은 본 발명의 일 실시예에 따른 카운터 회로도이다.

[0013] 도 1을 참조하면, 카운터 회로는 제 1 카운트신호 생성부(110)와, 제 2 카운트 신호 생성부(111)와, 제 3 카운트신호 생성부(112)와, 제어부(120)를 포함할 수 있다. 이하에서는 제 1 내지 제 3 카운트신호 생성부(110 ~ 112)의 구성만을 예로 들어 설명하나 동일한 구성의 복수의 카운트신호 생성부를 더 포함할 수 있다.

[0014] 제 1 내지 제 3 카운트 신호 생성부(110 ~ 112)는 서로 직렬로 접속된 다수의 플립플롭일 수 있다.

[0015] 제 1 카운트신호 생성부(110)는 최하위비트(Q0)를 생성할 수 있다.

[0016] 또한, 제 2 카운트신호 생성부(111)는 중간비트(Q1)를 생성할 수 있다.

[0017] 그리고, 제 3 카운트신호 생성부(112)는 최상위비트(Q2)를 생성할 수 있다.

[0018] 제어부(120)는 제어신호(CTRL)에 응답하여 제 1 내지 제 3 카운트신호 생성부(110 ~ 112)가 순방향 루트 또는 역방향 루트로 연결 되도록 구성될 수 있다. 순방향 루트로 연결되면 제 1 내지 제 3 카운트신호 생성부(110 ~ 112)가 순방향으로 카운팅하도록 할 수 있다. 또한, 역방향 루트로 연결되면 제 1 내지 제 3 카운트신호 생성부(110 ~ 112)가 역방향으로 카운팅하도록 할 수 있다.

- [0019] 이를 위해 제어부(120)는 순방향 피드백 제어부(124a)와, 역방향 피드백 제어부(124b)와, 입력제어부(122)를 포함할 수 있다.
- [0020] 순방향 피드백 제어부(124a)는 제 1 내지 제 3 카운트 신호 생성부(110 ~ 112)의 출력을 순방향 루트로 연결시킬 수 있다.
- [0021] 역방향 피드백 제어부(124b)는 제 1 내지 제 3 카운트 신호 생성부(110 ~ 112)의 출력을 역방향 루트로 연결시킬 수 있다.
- [0022] 이를 위해, 순방향 피드백 제어부(124a)와 역방향 피드백 제어부(124b)는 패스게이트(path gate)를 포함할 수 있다.
- [0023] 순방향 피드백 제어부(124a)와 역방향 피드백 제어부(124b)를 구성하는 패스게이트는 PMOS 트랜지스터 또는/및 NMOS 트랜지스터로 구성될 수 있다. 이렇게 구성된 순방향 피드백 제어부(124a)와 역방향 피드백 제어부(124b)는 제어신호(CTRL)에 응답하여 순방향 카운터 루트를 구성하거나 역방향 카운터 루트를 구성할 수 있다.
- [0024] 입력제어부(122)는 순방향 루트에서 스트로브 신호(strobe signal)를 제 1 카운트신호 생성부(110)로 출력하고, 역방향 루트에서 스트로브 신호(strobe signal)를 제 3 카운트신호 생성부(112)로 출력하는 제 1 내지 제 3 멀티플렉서(122a ~ 122c)를 포함할 수 있다.
- [0025] 자세히는, 제 1 내지 제 3 멀티플렉서(122a ~ 122c)로 제 1 내지 제 3 카운트신호 생성부(110 ~ 112)에 대응되어 하나씩 구성될 수 있다. 그리고, 제어신호(CTRL)에 응답하여 제 1 내지 제 3 카운트신호 생성부(110 ~ 112)의 출력을 다음 비트를 생성하는 제 1 내지 제 3 카운트신호 생성부(110 ~ 112)에 출력할 수 있다. 예컨대, 제어신호(CTRL)가 순방향 신호이면 순방향 피드백 제어부(124a)의 출력을 다음에 위치하는 카운트 신호 생성부에 입력하고, 제어신호(CTRL)가 역방향 신호이면 역방향 피드백 제어부(124b)의 출력을 다음 카운트 신호 생성부에 출력하며, 이때 반대 루트로 입력되는것을 방지할 수 있다.
- [0026] 이하, 본발명의 일 실시예에 따른 동작을 설명한다. 또한, 이해를 돕기 위하여 본발명의 실시예의 개념을 먼저 설명한다.
- [0027] 도 2 내지 도 3 은 본 발명의 일 실시예의 카운터 제어방법의 개념도이다.
- [0028] 도 2 는 카운팅이 순방향으로 진행되는 개념도 이다. 제 1 내지 제 3 카운트 신호 생성부(110 ~ 112)는 순방향으로 입력되는 스트로브 신호(strobe signal)에 의하여 최하위 비트(Q0) 부터 차례로 카운팅을 실행하게 된다. 자세히는, 제 1 카운트신호 생성부(110)는 스트로브 신호(strobe signal)를 입력받아 최하위 비트(Q0)를 생성할 수 있다. 이어서, 제 2 카운트신호 생성부(111)는 제 1 카운트신호 생성부(110)의 출력신호(Q0)를 입력받아 중간비트(Q1)를 생성할 수 있다. 이어서, 제 3 카운트신호 생성부(112)는 제 2 카운트신호 생성부(111)의 출력신호(Q1)를 입력받아 최상위비트(Q2)를 생성할 수 있다.
- [0029] 위에서 설명한 동작에 따르면, 카운터의 출력값 'Q0', 'Q1', 'Q2' (최하위비트, 중간비트, 최상위비트)의 값은 (1, 0, 0), (0, 1, 0), (1, 1, 0), (0, 0, 1) 로 나열한 순서대로 증가 될 수 있다.
- [0030] 도 3은 카운팅이 역방향으로 진행되는 개념도 이다. 도 3에서는 역방향으로 스트로브 신호(strobe signal)가 입력될 수 있다. 즉, 스트로브 신호(strobe signal)는 제 3 카운트신호 생성부(112)에 입력될 수 있다. 이때, 최상위 비트(Q2) 부터 차례로 카운팅을 실행하게 되며 이때 제 1 내지 제 3 카운트신호 생성부(110 ~ 112)의 출력값 Q0, Q1, Q2 은 (0, 0, 1), (0, 1, 0), (0, 1, 1), (1, 0, 0) 이 될 수 있다.
- [0031] 본발명의 실시예는 위에서 설명한 것과 같이 순방향 또는 역방향 카운팅의 개념을 포함한다. 또한, 본발명의 실시예는 제어신호를 이용하여 원하는 카운트신호를 빠르게 생성할 수 있다. 이러한 본 발명의 실시예의 동작을 아래에서 보다 상세히 설명하기로 한다.
- [0032] 이하, 본 발명의 일 실시예에 따른 동작을 도 4의 타이밍도를 통하여 설명하기로 한다.
- [0033] 도 4는 본 발명의 일 실시예에 따른 카운터 회로가 카운터 값 '111'을 생성하는 동작을 보여주는 타이밍도이다.
- [0034] 카운터 회로는 제어신호(CTRL)에 의해 제어되며, 스트로브 신호(strobe signal)를 입력받을 수 있다. 이때, 제어신호(CTRL)는 순방향 루트를 확보하는 순방향 신호와 역방향 루트를 확보하는 역방향 신호가 될 수 있다. 예컨대, 제어 신호가 순방향 신호로 입력되는 값은 '0' 이 될 수 있으며 역방향 신호로 입력되는 값은 '1' 이 될 수 있다.

- [0035] 먼저, 입력제어부(122)는 스트로브 신호(strobe signal)를 입력받으며 순방향 루트시 제 1 카운트신호 생성부(110)에 출력할 수 있다.
- [0036] 제 1 카운트신호 생성부(110)는 최하위 비트(Q0)를 생성하여 출력할 수 있다.
- [0037] 이때, 순방향 루트시 순방향 피드백 제어부(124a)가 활성화되고 역방향 피드백 제어부(124b)는 비활성화될 수 있다.
- [0038] 순방향 제어부(124a)는 제 1 카운트신호 생성부(110)의 출력을 입력제어부(122)에 출력할 수 있다.
- [0039] 입력제어부(122)는 제 1 카운트신호 생성부(110)의 출력을 제 2 카운트신호 생성부(111)에 출력할 수 있다.
- [0040] 제 2 카운트신호 생성부(111)는 중간비트(Q1)를 생성하여 출력할 수 있다.
- [0041] 위와 같은 동작에 의해 제 1 카운트신호 생성부(110)의 최하위 비트(Q0)의 출력값은 '1' 이 되며 제 2 카운트신호 생성부(111)의 중간 비트(Q1)의 출력값은 '1' 이 될 수 있다.
- [0042] 이후, 도 4의 위치 A에서 제어신호가 역방향 신호로 활성화되어 역방향 루트로 카운팅이 실행된다. 역방향 루트시의 동작은 아래와 같다.
- [0043] 역방향 루트시 역방향 피드백 제어부(124b)가 활성화되고 순방향 피드백 제어부(124a)는 비활성화될 수 있다.
- [0044] 입력제어부(122)에 스트로브 신호(strobe signal)는 입력되어 제 3 카운트신호 생성부(112)에 입력될 수 있다.
- [0045] 제 3 카운트신호 생성부(112)는 최상위 비트(Q2)를 생성하여 출력할 수 있다. 그리고 이때, 제 3 카운트신호 생성부(112)의 최상위 비트(Q2)의 출력값은 '1' 이 될 수 있다.
- [0046] 위와 같은 동작에 의하여, 카운트 회로의 출력값은 '111'이 될 수 있다. 또한 이에 따른 효과는 아래에서 상세히 설명하도록 한다.
- [0047] 도 5 내지 도 6를 참조하여 본 발명의 효과를 설명한다.
- [0048] 도 5는 종래기술에 따른 카운터 회로의 동작을 나타내는 타이밍도 이다.
- [0049] 도 5를 참조하면, 종래기술에 따른 카운터 회로는 일정시간(T1)동안 스트로브 신호(strobe signal)가 입력됨에 따라 카운터 회로는 최하위 비트(Q0) 부터 최상위 비트(Q3)로 순차적으로 토글링을 수행하며 '1111' 을 출력할 수 있다. 종래에는 카운터 값 '1111' 을 완성하려면 총 16 번의 스트로브 신호(strobe signal)가 들어와야 했다. 최상위 비트에 도달하기까지 스트로브 신호(strobe signal)는 2배씩 많아지게 된다. 예컨대, 종래에는 '0000' 부터 '1111' 까지 총 16 번의 스트로브 신호(strobe signal)를 이용하여 '1111'을 만들 수 있었다.
- [0050] 도 6는 본발명에 실시예에 따른 카운터 회로의 동작을 나타내며, 카운터 회로가 일정시간(T2)동안 스트로브 신호(strobe signal)를 입력받아 최종적으로 카운터 값 '1111' 을 출력하는 타이밍도를 보여준다.
- [0051] 본 발명의 실시예에 따르면, 7 번의 스트로브 신호(strobe signal)만으로도 '1111' 을 만들 수 있다. 표 1 을 참조하면, 순방향으로 스트로브 신호(strobe signal)를 4번 인가하여 '0011' 을 출력하고 역방향 제어신호를 입력받는다(위치 A). 이후, 스트로브 신호(strobe signal)를 다시 인가했을시 4번째 카운트 출력값인 '0011' 에서 5 번째 카운트 출력값은 '1011'이 된다. 이는, 카운팅이 최상위 비트부터 동작하였기 때문이다.
- [0052] 즉, 역방향으로부터 카운팅을 시작하게되며 4번의 스트로브 신호(strobe signal) 인가 후 '1011', '0111', '1111' 까지 3 회의 추가적인 스트로브 신호(strobe signal) 인가만으로도 원하는 카운터 값 '1111' 을 얻을 수 있다.

표 1

[0053]

스트로브신호 인가 횟수	1	2	3	4	5	6	7
카운터 회로 출력값	0000	0001	0010	0011	1011	0111	1111

- [0054] 이와같이, 본 발명의 실시예에 따른 카운트회로는 하위비트를 생성하는 하위 카운트신호 생성부와 상위비트를 생성하는 상위 카운트신호 생성부를 구비하고 제어부를 두어 제어신호(CTRL)에 응답하여 순방향 루트와 역방향 루트를 제어할 수 있도록할 수 있다. 순방향 루트와 역방향 루트에 따라 상위비트와 하위비트의 카운팅 방향을 변경할 수 있다. 자세히는, 순방향 루트 시에는 하위비트에 응답하여 상위비트를 생성하고, 역방향 루트 시에는 상위비트에 응답하여 하위비트를 생성하도록 하여 표 1에서와 같은 카운터 회로의 출력값을 얻을 수 있다.
- [0055] 또한, 본발명의 실시예에 따르면 스트로브 신호(strobe signal)의 인가횟수를 줄일 수 있으며, 이에 따라 카운팅 시간도 종래기술의 카운팅 시간(T1) 보다 실시예의 카운팅 시간(T2)이 짧을 수 있다. 즉, 빠른 시간안에 카운팅이 이루어지며, 카운팅을 위한 스트로브 신호(strobe signal)의 토글링에 인한 전력소모도 줄일 수 있다. 결국, 스트로브 신호(strobe signal)의 인가 횟수를 줄임으로서 전력소모를 감소시킬 수 있으며 목표 카운터 값으로 빠르게 색인이 가능하다.
- [0056] 이와같이, 본 발명의 실시예에 따른 카운터 회로는 상위 비트에 도달하기까지 하위 비트로부터 순차적 토글링 하여 특정 카운터 값 또는 사용자가 원하는 디코딩 신호의 색인할 필요가 없다.
- [0057] 또한, 반도체 칩 내부에서 펄스 타입의 테스트 모드(Test Mode)를 인가하여 내부 카운터에서 출력되는 카운터 신호로부터 다시 디코딩하는 회로의 경우, 사용자가 원하는 디코딩신호를 빠르게 색인할 수도 있을 것이다. 특히, 반도체 칩 내부에 어레이 형태로 존재하는 어드레스 카운터에 본 발명의 실시예에 따른 카운터 회로를 적용할 수도 있을 것이다. 이와 같은 내용을 아래에서 자세히 설명한다.
- [0058] 도 6 는 본 발명의 또 다른 실시예에 따른 반도체 장치이다.
- [0059] 도 7를 참조하면, 반도체 장치는 어드레스 카운터(203)와, 로우 디코더(202)와, 셀 어레이(201)를 포함할 수 있다.
- [0060] 셀 어레이(201)는 복수의 매트(Mat A, Mat B)를 포함할 수 있다. 자세히는, 반도체 장치는 메모리의 집합을 제어하기 용이하도록 여러 종류의 단위로 구분하여 사용하고 있다. 예컨대, 메모리 셀 들의 집합을 뱅크(Bank)라는 단위로 구분하고, 각 뱅크를 다시 매트(Mat)라는 단위로 구분하기도 한다. 실시예에서는 두개의 매트(Mat A, Mat B)만을 예를들어 설명하기로 한다.
- [0061] 또한, 셀에 데이터 독출을 위해 로우(row) 방향으로 반복하여 무수히 많은 워드 라인들(WL_MA<N>~WL_MB<N>)이 형성되어 있다. 자세히는, 뱅크가 매트 A(Mat A)와 매트 B(Mat B)로 구분되어 있다면, 워드 라인 또한 매트 A(Mat A)에 해당하는 워드 라인(WL_MA<N>)과 매트 B(Mat B)에 해당하는 워드 라인(WL_MB<N>)으로 구분될 수 있다.
- [0062] 어드레스 카운터(203)는 워드라인 어드레스 신호 생성부(미도시)와 매트 어드레스 신호 생성부(미도시)와, 제어부(미도시)를 포함할 수 있다. 여기서, 어드레스 카운터(203)의 구성은 본 발명의 일 실시예의 카운터 회로(도 1)의 구성과 동일할 수 있다. 또한, 본 발명의 또 다른 실시예에 따라 로우 어드레스(WL_MA<N>~WL_MB<N>)을 선택하기 위해 이에 상응하는 복수의 카운트신호 생성부가 더 포함될 수 있다. 이하, 어드레스 카운터(203)의 구성은 도 1을 참조하여 설명하기로 한다.
- [0063] 워드라인 어드레스 신호 생성부(미도시)는 본 발명의 일 실시예의 제 1 카운트 신호 생성부(110)에 대응할 수 있다. 매트 어드레스 신호 생성부(미도시)는 본 발명의 일 실시예의 제 2 내지 제 3 카운트 신호 생성부(111, 112)에 대응할 수 있다.
- [0064] 또한, 워드라인 어드레스 신호 생성부(미도시)는 본 발명의 일 실시예의 제 1 내지 제 2 카운트 신호 생성부(110, 111)에 대응할 수 있다. 이때, 매트 어드레스 신호 생성부(미도시)는 본 발명의 일 실시예의 제 제 3 카운트 신호 생성부(도1, 112)에 대응할 수 있다.
- [0065] 워드라인 어드레스 신호 생성부(미도시)는 워드라인 어드레스 신호(ADD_WL)를 생성할 수 있다. 매트 어드레스 신호 생성부(미도시)는 매트 어드레스 신호(ADD_MAT)를 생성할 수 있다.
- [0066] 본 발명의 또 다른 실시예에 따르면, 제어부(120)는 일실시예와 동일하게 제어신호(CTRL)에 응답하여 순방향 루트와 역방향 루트를 제공할 수 있다.
- [0067] 제어부(120)는 제어신호의 논리 레벨에 응답하여 순방향 루트와 역방향 루트를 제공할 수 있다.

- [0068] 입력제어부(122)는 스트로브 신호(strobe signal)를 입력받아 워드라인 신호 생성부(미도시)와 어드레스 신호 생성부(미도시) 중 어느 하나에 출력할 수 있다.
- [0069] 순방향 피드백 제어부(124a)는 워드라인 어드레스 신호 생성부와 매트 어드레스 신호 생성부의 출력을 순방향 루트로 연결시킬 수 있다.
- [0070] 역방향 피드백 제어부(124b)는 워드라인 어드레스 신호 생성부와 매트 어드레스 신호 생성부의 출력을 역방향 루트로 연결시킬 수 있다.
- [0071] 이를 위해 순방향 피드백 제어부(124a)와 역방향 피드백 제어부(124b)는 패스게이트(path gate)를 포함할 수 있다.
- [0072] 로우 디코더(202)는 어드레스 카운터(203)로부터 제공받은 출력 신호(ADD<A0:A12>)에 응답하여 셀 어레이(201)에 대한 선택신호인 로우 어드레스(WL<MA<N> ~ WL<MB<N>)를 생성할 수 있다.
- [0073] 이하에서는 본 발명의 또 다른 실시예의 동작을 설명을 설명하기로 한다.
- [0074] 또한, 실시예에서는 이해를 돕기 위하여 반도체 장치의 리프레쉬(refresh)동작에서 본 발명의 실시예의 동작을 설명하나 이에 제한을 두는 것은 아니다.
- [0075] 리프레시 동작은 셀 어레이(201)의 워드 라인들(WL<MA<N> ~ WL<MB<N>)을 정해진 순서에 따라 선택하는 동작이 선행되어야 한다. 그리고 워드 라인(WL<MA<N>~WL<MB<N>)이 선택되면, 선택된 워드 라인(WL<MA<N> ~ WL<MB<N>)과 연결된 셀 어레이(201)에 대한 리프레시 동작이 이루어진다. 워드 라인(WL<MA<N> ~ WL<MB<N>)을 선택하기 위해 반도체 장치는 어드레스 카운터와(203) 로우 디코더(202)가 구비될 수 있다.
- [0076] 우선, 어드레스 카운터(203)가 13개 비트로 구성된 어드레스 신호(ADD<0:12>)를 생성한다면, 최하위 비트로부터 순차적으로 9 개 비트는 워드라인 어드레스 신호(ADD<0:8>)가 될 수 있으며 이외의 4 개 비트는 매트 어드레스 신호(ADD<9:12>)가 될 수 있다.
- [0077] 또한, 어드레스 카운터(203)의 동작은 본 발명의 일 실시예의 카운터 회로(도1)와과 동일할 수 있다. 또한, 본 발명의 또 다른 실시예에 따라 로우 어드레스(WL<MA<N>~WL<MB<N>)을 선택하기 위해 이에 상응하는 복수의 카운트신호 생성부가 더 포함될 수 있다. 이에 따라 본 발명의 또 다른 실시예에 따른 어드레스 카운터(203)는 아래와 같이 동작할 수 있다
- [0078] 어드레스 카운터(203)는 제어 신호(CTRL)에 응답하여 어드레스 카운팅의 방향을 결정할 수 있다. 제어신호(CTRL)가 순방향 신호일때, 스트로브 신호(strobe signal)를 최하위 비트(A0) 부터 최상위 비트(A12) 까지 순차적으로 토글링 할 수 있다. 즉, 워드라인 어드레스 신호(ADD_WL)를 먼저 생성한 후 매트 어드레스 신호(ADD_MAT)를 생성할 수 있다.
- [0079] 또한, 제어신호(CTRL)의 역방향 신호에 응답하여 역방향으로 스트로브 신호(strobe signal)를 인가할 수 있다. 즉, 최상위 비트(A12) 부터 최하위 비트(A0) 까지 순차적으로 토글링 하며 매트 어드레스 신호(ADD_MAT)를 생성한 후 워드라인 어드레스 신호(ADD_WL)를 생성할 수 있다.
- [0080] 로우 디코더(202)는 어드레스 카운터(203)로부터 매트 어드레스 신호(ADD_MAT)와 워드라인 어드레스 신호(ADD_WL)를 디코딩하여 로우 어드레스(WL<MA<N>~WL<MB<N>)를 생성할 수 있다. 어드레스 카운터(203)가 생성하는 어드레스 신호(ADD_MAT, ADD_WL)를 디코딩하고 해당 매트에 속하는 복수의 워드라인(WL<MA<N>~WL<MB<N>)중에서 디코딩 결과에 해당하는 워드 라인(WL<MA<N>~WL<MB<N>)을 선택할 수 있다. 예컨대, 매트 A(Mat A)에 해당하는 워드라인 또는 매트 B(Mat B)에 해당하는 로우 어드레스(WL<MA<0:N>, WL<MB<0:N>) 중에서 해당 워드 라인을 선택할 수 있다.
- [0081] 셀 어레이(201)는 선택된 로우 어드레스(WL<MA<0:N>, WL<MB<0:N>)에 해당하는 영역의 리프레쉬가 이루어질 수 있다.
- [0082] 종래기술은 리프레쉬 동작 모드로 진입하면, 일정 주기마다 로우 어드레스가 순차적으로 증가 되면서 메모리 셀의 워드라인(WL<MA<N>~WL<MB<N>)이 선택된다. 즉, 종래에는 하나의 매트 내 각 워드라인에 순차적으로 리프레쉬가 진행된 이후 다음 매트로 넘어가게 된다. 그렇기 때문에 워드라인 어드레스 신호(ADD_WL) 부터 매트 어드레스 신호(ADD_MAT) 까지 순차적으로 토글링되어 특정 매트 접근에는 많은 시간이 소요되었다.
- [0083] 하지만, 본 발명의 실시예에 따르면 토글링하는 방향을 제어하여 역방향으로 제어할 수 있도록 한다. 예컨대,

매트 어드레스 신호(ADD_MAT) 부터 토글링을 가능하도록 하여 원하는 매트로 접근한 이후, 다시 워드라인 어드레스 신호(ADD_WL)를 생성할 수 있다.

[0084] 이하에서는 어드레스 카운터(203) 및 로우 디코더(202)의 동작을 자세히 설명하기로 한다.

[0085] 실시예에서는 복수의 비트로 구성된 워드라인 어드레스 신호(ADD_WL)와 매트 어드레스 신호(ADD_MAT)를 구분하였으나 동작에 대한 이해를 돕기 위해 표 2를 참조하여 3개 비트로 구성된 어드레스를 신호를 이용하여 설명하기로 한다.

[0086] 표 2에는 매트 A(Mat A)에 해당하는 워드 라인(WL_MA<0:3>) 및 매트 B(Mat B)에 해당하는 워드라인(WL_MB<0:3>)과 이를 선택하기 위한 어드레스가 Q<2:0>라고 가정하여 설명한다.

[0087] 표 2와 같이, 어드레스(Q<2:0>)가 000, 100, 010, ..., 111 (Q0, Q1, Q2)과 같이 순차적으로 증가하여 워드 라인 WL_MA<0>, WL_MA<1>, WL_MA<2>, ..., WL_MB<3>을 선택한다.

표 2

[0088]

Q2	Q1	Q0	어드레스 및 로우 어드레스
0	0	0	WL_MA<0>
0	0	1	WL_MA<1>
0	1	0	WL_MA<2>
0	1	1	WL_MA<3>
1	0	0	WL_MB<0>
1	0	1	WL_MB<1>
1	1	0	WL_MB<2>
1	1	1	WL_MB<3>

[0089] 즉, Q<0:1> 이 워드라인 어드레스 신호, Q<2:2> 가 매트 어드레스 신호가 될 수 있다. 최하위 비트(Q0)부터 순차적으로 토글링하여 매트 A(Mat A)에 해당하는 워드라인(WL_MA<0:3>)에 접근하고, 이어서 매트 B(Mat B)에 해당하는 워드라인(WL_MB<0:3>)이 순차적으로 선택되어야 하지만 본 발명의 실시예에 따르면 최상위 비트(Q2)부터 토글링하여 어드레스(Q<0:2>)가 생성될 수 있어 매트 B(Mat B)의 워드라인(WL_MB<0:3>)을 먼저 선택할 수 있다.

[0090] 실시예에 따른 매트 어드레스 신호(ADD_MAT)와 워드라인 어드레스 신호(ADD_MAT)도 이와 같이 동작할 수 있다. 제어신호(CTRL)가 역방향 신호일때, 어드레스 카운터(203)는 역방향 루트로 스트로브 신호(strobe signal)를 입력받고 최상위 비트(A12)부터 토글링 하여 매트 어드레스 신호(ADDL_MAT)를 생성한다. 또한, 어드레스 카운터(203)는 제어신호(CTRL)가 역방향 신호일때, 역방향 루트로 스트로브 신호(strobe signal)를 입력받아 최하위 비트(A0)부터 토글링하여 워드라인 어드레스 신호(ADD_WL)를 생성할 수 있다. 이렇게 함으로 특정 매트에 접근하는 시간을 단축할 수 있다.

[0091] 리프레쉬에 있어서 본발명의 실시예에 따른 동작은 다음과 같이 할 수 있다.

[0092] 어드레스 카운터(203)가 제어신호(CTRL)에 응답하여 역방향으로 스트로브 신호(strobe signal)를 인가하게 되면 매트 어드레스 신호(ADD_MAT)부터 토글링 하게 된다. 이때, 각 매트 내부에 있는 하나의 워드라인 어드레스에 대해 리프레쉬를 순차적으로 진행한다. 이후에, 다음 워드라인 어드레스 신호(ADD_WL)에 대한 각 매트의 워드라인의 리프레쉬를 수행하게된다. 원하는 매트에 접근한 이후, 다시 순방향으로 워드라인 어드레스 신호(ADD_WL)를 생성하여 해당 매트의 워드라인 어드레스에 대한 리프레쉬를 진행할 수 있다.

[0093] 본 발명 적용 전에는 셀 어레이(201)의 특정 매트에 순차적으로 진입하기 때문에 많은 시간이 소요되었으나 본 발명의 실시예에 따라 빠른시간에 원하는 매트에 접근한 후 해당 매트 내의 워드라인에 대하여 리프레쉬를 진행할 수 있다.

[0094] 본 발명의 기술 사상은 상기 실시예에 따라 구체적으로 기술되었으나, 이상에서 설명한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본

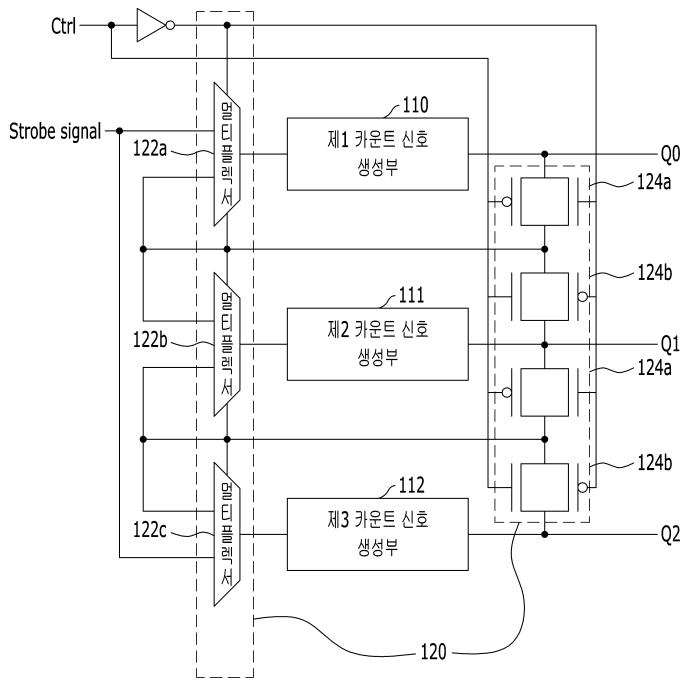
발명의 기술 사상의 범위 내에서 여러 가지 치환, 변형 및 변경으로 다양한 실시예가 가능함을 이해할 수 있을 것이다.

부호의 설명

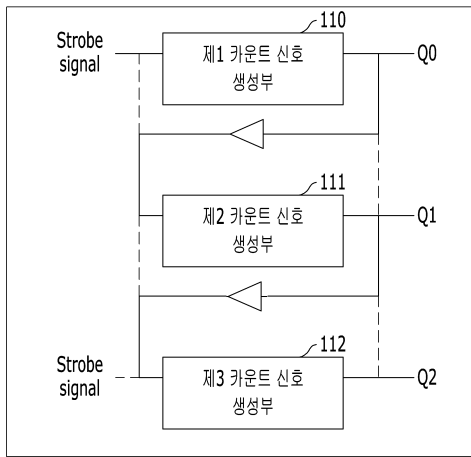
- | | |
|---------------------|---------------------|
| 110 : 제 1 카운트신호 생성부 | 111 : 제 2 카운트신호 생성부 |
| 112 : 제 3 카운트신호 생성부 | 120 : 제어부 |
| 124a : 순방향 피드백 제어부 | 124b : 역방향 피드백 제어부 |
| 122 : 입력제어부 | 203 : 어드레스 카운터 |
| 202 : 로우 디코더 | 201 : 셀 어레이 |

도면

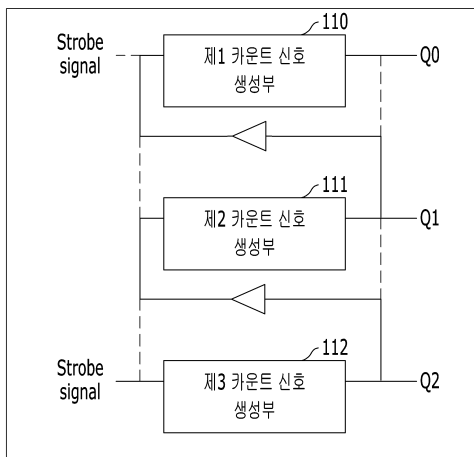
도면1



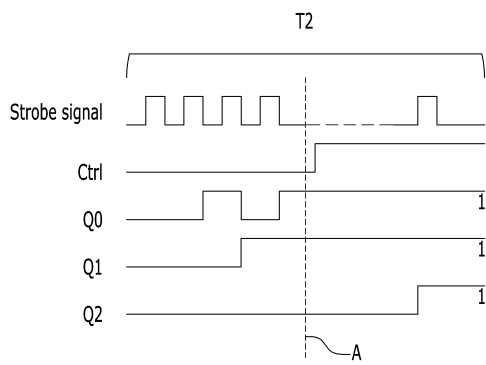
도면2



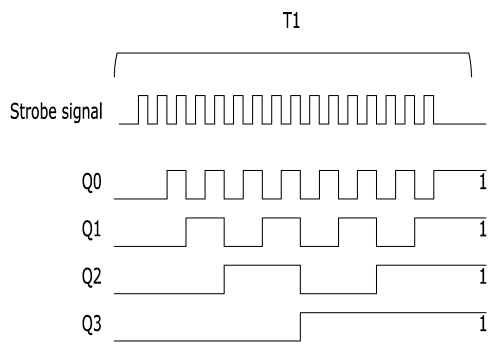
도면3



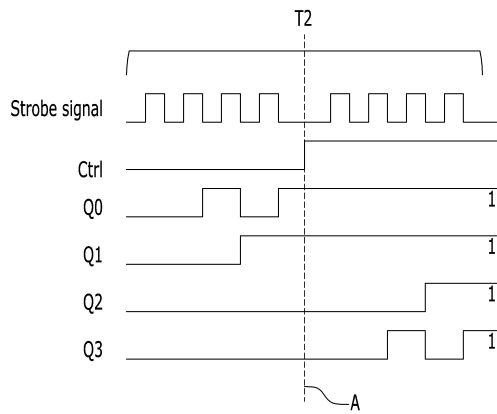
도면4



도면5



도면6



도면7

