

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】令和 2 年 7 月 30 日 (2020.7.30)

【公開番号】特開 2020-17623 (P2020-17623A)

【公開日】令和 2 年 1 月 30 日 (2020.1.30)

【年通号数】公開・登録公報 2020-004

【出願番号】特願 2018-139471 (P2018-139471)

【国際特許分類】

H 0 1 L 23/48 (2006.01)

H 0 1 L 25/07 (2006.01)

H 0 1 L 25/18 (2006.01)

【F I】

H 0 1 L 23/48 P

H 0 1 L 25/04 C

【手続補正書】

【提出日】令和 2 年 6 月 1 日 (2020.6.1)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 1 3

【補正方法】変更

【補正の内容】

【請求項 1 3】

リードフレームの一部として、前記第 1 主端子及び前記第 2 主端子の少なくとも一方とともに設けられた連結部 (8 6 , 8 6 C , 8 6 E) をさらに備え、

前記連結部によって、前記第 1 主端子及び前記第 2 主端子のうちの少なくとも一方において、同じ前記主端子同士が連結されている請求項 1 ~ 1 2 いずれか 1 項に記載の半導体装置。

【手続補正 2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 1 4

【補正方法】変更

【補正の内容】

【請求項 1 4】

上下アーム回路の 1 つのアームを構成する半導体装置であって、

第 1 主電極 (3 2) 及び前記第 1 主電極との間に主電流が流れる第 2 主電極 (3 3) をそれぞれ有し、少なくとも第 1 半導体素子 (3 0 a) 及び第 2 半導体素子 (3 0 b) を含む複数の半導体素子 (3 0) と、

前記第 1 主電極に接続された第 1 主端子 (6 0 C) 及び前記第 2 主電極に接続された第 2 主端子 (6 0 E) を有するとともに、前記第 1 主端子及び前記第 2 主端子をそれぞれ複数有し、前記第 1 主端子と前記第 2 主端子とが、前記半導体素子の厚み方向に直交する一方向において側面同士が対向するように交互に配置された主端子 (6 0) と、備え、

前記第 1 半導体素子及び前記第 2 半導体素子は、前記一方向に並んで配置されるとともに、前記第 1 主端子及び前記第 2 主端子の間で互いに並列に接続されており、

前記一方向において配置が連続する 2 つ以上の前記主端子により構成された主端子群 (6 2) として第 1 群 (6 2 a) 及び第 2 群 (6 2 b) を有し、

前記第 1 群を構成する前記主端子それぞれの少なくとも一部が、前記一方向において、前記第 1 半導体素子の両端面 (3 6 a , 3 7 a) から延長された延長線間の領域 (A 1 a) 内に配置され、前記第 2 群を構成する前記主端子それぞれの少なくとも一部が、前記一

方向において、前記第 2 半導体素子の両端面（36b, 37b）から延長された延長線間の領域（A1b）内に配置され、

リードフレームの一部として、前記第 1 主端子及び前記第 2 主端子の少なくとも一方とともに設けられた連結部（86, 86C, 86E）をさらに備え、

前記連結部によって、前記第 1 主端子及び前記第 2 主端子のうちの少なくとも一方において、同じ前記主端子同士が連結されている半導体装置。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【0011】

本開示の他のひとつである半導体装置は、

上下アーム回路の 1 つのアームを構成する半導体装置であって、

第 1 主電極（32）及び第 1 主電極との間に主電流が流れる第 2 主電極（33）をそれぞれ有し、少なくとも第 1 半導体素子（30a）及び第 2 半導体素子（30b）を含む複数の半導体素子（30）と、

第 1 主電極に接続された第 1 主端子（60C）及び第 2 主電極に接続された第 2 主端子（60E）を有するとともに、第 1 主端子及び第 2 主端子をそれぞれ複数有し、第 1 主端子と第 2 主端子とが、半導体素子の厚み方向に直交する一方向において側面同士が対向するように交互に配置された主端子（60）と、備え、

第 1 半導体素子及び第 2 半導体素子は、一方向に並んで配置されるとともに、第 1 主端子及び第 2 主端子の間で互いに並列に接続されており、

一方向において配置が連続する 2 つ以上の主端子により構成された主端子群（62）として第 1 群（62a）及び第 2 群（62b）を有し、

第 1 群を構成する主端子それぞれの少なくとも一部が、一方向において、第 1 半導体素子の両端面（36a, 37a）から延長された延長線間の領域（A1a）内に配置され、第 2 群を構成する主端子それぞれの少なくとも一部が、一方向において、第 2 半導体素子の両端面（36b, 37b）から延長された延長線間の領域（A1b）内に配置され、

リードフレームの一部として、第 1 主端子及び第 2 主端子の少なくとも一方とともに設けられた連結部（86, 86C, 86E）をさらに備え、

連結部によって、第 1 主端子及び第 2 主端子のうちの少なくとも一方において、同じ主端子同士が連結されている。