

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2007年12月21日 (21.12.2007)

PCT

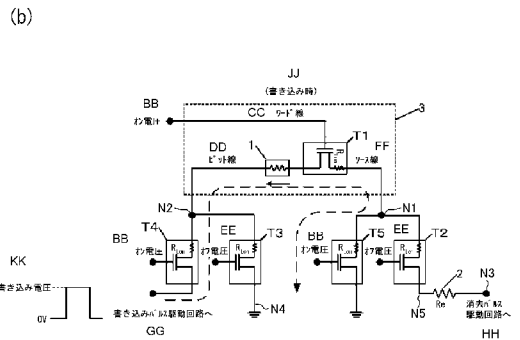
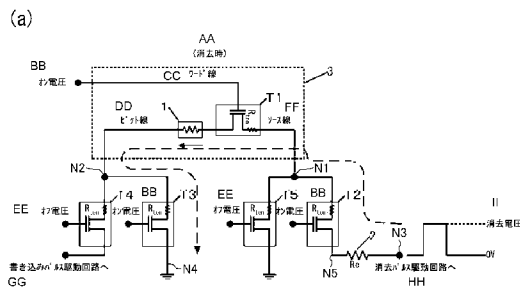
(10) 国際公開番号
WO 2007/145295 A1

- (51) 国際特許分類:
G11C 13/00 (2006.01)
- (21) 国際出願番号: PCT/JP2007/062047
- (22) 国際出願日: 2007年6月14日 (14.06.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2006-167579 2006年6月16日 (16.06.2006) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 加藤 佳一 (KATO, Yoshikazu).
- (74) 代理人: 前田 弘, 外 (MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町2丁目5番7号 大阪丸紅ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

[続葉有]

(54) Title: NONVOLATILE MEMORY DEVICE

(54) 発明の名称: 不揮発性メモリ装置



AA (DURING ERASE)	FF SOURCE LINE
BB ON VOLTAGE	GG TO WRITE PULSE DRIVE CIRCUIT
CC WORD LINE	HH TO ERASE PULSE DRIVE CIRCUIT
DD BIT LINE	II ERASE VOLTAGE
EE OFF VOLTAGE	JJ (DURING WRITE)
	KK WRITE VOLTAGE

(57) Abstract: A variable resistance element (1) having a resistance changed when a voltage pulse is applied is set to a low resistance state by applying an erase pulse to a path of a broken line through selection of a selection transistor. An erase pulse limit resistor (2) is inserted into the path of the broken line. A resistance value (Re) of the erase pulse limit resistor (2) is set so that a first resistance value as a sum of the all-ON resistance of the selection transistor, the resistance value (Re), and the wiring resistance in the path is not smaller than a bulk resistance value of a thin film material used for the variable resistance element (1). Thus, it is possible to prevent lowering of the variable resistance element (1) to a bulk resistance value from which it cannot return to a stable resistance.

(57) 要約: 電圧パルスの印加によって抵抗が変化する可変抵抗素子(1)を選択トランジスタの選択によって破線の経路に消去パルス印加し素子を低抵抗状態にする構成を採用し、破線の経路中に消去パルス制限抵抗(2)が挿入されており、前記選択トランジスタの全オン抵抗と消去パルス制限抵抗(2)の抵抗値(Re)と経路中の配線抵抗との和である第1の抵抗値が、可変抵抗素子(1)に用いられている薄膜材料のバルク抵抗値以上となるように前記Reを設定することで、前記可変抵抗素子(1)が安定な抵抗変化に復帰できないようなバルク抵抗値まで低下することを防止する。

WO 2007/145295 A1



IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明 細 書

不揮発性メモリ装置

技術分野

[0001] 本発明は、電気抵抗が変化する可変抵抗素子を用いて電氣的にデータの書き込み／消去が可能なメモリセルを有する不揮発性メモリに関し、さらに、前記メモリセルが複数個配列されたメモリセルアレイを有する不揮発性メモリ装置に関する。

背景技術

[0002] 不揮発性メモリ装置は、携帯電話機やデジタルカメラなどの携帯機器に広く搭載され、急速に利用が拡大している。そして近年、音声データや画像データが取り扱われる機会が増加し、これまで以上に大容量で且つ高速に動作する不揮発性メモリ装置が強く要望され始めている。また、携帯機器用途であるため低消費電力への要求もさらに強まっている。

[0003] このような背景のもと現在の不揮発性メモリ装置は、フローティングゲートに蓄積する電荷を制御してデータの記憶を行うフラッシュメモリが主流である。このフラッシュメモリはフローティングゲートに高電界で電荷を蓄積する構造であるので、セル構造が複雑で高集積化を行う上で障害が多い。さらに書き換えのために必ず所定のブロックを一括消去する必要があり、書き換えのためには非常に長い時間を要し、高速化にも限界があった。

[0004] これらの問題を解決する次世代の不揮発性メモリ装置として、電気抵抗の変化によって情報を記録する可変抵抗素子を用いたものがあげられる。可変抵抗素子を利用した不揮発性メモリとしては、MRAM(Magnetic RAM)や、OUM(Ovonic Unified Memory)や、RRAM(Resistance control nonvolatile RAM)などが提案されている。

[0005] 特にRRAM素子の制御方法の一例については、特開2004-185756号公報(特許文献1)に開示されており、図9を用いて説明する。

[0006] 図9(a)～(c)はメモリセルの制御方法を示す図である。いずれの場合もワード線には高レベルのオン電圧が印加されており選択トランジスタT1はオン状態になっている。

[0007] 図9(a)は、書き込み動作を行うときの電圧パルスの印加状態を示す図である。ソー

ス線を0Vに設定し、ビット線に所定の書き込み電圧振幅の正極性の書き込みパルスを印加して可変抵抗素子1に所望のデータを書き込む。多値情報を可変抵抗素子1へ書き込む場合は、書き込みパルスの電圧振幅を書き込むデータ数に応じたレベルに設定する。例えば4値データを1つの可変抵抗素子1に書き込む場合には、各書き込みデータに対応して決定される所定の4つの電圧振幅の内の1つを選択して書き込み動作を行う。また、書き込みパルス幅は、素子に応じた適切な幅が選択される。

[0008] 図9(b)は、消去動作を行うときの電圧パルスの印加状態を示す図である。消去時は、ビット線に0Vを印加し、ソース線に消去電圧振幅の正極性の消去パルスを印加する。消去パルスを印加することで可変抵抗素子1の電気抵抗は最小の値となる。また、複数のビット線に0Vを印加した状態で各メモリセルのソース線に消去パルスを印加すると、その複数のビット線とソース線に接続されている複数のメモリセルが同時に一括消去される。

[0009] 図9(c)は、読み出し動作を行うときの電圧印加状態を示す図である。可変抵抗素子1の記憶データを読み出す場合は、ソース線を0Vに設定し、所定の読み出し電圧を読み出し回路を経由して選択したビット線に印加し、比較判定回路でビット線のレベルを読み出し用のリファレンスレベルと比較して記憶データを読み出す。

[0010] 上記のような制御方式において実際はトランジスタT1にオン抵抗が存在するため、素子にかかる電圧は前記オン抵抗と素子抵抗とで分圧した電圧値となる。すなわち、図9の制御方式では、駆動電圧を電圧源としてトランジスタのオン抵抗をドライブインピーダンスとした駆動回路になる。一般的にオン抵抗は素子抵抗に対し十分小さいことが望ましく、特に記憶データの読み出し時には、読み出し信号の信号品質に影響を与える。このことは特開2004-186553号公報(特許文献2)に開示されており、メモリアレイ面積の増大を制限しながら、素子の抵抗値に対し極力オン抵抗を低減させる方法が示されている。

特許文献1:特開2004-185756号公報

特許文献2:特開2004-186553号公報

発明の開示

発明が解決しようとする課題

[0011] しかしながら、前記のような駆動方式でオン抵抗を極力低減せしめる従来技術においては大きな課題があることを見出した。それは、RRAM素子のように電氣的刺激によって抵抗値が変化する可変抵抗素子に抵抗が低下する(低抵抗状態)方向に所定の電圧パルスを加える場合において、オン抵抗が素子の低抵抗状態の抵抗値に比べ無視できるほど小さい場合では、RRAM素子に流れる電流は、電圧パルスを加えたときの電圧値と素子抵抗で決定される。このため、素子抵抗が低下すると多くの電流が流れ、さらに素子抵抗が低下すると、さらに多くの電流が流れ抵抗が下がってしまうといった破壊ルーチンに陥ってしまう。図3(a)及び(b)に、その現象をあらわす図を示した。

[0012] 図3は、トランジスタを用いたエミッタフォローで所定の消去電圧パルスがRRAM素子に印加されたときの電流波形を示す。これは素子へのドライブインピーダンスが極めてゼロに近い駆動方法である。図3(a)は、正常時の電流波形を示し、パルスを印加後に高抵抗状態から正常な第1の低抵抗状態に移行している場合である。一方、図3(b)は破壊ルーチンに陥った場合の電流波形を示しており、波形の途中から、さらに急激に電流が流れ始め第1の低抵抗状態よりも低い異常な第2の低抵抗状態に移行している。前記第2の低抵抗状態の抵抗値は、素子環境やパルス印加数によって刻々とばらつき、最悪は第2の低抵抗状態から第1の低抵抗状態又は高抵抗状態に復帰できないような異常素子になる場合が起こる。

[0013] 本発明は、上記の問題点を鑑みてなされたものであり、その目的は、RRAM素子が低抵抗状態に移行するパルスを印加したときに素子に対して加速的に電力が加わり前記破壊ルーチンに陥ってしまうことを抑制することを可能にし、メモリセルへのデータの書き込み又は消去動作の信頼性を向上した不揮発性メモリ装置を提供することにある。

課題を解決するための手段

[0014] この目的を達成するための本発明にかかる不揮発性メモリ装置は、可変抵抗素子と、前記可変抵抗素子に加わる電力を所定の値以下に制限する電力抑制手段とを備え、前記可変抵抗素子は、シート抵抗率(ρ)かつ膜厚(l)の抵抗変化膜材料が面積(S)の電極材料に挟まれた構造であり、 $\rho \times l \div S$ で算出される抵抗値を素子バル

ク抵抗値(R_{bulk})としたときに、電気的な刺激により抵抗が前記素子バルク抵抗値(R_{bulk})より大きな抵抗値領域で変化することによって情報を記憶可能であり、前記電力抑制手段は、前記可変抵抗素子に記憶されたデータを消去するために前記可変抵抗素子を高抵抗状態から低抵抗状態に変化させる所定の電圧振幅(V)の消去パルスを印加したときに前記可変抵抗素子で消費される電力を $V \times V \div R_{\text{bulk}}$ の1/4以下の電力になるよう抑制して前記可変抵抗素子に加える、ことを特徴とした不揮発性メモリ装置である。

[0015] このような特徴構成によれば、可変抵抗素子に加えられる電力は常に監視され消去パルスを印加したときに前記可変抵抗素子が、前述した破壊ルーチンに陥ることなく抑制され、素子バルク抵抗値まで、その抵抗値が低下することがないように制限される。

[0016] さらに本発明にかかる不揮発性メモリ装置は、電気抵抗の変化により情報が記憶可能である可変抵抗素子と、前記可変抵抗素子を選択する所定のオン抵抗をもった選択スイッチ素子と、前記可変抵抗素子に流れる電圧・電流を抑制するゼロ Ω 以上の消去パルス制限固定抵抗素子とをシリーズに接続したメモリセルを有するとともに、前記可変抵抗素子を高抵抗状態から低抵抗状態に記憶データを消去せしめる所定の電圧振幅の消去パルスを前記メモリセルに印加せしめる消去パルス駆動手段を備え、経路中全ての選択トランジスタのオン抵抗と配線抵抗と消去パルス制限固定抵抗素子の抵抗値との和を第1の抵抗値としたときに、前記第1の抵抗値が、前記素子バルク抵抗値(R_{bulk})以上となるように、前記消去パルス制限固定抵抗素子の抵抗値が決定されることを特徴とした不揮発性メモリ装置である。

[0017] このような特徴構成によれば、実際に可変抵抗素子に印加される電圧は、前記第1の抵抗値と可変抵抗素子の抵抗値との分圧で与えられ、 R_{bulk} の素子バルク抵抗値では両端電圧が消去電圧パルスの電圧の1/2以下に制限され、電力的には第1の抵抗値が0の場合の1/4以下に制限される。これにより消去パルスを印加したときに前記可変抵抗素子は、前述した破壊ルーチンに陥ることなく抑制され、素子バルク抵抗値までその抵抗値が低下することがなくなるとともに、トランジスタのON抵抗や配線抵抗の組み合わせで単純に構成できるため、集積化した場合であっても極めて容

易なプロセスで実現が可能となり、特別な追加回路も必要としないことからメモリ容量を低下させることもない。

[0018] さらに、本発明に係る不揮発性メモリ装置は、電気抵抗の変化により情報が記憶可能である可変抵抗素子と、前記可変抵抗素子を選択する所定のオン抵抗をもった選択スイッチ素子とをシリーズに接続したメモリセルを有するとともに、前記可変抵抗素子を高抵抗状態から低抵抗状態に記憶データを消去せしめる所定の電圧振幅の消去パルスを前記メモリセルに印加せしめる消去パルス駆動手段を備え、前記メモリセルにおいて前記消去パルスを印加する側の一端の端子が全てのメモリセルで共有された端子構造を持ち、前記可変抵抗素子に流れる電圧・電流を抑制するゼロΩ以上の消去パルス制限固定抵抗素子の一端が、前記共有された端子に接続され、前記消去パルス制限固定抵抗素子の他端が前記消去パルス駆動手段の出力に接続され、経路中全ての選択トランジスタのオン抵抗と配線抵抗と消去パルス制限固定抵抗素子の抵抗値との和を第1の抵抗値としたときに、前記第1の抵抗値が、前記素子バルク抵抗値(R_{bulk})以上となるように、前記消去パルス制限固定抵抗素子の抵抗値が決定されることを特徴とした不揮発性メモリ装置である。

[0019] このような特徴構成によれば、前記消去パルス制限固定抵抗素子は全メモリセルに対した一つでよく、半導体プロセスによって本発明装置を微細化したときにおいて、メモリ装置の小型化又は大容量化が可能である。

[0020] さらに、本発明に係る不揮発性メモリ装置は、電気抵抗の変化により情報が記憶可能である可変抵抗素子と、前記可変抵抗素子を選択する所定のオン抵抗をもった選択スイッチ素子とをシリーズに接続したメモリセルを有するとともに、前記可変抵抗素子を高抵抗状態から低抵抗状態に記憶データを消去せしめる所定の電圧振幅の消去パルスを前記メモリセルに印加せしめる消去パルス駆動手段を備え、前記メモリセルにおいて前記消去パルスを印加する側の一端の端子が全てのメモリセルで共有された端子構造を持ち、前記可変抵抗素子に流れる電圧・電流を抑制するゼロΩ以上の消去パルス制限可変抵抗素子の一端が、前記共有された端子に接続され、前記消去パルス制限可変抵抗素子の他端が前記消去パルス駆動手段の出力に接続され、経路中全ての選択トランジスタのオン抵抗と配線抵抗と消去パルス制限可変抵

抗素子の抵抗値との和を第1の抵抗値としたときに、消去されるメモリセルの場所に
応じて配線長が異なることにより生じる前記第1の抵抗値のエリアばらつきを吸収する
ために、前記消去パルス制限可変抵抗素子の抵抗値を最適に調整設定し、すべての
メモリ素子に対して前記第1の抵抗値が前記素子バルク抵抗値(R_{bulk})以上となるよ
うにすることを特徴とした不揮発性メモリ装置である。

[0021] このような特徴構成によれば、超微細化かつ大容量のメモリアレイにしたときに顕著
になる前記第1の抵抗値のばらつきを吸収することができ、すべてのセルにおいて、
各セルに応じた適切な消去パルスが印加できる。

発明の効果

[0022] 以上のように、本発明の構成によれば、前記消去パルス制限固定抵抗素子及び消
去パルス制限可変抵抗素子を具備することで、電気的刺激によって抵抗値が変化す
る可変抵抗素子(たとえばRRAM素子)で、特に抵抗が低下する(低抵抗状態)方向に
所定の電圧パルスを加える場合において、素子抵抗が低下すると多くの電流が流れ
、さらに素子抵抗が低下することから多くの電流が流れ、さらに抵抗が下がってしまう
といった破壊ルーチンを抑制し、安定な抵抗変化を維持した極めて信頼性の高い不
揮発性メモリ装置を提供できる。

図面の簡単な説明

[0023] [図1]図1(a)は本発明の第1の実施の形態における消去時のメモリセル構成を示す構
成図、図1(b)は本発明の第1の実施の形態における書き込み時のメモリセル構成を
示す構成図である。

[図2]図2は従来のメモリセルにおける課題を説明する説明図である。

[図3]図3は従来のメモリセルにおける課題を説明する説明図である。

[図4]図4は本発明による改善効果を説明する説明図である。

[図5]図5は本発明による改善効果を説明する説明図である。

[図6]図6は本発明の消去パルス制限固定抵抗の効果の説明図である。

[図7]図7は本発明の第2の実施の形態におけるブロック構成を示すブロック図である
。

[図8]図8は本発明の第3の実施の形態におけるブロック構成を示すブロック図である

。

[図9]図9は従来例の駆動回路を説明する説明図である。

符号の説明

- [0024]
- 1 可変抵抗素子
 - 2 消去パルス制限固定抵抗
 - 3 メモリセル
 - 4 メモリアレイ
 - 5 通信バス
 - 6 インターフェース兼システムコントローラ
 - 7 行デコーダ
 - 8 ワード線ドライバ
 - 9 マルチスイッチ
 - 10 抵抗変化パルス駆動器
 - 11 消去パルス駆動回路
 - 12 書き込みパルス駆動回路
 - 13 読み出し比較判定回路
 - 14 列アドレス兼スイッチコントローラ
 - 16 消去パルス制限可変抵抗

発明を実施するための最良の形態

[0025] 本発明にかかる不揮発性メモリセル、及び不揮発性メモリ装置(以下、適宜「本発明装置」ともいう)の実施の形態につき、図面に基づいて説明する。

[0026] <第1の実施の形態>

図1に本発明装置のメモリセルの構成と、前記メモリセルに消去パルス及び書き込みパルスを印加するときの駆動回路の構成を示す。なお、本発明における消去パルスは、可変抵抗素子を高抵抗から低抵抗に変化させるパルスとして定義し、パルス幅及び電圧振幅値は所定の値とする。また、書き込みパルスは、消去パルスとは逆に可変抵抗素子を低抵抗から高抵抗に変化させるパルスとして定義し、そのパルス幅及び電圧振幅値も同様に素子に応じた最適な所定の値であるとする。

- [0027] 図1(a)および(b)に示すように、本実施形態による不揮発性メモリ装置は、メモリセル3と、選択トランジスタT2～T5と、消去パルス制限固定抵抗2とを備える。
- [0028] メモリセル3は、可変抵抗素子1と、選択トランジスタT1とを備えている。可変抵抗素子1はデータを記憶する素子であり、本実施の形態ではRRAM素子を用いる。RRAM素子は電氣的ストレスの印加により抵抗値が変化し、電氣的ストレスの解除後も変化しした抵抗値が保持され、この性質を用いてデータの記憶が可能な不揮発性の記憶素子で、例えば、 CoFe_2O_4 、 $\text{CoMn}_x\text{O}_{3-x}$ 、 $(\text{Co}_{1-x}\text{Zn}_x)_2\text{FeO}_4$ 、 $(\text{Ni}_{1-x}\text{Zn}_x)_2\text{FeO}_4$ 、 NiCr_2O_4 、 $\text{Cu}_{0.15}\text{Ni}_{0.85}\text{Cr}_2\text{O}_4$ 、 MnMn_2O_4 、 ZnMn_2O_4 、 ZnV_2O_4 、 Fe_3O_4 、 AlV_2O_4 、 ZnCr_2O_4 、 ZnFe_2O_4 、 ZnGa_2O_4 等のスピネル構造を持つ酸化物の薄膜材料や、ペロブスカイト構造を持つ酸化物の薄膜材料を、所定の電極材料ではさむことで構成される。
- [0029] 選択トランジスタT1～T5はMOSFETで構成され、それぞれ説明のためにオン抵抗を R_{ton} として記載してある。図1(a)は消去時のセル状態を示し、第1の選択スイッチ素子であるトランジスタT1、第2の選択スイッチ素子であるトランジスタT2,T3のゲートにオン電圧が、トランジスタT4,T5のゲートにオフ電圧が印加され、図1(a)の破線の経路に電流が流れるように選択されている。即ち、消去パルス駆動回路と消去パルス制限固定抵抗2を接続する第3のノードN3、消去パルス制限固定抵抗2と選択トランジスタT2を接続する第5のノードN5、選択トランジスタT2,T5と選択トランジスタT1を接続する第1のノードN1、可変抵抗素子1と選択トランジスタT3,T4を接続する第2のノードN2を経由して、選択トランジスタT3、第4のノードN4へと電流が流れる。また、図1(b)は書き込み時の状態を示し、トランジスタT1,T4,T5のゲートにオン電圧が、トランジスタT2,T3のゲートにオフ電圧が印加され、図1(b)の破線の経路に電流が流れるように選択されている。即ち、書き込みパルス駆動回路から、選択トランジスタT4、可変抵抗素子1と選択トランジスタT3,T4を接続する第2のノードN2、選択トランジスタT2,T5と選択トランジスタT1を接続する第1のノードN1、選択トランジスタT5を経由して電流が流れる。このような選択トランジスタの接続構成は複数のメモリセルからなるメモリアレイの中で所望のメモリセルを選択する構成として一般的である。
- [0030] 本実施形態において、従来と異なる点は、消去パルスを印加したときに流れる電流を制限する所定の抵抗値 R_e を有する消去パルス制限固定抵抗2が挿入されている

ことである。そして図1(a)の破線の経路中の全ての配線抵抗値(図示せず)と、全ての選択トランジスタのオン抵抗値と、消去パルス制限固定抵抗2の抵抗値 R_{e2} とを合計した抵抗値 R_{all} が、前記可変抵抗素子1に使用されている薄膜材料のバルクの膜抵抗値以上になるように、消去パルス制限固定抵抗2の抵抗値 R_{e2} は決定される。

[0031] 消去パルス制限固定抵抗2の有効性を図2～5を用いてより詳細に説明する。なお、以下を説明するために用いた評価データは、可変抵抗素子1の膜材料として Fe_3O_4 を主成分とし、膜抵抗値の調整用に Fe_2O_3 を少量含んだ膜材料を用いており、このときのバルクの膜材料の抵抗率 ρ は、 SiO_2 などの絶縁膜上にスパッタした膜を用いて事前に測定したシート抵抗から算出してあり、約 $40m\Omega \cdot cm$ である。そして、実際の評価は電極径 $\phi 1.6\mu m$ 、膜厚 $0.1\mu m$ の評価用テスト素子にて評価してある。すなわち、前記抵抗率 ρ と電極面積 S と膜厚 l から、 $\rho \times l \div S$ で算出される抵抗値を前記評価用テスト素子の素子バルク抵抗値 R_{bulk} とすると、素子バルク抵抗値 R_{bulk} は素子の理論上の最低抵抗値となる。そして、本実施の形態の例では、約 20Ω であることを、あらかじめ明記しておく。

[0032] 図2は、前記評価用テスト素子に対して、図1の選択トランジスタT1～T5のオン抵抗 R_{ton} と全配線抵抗とが無視できるほど小さい値で、かつ消去パルス制限固定抵抗2の抵抗値 R_{e2} がゼロ(すなわち、 R_{all} がゼロ)である駆動回路にて、消去パルス及び書き込みパルスを交互に印加したときの測定データである。図2において丸点の観測点(●)が書き込みパルスを印加した後の素子抵抗値であり、四角点の観測点(■)が消去パルスを印加した後の素子抵抗値を示している。なお、各パルスの電圧値は素子に応じた最適の電圧値が設定されている。図2の安定動作区間は、書き込みパルス及び消去パルスによって素子の抵抗値が約1桁程度変化する安定な動作をしている。しかし、不具合動作区間は約 20Ω のバルクの膜抵抗値 R_{bulk} まで低下し、その後は書き込みパルスを印加しても所望の高抵抗値に復帰していないことがわかる。このように前記抵抗変化膜材料を所定の電極材料ではさむことで、前記 R_{bulk} より大きい抵抗値領域で抵抗変化し、一旦素子の抵抗値が R_{bulk} まで下がるとその後は正常な抵抗変化に復帰できないことが分かる。

[0033] 安定動作区間のうち消去パルスを印加した図2の抵抗変化1における素子の電流

波形を図3(a)に示した。また、不具合動作区間のうち消去パルスを印加した図2の抵抗変化2における素子の電流波形を、同様に図3(b)に示した。図3(a),(b)の波形の差を見て明らかなように、図2の抵抗変化2では電流波形の途中から加速的に流れ始めていることが観測される。これは消去パルスによって素子の抵抗値が下がり、素子の抵抗値が下がるために、より電流が流れ、さらに電流が流れることから、より素子の抵抗値が下がるといった破壊ルーチンに陥っているためである。その結果、最悪の場合は素子に用いている薄膜材料のバルクの抵抗値 R_{bulk} （本実施の形態では、前述の $20\ \Omega$ ）まで低下し、安定な抵抗変化動作のもととなる特性が破壊され、書き込みパルスを印加しても元の高抵抗状態には復帰できなくなる。

[0034] 図4には前記消去パルス制限固定抵抗2の抵抗値 R_e が $25\ \Omega$ ($R_{\text{all}} = 25\ \Omega$)、図5には R_e が $50\ \Omega$ ($R_{\text{all}} = 50\ \Omega$)のときで、消去および書き込み動作を交互に繰返したときの各抵抗変化を示した。図2と同様に図の中の丸点の観測点(●)が書き込みパルスを印加した後の素子抵抗値であり、四角点の観測点(■)が消去パルスを印加した後の素子抵抗値を示し、トランジスタのオン抵抗 R_{ton} と全配線抵抗は、無視できるほど小さいものとする。従って、素子に加わる電圧は、消去パルス制限固定抵抗2の抵抗値 R_e と素子抵抗値との分圧値となり、 R_e の値が大きいほど素子抵抗が低下したときの電圧制限が大きいことがわかる。

[0035] 消去パルス制限固定抵抗2の抵抗値 R_e をゼロ Ω とした図2では、抵抗変化2で示したような破壊ルーチンによって、素子に用いている薄膜材料のバルクの抵抗値 R_{bulk} （約 $20\ \Omega$ ）まで低下していた。この現象が、図4を見て明らかなように、 R_e を $25\ \Omega$ にすることによって、前記の破壊ルーチンが抑制され抵抗値の低下が $35\sim 40\ \Omega$ に制限されていることがわかる。そして、さらに図5では R_e を $50\ \Omega$ にすることで、破壊ルーチンは完全に抑制され安定に抵抗変化していることがわかる。図には100回程度のパルス回数しか表示していないが、この安定な動作は、このあと数万回以上観測された。

[0036] さらに詳しく図6を用いて、 R_e を変えたときの素子抵抗値に対する電圧・電流制限の関係を説明する。図6において、横軸は素子の抵抗値、左の縦軸は素子に流れるパルスの電流振幅値、右の縦軸は素子に加わるパルスの電圧振幅値をとってある。図6(a)~(c)は、それぞれ消去パルス制限固定抵抗2の抵抗値 R_e を $0.1\ \Omega$ 、 $25\ \Omega$ 、 5

0Ωとしたときで、実線が素子電圧、点線が素子電流を示している。図4及び図5より、これらの素子の低抵抗状態の抵抗値は約300Ω程度あることがわかるが、実際の消去パルスを印加している区間の素子電圧振幅は1.6Vあり、そのときの素子電流振幅は最大で10mAある。すなわちパルスを印加している瞬間は150Ωまで抵抗が低下し、その後300Ω程度の抵抗値に落ち着いていることが、素子の評価で明らかになっている。従って、図6(a)~(c)において、素子の抵抗値が150Ωのときに、電圧振幅が1.6Vとなるように設定されている。

[0037] 図6(a)~(c)を比較して明らかのように、 R_e の抵抗値が大きくなれば、素子抵抗の低下にもなって素子に印加される電圧振幅が制限されるとともに素子電流も制限されていることがわかる。図6(a)では R_e がほぼゼロに近いことから、素子のバルク抵抗値 R_{bulk} である20Ω付近であっても電圧振幅が制限されず、80mAもの電流が流れてしまい、素子で消費される電力も低抵抗になればなるほど加速的に増加しているのが分かる。図6(b)では R_e が25Ωであるため、 R_{bulk} 付近で電圧振幅が約半分の0.8Vまで制限され、それに伴って素子電流も半分の40mAに制限されており、電力的にみれば、 R_e がなかったときに比べて1/4以下になるよう常に抑制されていることが分かる。さらに図6(c)では R_e が50Ωとなり、 R_{bulk} 付近で電圧振幅が0.6V以下の約1/3に制限され、それに伴い素子電流は30mA程度に制限されている。このように、消去パルス制限固定抵抗2の抵抗値 R_e (実際には経路中の全ての R_{ton} 、配線抵抗、 R_e の和の R_{all})が大きくなるほど、素子に印加される電圧振幅は分圧によって制限される。また、素子の抵抗が低下することによっておこる電流増加の傾斜も緩和され、前述した破壊ルーチンを抑制することに効果がある。実験的に、素子抵抗を変化させる最適な電圧振幅の半分以下の振幅であれば、素子のヒステリシス特性のために抵抗が変化しないことがわかっている。従って、 R_{all} が素子のバルクの膜抵抗値 R_{bulk} 以上になるように R_e の抵抗値を設定しておけば、図6(b)に示したように R_{bulk} の抵抗値付近で電圧振幅が1/2以下に制限され、素子抵抗値が R_{bulk} まで低下せず、安定な抵抗変化特性を維持できる。また、膜抵抗が製造プロセス上、ばらつきが大きい場合は、より安全性を考慮して R_{all} が R_{bulk} の数倍以上になるように R_e の抵抗値を設定することが望ましい。

[0038] すなわち、本発明装置の実施の形態によれば、選択された可変抵抗素子1とシリーズに消去パルス制限固定抵抗2を接続し、径路上全ての R_{ton} と配線抵抗と R_e との和である R_{all} が R_{bulk} より大きくなるように消去パルス制限固定抵抗2の抵抗値 R_e を設定して、可変抵抗素子1を低抵抗状態に変化せしめる消去パルスを印加することによって、素子に印加される実際の電圧振幅は、 R_{all} との分圧値に制限される。これにより、可変抵抗素子1は、 R_{bulk} まで低下するような破壊ルーチンに陥ることが抑制され、所望の抵抗変化特性が良好に維持できる。

[0039] なお、パルスの電圧値や各抵抗値や消去パルスを印加する方向等は、本実施の形態で示した値や構成に限定されるものでなく、素子の大きさ及び膜材料に応じて最適に選定される。また、説明を簡単にするためにトランジスタのオン抵抗及び配線抵抗は無視できる程度の小さな値としたが、半導体の微細プロセスで製造したメモリ装置では一般に無視できず、所定の抵抗値を持っている。従って、経路上の全トランジスタのオン抵抗と配線抵抗の合計が、 R_{bulk} の抵抗値以上になるように製造上管理することによっても本発明の効果を得ることができる。即ちこのような場合は、別途消去パルス制限固定抵抗2を設ける必要はなく、 R_e はゼロ Ω でよいことは明らかである。

[0040] なお、本実施の形態では抵抗変化素子1と消去パルス制限固定抵抗2の抵抗による分圧によって、素子1に印加される電力を抑制する例について述べたが、これに限定されるものでない。例えば素子1に印加される電圧と素子1に流れる電流を電圧に変換して検出し、検出した素子電圧と素子電流を乗算器で電力量にし、そのレベルが所定のレベル以上になれば素子1への印加を中止するような構成は容易に類推できる。

[0041] <第2の実施の形態>

引き続き、本発明装置の第2の実施の形態について、図を用いて説明する。図7は、本実施形態による不揮発性メモリ装置の構成を示すブロック図である。図7において、メモリセルアレイ4は第1の実施の形態で説明したメモリセルをマトリクス状に複数並べたもので、記号が図1と等しいものは同一の動作を示すので説明を省略する。メモリセルアレイ4の中で、各行のトランジスタT1(第1の選択スイッチ素子)のゲートはショートされている(対応するワード線WL1,WL2,...,WLnに共通接続されている)。また

、各列のセルのビット線も、同様にショートされている(各列の可変抵抗素子1の一端は対応するビット線BL1, BL2, ..., BLkに第2のノードによって共通接続されている)。さらに全てのセルのソース線は全てショートされている(各セルのトランジスタT1の一端は対応するソース線に第1のノードによって共通接続されている)。外部との通信バス5を通じて本発明装置への電源供給、動作コマンド、書き込みデータ及び読み出しデータの入出力がおこなわれる。インターフェース兼システムコントローラ6は、マイコン等で構成され、前記通信バス5から入力されるコマンド及びアドレス・データのデコードを行い、メモリセルへの書き込みを制御する。また、通信バス5からの要求に応じてメモリセルのデータの読み出しを制御し、読み出したデータは通信バス5を介して外部に出力する。行デコーダ7は、システムコントローラ6からの指令に従い行アドレスをデコードし、前記行アドレスを出力する。ワード線ドライバ8は、行デコーダ7からの入力をもとに行アドレスに応じたワード線に所定のオン電圧を印加する。選択されたワード線にオン電圧が印加されると、そのワード線に接続された全てのトランジスタT1がオン状態になり、各メモリセルへのアクセスが可能になる。列アドレスデコーダ兼スイッチコントローラ14は、システムコントローラ6からの指令に従い列アドレスと書き込み及び消去・読み出しの各モードとをデコードするとともに、デコード結果に応じて後述のマルチスイッチ回路9(第2の選択スイッチ素子)を制御する。マルチスイッチ回路9は、FET等のトランジスタで構成され、列アドレスデコーダ兼スイッチコントローラ14の指令に基づき、適切なスイッチを選択してオンする。読み出し比較判定回路13は、選択されたメモリセルに所定の読み出し電圧パルスを印加し、そのときに流れる電流を検出してメモリセルに記憶されたデータを読み出し、その出力はシステムコントローラ6に出力される。消去パルス駆動回路11は、選択されたメモリセルに所定の電圧振幅の消去パルスを印加し、素子1を低抵抗状態に変化させる。電圧振幅及びパルス幅はシステムコントローラ6からの指令により最適に設定される。また、書き込みパルス駆動回路12は、選択されたメモリセルに所定の電圧振幅の書き込みパルスを印加し、素子1を高抵抗状態に変化させる。電圧振幅及びパルス幅はシステムコントローラ6からの指令により最適に設定される。

[0042] では、メモリセルアレイ4の中で点線囲みしたセルが選択セルであるときを例にとり、

各モードでの動作について説明する。前記選択セルにアクセスするために、あらかじめシステムコントローラ6からのアドレス指定によって、行デコーダ7が前記選択セルを含む行アドレスをデコードし、ワード線ドライバ8に出力する。これによりワード線ドライバ8は、選択セルが含まれるワード線WL1に対し、所定のオン電圧を印加し、選択セルを含む行の全てのトランジスタをオン状態にしているものとする。

[0043] はじめに、セルに記憶したデータを読み出すモードについて説明する。システムコントローラ6からの指令で、列アドレスデコーダ兼スイッチコントローラ14は、マルチスイッチ9を制御し、スイッチSb1r,Segをオン状態にする。これにより読み出し比較判定回路13が前記選択セルのビット線BL1につながり、選択セルのソース線はグラウンドに接続される。この接続関係において、読み出し比較判定回路13はシステムコントローラ6の指令に基づき、所定の読み出しパルスを前記選択セルに印加し、そのときに流れる電流を検出することによって記憶データを読み出す。読み出されたデータはシステムコントローラ6に出力され、通信バス5を通じて装置外部に出力される。

[0044] 次に、セルにデータを書き込むモードについて説明する。システムコントローラ6からの指令で、列アドレスデコーダ兼スイッチコントローラ14は、マルチスイッチ9を制御し、スイッチSb1w,Segをオン状態にする。これにより書き込みパルス駆動回路12が前記選択セルのビット線BL1につながり、選択セルのソース線はグラウンドに接続される。この接続関係において、書き込みパルス駆動回路12はシステムコントローラ6の指令に基づき、所定の電圧振幅とパルス幅の書き込みパルスを前記選択セルに印加し、素子抵抗を高抵抗状態に変化せしめる。

[0045] さらに、セルのデータを消去するモードについて説明する。システムコントローラ6からの指令で、列アドレスデコーダ兼スイッチコントローラ14は、マルチスイッチ9を制御し、スイッチSee,Sb1gをオン状態にする。これにより消去パルス駆動回路11が、消去パルス駆動回路11と消去パルス制限固定抵抗2を接続する第3のノードN3、消去パルス制限固定抵抗2を介して前記選択セルのソース線につながり、選択セルのビット線BL1はグラウンド(第4のノードN4)に接続される。この接続関係において、消去パルス駆動回路11はシステムコントローラ6の指令に基づき、所定の電圧振幅とパルス幅の消去パルスを前記選択セルに印加し、素子抵抗を低抵抗状態に変化せしめる。

[0046] すなわち、本発明装置の第2の実施の形態における特徴は、メモリセルアレイ4の各セルの消去パルスを印加する側の配線(本例ではソース線)が第1のノードN1によって全てショートされ、前記配線に対して第5のノードN5、消去パルス制限固定抵抗2、第3のノードN3を介して消去パルス駆動回路11が接続されていることにある。このような構成によれば、全てのセルに対して、消去パルス制限固定抵抗2はただ一つでよく、半導体プロセスによって本発明装置を集積化したときの回路規模を最小限にすることができる。

[0047] <第3の実施の形態>

さらに、本発明装置の第3の実施の形態について、図を用いて説明する。図8は、第3の実施の形態による不揮発性メモリ装置の構成を示すブロック図である。図8のうち、図7と等しい記号は同じ機能であるので、その説明を省略する。図7と異なる点は、消去パルス制限固定抵抗2が消去パルス制限可変抵抗16に変わったことである。消去パルス制限可変抵抗16は、システムコントローラ6からの指令により、抵抗値を段階的に変化できるものである。消去パルス制限可変抵抗16の内部回路構成は特に図示しないが、例えば所定の固定抵抗がシリーズに接続された抵抗アレイでトランジスタスイッチを用いて適切な抵抗数を選択することによって実現できる。

[0048] 本実施の形態の構成によれば、次のような利点がある。

[0049] 近年、半導体プロセスは微細化が進み、半導体メモリにいたっては急速に大容量化が進んでいる。このため、各素子に書き換えパルスを印加するドライバ回路の個数や配置、さらにドライバから各素子への配線経路を工夫してもドライバから見た負荷抵抗のばらつきを低減させるには限界があり、完全に均一化することは困難である。このため前述した実施の形態の例では素子に印加される電力をすべての素子で等しく抑制することは困難であり、ばらつきが大きいと適切な低抵抗のレベルに低抵抗化できなかつたり、抑制が不十分で破壊してしまう素子も発生する。本実施の形態は、このような課題を鑑みてなされたもので、配線抵抗のばらつきを各エリアごとに前記消去パルス制限可変抵抗16で調整することができる。すなわち、マイクロコントローラの指令に基づきメモリアレイのエリアに応じて発生する配線抵抗のばらつきを消去パルス制限可変抵抗16の抵抗値によって段階的に最適に設定・調整し、各メモリセルま

での配線長のばらつきがあっても安定に、かつ確実に低抵抗化せしめる不揮発性メモリ装置を提供できる。

産業上の利用可能性

[0050] 本発明装置のメモリセルは可変抵抗素子を用いて、きわめて高い信頼性を保ち、高速かつ高容量に情報を記憶することができるため、携帯機器のカード型メモリーやマイクロプロセッサのデータ記憶メモリなどに利用可能で、不揮発性メモリ装置として極めて有用である。

請求の範囲

- [1] 可変抵抗素子と、
前記可変抵抗素子に加わる電力を所定の値以下に制限する電力抑制手段とを備え、
前記可変抵抗素子は、
シート抵抗率(ρ)かつ膜厚(l)の抵抗変化膜材料が面積(S)の電極材料に挟まれた構造であり、 $\rho \times l \div S$ で算出される抵抗値を素子バルク抵抗値(R_{bulk})としたときに、電気的な刺激により抵抗が前記素子バルク抵抗値(R_{bulk})より大きな抵抗値領域で変化することによって情報を記憶可能であり、
前記電力抑制手段は、
前記可変抵抗素子に記憶されたデータを消去するために前記可変抵抗素子を高抵抗状態から低抵抗状態に変化させる所定の電圧振幅(V)の消去パルスを印加したときに前記可変抵抗素子で消費される電力を $V \times V \div R_{\text{bulk}}$ の1/4以下の電力になるよう抑制して前記可変抵抗素子に加える、
ことを特徴とした不揮発性メモリ装置。
- [2] メモリセルを備えた不揮発性メモリ装置であって、
前記メモリセルは、
請求項1記載の可変抵抗素子と、
前記可変抵抗素子を選択するためのスイッチ素子であって所定のオン抵抗を有する第1の選択スイッチ素子とを含み、
前記可変抵抗素子および前記第1の選択スイッチ素子は、第1のノードと第2のノードとの間に直列に接続されており、
前記不揮発性メモリ装置はさらに、
前記可変抵抗素子に記憶されたデータを消去するために前記可変抵抗素子を高抵抗状態から低抵抗状態に変化させる所定の電圧振幅の消去パルスを第3ノードと第4のノードとの間に印加する消去パルス駆動手段と、
前記第3のノードと第5のノードとの間に接続され、前記可変抵抗素子に流れる電圧・電流を抑制するためのゼロ Ω 以上の消去パルス制限抵抗素子と、

前記可変抵抗素子に前記消去パルスを印加する際に前記第1のノードと前記第5のノードとを接続し前記第2のノードと前記第4のノードとを接続する、所定のオン抵抗をもった第2の選択スイッチ素子とを備え、

前記第1の選択スイッチ素子のオン抵抗と、前記第2の選択スイッチ素子のオン抵抗と、前記消去パルス制限抵抗素子の抵抗値と、前記消去パルスを前記可変抵抗素子に印加するための配線経路の配線抵抗との和を第1の抵抗値としたときに、前記第1の抵抗値が前記素子バルク抵抗値(R_{bulk})以上となるように前記消去パルス制限抵抗素子の抵抗値が決定される、
とを特徴とした不揮発性メモリ装置。

[3] 請求項2において、

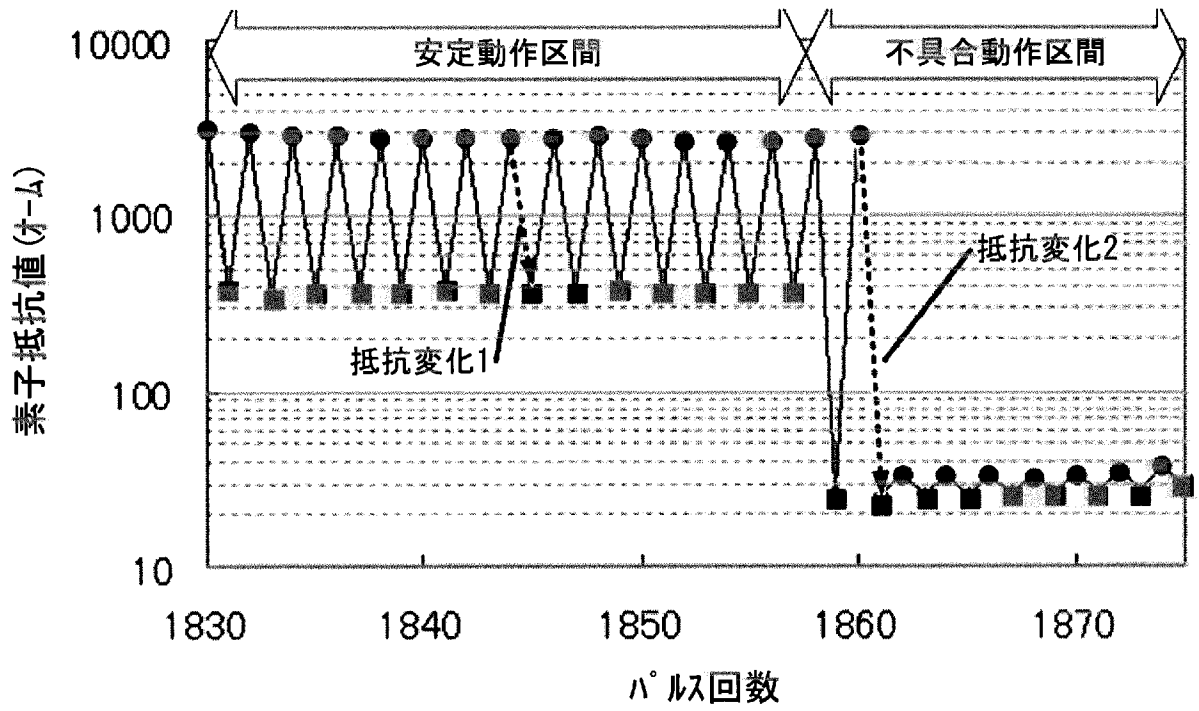
前記不揮発性メモリ装置は、前記メモリセルを複数備えており、
前記複数のメモリセルの第1のノードは互いに共通接続されており、
前記第2の選択スイッチ素子は、

前記複数のメモリセルのうち選択された1つに前記消去パルスを印加する際に前記複数のメモリセルのなかから1つのメモリセルを選択するとともに、選択されたメモリセルの第2のノードと前記第4のノードとを接続しかつ前記共通接続された第1のノードと前記第5のノードとを接続する、
ことを特徴とした不揮発性メモリ装置。

[4] 請求項3において、

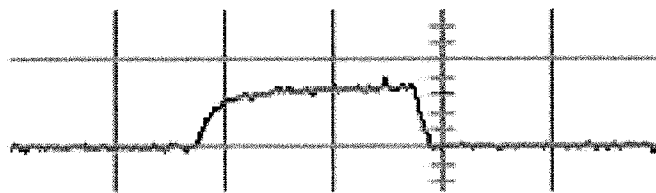
前記消去パルス制限抵抗素子は、
前記複数のメモリセルのうち前記消去パルスを印加するメモリセルに応じて抵抗値を調整可能な可変抵抗素子である、
ことを特徴とした不揮発性メモリ装置。

[図2]

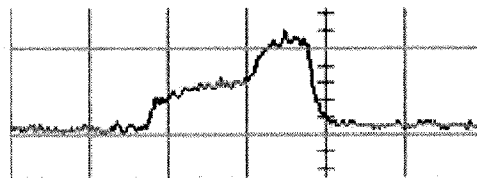


[図3]

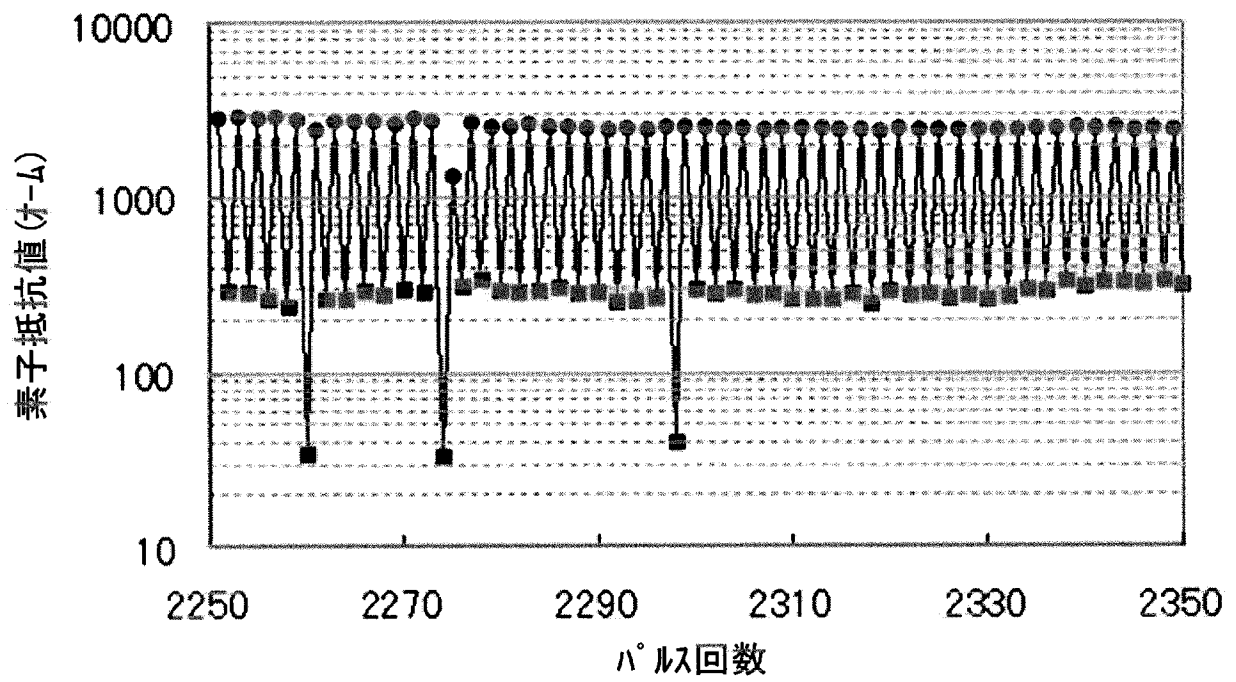
(a)



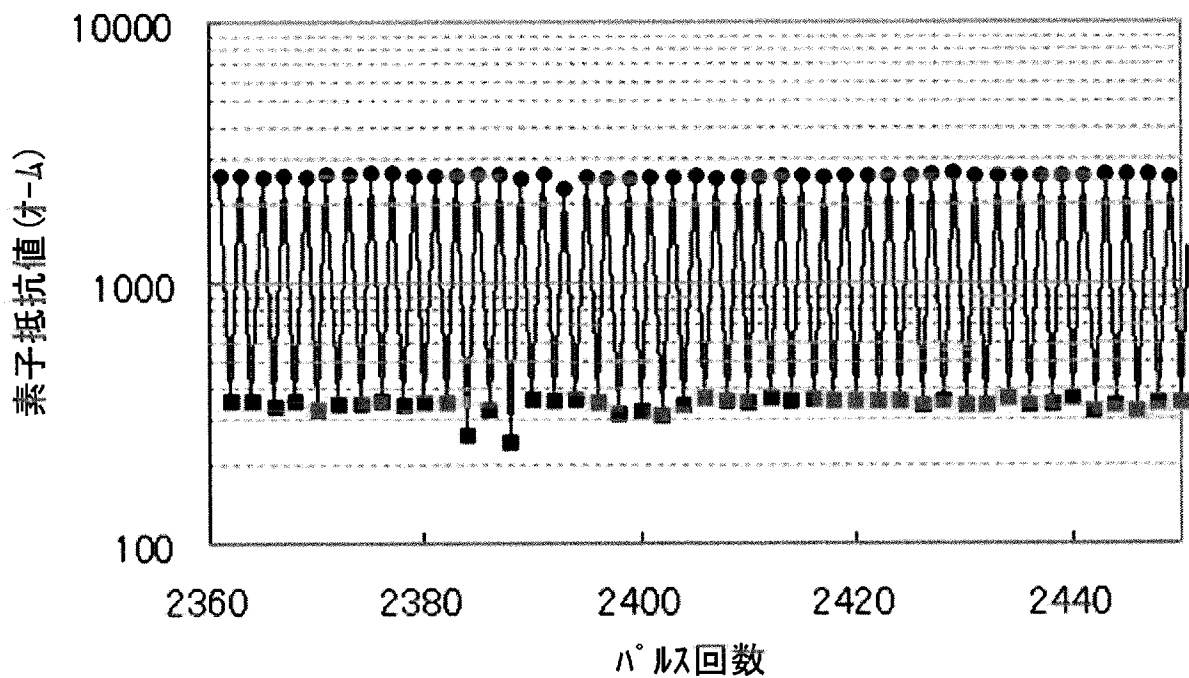
(b)



[図4]

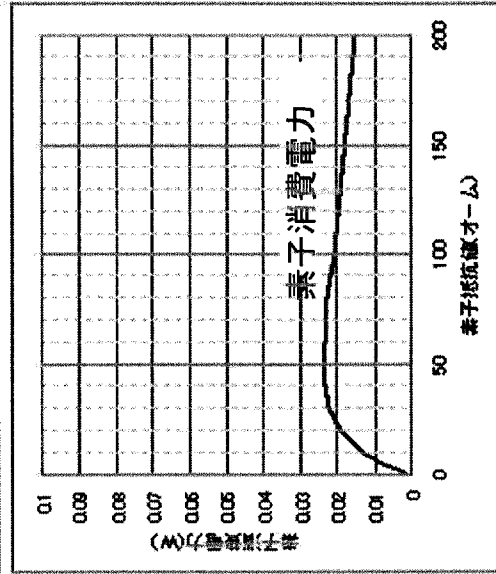
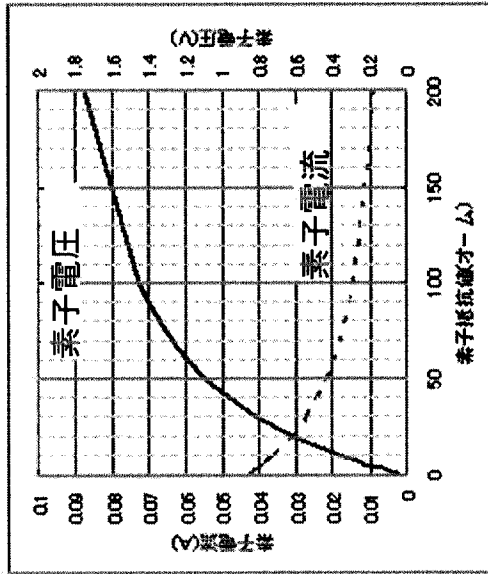


[図5]

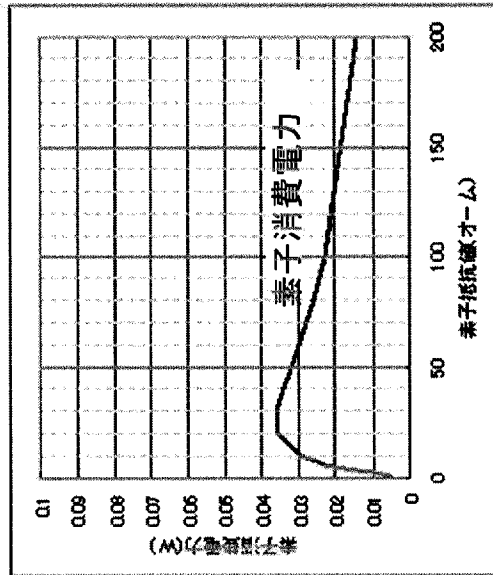
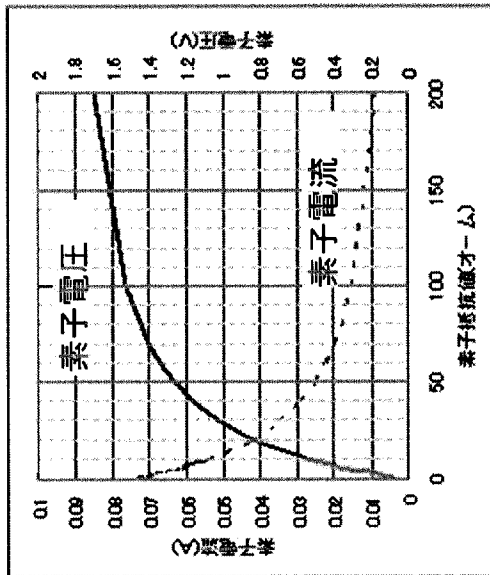


[図6]

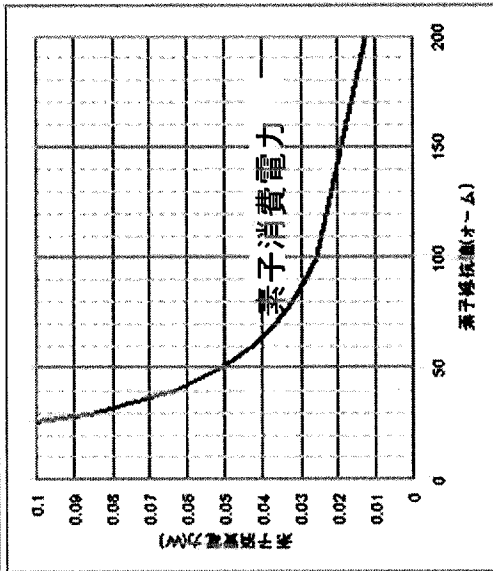
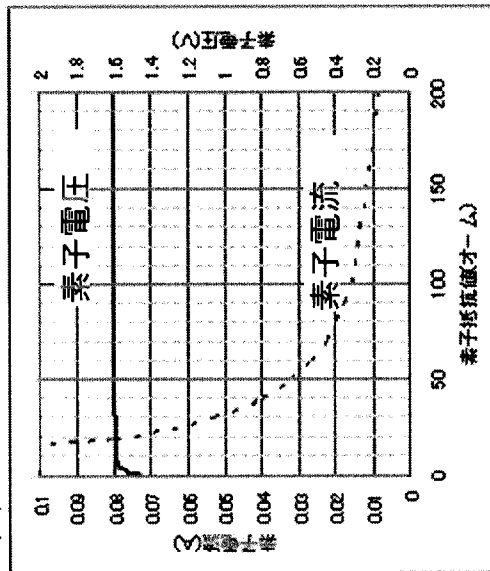
(c) Re=50才一ム



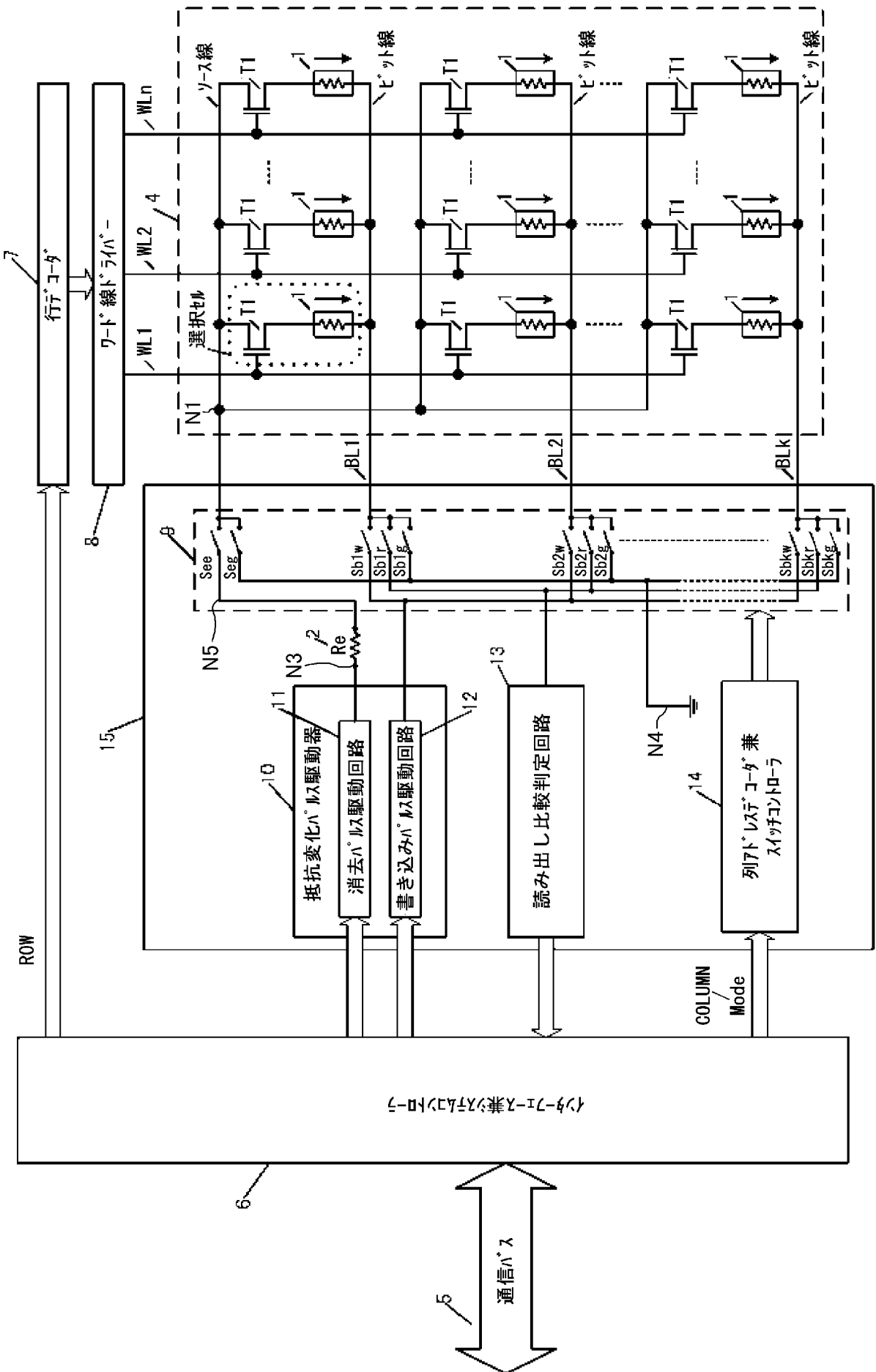
(b) Re=25才一ム



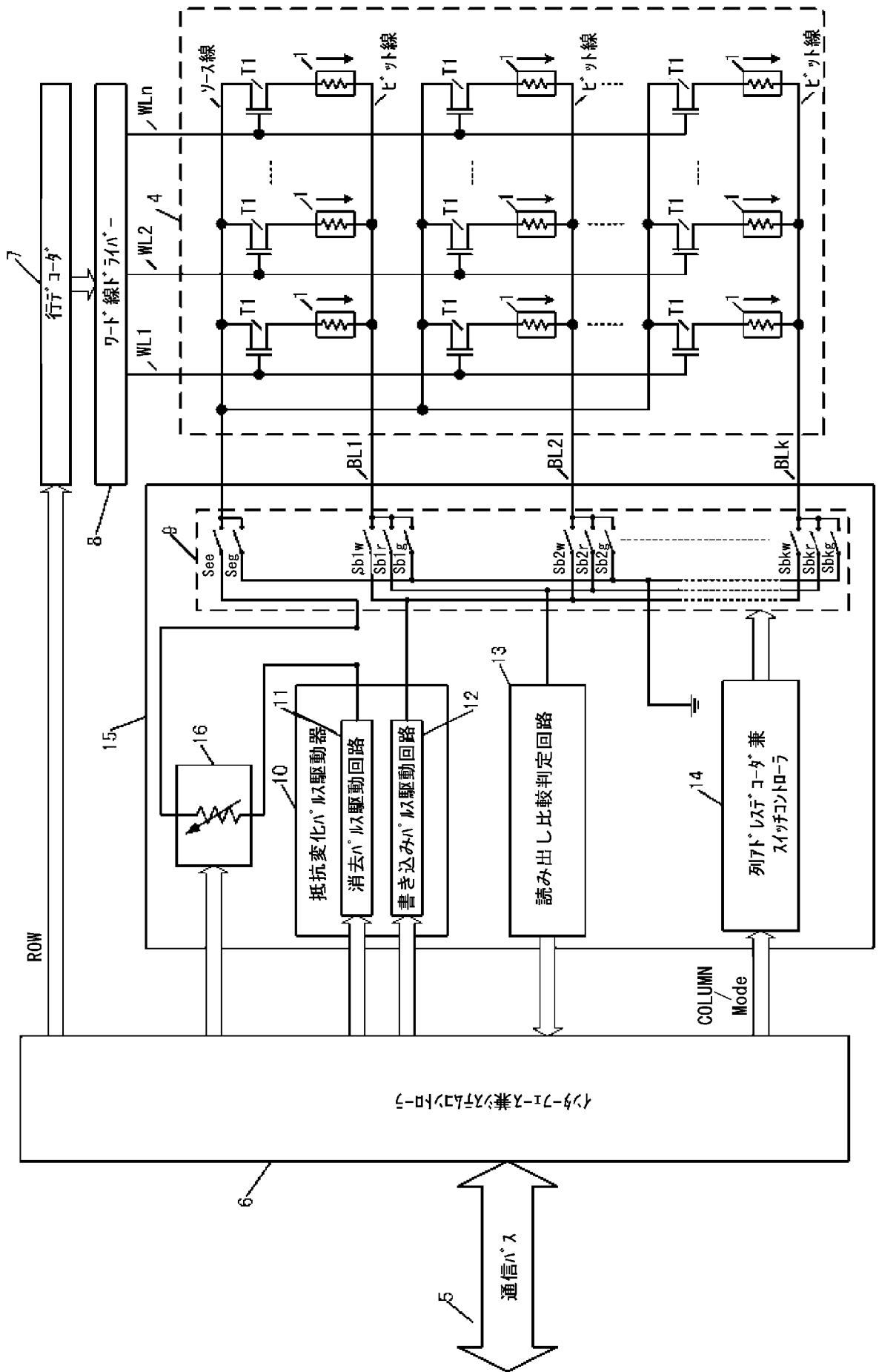
(a) Re=0.1才一ム



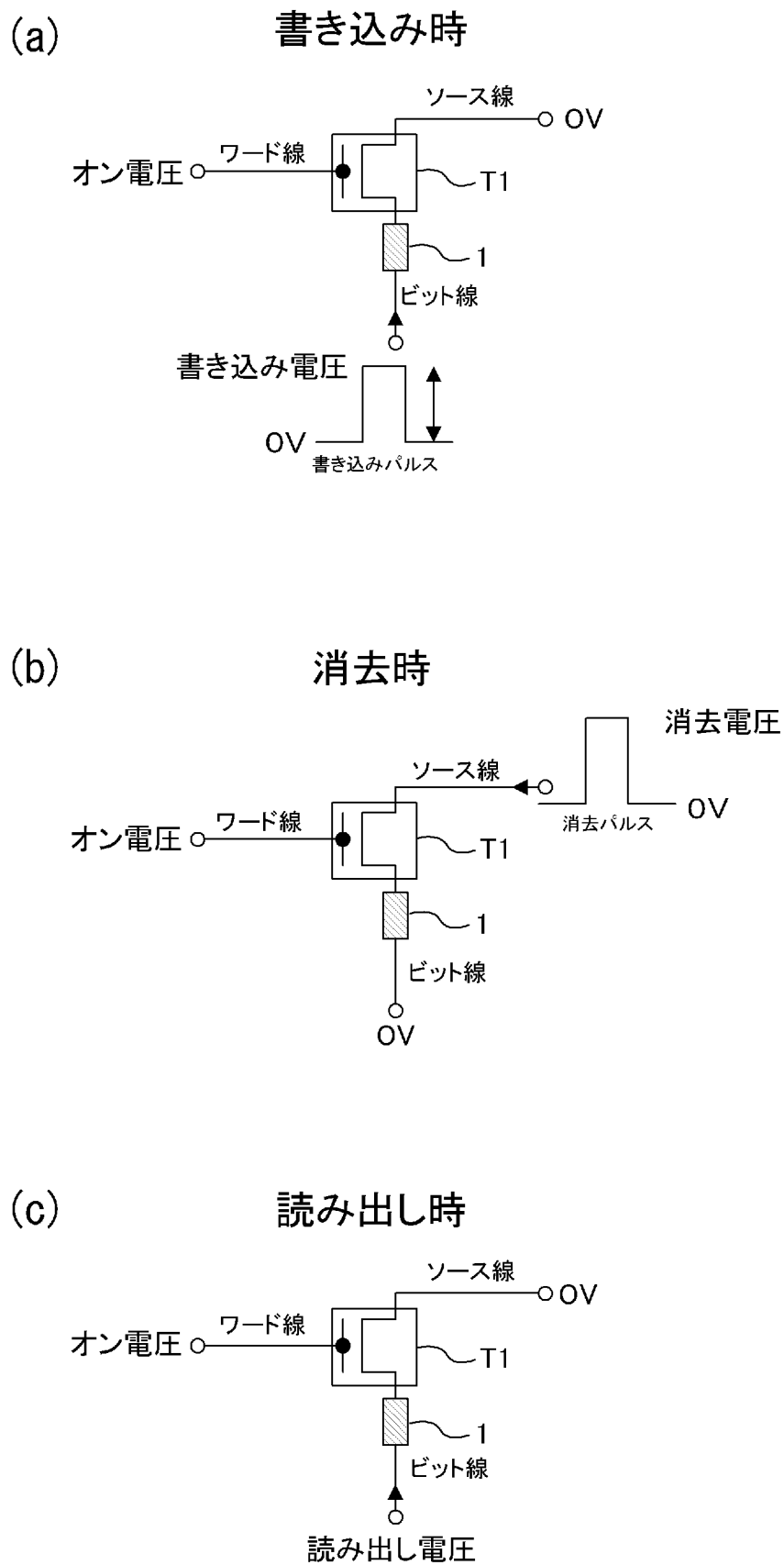
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/062047

<p>A. CLASSIFICATION OF SUBJECT MATTER <i>G11C13/00(2006.01) i</i></p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>														
<p>B. FIELDS SEARCHED</p> <p>Minimum documentation searched (classification system followed by classification symbols) <i>G11C13/00</i></p> <p>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched <i>Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007</i> <i>Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007</i></p> <p>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)</p>														
<p>C. DOCUMENTS CONSIDERED TO BE RELEVANT</p> <table border="1" style="width:100%; border-collapse: collapse;"> <thead> <tr> <th style="width:15%;">Category*</th> <th style="width:65%;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="width:20%;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X A</td> <td>JP 2005-025914 A (Sharp Corp.), 27 January, 2005 (27.01.05), Par. Nos. [0017] to [0044]; Figs. 1 to 12 & US 2004/0264244 A1 & EP 1486985 A2</td> <td align="center">1 2-4</td> </tr> <tr> <td>E, X</td> <td>WO 2006/137111 A1 (Fujitsu Ltd.), 28 December, 2006 (28.12.06), Par. Nos. [0091] to [0117], [0182] to [0189]; Figs. 1 to 9, 12 (Family: none)</td> <td align="center">1-4</td> </tr> <tr> <td>E, X</td> <td>WO 2007/074504 A1 (Fujitsu Ltd.), 05 July, 2007 (05.07.07), Par. Nos. [0015] to [0107]; Figs. 1 to 9 (Family: none)</td> <td align="center">1-4</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X A	JP 2005-025914 A (Sharp Corp.), 27 January, 2005 (27.01.05), Par. Nos. [0017] to [0044]; Figs. 1 to 12 & US 2004/0264244 A1 & EP 1486985 A2	1 2-4	E, X	WO 2006/137111 A1 (Fujitsu Ltd.), 28 December, 2006 (28.12.06), Par. Nos. [0091] to [0117], [0182] to [0189]; Figs. 1 to 9, 12 (Family: none)	1-4	E, X	WO 2007/074504 A1 (Fujitsu Ltd.), 05 July, 2007 (05.07.07), Par. Nos. [0015] to [0107]; Figs. 1 to 9 (Family: none)	1-4
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
X A	JP 2005-025914 A (Sharp Corp.), 27 January, 2005 (27.01.05), Par. Nos. [0017] to [0044]; Figs. 1 to 12 & US 2004/0264244 A1 & EP 1486985 A2	1 2-4												
E, X	WO 2006/137111 A1 (Fujitsu Ltd.), 28 December, 2006 (28.12.06), Par. Nos. [0091] to [0117], [0182] to [0189]; Figs. 1 to 9, 12 (Family: none)	1-4												
E, X	WO 2007/074504 A1 (Fujitsu Ltd.), 05 July, 2007 (05.07.07), Par. Nos. [0015] to [0107]; Figs. 1 to 9 (Family: none)	1-4												
<p><input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.</p>														
<p>* Special categories of cited documents:</p> <table style="width:100%;"> <tr> <td style="width:50%;"> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> </td> <td style="width:50%;"> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p> </td> </tr> </table>			<p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>										
<p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>													
<p>Date of the actual completion of the international search 19 September, 2007 (19.09.07)</p>		<p>Date of mailing of the international search report 02 October, 2007 (02.10.07)</p>												
<p>Name and mailing address of the ISA/ Japanese Patent Office</p>		<p>Authorized officer</p>												
<p>Facsimile No.</p>		<p>Telephone No.</p>												

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/062047

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-120701 A (Matsushita Electric Industrial Co., Ltd.), 11 May, 2006 (11.05.06), Full text; all drawings (Family: none)	1-4

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G11C13/00(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G11C13/00			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2007年 日本国実用新案登録公報 1996-2007年 日本国登録実用新案公報 1994-2007年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示		関連する 請求の範囲の番号
X	J P 2 0 0 5 - 0 2 5 9 1 4 A (シャープ株式会社) 2005.01.27, 第0017-0044段落, 第1-12図 & US		1
A	2004/0264244 A1 & EP 1486985 A2		2-4
E, X	WO 2006/137111 A1 (富士通株式会社) 2006.12.28, 第0091-0117, 0182-0189段落, 第1-9, 12図 (ファミリーなし)		1-4
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー		の日の後に公表された文献	
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの		「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	
「O」 口頭による開示、使用、展示等に言及する文献		「&」 同一パテントファミリー文献	
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願			
国際調査を完了した日 19.09.2007	国際調査報告の発送日 02.10.2007		
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 高野 芳徳 電話番号 03-3581-1101 内線 3586	5N	3561

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
E, X	WO 2007/074504 A1 (富士通株式会社) 2007.07.05, 第0015-0107段落, 第1-9図 (ファミリーなし)	1-4
A	JP 2006-120701 A (松下電器産業株式会社) 2006.05.11, 全文, 全図 (ファミリーなし)	1-4