



ÚŘAD PRO VYNÁLEZY  
A OBJEVY

# POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

205214

(11) (B1)

(51) Int. Cl.<sup>3</sup>  
G 11 C 11/02

/22/ Přihlášeno 19 03 79  
/21/ /PV 1793-79/

(40) Zveřejněno 30 05 80

(45) Vydáno 15 01 83

(75)

Autor vynálezu

KOTOUČ JIRÍ ing., BRNO

## (54) Zapojení programově řízeného řadiče pro kazetovou digitální paměť

1

Vynález se týká zapojení programově řízeného řadiče pro kazetovou digitální paměť.

Digitální magnetické paměti a zejména kazetové digitální paměti jsou v současné době stále používanějším typem externích pamětí elektronických výpočetních a řídicích systémů. Používají se především tam, kde v minulosti byla používána jako paměťové médium děrná páska. Použití tohoto typu paměti je opodstatněno především podstatně vyšší spolehlivostí, prakticky neomezenou trvanlivostí záznamu na magnetické pásce a v neposlední řadě zjednodušením manipulace s paměťovým médiem. Tyto přednosti vynikají zejména u digitálních magnetických kazetových pamětí.

Základním technickým problémem aplikace digitální kazetové paměti u jakéhokoliv systému, jehož činnost je řízena procesorem, tj. standardním číslicovým počítačem, minipočítačem, mikropočítačem a podobně - je vyřešení systému připojení kazetové paměti k procesoru, tedy vyřešení řadiče pro kazetovou paměť. Vzhledem k poměrně značné složitosti záznamu informace na magnetickou pásku i složitost činností kazetové paměti vůbec, patří řadič pro digitální kazetové paměti k nejsložitějším zařízením tohoto druhu.

V současné době se používají řadiče dvojího druhu. Buď je řadič řešen jako jednodušší, poměrně velmi rozsáhlý elektronický systém - hardwarový řadič, nebo se pro obsluhu kazetové paměti používá samostatný procesor, zpravidla mikroprocesor, který je připojen k hlavnímu, tj. řídicímu procesoru, a kterým je řízení kazetové paměti zajištěno speciálním programem.

Nevýhodou prvního typu řadiče je, že hardwarový řadič je velmi složitý a nákladný elektronický systém, který má vzhledem k charakteru svých elektronických obvodů tu nepří-

znivou vlastnost, že se jeho provozní závady velmi obtížně identifikují a odstraňují.

Nevýhoda druhého popsaného typu řadiče spočívá v tom, že pro řízení kazetové paměti je použit jeden celý procesor, jehož možnosti při této aplikaci není zdaleka plně využito, přičemž cena těchto řadičů je relativně vysoká.

Tyto nevýhody do značné míry odstraňuje zapojení programově řízeného řadiče pro kazetovou digitální paměť podle vynálezu, jehož podstatou je, že první vstup kazetové paměti je připojen k prvnímu výstupu zápisového obvodu, první výstup kazetové paměti je připojen ke vstupu čtecího obvodu, druhý vstup kazetové paměti je připojen k prvnímu výstupu řídicí vyrovnávací paměti a druhý výstup kazetové paměti je připojen k prvnímu vstupu stavové vyrovnávací paměti, přičemž první vstup zápisového obvodu, čtecí obvod, druhý výstup řídicí vyrovnávací paměti, druhý vstup stavové vyrovnávací paměti a první vstup registru cyklické kontroly jsou připojeny k pomocným časovacím obvodům, a druhý vstup zápisového obvodu, první výstup čtecího obvodu, vstup řídicí vyrovnávací paměti a výstup stavové vyrovnávací paměti jsou připojeny ke sběrnici procesoru, výstup registru cyklické kontroly je připojen ke třetímu vstupu stavové vyrovnávací paměti, druhý výstup zápisového obvodu je připojen ke druhému vstupu registru cyklické kontroly a druhý výstup čtecího obvodu je připojen ke třetímu vstupu registru cyklické kontroly, když sběrnice procesoru je programově propojena s programovými prostředky pro zápis dat, programovými prostředky pro čtení dat a s programovými prostředky pro řízení pomocných funkcí kazetové paměti, přičemž programové prostředky jsou programově napojeny na hlavní program procesoru.

Další podstatou zapojení programově řízeného řadiče podle vynálezu je, že zápisový obvod je obvod fázové modulace, čtecí obvod je dekódér fázové modulace, řídicí a stavová vyrovnávací paměť jsou paralelní registry, registr cyklické kontroly je 16bitový posuvný registr se zpětnými vazbami a pomocné časovací obvody generátor časové základny čtení a zápisu.

Výhodou zapojení programově řízeného řadiče podle vynálezu je podstatné zmenšení rozsahu hardware oproti současným, čistě hardwarovým řadičům, přičemž řídicí procesor může v době, kdy nekomunikuje s kazetovou pamětí, vykonávat libovolné operace.

Zapojení programově řízeného řadiče podle vynálezu, je blokově znázorněno na výkrese. První vstup kazetové paměti 1 je připojen k prvnímu výstupu zápisového obvodu 2, první výstup kazetové paměti 1 je připojen ke vstupu čtecího obvodu 3, druhý vstup kazetové paměti 1 je připojen k prvnímu výstupu řídicí vyrovnávací paměti 4 a druhý výstup kazetové paměti 1 je připojen k prvnímu vstupu stavové vyrovnávací paměti 5. První vstup zápisového obvodu 2, čtecí obvod 3, druhý výstup řídicí vyrovnávací paměti 4, druhý vstup stavové vyrovnávací paměti 5 a první vstup registru 6 cyklické kontroly jsou připojeny k pomocným časovacím obvodům 7 a druhý vstup zápisového obvodu 2, první výstup čtecího obvodu 3, vstup řídicí vyrovnávací paměti 4 a výstup stavové vyrovnávací paměti 5 jsou připojeny ke sběrnici 8 procesoru. Výstup registru 6 cyklické kontroly je připojen ke třetímu vstupu stavové vyrovnávací paměti 5, druhý výstup zápisového obvodu 2 je připojen ke druhému vstupu registru 6 cyklické kontroly a druhý výstup čtecího obvodu 3 je připojen ke třetímu vstupu registru 6 cyklické kontroly. Sběrnice 8 procesoru je programově propojena s programovými prostředky 9 pro zápis dat, s programovými prostředky 10 pro čtení dat a s programovými prostředky 11 pro řízení pomocných funkcí kazetové paměti 1. Programové prostředky 9, 10, 11 jsou programově napojeny na hlavní program 12 procesoru.

Zápisový obvod 2 je s výhodou neznázorněný obvod fázové modulace, čtecí obvod 3 je neznázorněný dekódér fázové modulace, řídicí a stavová vyrovnávací paměť 4, 5 jsou neznázorněné paralelní registry, registr 6 cyklické kontroly je s výhodou neznázorněný 16bitový posuvný registr se zpětnými vazbami a pomocné časovací obvody 7 jsou neznázorněný generátor časové základny čtení a zápisu.

Hlavní program 12 procesoru je libovolný program, jehož konkrétní podoba závisí na požadované funkci procesoru v daném výpočetním nebo řídicím systému. V případě, že procesor má komunikovat s kazetovou pamětí, provede se programový odskok z hlavního programu na jeden z programových prostředků 9, 10, 11 - skok do podprogramu.

Programové prostředky 9 pro zápis dat zajišťují přesun dat ze zadaného místa neznázorněné paměti procesoru do zápisových obvodů 2 a řízení zápisu dat na kazetu, včetně automatického generování normou předepsaných znaků, tj. úvodní znak bloku PREAMBLE, koncový znak bloku POSTAMBLE, kontrolní znak CRC, které jsou zajištěny v součinnosti s registrem 6 cyklické kontroly.

Programové prostředky 10 pro čtení zajišťují přesun dat ze čtecího obvodu 3 do zadaného místa paměti procesoru, a řízení čtení dat včetně kontroly správnosti PREAMBLE, POSTAMBLE a CRC v součinnosti s registrem 6 cyklické kontroly.

Programové prostředky 11 pro řízení pomocných funkcí kazetové paměti 1 zajišťují pomocné činnosti kazetové paměti 1 jako např. je rezervace, logické připojení, převíjení kazety, přeskok zadaného počtu bloků - rychlé prohledávání, nájezd na pracovní počátek pásky BOT a podobně.

Zápisový obvod 2 realizuje převod binární informace z datové sběrnice 8, procesoru na modulační signál pro neznázorněný zápisový zesilovač kazetové paměti 1. Hlavní částí zápisového obvodu 2 je neznázorněný kodér fázové modulace.

Čtecí obvod 3 realizuje převod výstupního signálu neznázorněného čtecího zesilovače kazetové paměti 1 na binární informaci pro datovou sběrnici 8 procesoru. V tomto případě čtecí obvod 3 zahrnuje neznázorněný dekodér fázové modulace.

Řídicí vyrovnávací paměť 4 umožňuje převod výstupních instrukcí procesoru na řídicí signály pro kazetovou paměť 1 a řídicí signály pro pomocné časovací obvody 7.

Stavová vyrovnávací paměť 5 zajišťuje synchronizaci přenosu stavových informací kazetové paměti 1, např. kazeta rezervována, kazeta připojena, zápis dovozen a podobně, a pomocných časovacích obvodů 7 na sběrnici 8 procesoru. Řídicí a stavová vyrovnávací paměť 4, 5 mohou být realizovány s výhodou neznázorněnými paralelními registry, s délkou odpovídající požadovanému počtu řídicích a stavových signálů.

Registr 6 cyklické kontroly zajišťuje v součinnosti s pomocnými časovacími obvody 7 automatickou tvorbu kontrolní kombinace CRC při čtení a zápisu dat. Tento registr 6 může být realizován s výhodou 16bitovým posuvným registrem, s vhodně volenými zpětnými vazbami - v souladu se zvoleným generačním polynommem.

Pomocné časovací obvody 7 generují potřebné synchronizační impulsy pro hardwarovou část řadiče a procesor. V podstatě jde o generátor časové základny čtení a zápisu. Funkce těchto obvodů 7 je řízena procesorem prostřednictvím řídicí vyrovnávací paměti 4. Potřebné synchronizační signály pro procesor jsou naopak předávány prostřednictvím stavové vyrovnávací paměti 5.

Hardwarová část řadiče podle vynálezu je při použití běžných integrovaných obvodů malé a střední integrace realizovatelná v relativně velmi malém prostoru, např. na jediné kartě tzv. velkého evropského formátu. Softwarová část, zahrnující programové prostředky 9, 10, 11, zabere cca 400-500 byte neznázorněné paměti procesoru.

Z uvedených skutečností plyne, že řadič podle vynálezu je pro celou řadu systémů, zejména systémů s minipočítači a mikroprocesory, optimálním řešením z hlediska vzájemné proporce rozsahu hardware a software.

## PŘEDMĚT VYNÁLEZU

Zapojení programově řízeného řadiče pro kazetovou digitální paměť vyznačené tím, že první vstup kazetové paměti (1) je připojen k prvnímu výstupu zápisového obvodu (2), první výstup kazetové paměti (1) je připojen ke vstupu čtecího obvodu (3), druhý vstup kazetové paměti (1) je připojen k prvnímu výstupu řídicí vyrovnávací paměti (4) a druhý výstup kazetové paměti (1) je připojen k prvnímu vstupu stavové vyrovnávací paměti (5), přičemž první vstup zápisového obvodu (2), čtecí obvod (3), druhý výstup řídicí vyrovnávací paměti (4), druhý vstup stavové vyrovnávací paměti (5) a první vstup registru (6) cyklické kontroly jsou připojeny k pomocným časovacím obvodům (7), a druhý vstup zápisového obvodu (2), první výstup čtecího obvodu (3), vstup řídicí vyrovnávací paměti (4) a výstup stavové vyrovnávací paměti (5) jsou připojeny ke sběrnici (8) procesoru, výstup registru (6) cyklické kontroly je připojen ke třetímu vstupu stavové vyrovnávací paměti (5), druhý výstup zápisového obvodu (2) je připojen ke druhému vstupu registru (6) cyklické kontroly a druhý výstup čtecího obvodu (3) je připojen ke třetímu vstupu registru (6) cyklické kontroly, když sběrnice (8) procesoru je programově propojena s programovými prostředky (9) pro zápis dat, s programovými prostředky (10) pro čtení dat a s programovými prostředky (11) pro řízení pomocných funkcí kazetové paměti (1), přičemž programové prostředky (9, 10, 11) jsou programově napojeny na hlavní program (12) procesoru.

1 list výkresů

