(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4536180号
(P4536180)

(45)発行日　平成22年9月1日(2010.9.1)　(24)登録日　平成22年6月25日(2010.6.25)

(51)Int.Cl.		F I		
H01L 27/10	(2006.01)	H01L	27/10	481
H01L 21/822	(2006.01)	H01L	27/04	C
H01L 27/04	(2006.01)	H01L	27/10	434
H01L 21/8247	(2006.01)	H01L	29/78	371
H01L 27/115	(2006.01)			

請求項の数 2　(全 16 頁)　最終頁に続く

(21)出願番号　特願平11-67390
(22)出願日　平成11年3月12日(1999.3.12)
(65)公開番号　特開2000-269449(P2000-269449A)
(43)公開日　平成12年9月29日(2000.9.29)
審査請求日　平成18年3月13日(2006.3.13)

前置審査

(73)特許権者　308014341
富士通セミコンダクター株式会社
神奈川県横浜市港北区新横浜二丁目１０番２３
(74)代理人　100070150
弁理士　伊東　忠彦
(74)代理人　100146776
弁理士　山口　昭則
(72)発明者　高橋　浩司
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内

審査官　柴山　将隆

(56)参考文献　特開平０５－０２１８０８（ＪＰ，Ａ）

最終頁に続く

(54)【発明の名称】半導体集積回路装置の製造方法

(57)【特許請求の範囲】

【請求項１】

不揮発性メモリとキャパシタとを有する半導体集積回路装置の製造方法において、

基板上の第１の領域にトンネル絶縁膜を形成する工程と、

前記基板上の前記第１の領域とは異なる第２の領域に素子分離絶縁膜を形成する工程と、

前記トンネル絶縁膜および前記素子分離絶縁膜を形成された基板上に、前記第１の領域を前記トンネル絶縁膜を介して覆うようにフローティングゲート電極として第１の電極パターンを、また前記素子分離絶縁膜上に前記キャパシタの下側電極として第２の電極パターンを、同時に形成する工程と、

前記第１の電極パターンに、不純物元素をイオン注入により選択的に導入する工程と、

前記イオン注入工程の後、前記第１および第２の電極パターンの表面を酸化することにより、前記第１および第２の電極パターンの表面に、それぞれ第１および第２の厚さの、第１および第２の絶縁膜パターンを形成する工程と、

前記第１および第２の絶縁膜パターンを形成する工程の後、前記第１の絶縁膜パターンを形成された前記第１の電極パターンおよび前記第２の絶縁膜パターンを形成された前記第２の電極パターンを覆うように、前記基板上に導電性膜を堆積する工程と、

前記導電性膜をパターニングして、前記第１の絶縁膜パターンを覆うように第３の電極を、また前記第２の絶縁膜パターンを覆うように前記キャパシタの上側電極として第４の電極を、同時に形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

【請求項２】
前記不純物元素を導入する工程は、Ｐ＋を前記第１の電極パターンにイオン注入する工程を含むことを特徴とする請求項１記載の半導体集積回路装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は一般に半導体装置に係り、特に通常のキャパシタとフローティングキャパシタとを同一基板上に形成した半導体集積回路装置に関する。
半導体記憶装置はマイクロプロセッサ等の論理演算装置と共に、コンピュータをはじめとする様々な情報処理装置あるいは制御装置において広く使われている。特に、情報をフローティングゲート中に電荷の形で保持するＥＰＲＯＭあるいはフラッシュメモリ等の不揮発性半導体記憶装置では、保持された情報が電源断の後でも安定に保持される。
【０００２】
最近では、このようなフラッシュメモリをアナログ回路と共に、共通の半導体基板に形成した混載集積回路装置に対する要求が存在する。かかるアナログ回路はキャパシタを含むのが特徴的であり、従って共通の半導体基板上にフローティングキャパシタと通常のキャパシタとを同時に形成する技術が必要とされている。
【０００３】
【従来の技術】
図１～３（（Ａ）～（Ｆ）工程）は、従来のフラッシュメモリとアナログキャパシタとを混載した集積回路装置１０の製造工程を示す。
図１（Ａ）を参照するに、ｐ型Ｓｉ基板１１上にはフィールド酸化膜１２が形成され、前記フィールド酸化膜１２により前記Ｓｉ基板１１上にはフラッシュメモリ領域１１Ａとアナログ回路領域１１Ｂとが画成される。さらに、前記Ｓｉ基板１１中には、前記アナログ回路領域１１Ｂに対応して、ｎ型拡散領域１１ｂが、As^+を５０～１５０ｋｅＶの加速エネルギ下において1×10^{15}～10^{16}のドーズ量でイオン注入することにより、前記アナログ回路領域１１Ｂに形成されるアナログキャパシタの下側電極として形成される。図１（Ａ）の工程では、さらに前記Ｓｉ基板１１上に、前記フラッシュメモリ領域１１Ａに対応してトンネル酸化膜１１ａがＳｉ基板１１の熱酸化工程により形成される。
【０００４】
さらに、図１（Ａ）の工程においては、前記Ｓｉ基板１１上に、前記トンネル酸化膜１１ａを覆うようにポリシリコン膜がＣＶＤ法により、典型的には１００～１５０ｎｍの厚さに堆積され、さらにこれをパターニングすることにより、フラッシュメモリのフローティング電極１３を前記フラッシュメモリ領域１１Ａ上に形成する。さらに、このようにして得られた構造上に、ＯＮＯ構造、すなわちＳｉＮ膜をSiO_2膜で挟んだ構造を有する絶縁膜１４を、２０～３０ｎｍの厚さに堆積する。
【０００５】
次に、図１（Ｂ）の工程で図１（Ａ）の構造上にレジストパターン１５を形成し、前記レジストパターン１５をマスクに前記絶縁膜１４をドライエッチングし、前記フラッシュメモリ領域１１Ａ中にのみ、前記絶縁膜１４を、フラッシュメモリの層間絶縁膜として残す。
さらに前記レジストパターン１５を除去した後、図２（Ｃ）の工程において熱酸化工程を実行し、前記Ｓｉ基板１１上に、図示しないＭＯＳトランジスタのゲート酸化膜１６を形成する。かかるゲート酸化膜の形成工程に伴い、前記絶縁膜１４上にも、ＯＮＯ構造を形成するＳｉＮ膜の酸化により、薄い酸化膜１６Ａが形成される。その際、図２（Ｃ）に示すように、アナログ回路領域１１Ｂにおいては前記Ａｓでドープしたｎ型拡散領域１１ｂにおいて酸化が増速し、前記ゲート酸化膜に厚膜部１６Ｂが形成される。前記厚膜部１６Ｂは、形成されるキャパシタのキャパシタ誘電体膜を構成する。
【０００６】
次に、図２（Ｄ）の工程において図２（Ｃ）の構造上にポリシリコン膜とＷＳｉ膜とを積

層した構造の導体膜を堆積し、さらにレジストパターン１８Ａ，１８Ｂをマスクに前記導体膜をパターニングすることにより、前記アナログ回路領域１１Ｂ上に、前記酸化膜の厚膜部１６Ｂを覆うように、形成したいアナログキャパシタの上側電極１７Ｂを形成する。これに伴い、前記フラッシュメモリ領域１１Ａにはコントロールゲート電極１７Ａが、前記導体膜のパターニングの結果形成される。

【０００７】

さらに、図３（Ｅ）の工程において図２（Ｄ）の構造のうち、前記アナログ回路領域１１Ｂを覆うようにレジストパターン１９Ｂを形成し、また前記フラッシュメモリ領域１１Ａ中において前記コントロールゲート電極１７Ａ上にレジストパターン１９Ａを形成する。さらに、前記レジストパターン１９Ａ，１９Ｂをマスクに前記コントロール電極１７Ａ，酸化膜１６Ａ，ＯＮＯ膜１４およびその下のフローティングゲート１３をドライエッチングによりパターニングし、ゲート電極構造Ｇを形成する。

【０００８】

最後に、図３（Ｆ）の工程において、前記レジスト膜１９Ａ，１９Ｂを除去し、前記コントロールゲート電極１７Ａおよび前記上側電極１７ＢをマスクにAs^+ あるいはP^+ を、典型的には５０～８０ｋｅＶの加速電圧下、1×10^{15}～$10^{16}cm^{-2}$のドーズ量でイオン注入することにより、前記Ｓｉ基板１１中、前記ゲート電極構造Ｇの両側に、ｎ型の拡散領域１１ｃ，１１ｄを形成する。前記イオン注入工程では、また前記アナログ回路領域１１Ｂにおいて、前記フィールド酸化膜１２と拡散領域１１ｂとの間に、拡散領域１１ｅが、前記拡散領域１１ｂの延在部として形成される。

【０００９】

図３（Ｆ）の構造では、前記Ｓｉ基板１１上に画成された前記フラッシュメモリ領域１１Ａに、ゲート電極構造Ｇを有するフラッシュメモリセルが、また前記共通のＳｉ基板１１上の前記アナログ回路領域に、前記拡散領域１１ｂを下側電極とし、前記酸化膜１６Ｂをキャパシタ絶縁膜とし、前記ポリシリコン電極１７Ｂを上側電極としたアナログキャパシタＣが、実質的に同時に形成される。

【００１０】

【発明が解決しようとする課題】

このように、図１（Ａ）～（Ｆ）の工程によれば、共通のＳｉ基板上にフラッシュメモリとアナログキャパシタＣとを実質的に同時に形成することができるが、一方図３（Ｆ）の構造よりわかるように、前記キャパシタＣにおいては下側電極１１ｂが前記Ｓｉ基板１１中の拡散領域により構成されているため、前記キャパシタＣと共同するアナログ回路は基板中を伝搬する外部ノイズやバイアス電圧変動の影響を大きく受けてしまう。

【００１１】

また、図１（Ａ）～３（Ｆ）の工程では、特に図２（Ｃ）の工程において前記キャパシタ絶縁膜１６Ｂが、前記ゲート酸化膜１６を形成する際に前記Ｓｉ基板１１の酸化工程により形成されるが、その際に前記酸化工程において増速作用が生じるため、前記キャパシタ絶縁膜１６Ｂの厚さは必然的に厚くなってしまう。この問題は、特に前記ゲート酸化膜１６の形成を、前記ゲート酸化膜１６が一様に形成されるように低温でのウェット酸化工程により実行する場合に顕著に現れる。例えば図示しないＭＯＳトランジスタにおいて、前記酸化工程により５～１０ｎｍの厚さのゲート酸化膜を形成しようとした場合、前記キャパシタ絶縁膜１６Ｂの厚さは１００ｎｍに達する場合がある。その結果、形成されるキャパシタＣの単位面積当たりの容量が小さくなる。このようなキャパシタＣでは、必要な容量を確保しようとすると、大きな面積が必要になる。

【００１２】

これに対し、従来より前記基板ノイズの問題を回避するために、アナログキャパシタＣをフィールド酸化膜等のＳｉ基板上に形成された絶縁構造上に形成する方法が提案されている。

図４～７（（Ａ）～（Ｅ）工程）は、かかる、アナログキャパシタＣをフィールド酸化膜上に形成する工程を含む半導体集積回路装置２０の製造工程を示す。

【００１３】
図４（Ａ）を参照するに、ｐ型Ｓｉ基板２１上にはフィールド酸化膜２２が形成され、前記フィールド酸化膜２２により前記Ｓｉ基板２１上にはフラッシュメモリ領域２１Ａが画成される。一方、前記フィールド酸化膜２２はアナログ回路領域２１Ｂに対応する。図４（Ａ）の工程では、さらに前記Ｓｉ基板２１上に、前記フラッシュメモリ領域２１Ａに対応してトンネル酸化膜２１ａがＳｉ基板２１の熱酸化工程により形成される。
【００１４】
さらに、図４（Ａ）の工程においては、前記Ｓｉ基板２１上にポリシリコン膜が、前記トンネル酸化膜２１ａを覆うようにＣＶＤ法により、典型的には１００～１５０ｎｍの厚さに堆積され、さらにこれをパターニングすることにより、フラッシュメモリのフローティング電極２３Ａを前記フラッシュメモリ領域２１Ａ上に形成する。同時に、前記フィールド酸化膜２２上には、前記アナログキャパシタＣの下側電極１１ｂに対応するポリシリコン電極パターン２３Ｂが形成される。図４（Ａ）の工程では、さらにこのようにして得られた構造上に、ＯＮＯ構造、すなわちＳｉＮ膜をSiO_2膜で挟んだ構造を有する絶縁膜２４を、前記ポリシリコンパターン２３Ａ，２３Ｂを覆うように２０～３０ｎｍの厚さに堆積する。
【００１５】
次に、図４（Ｂ）の工程で図４（Ａ）の構造上に対して熱酸化工程を実行し、前記Ｓｉ基板２１上に、図示しないＭＯＳトランジスタのゲート酸化膜を形成する。かかるゲート酸化膜の形成工程に伴い、前記絶縁膜２４上にも、ＯＮＯ構造を形成するＳｉＮ膜の酸化により、薄い酸化膜２５が形成される。その際、図４（Ｂ）に示すように、前記酸化膜２５は、前記フラッシュメモリ領域２１Ａから前記アナログ回路領域２１Ｂにかけて連続して延在するＯＮＯ絶縁膜２４上に形成されるため、図２（Ｃ）の工程におけるようなアナログ回路領域２１Ｂにおいて酸化が増速する問題は生じない。図４（Ｂ）の工程においては、さらに前記酸化膜２５上にポリシリコン層とＷＳｉ層とを積層した構造の導体膜２６を、ＣＶＤ法により、典型的には３００～４００ｎｍの厚さに堆積し、図５（Ｃ）の工程においてレジストパターン２８Ａ，２８Ｂをマスクに前記導体膜２６およびその下の酸化膜２５、さらにその下のＯＮＯ膜２４をパターニングすることにより、前記アナログ回路領域２１Ｂ上に、ＯＮＯ膜パターン２４Ｂとその上の酸化膜パターン２５Ｂとよりなるキャパシタ絶縁膜と、形成したいアナログキャパシタの上側電極パターン２６Ｂとを形成する。同時に、前記フラッシュメモリ領域２１Ａにおいては、前記導体膜２６のパターニングの結果導体パターン２６Ａが、前記酸化膜２５のパターニングの結果、酸化膜パターン２５Ａが、さらに前記ＯＮＯ膜２４のパターニングの結果、ＯＮＯ膜パターン２４Ａが形成される。
【００１６】
さらに、図６（Ｄ）の工程において図５（Ｃ）の構造のうち、前記アナログ回路領域２１Ｂを覆うようにレジストパターン２９Ｂを形成し、また前記フラッシュメモリ領域２１Ａ中において前記コントロールゲート電極２６Ａ上にレジストパターン２９Ａを形成する。さらに、前記レジストパターン２９Ａ，２９Ｂをマスクに前記コントロール電極２６Ａ，酸化膜パターン２５Ａ，ＯＮＯ膜パターン２４Ａおよびその下のフローティングゲートパターン２３Ａをドライエッチングによりパターニングし、ゲート電極構造Ｇを形成する。
【００１７】
最後に、図７（Ｅ）の工程において、前記レジスト膜２９Ａ，２９Ｂを除去し、前記コントロールゲート電極２６ＡをマスクにAs^+あるいはP^+を、典型的には５０～８０ｋｅＶの加速電圧下、1×10^{15}～$10^{16}cm^{-2}$のドーズ量でイオン注入することにより、前記Ｓｉ基板２１中、前記ゲート電極構造Ｇの両側に、ｎ型の拡散領域２１ｃ，２１ｄを形成する。
【００１８】
図７（Ｅ）の構造では、前記Ｓｉ基板２１上に画成された前記フラッシュメモリ領域２１Ａに、ゲート電極構造Ｇを有するフラッシュメモリセルが、また前記共通のＳｉ基板２１

上の前記アナログ回路領域に、前記フィールド酸化膜２２上に形成されたポリシリコンパターン２３Ｂを下側電極とし、前記ＯＮＯ膜パターン２４Ｂおよびその上の酸化膜パターン２５Ｂをキャパシタ絶縁膜とし、前記ポリシリコン電極２６Ｂを上側電極としたアナログキャパシタＣが、実質的に同時に形成される。かかるキャパシタＣでは、下側電極２３Ｂがフィールド酸化膜２２上に形成されているため、前記キャパシタＣに共同するアナログ回路は、基板２１を伝搬するノイズやバイアス電圧の変動を受けることがない。

【００１９】

一方、図７（Ｅ）の構成での半導体集積回路装置２０では、キャパシタＣのキャパシタ絶縁膜は前記酸化膜パターン２５Ｂのみならず、前記ＯＮＯ膜パターン２４Ｂをも含むことになり、キャパシタＣの容量は必然的に小さくなってしまう。前記フラッシュメモリ領域２１Ａにおいてフラッシュメモリが安定して動作するためには、前記ＯＮＯ膜パターン２４Ａとして２０～３０ｎｍの厚さは必要で、このため前記ＯＮＯ膜パターン２４Ｂも実質的に同程度の厚さが必要になる。フラッシュメモリでは、前記コントロール電極２６Ａに高電圧が印加されるため、また、フローティングゲート電極２３Ａ上に電荷を安定して保持するために、前記ＯＮＯ膜パターン２４Ａに対して、十分な膜厚を確保する必要がある。このため、キャパシタＣにおいてもキャパシタ絶縁膜２４Ｂの厚さは必然的に厚くなってしまう。

【００２０】

そこで、本発明は、上記の課題を解決した、新規で有用な半導体集積回路装置およびその製造方法を提供することを概括的課題とする。

本発明のより具体的な課題は、フローティング電極を有する半導体装置とキャパシタを有する半導体とを集積化した半導体集積回路装置において、前記キャパシタに対する基板中を伝搬するノイズの影響が低減され、また前記キャパシタの単位面積当たりの容量が大きい半導体集積回路装置およびその製造方法を提供することにある。

【００２１】

【課題を解決するための手段】

【００２３】

本発明は、上記の課題を、下記手段、

不揮発性メモリとキャパシタとを有する半導体集積回路装置の製造方法において、

基板上の第１の領域にトンネル絶縁膜を形成する工程と、

前記基板上の前記第１の領域とは異なる第２の領域に素子分離絶縁膜を形成する工程と、

前記トンネル絶縁膜および前記素子分離絶縁膜を形成された基板上に、前記第１の領域を前記トンネル絶縁膜を介して覆うようにフローティングゲート電極として第１の電極パターンを、また前記素子分離絶縁膜上に前記キャパシタの下側電極として第２の電極パターンを、同時に形成する工程と、

前記第１の電極パターンに、不純物元素をイオン注入により選択的に導入する工程と、

前記イオン注入工程の後、前記第１および第２の電極パターンの表面を酸化することにより、前記第１および第２の電極パターンの表面に、それぞれ第１および第２の厚さの、第１および第２の絶縁膜パターンを形成する工程と、

前記第１および第２の絶縁膜パターンを形成する工程の後、前記第１の絶縁膜パターンを形成された前記第１の電極パターンおよび前記第２の絶縁膜パターンを形成された前記第２の電極パターンを覆うように、前記基板上に導電性膜を堆積する工程と、

前記導電性膜をパターニングして、前記第１の絶縁膜パターンを覆うように第３の電極を、また前記第２の絶縁膜パターンを覆うように前記キャパシタの上側電極として第４の電極を、同時に形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法によって解決する。

【００２４】

【発明の実施の形態】

［第１実施例］

図８～１２（（Ａ）～（Ｆ）工程）は、かかる、アナログキャパシタＣをフィールド酸化膜上に形成する工程を含む、本発明の第１実施例による半導体集積回路装置４０の製造工程を示す。

【００２５】

図８（Ａ）を参照するに、ｐ型Ｓｉ基板４１上にはフィールド酸化膜４２が形成され、前記フィールド酸化膜４２により前記Ｓｉ基板４１上にはフラッシュメモリ領域４１Ａが画成される。一方、前記フィールド酸化膜４２はアナログ回路領域４１Ｂに対応する。図８（Ａ）の工程では、さらに前記Ｓｉ基板４１上に、前記フラッシュメモリ領域４１Ａに対応してトンネル酸化膜４１ａがＳｉ基板４１の熱酸化工程により形成される。

【００２６】

さらに、図８（Ａ）の工程においては、前記Ｓｉ基板４１上にポリシリコン膜が、前記トンネル酸化膜４１ａを覆うようにＣＶＤ法により、典型的には１００～１５０ｎｍの厚さに堆積され、さらにこれをパターニングすることにより、フラッシュメモリのフローティング電極４３Ａを前記フラッシュメモリ領域４１Ａ上に形成する。同時に、前記フィールド酸化膜４２上には、前記アナログキャパシタＣの下側電極に対応するポリシリコン電極パターン４３Ｂが形成される。図８（Ａ）の工程では、さらにこのようにして得られた構造上に、例えばＯＮＯ構造、すなわちＳｉＮ膜をSiO_2膜で挟んだ構造を有する絶縁膜４４を、前記ポリシリコンパターン４３Ａ，４３Ｂを覆うように２０～３０ｎｍの厚さに堆積する。前記ＯＮＯ膜４４は、典型的にはSiO_2膜およびＳｉＮ膜をそれぞれ数ｎｍの厚さにＣＶＤ法により堆積し、さらに前記ＳｉＮ膜の表面を酸化することにより形成される。

【００２７】

次に、図８（Ｂ）の工程で図８（Ａ）の構造上に前記フラッシュメモリ領域４１Ａを覆うようにレジストパターン４５を形成し、前記レジストパターン４５をマスクに、前記絶縁膜４４をドライエッチングによりパターニングし、前記フラッシュメモリ領域に前記フローティングゲート電極４３Ａを覆うように層間絶縁膜パターン４４Ａを形成する。前記層間絶縁膜パターン４４Ａの形成に伴い、前記フィールド酸化膜４２上には、前記下側電極４３Ｂが露出する。

【００２８】

次に、図９（Ｃ）の工程において前記レジストパターン４５を除去した後、熱酸化あるいはＣＶＤにより、前記層間絶縁膜パターン４４Ａを覆うように、また前記下側電極４３Ｂを覆うように酸化膜４６を典型的には５～１０ｎｍの厚さに形成する。さらに前記酸化膜４６上にポリシリコン層とＷＳｉ層とを積層した構造の導体膜４７を、ＣＶＤ法により、典型的には３００～４００ｎｍの厚さに堆積し、図１０（Ｄ）の工程においてレジストパターン４８Ａ，４８Ｂをマスクに前記導体膜４７およびその下の酸化膜４６をパターニングし、前記アナログ回路領域４１Ｂ上に酸化膜パターン４６Ｂよりなるキャパシタ絶縁膜と、形成したいアナログキャパシタＣの上側電極パターン４７Ｂとを、それぞれ導体膜４７および酸化膜４６から形成する。同時に、前記フラッシュメモリ領域４１Ａにおいては、前記導体膜４７のパターニングの結果導体パターン４７Ａが、また前記酸化膜４６のパターニングの結果、酸化膜パターン４６Ａが、前記ＯＮＯ膜パターン４４Ａ上に形成される。

【００２９】

さらに、図１１（Ｅ）の工程において図１０（Ｄ）の構造のうち、前記アナログ回路領域４１Ｂを覆うようにレジストパターン４９Ｂを形成し、また前記フラッシュメモリ領域４１Ａ中において前記コントロールゲート電極４７Ａ上にレジストパターン４９Ａを形成する。さらに、前記レジストパターン４９Ａ，４９Ｂをマスクに前記コントロール電極４７Ａ，酸化膜パターン４６Ａ，層間絶縁膜パターン４４Ａおよびその下のフローティングゲートパターン４３Ａをドライエッチングによりパターニングし、ゲート電極構造Ｇを形成する。

【００３０】

最後に、図１２（Ｆ）の工程において、前記レジスト膜４９Ａ，４９Ｂを除去し、前記コントロールゲート電極４７ＡをマスクにＡｓ$^{+}$ あるいはＰ$^{+}$ を、典型的には５０～８０ｋｅＶの加速電圧下、１×１０^{15}～１０^{16}ｃｍ$^{-2}$のドーズ量でイオン注入することにより、前記Ｓｉ基板４１中、前記ゲート電極構造Ｇの両側に、ｎ型の拡散領域４１ｃ，４１ｄを形成する。

【００３１】

図１２（Ｆ）の構造では、前記Ｓｉ基板４１上に画成された前記フラッシュメモリ領域４１Ａに、ゲート電極構造Ｇを有するフラッシュメモリセルが、また前記共通のＳｉ基板４１上の前記アナログ回路領域に、前記フィールド酸化膜４２上に形成されたポリシリコンパターン４３Ｂを下側電極とし、前記酸化膜パターン４６Ｂをキャパシタ絶縁膜とし、前記ポリシリコン電極４７Ｂを上側電極としたアナログキャパシタＣが、実質的に同時に形成される。かかるキャパシタＣでは、下側電極４３Ｂがフィールド酸化膜４２上に形成されているため、前記キャパシタＣに共同するアナログ回路は、基板４１を伝搬するノイズやバイアス電圧の変動を受けることがない。また、前記キャパシタ絶縁膜が、厚さが５～１０ｎｍの酸化膜４６Ｂのみとなるため、前記キャパシタＣは大きな容量を有する。一方、フラッシュメモリ領域４１Ａのゲート電極構造Ｇは、前記薄い酸化膜パターン４６Ａの他に厚い層間絶縁膜４４Ａを含むため、前記コントロールゲート電極４７Ａに高電圧が印加されても絶縁破壊が生じることはない。前記層間絶縁膜４４Ａとキャパシタ絶縁膜４６Ｂとは、組成が異なるため、前記層間絶縁膜４４Ａと前記酸化膜パターン４６Ａとを合わせた絶縁層膜構造全体の誘電率は、キャパシタ絶縁膜４６Ｂの誘電率とは異なった値を有する。

［第２実施例］

図１３～１７（（Ａ）～（Ｆ）工程）は、本発明の第２実施例による半導体集積回路装置５０の製造工程を示す。

【００３２】

図１３（Ａ）を参照するに、ｐ型Ｓｉ基板５１上にはフィールド酸化膜５２が形成され、前記フィールド酸化膜５２により前記Ｓｉ基板５１上にはフラッシュメモリ領域５１Ａが画成される。一方、前記フィールド酸化膜５２はアナログ回路領域５１Ｂに対応する。図１３（Ａ）の工程では、さらに前記Ｓｉ基板５１上に、前記フラッシュメモリ領域５１Ａに対応してトンネル酸化膜５１ａがＳｉ基板５１の熱酸化工程により形成される。

【００３３】

さらに、図１３（Ａ）の工程においては、前記Ｓｉ基板５１上にポリシリコン膜が、前記トンネル酸化膜５１ａを覆うようにＣＶＤ法により、典型的には１００～１５０ｎｍの厚さに堆積され、さらにこれをパターニングすることにより、フラッシュメモリのフローティング電極５３Ａを前記フラッシュメモリ領域５１Ａ上に形成する。同時に、前記フィールド酸化膜５２上には、前記アナログキャパシタＣの下側電極に対応するポリシリコン電極パターン５３Ｂが形成される。

【００３４】

図１３（Ａ）の工程では、さらに前記下側電極パターン５３Ｂをレジストパターンで保護し、前記フローティング電極５３Ａ中にＰ$^{+}$ を典型的には４０～６０ｋｅＶの加速電圧下、１×１０^{14}～１０^{16}ｃｍ$^{-2}$のドーズ量でイオン注入を行なう。その結果、前記フローティング電極５３Ａは２００～３００Ω／□程度の低い比抵抗を有するようになる。

【００３５】

次に、図１３（Ｂ）の工程で前記レジストパターン５４を除去し、熱酸化とＣＶＤにより、例えばＯＮＯ構造を有する絶縁膜５５を、前記絶縁膜５５が前記フローティング電極５３Ａおよび前記下側電極５３Ｂを覆うように典型的には２０～３０ｎｍの厚さに堆積する。その際、前記Ｐ$^{+}$ をイオン注入したフローティング電極５３Ａでは増速酸化が生じ、前記絶縁膜５５は前記フローティング電極５３Ａ上において前記２０～３０ｎｍの膜厚よりも実質的に大きい３０～４０ｎｍ程度の膜厚を有するようになる。一方、かかるイオン注入がなされなかった前記下側電極５３Ｂ上ではかかる増速酸化は生じることがない。

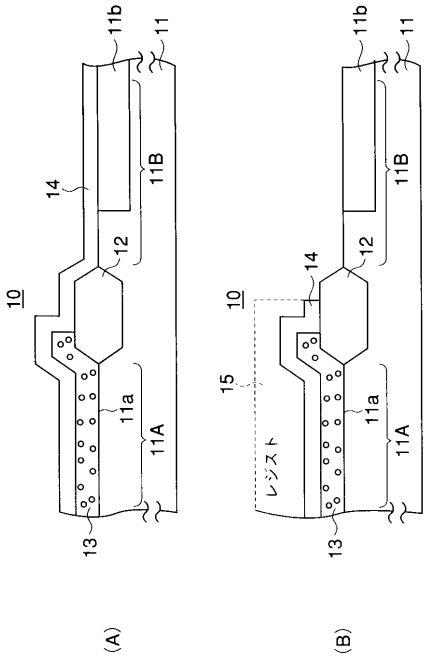
【００３６】
次に、図１４（Ｃ）の工程において図１３（Ｂ）の構造に対して熱酸化工程を行ない、前記層間絶縁膜パターン５５Ａおよびさらに前記下側電極５３Ｂを覆うように酸化膜５６を典型的には５～１０ｎｍの厚さに形成する。この酸化膜５６を形成する工程は、前記基板５１上に形成される図示しない他のＭＯＳトランジスタのゲート酸化膜を形成する工程に対応する。さらに前記酸化膜５６上にポリシリコン層とＷＳｉ層とを積層した構造の導体膜５７を、ＣＶＤ法により、典型的には３００～４００ｎｍの厚さに堆積しする。
【００３７】
さらに、図１５（Ｄ）の工程においてレジストパターン５８Ａ，５８Ｂをマスクに前記導体膜５７およびその下の酸化膜５６とＯＮＯ絶縁膜５５をパターニングし、前記アナログ回路領域５１Ｂ上にＯＮＯ絶縁膜パターン５５Ｂとその上の酸化膜パターン５６Ｂとよりなるキャパシタ絶縁膜と、形成したいアナログキャパシタＣの上側電極パターン５７Ｂとを、それぞれ導体膜５７および酸化膜５６とＯＮＯ絶縁膜５５から形成する。同時に、前記フラッシュメモリ領域５１Ａにおいては、前記導体膜５７のパターニングの結果導体パターン５７Ａが、また前記酸化膜５６のパターニングの結果、酸化膜パターン５６Ａが、前記ＯＮＯ層間絶縁膜パターン５３Ａ上に形成される。
【００３８】
さらに、図１６（Ｅ）の工程において図１５（Ｄ）の構造のうち、前記アナログ回路領域５１Ｂを覆うようにレジストパターン５９Ｂを形成し、また前記フラッシュメモリ領域５１Ａ中において前記コントロールゲート電極５７Ａ上にレジストパターン５９Ａを形成する。さらに、前記レジストパターン５９Ａ，５９Ｂをマスクに前記コントロール電極５７Ａ，酸化膜パターン５６Ａ，層間絶縁膜パターン５５Ａおよびその下のフローティングゲートパターン５３Ａをドライエッチングによりパターニングし、ゲート電極構造Ｇを形成する。
【００３９】
最後に、図１７（Ｆ）の工程において、前記レジスト膜５９Ａ，５９Ｂを除去し、前記コントロールゲート電極５７ＡをマスクにAs^+ あるいはP^+ を、典型的には５０～８０ｋｅＶの加速電圧下、1×10^{15}～$10^{16}cm^{-2}$のドーズ量でイオン注入することにより、前記Ｓｉ基板５１中、前記ゲート電極構造Ｇの両側に、ｎ型の拡散領域５１ｃ，５１ｄを形成する。
【００４０】
図１７（Ｆ）の構造では、前記Ｓｉ基板５１上に画成された前記フラッシュメモリ領域５１Ａに、ゲート電極構造Ｇを有するフラッシュメモリセルが、また前記共通のＳｉ基板５１上の前記アナログ回路領域に、前記フィールド酸化膜５２上に形成されたポリシリコンパターン５３Ｂを下側電極とし、前記絶縁膜パターン５５Ｂおよび酸化膜パターン５６Ｂをキャパシタ絶縁膜とし、前記ポリシリコン電極５７Ｂを上側電極としたアナログキャパシタＣが、実質的に同時に形成される。かかるキャパシタＣでは、下側電極５７Ｂがフィールド酸化膜５２上に形成されているため、前記キャパシタＣに共同するアナログ回路は、基板５１を伝搬するノイズやバイアス電圧の変動を受けることがない。また、前記キャパシタ絶縁膜５５Ｂの厚さがゲート電極構造Ｇ中の層間絶縁膜５５Ａの厚さよりも小さくなるため、前記キャパシタＣは大きな容量を有する。一方、フラッシュメモリ領域５１Ａのゲート電極構造Ｇは、前記薄い酸化膜パターン５６Ａの他に厚い層間絶縁膜５５Ａを含むため、前記コントロールゲート電極５７Ａに高電圧が印加されても絶縁破壊が生じることはない。
【００４１】
本実施例では、図１３（Ａ）の工程において前記ポリシリコンパターン５３Ａ中にP^+ をイオン注入することにより、図１３（Ｂ）の絶縁膜堆積工程において前記ポリシリコンパターン５３Ａが選択的に増速酸化される。これに対し、前記キャパシタＣにおいてはかかるイオン注入がなされないため、キャパシタ絶縁膜パターン５５Ｂの厚さが増大することはない。

【００４２】
一方、前記キャパシタＣに前記ゲート電極構造Ｇに印加される電圧を超える高い電圧が印加される場合には、図１３（Ａ）の工程において前記ポリシリコン電極パターン５３ＢにP^+を、前記フローティング電極パターン５３Ａを超えるドーズで導入すればよい。そうすることで、図１３（Ｂ）の工程において、前記下側電極パターン５３Ｂ上において前記絶縁膜５５の厚さを前記フローティング電極５３Ａ上におけるよりも増大させることが可能になる。
【００４３】
また、図１３（Ａ）の工程において、P^+のイオン注入の代わりにO^+あるいはN^+のイオン注入を行なってもよい。
以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。
【００４４】
【発明の効果】
本発明によれば、高電圧を印加されるフラッシュメモリにおいて層間絶縁膜を厚く、また大きな容量が必要とされるキャパシタにおいてキャパシタ絶縁膜を薄く形成することが可能になる。また、前記キャパシタに高電圧が印加される場合には、前記キャパシタ絶縁膜を必要に応じて前記層間絶縁膜よりも厚く形成することができる。
【００４５】
本発明によれば、さらに前記フラッシュメモリの層間絶縁膜の耐圧を最大化し、同時に前記キャパシタの容量を最大化できる。あるいは、一度の工程で、前記フラッシュメモリと前記キャパシタとで膜厚の異なるように層間絶縁膜とキャパシタ絶縁膜とを形成することが可能になる。かかる絶縁膜の膜厚の変化は、前記フローティングゲート電極と前記下側電極とが、互いに異なった濃度で不純物元素を含むように構成することにより、実現できる。前記キャパシタが基板から絶縁されるように構成することで、前記キャパシタに協働するアナログ回路の動作が、基板中を伝搬するノイズにより、あるいは基板バイアス電圧の変動により影響される問題が、解決する。
【００４６】
また、本発明の製造方法によれば、、高電圧が印加される前記不揮発性メモリの層間絶縁膜を厚く、大容量が要求されるキャパシタのキャパシタ絶縁膜を薄く形成することができる。
前記不揮発性メモリの層間絶縁膜と前記キャパシタ絶縁膜とを酸化工程により形成する際の酸化速度を任意に設定することができ、その結果、例えば高電圧が印加される不揮発性メモリの層間絶縁膜の厚さを増大させ、大容量が要求されるキャパシタのキャパシタ絶縁膜の厚さを減少させることが可能になる。特に前記不純物元素を導入する工程をP^+のイオン注入にれば、容易に実行することが可能になる。
【図面の簡単な説明】
【図１】（Ａ），（Ｂ）は、従来の半導体集積回路装置の製造工程を示す図（その１）である。
【図２】（Ｃ），（Ｄ）は、従来の半導体集積回路装置の製造工程を示す図（その２）である。
【図３】（Ｅ），（Ｆ）は、従来の半導体集積回路装置の製造工程を示す図（その３）である。
【図４】（Ａ），（Ｂ）は、別の従来の半導体集積回路装置の製造工程を示す図（その１）である。
【図５】（Ｃ）は、前記別の従来の半導体集積回路装置の製造工程を示す図（その２）である。
【図６】（Ｄ）は、前記従来の半導体集積回路装置の製造工程を示す図（その３）である。

【図７】（Ｅ）は、前記従来の半導体集積回路装置の製造工程を示す図（その４）である。
【図８】（Ａ），（Ｂ）は、本発明の第１実施例による半導体集積回路装置の製造工程を示す図（その１）である。
【図９】（Ｃ）は、本発明の第１実施例による半導体集積回路装置の製造工程を示す図（その２）である。
【図１０】（Ｄ）は、本発明の第１実施例による半導体集積回路装置の製造工程を示す図（その３）である。
【図１１】（Ｅ）は、本発明の第１実施例による半導体集積回路装置の製造工程を示す図（その４）である。
【図１２】（Ｆ）は、本発明の第１実施例による半導体集積回路装置の製造工程を示す図（その５）である。
【図１３】（Ａ），（Ｂ）は、本発明の第２実施例による半導体集積回路装置の製造工程を示す図（その１）である。
【図１４】（Ｃ）は、本発明の第２実施例による半導体集積回路装置の製造工程を示す図（その２）である。
【図１５】（Ｄ）は、本発明の第２実施例による半導体集積回路装置の製造工程を示す図（その３）である。
【図１６】（Ｅ）は、本発明の第２実施例による半導体集積回路装置の製造工程を示す図（その４）である。
【図１７】（Ｆ）は、本発明の第２実施例による半導体集積回路装置の製造工程を示す図（その５）である。
【符号の説明】
１０，２０，４０，５０　半導体集積回路装置
１１，２１，４１，５１　基板
１１ａ，２１ａ，４１ａ，５１ａ　トンネル絶縁膜
１１ｂ　下側電極拡散領域
１１ｃ，１１ｄ，２１ｃ，２１ｄ，４１ｃ，４１ｄ　拡散領域
１１Ａ，２１Ａ，４１Ａ，５１Ａ　フラッシュメモリ領域
１１Ｂ，２１Ｂ，４１Ｂ，５１Ｂ　アナログ回路領域
１２，２２，４２，５２　フィールド酸化膜
１３，２３Ａ，４３Ａ，５３Ａ　フローティング電極
１４，２４，２４Ａ，４４，４４Ａ，５５，５５Ａ　層間絶縁膜
１５，４５，５４　レジストパターン
１６，２５，４６，５６　ゲート酸化膜
１６Ａ，２５Ａ，４６Ａ，５６Ａ　酸化膜パターン
１６Ｂ，２４Ｂ，２５Ｂ，４６Ｂ，５５Ｂ，５６Ｂ　キャパシタ絶縁膜
１７Ａ，２６Ａ，４７Ａ，５７Ａ　コントロールゲート電極
１７Ｂ，２６Ｂ，４７Ｂ，５７Ｂ　上側電極
１８Ａ，１８Ｂ，１９Ａ，１９Ｂ，２８Ａ，２８Ｂ，２９Ａ，２９Ｂ，４８Ａ，４８Ｂ，４９Ａ，４９Ｂ，５８Ａ，５８Ｂ，５９Ａ，５９Ｂ　レジストパターン２３Ｂ，４３Ｂ　下側電極
２６，４７，５７　導体膜

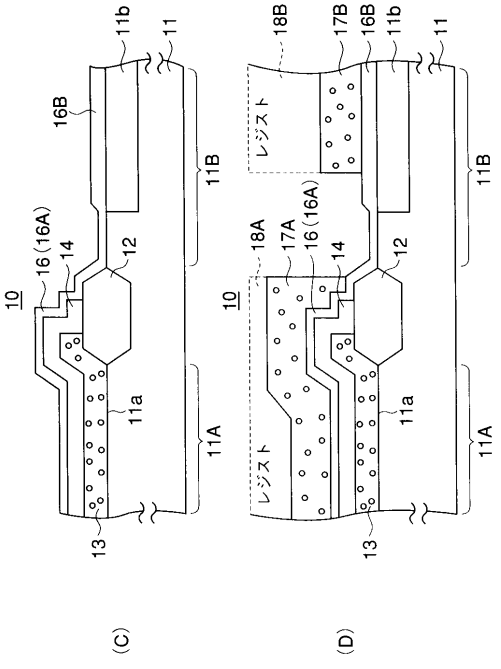
【図１】

(A)、(B)は、従来の半導体集積回路装置の製造工程を示す図(その1)



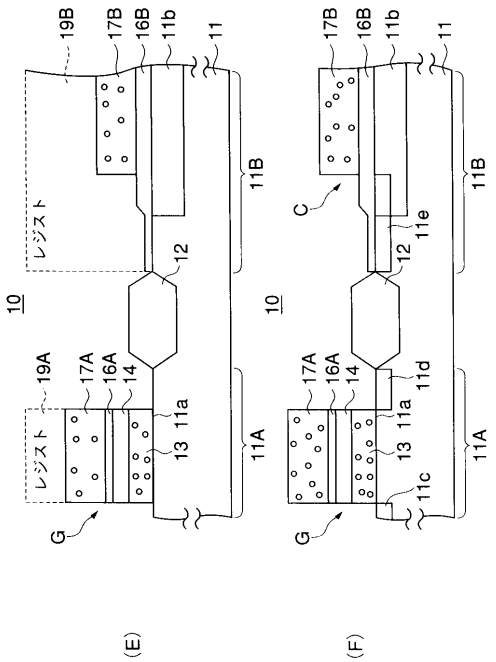
【図２】

(C)、(D)は、従来の半導体集積回路装置の製造工程を示す図(その2)



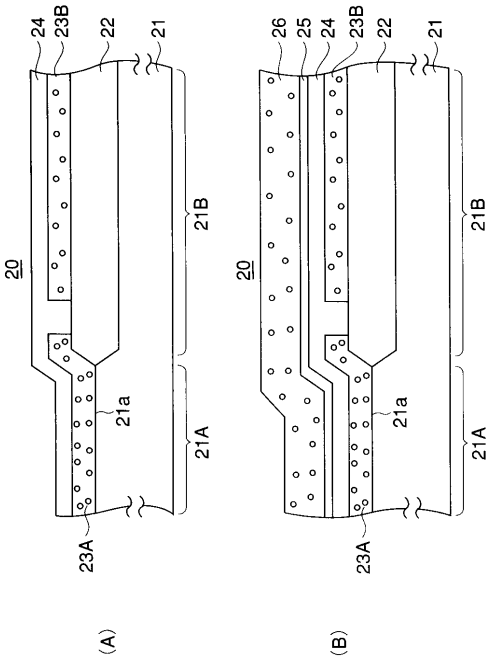
【図３】

(E)、(F)は、従来の半導体集積回路装置の製造工程を示す図(その3)



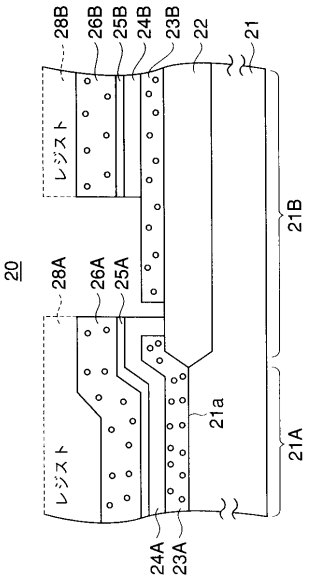
【図４】

(A),(B)は、別の従来の半導体集積回路装置の製造工程を示す図(その1)



【図５】

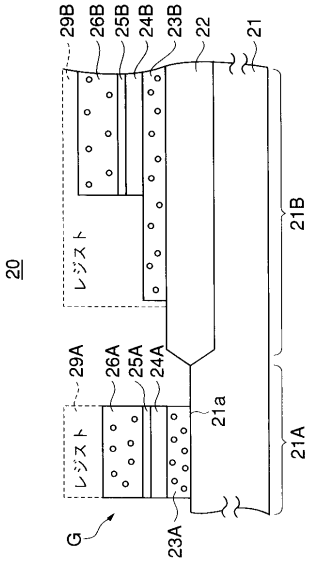
(C)は、前記別の従来の半導体集積回路装置の製造工程を示す図(その2)



(C)

【図６】

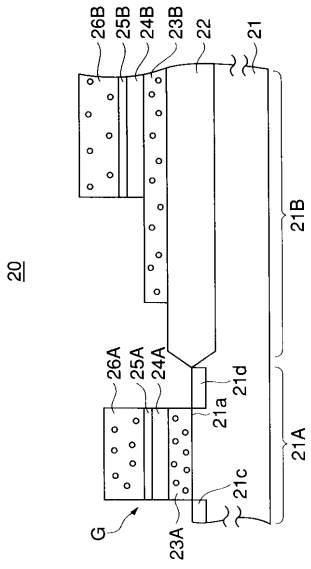
(D)は、前記別の従来の半導体集積回路装置の製造工程を示す図(その3)



(D)

【図７】

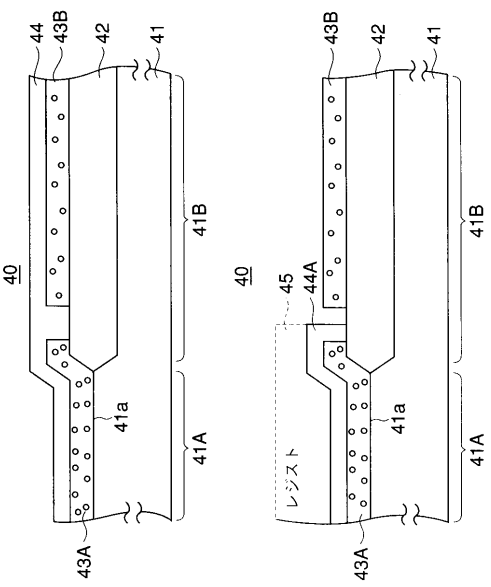
(E)は、前記従来の半導体集積回路装置の製造工程を示す図(その4)



(E)

【図８】

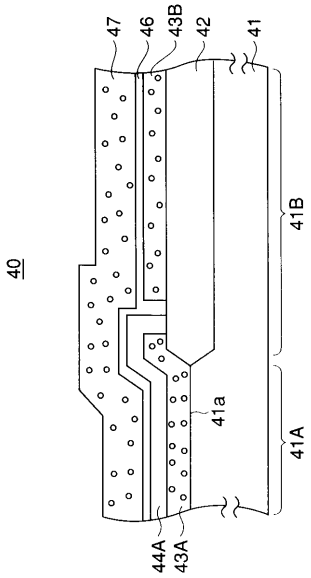
(A)、(B)は、本発明の第1実施例による半導体集積回路装置の製造工程を示す図(その1)



(A)　(B)

【図９】

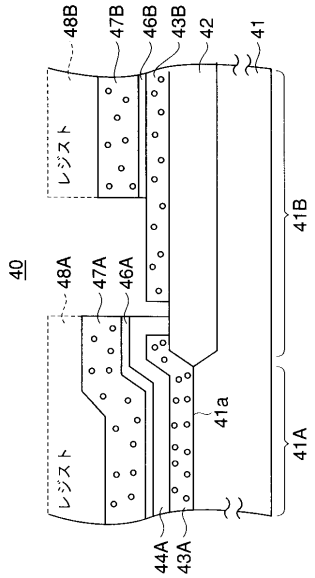
(C)は、本発明の第1実施例による半導体集積回路装置の製造工程を示す図(その2)



(C)

【図１０】

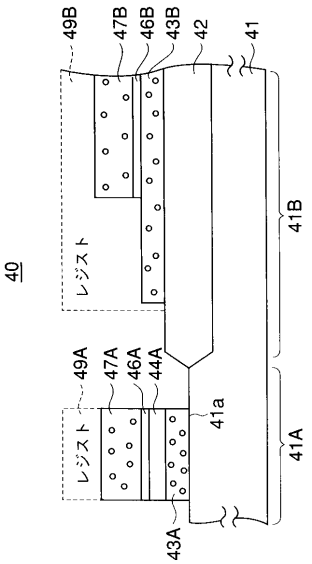
(D)は、本発明の第1実施例による半導体集積回路装置の製造工程を示す図(その3)



(D)

【図１１】

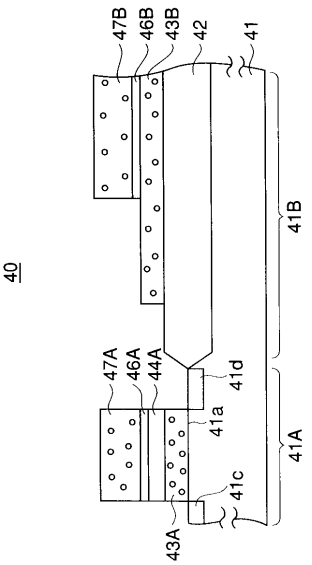
(E)は、本発明の第1実施例による半導体集積回路装置の製造工程を示す図(その4)



(E)

【図１２】

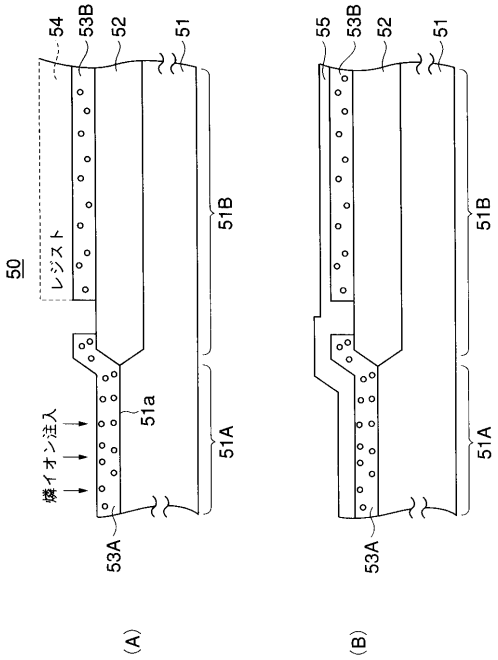
(F)は、本発明の第1実施例による半導体集積回路装置の製造工程を示す図(その5)



(F)

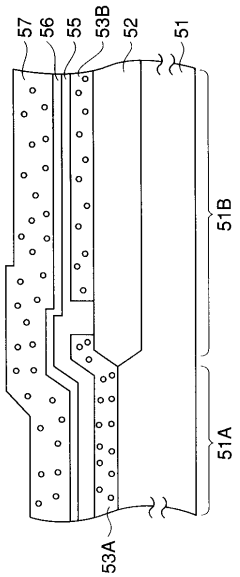
【図１３】

(A)、(B)は、本発明の第2実施例による半導体集積回路装置の製造工程を示す図(その1)



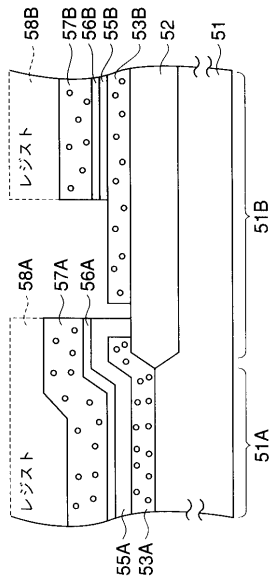
【図１４】

(C)は、本発明の第2実施例による半導体集積回路装置の製造工程を示す図(その2)



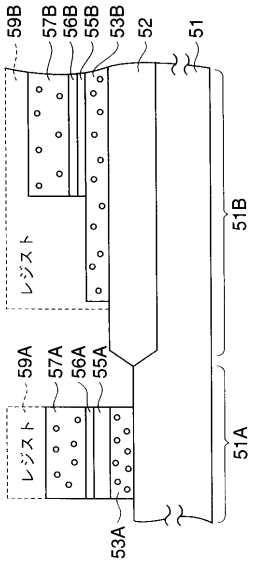
【図１５】

(D)は、本発明の第2実施例による半導体集積回路装置の製造工程を示す図(その3)



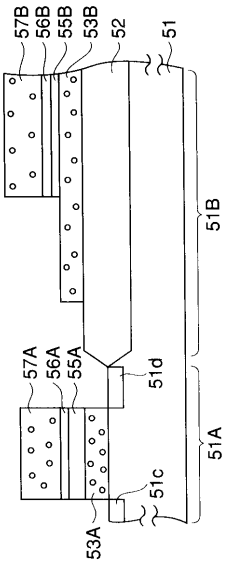
【図１６】

(E)は、本発明の第2実施例による半導体集積回路装置の製造工程を示す図(その4)



【図１７】

(F)は、本発明の第2実施例による半導体集積回路装置の製造工程を示す図(その5)



(F)

フロントページの続き

(51)Int.Cl. F I

H01L 29/788 (2006.01)
H01L 29/792 (2006.01)

(58)調査した分野(Int.Cl., ＤＢ名)

H01L 27/10
H01L 21/822
H01L 21/8247
H01L 27/04
H01L 27/115
H01L 29/788
H01L 29/792