

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 951459>8

※ 申請日期： 95.12.8

※IPC 分類： H02M 3/09

一、發明名稱：(中文/英文)

可避免基體效應之雙相充電泵電路

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

力旺電子股份有限公司

代表人：(中文/英文)

黃崇仁

住居所或營業所地址：(中文/英文)

300 新竹市力行一路 12 號 3 樓

國 籍：(中文/英文)

中華民國

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 張武昌

2. 陳印章

國 籍：(中文/英文)

1.2. 中華民國

200826446

四、聲明事項：

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種雙相充電泵電路(two-phase charge pump circuit)，尤指一種令電路中各 NMOS 或 PMOS 晶體之基體均獨自連接一組切換開關以適時切換至低/高準位而避免基體效應(body effect)者。

【先前技術】

為了降低功率消耗，重新設計了積體電路的電源規格，以便由較低的電壓位準供應其工作電源。例如以往積體電路的電源規格為 5 伏特，目前則重新設計為 3.3 伏特甚至於低於 2 伏特以下。以較低電壓位準供電，固然減少了功率消耗，但不能忽略仍有使用較大電壓的場合，以快閃記憶體為例，其執行抹除動作時，需要一個較大的負電壓，這個較大電壓是由一個充電泵電路(charge pump circuit)來供應，除了輸出負電壓之外，亦有正電壓設計的充電泵電路可提供一個高準位的正壓輸出。

請參考第九圖所示，為美國專利公告第 6,384,669 號專利，其揭露一種以 NMOS 晶體所組成的充電泵電路，該電路中各個 NMOS 晶體對應的驅動信號係揭露於第十圖。該充電泵電路的結構是上、下對稱的，在此電路當中，可看到各 NMOS 電晶體的基體僅是單純接地，並未作任何進一步處理，因此各 NMOS 電晶體均會有明顯的基體效應。由於該基體效應的存在，欲驅動各 NMOS 電晶體導通的電壓必須更高，因此必須額外考慮到電晶體的耐壓程度。

【發明內容】

現有充電泵電路中並未對各 NMOS 或 PMOS 電晶體之基體有效控制，使得各電晶體之基體仍存有基體效應，本發明即針對該問題加以克服。

本發明之一目的係提供一種可避免基體效應之雙相充電泵電路，可以使 NMOS 電晶體之基體自動切換到一相對較低準位，而 PMOS 電晶體之基體自動切換到一相對較高準位，故可避免基體效應的產生，為達到該目的，該充電泵電路係接收一組互為反相之第一輸入信號及第二輸入信號，且該充電泵電路包含：

一第一升壓級，包含第一 PMOS 充電電晶體，係具有一基體、閘極與第一端子及第二端子，其基體連接兩開關，該第一 PMOS 充電電晶體之第一端子及第二端子分別連接於一第一控制節點及一輸入節點；

一第二升壓級，包含一第二 PMOS 充電電晶體，係具有基體、閘極與第一端子及第二端子，其基體連接兩開關，該第二 PMOS 充電電晶體之第一端子及第二端子分別連接於一第二控制節點及前述輸入節點；

一輸入級，包含兩串接之 NMOS 充電電晶體，該串接點為輸入節點，各 NMOS 充電電晶體之基底係連接兩開關，其中第一 NMOS 充電電晶體之一端係連接於一第三控制節點，第二 NMOS 充電電晶體之一端係連接於一第四控制節點；

一高壓產生級，包含兩 PMOS 電晶體，各 PMOS 輸

出電晶體之基底係連接兩開關，其中第一 PMOS 輸出電晶體之一端係連接於該第三控制節點，第二 PMOS 輸出電晶體之一端係連接於該第四控制節點，兩 PMOS 電晶體之另一端係連接於一輸出節點；

其中，該第一輸入信號及第二輸入信號係分別提供至第一升壓級與第二升壓級，而前述第一升壓級之兩開關、第二升壓級之兩開關及輸入級之四開關，係由前述第一控制節點或第二控制節點之電壓所控制，令該第一 PMOS 充電電晶體與第二 PMOS 充電電晶體之基體恆切換至一相對較高準位，亦令兩 NMOS 充電電晶體之基體恆切換至一相對較低準位。

於另一實施例中，前述各 PMOS 電晶體可改由 NMOS 電晶體取代，而各 NMOS 電晶體可由 PMOS 電晶體取代，藉此組成一可提供負電壓輸出之充電泵電路。

【實施方式】

請參考第一、二圖，本發明單級充電泵電路(100)的第一實施例係採以 NMOS、PMOS 電晶體混合構成，惟各電晶體的源極(SOURCE)或汲極(DRAIN)於連接時無須特別限制，可彼此互換對調，故於以下電路說明中將稱之為第一端子／第二端子。

提供該充電泵電路(100)的輸入信號係一組互為反相的信號 PH_A、PH_B，在本實施例中，輸入信號 PH_A、PH_B 係為 non-overlap 連續方波，其準位於 0、VDD 之間呈交替變化，該充電泵電路(100)結構採上下對稱設計，包含：

一第一升壓級(10)，係透過第一電容 C1 連接至輸入信號 PH_A，該第一升壓級(10)包含一第一 PMOS 充電電晶體(11)、第一開關(12)與第二開關(13)，該第一 PMOS 充電電晶體(11)之第一端子及閘極連接第一電容 C1；第一開關(12)及第二開關(13)均同樣為 PMOS 電晶體，兩開關(12)(13)之基體及其第一端子均共接至該第一 PMOS 充電電晶體(11)的基體，其中第一開關(12)之第二端子係連接第一電容 C1，第二開關(13)之第二端子係連接該第一 PMOS 充電電晶體(11)之第二端子；

一第二升壓級(20)，係透過一第二電容 C2 連接另一輸入信號 PH_B，該第二充電級(20)包含一第二 PMOS 充電電晶體(21)、第三開關(22)與第四開關(23)；該第二 PMOS 充電電晶體(21)之第一端子及閘極連接於第二電容 C2；該第三開關(22)及第四開關(23)均同樣為 PMOS 電晶體，兩開關(22)(23)之基體及其第一端子均共接至該第二 PMOS 充電電晶體(21)的基體，其中第三開關(22)之第二端子係連接第二電容 C2，第四開關(23)之第二端子係連接該第二 PMOS 充電電晶體(21)之第二端子；

一輸入級(30)，主要由第一、第二 NMOS 充電電晶體(31)(32)串接組成，兩 NMOS 充電電晶體(31)(32)之第一端子共接於節點 VIN，於該節點上係輸入一電壓，該電壓值可等同於 VDD 或高於 VDD 之電位，其中第一 NMOS 充電電晶體(31)之第二端子係透過一第三電容 C3 連接至輸入信號 PH_A，第二 NMOS 充電電晶體(32)之第二端子則

透過電容 C4 連接到另一輸入信號 PH_B；又第一 NMOS 充電電晶體 (31) 之基體同樣連接有一組 NMOS 開關 (311)(312)，兩 NMOS 開關 (311)(312) 之基體亦共同連接於第一 NMOS 充電電晶體 (31) 的基體，開關 (311) 之一端係連接第三電容 C3，另一開關 (312) 之一端係連接於節點 (VIN)；對於第二 NMOS 充電電晶體 (32) 而言，其基體亦接有一組 NMOS 開關 (321)(322)，其接法係對稱於前述第一 NMOS 充電電晶體 (31) 的兩開關 (311)(312)，故不予贅述；

一高壓產生級 (40)，係連接該輸入級 (30)，以兩 PMOS 輸出電晶體 (41)(42) 組成，其第一端子分別連接前述輸入級的第一/第二 NMOS 充電電晶體 (31)(32) 與第三電容 C3、第四電容 C4，此兩 PMOS 輸出電晶體 (41)(42) 的第二端子彼此連接而構成一高壓輸出端 (VOUT)，兩 PMOS 輸出電晶體 (41)(42) 之基體亦分別設有一組 PMOS 開關 (411)(412)(421)(422)，第一組開關 (411)(412) 之基體與第一 PMOS 輸出電晶體 (41) 之基體連接，第二組開關 (421)(422) 之基體與第二 PMOS 輸出電晶體 (42) 之基體連接。

在介紹前述電路的動作原理之前，首先定義以下數個節點之電壓，各節點之電壓變化可從第二圖的波形中得知：

BOOSTA1 (第一控制節點)：係第一升壓單元 (10) 中該第一 PMOS 充電電晶體 (11) 與電容 C1 連接之節點上的電壓；

BOOSTB1 (第二控制節點) : 係第二升壓單元(20)中該第二 PMOS 充電電晶體(21)與第二電容 C2 連接之節點上的電壓 ;

BOOSTA (第三控制節點) : 係輸入級(30)中該第一 NMOS 充電電晶體(31)與電容 C3 連接之節點上的電壓 ;

BOOSTB(第四控制節點): 係輸入級(30)中第二 NMOS 充電電晶體(32)與電容 C4 連接之節點上的電壓。

其中，上述 BOOSTA1 及 BOOSTB1 兩電壓係作為充電泵電路中前述開關的閘極控制電壓。以電路的上半部為例，該第一 PMOS 充電電晶體(11)之第一開關(12)與第二開關(13)的閘極便分別是由 BOOSTB1、BOOSA1 所控制，而第一 NMOS 充電電晶體(31)所連接的兩 NMOS 開關(311)(312)則由 BOOSTB1、BOOSA1 所控制，惟該第一 PMOS 輸出電晶體(41)之兩 PMOS 開關(411)(412)則是以 BOOSTB 及 BOOSTA 為其閘極控制信號。

配合參閱第二圖所示，在電路的動作方面，本發明 PMOS 或 NMOS 電晶體所連接的對應開關組係可自動切換至一高準位或是低準位，使該 PMOS 電晶體或 NMOS 電晶體的基體端能持續連接到一高準位或是一低準位，對於 PMOS 電晶體而言，其基體必須能連接到電路中的高準位，而 NMOS 電晶體則必須恆常連接到電路中的低準位。

1. 當輸入信號 PH_A 為高準位(VDD)時，另一輸入信號 PH_B 係為低準位(0)：此時在 BOOSTA 節點的電壓準位為 $VDD+VIN$ ，而 BOOSTB 節點的電壓準位為 VIN ；從

另外一方面來看，BOOSTA1 的電壓是 $V_{DD}+V_{IN}-V_{TH}$ ，BOOSTB1 的電壓為 $V_{IN}-V_{TH}$ ，其中 V_{TH} 為電晶體之臨界電壓。

對第一升壓級(10)中的第一 PMOS 充電電晶體(11)而言，其第一端子的準位為 $V_{DD}+V_{IN}-V_{TH}$ ，而第二端子的準位為 V_{IN} ，故基體應切換至兩者相對較高準位的一方。其中，第一開關(12)的閘極係接收到 $V_{IN}-V_{TH}$ 的電壓值，而第二開關(13)的閘極係接收到 $V_{DD}+V_{IN}-V_{TH}$ 的電壓值，故第一開關(12)導通，第二開關(13)截止，第一開關(12)導通後，該第一 PMOS 充電電晶體(11)的基體係透過第一開關(12)連接到相對高準位的 $V_{DD}+V_{IN}-V_{TH}$ 。

對第二升壓級(20)中的第二 PMOS 充電電晶體(21)而言，其第一端子的準位為 $V_{IN}-V_{TH}$ ，而第二端子的準位為 V_{IN} ，故基體應切換至兩者相對較高準位的一方 V_{IN} 。第三開關(22)的閘極係接收到 $V_{DD}+V_{IN}-V_{TH}$ 的電壓值，而第四開關(23)的閘極係接數到 $V_{IN}-V_{TH}$ 的電壓值，故第三開關(22)截止，但第四開關(23)導通，由於第四開關(23)導通故第二 PMOS 充電電晶體(21)的基體係透過第四開關(23)被切換到相對較高準位的 V_{IN} 。

而在輸入級(30)中的第一 NMOS 充電電晶體(31)其第一端子電壓為 V_{IN} ，第二端子的電壓為 $V_{DD}+V_{IN}$ ，故其基體應切換至兩者相對較低的一方 V_{IN} 。連接該第一 NMOS 電晶體(31)之 NMOS 開關(311)的閘極係連接 $V_{IN}-V_{TH}$ 的電壓，而另一 NMOS 開關(312)的閘極係連接 $V_{DD}+V_{IN}-V_{TH}$

的電壓，因此僅有 NMOS 開關(312)導通而將該第一 NMOS 電晶體(31)的基體切換至相對較低準位的 V_{IN} 。

同理，該輸入級(30)中的第二 NMOS 電晶體(32)、該高壓產生級(40)中的第一 PMOS 電晶體(41)、第二 PMOS 電晶體其基體端亦可適當地被切換至一較低準位或一較高準位。

II.輸入信號 PH_A 為低準位(0)時，另一輸入信號 PH_B 係為高準位(V_{DD})：於此時序下，電路動作係恰與前述第 I 階段相反，各 NMOS 電晶體或是 PMOS 電晶體均可利用其對應連接的開關組切換至一適當的準位值。

請參閱第三圖所示，在串接有多級第一圖所示充電泵電路(100)之後，係可獲得一更高的輸出電壓值，假設串接有 N 級充電泵電路(100)之下，最後的輸出電壓值 V_{PP} 係為 $(N+1) \times V_{DD}$ ，其中，一輸入信號產生單元(50)之兩輸出端係提供前述互為反相的兩輸入信號 PH_A 、 PH_B 予各級充電泵電路(100)，如第四圖所示，該輸入信號產生單元(50)的內部係等效於一 SR 正反器。

請參考第五圖之電路，係本發明單級充電泵電路(200)的另一實施例，可輸出一負壓。與前述第一圖實施例之差別在於其第一降壓級(10a)、第二降壓級(20a)及負壓產生級(40a)均改由 NMOS 電晶體組成，故對應連接該 NMOS 電晶體的開關組亦是改由 NMOS 電晶體構成，其中，輸入級(30a)當中的元件係改成 PMOS 電晶體，連接該 PMOS 電晶體的開關組亦為 PMOS 電晶體。

以 PMOS 電晶體作為輸入級中的充電電晶體，前述第五圖所示之單級充電泵電路(200)可作為第一級充電泵電路，惟緊接在後的第二、三、...N 級電路係採用第六圖所示的實施例較佳。第六圖之充電泵電路(300)，包含輸入級(30b)在內的各元件係全部採用 NMOS 電晶體構成，其中在第一降壓級(10b)裡面，除了原有的第一 NMOS 放電電晶體(11b)之外，額外加入一連接於第一電容 C1 與節點 VIN 之間的第三 NMOS 放電電晶體(14b)，其基體亦與第一開關(12b)、第二開關(13b)連接，該 NMOS 放電電晶體(14b)的閘極係連接另一第二電容 C2，由 BOOSTB1 電壓信號所控制。在第二降壓級(20b)裡面，同樣於電容 C2 與節點 VIN 之間係另外連接有一第四 NMOS 放電電晶體(24b)，該 NMOS 電晶體(24b)的閘極係連接另一電容 C1，由 BOOSTA1 電壓信號所控制，其中第五、六圖之控制信號係如第七圖所示。

請參考第八圖所示，以前述第五、六圖之單級充電泵電路(200)(300)係可串接組成一多級電路而提供一負輸出電壓，其中第一級的充電泵電路(200)係採用第五圖所示電路，而在後的第二、三、...N 級電路係採用第六圖所示的電路，最後的輸出電壓值 $V_{BB} = -N \times V_{DD}$ 。

綜上所述，本發明於雙相控制的充電泵電路中，採用了 NMOS 與 PMOS 充／放電電晶體、輸出電晶體之混合結構，在各個充／放電電晶體的基體兩端係連接兩顆同為 NMOS 或是 PMOS 電晶體之開關組，藉由適當的控制信號，

該開關組其中之一會適時導通使 NMOS 與 PMOS 充／放電電晶體或是輸出電晶體的基體端能恆常被切換至一相對的低準位(對 NMOS 而言)或是一相對的較高準位(對 PMOS 而言)，由於該基體的電位能有效控制，自然可避免基體效應的發生。

【圖式簡單說明】

第一圖：係本發明第一實施例之詳細電路圖。

第二圖：係本發明第一圖所示電路之工作波形圖。

第三圖：係本發明以多級第一圖充電泵電路串接構成一多級充電泵電路之方塊圖。

第四圖：係本發明用以產生輸入信號之邏輯元件連接示意圖。

第五圖：係本發明第二實施例之詳細電路圖。

第六圖：係本發明第三實施例之詳細電路圖。

第七圖：係本發明第五、六圖所示電路之工作波形圖。

第八圖：係本發明以多級第五、六圖充電泵電路串接構成一多級充電泵電路之方塊圖。

第九圖：係習用一充電泵電路之詳細電路圖。

第十圖：係第十圖充電泵電路之控制信號波形圖。

【主要元件符號說明】

(10)第一升壓級

(11)第一 PMOS 充電電晶體

(12)第一開關

(13)第二開關

(20)第二升壓級

- (21)第二 PMOS 充電電晶體
- (22)第三開關 (23)第四開關
- (30)輸入級
- (31)第一 NMOS 充電電晶體
- (32)第二 NMOS 充電電晶體
- (311)(312) (321)(322)NMOS 開關
- (40)高壓產生級
- (41)第一 PMOS 輸出電晶體
- (42)第二 PMOS 輸出電晶體
- (411)(412)(421)(422)PMOS 開關

- (10a)第一降壓級
- (11a)第一 NMOS 放電電晶體
- (12a)第一開關 (13a)第二開關
- (20a)第二降壓級
- (21a)第二 NMOS 放電電晶體
- (22a)第三開關 (23a)第四開關
- (30a)輸入級
- (31a)第一 PMOS 放電電晶體
- (32a)第二 PMOS 放電電晶體
- (311a)(312a) (321a)(322a)PMOS 開關
- (40a)負壓產生級
- (41a)第一 NMOS 輸出電晶體
- (42a)第二 NMOS 輸出電晶體

(411a)(412a)(421a)(422a)NMOS 開關

(10b)第一降壓級

(11b)第一 NMOS 放電電晶體

(12b)第一開關 (13b)第二開關

(14b)第三 NMOS 放電電晶體

(20b)第二降壓級

(21b)第二 NMOS 放電電晶體

(22b)第三開關 (23b)第四開關

(24b)第四 NMOS 放電電晶體

(30b)輸入級

(31b)第一 NMOS 充電電晶體

(32b)第二 NMOS 充電電晶體

(311b)(312b) (321b)(322b)NMOS 開關

(40b)負壓產生級

(41b)第一 NMOS 輸出電晶體

(42b)第二 NMOS 輸出電晶體

(411b)(412b)(421b)(422b)NMOS 開關

(50)輸入信號產生單元

(100)(200)(300)充電泵電路

C1 第一電容

C2 第二電容

C3 第三電容

C4 第四電容

五、中文發明摘要：

本發明係一種可避免基體效應之雙相充電泵電路，該充電泵電路至少包含一升壓級、一連接該升壓級之輸入級與一連接該輸入級之高壓產生級，前述各級電路可用 NMOS 或是 PMOS 電晶體組成，其中，各 NMOS 電晶體之基體均連接一組 NMOS 開關，而各 PMOS 電晶體之基體亦連接一組 PMOS 開關，藉由提供適當的驅動信號予各 NMOS 或 PMOS 開關，各 NMOS 電晶體之基體可被切換連接到一相對較低準位，而各 PMOS 電晶體之基體則切換連接到一相對較高準位，如此係可避免基體效應的產生。

六、英文發明摘要：

十、申請專利範圍：

1．一種可避免基體效應之雙相充電泵電路係接收一組互為反相之第一輸入信號及第二輸入信號，該充電泵電路包含：

一第一升壓級，包含第一 PMOS 充電電晶體，係具有一基體、閘極與第一端子及第二端子，其基體連接兩開關，該第一 PMOS 充電電晶體之第一端子及第二端子分別連接於一第一控制節點及一輸入節點；

一第二升壓級，包含一第二 PMOS 充電電晶體，係具有基體、閘極與第一端子及第二端子，其基體連接兩開關，該第二 PMOS 充電電晶體之第一端子及第二端子分別連接於一第二控制節點及前述輸入節點；

一輸入級，包含兩串接之 NMOS 充電電晶體，該串接點為前述輸入節點，各 NMOS 充電電晶體之基底係連接兩開關，其中第一 NMOS 充電電晶體之一端係連接於一第三控制節點，第二 NMOS 充電電晶體之一端係連接於一第四控制節點；

一高壓產生級，包含兩 PMOS 輸出電晶體，各 PMOS 輸出電晶體之基底係連接兩開關，其中第一 PMOS 輸出電晶體之一端係連接於該第三控制節點，第二 PMOS 輸出電晶體之一端係連接於該第四控制節點，兩 PMOS 電晶體之另端係連接於一輸出節點；

其中，該第一輸入信號及第二輸入信號係分別提供至第一升壓級與第二升壓級，而前述第一升壓級之兩開關、

第二升壓級之兩開關及輸入級之四開關，係由前述第一控制節點或第二控制節點之電壓所控制，令該第一／第二 PMOS 充電電晶體之基體恆切換至一相對較高準位，亦令兩 NMOS 充電電晶體之基體恆切換至一相對較低準位。

2．如申請專利範圍第 1 項所述可避免基體效應之雙相充電泵電路，其中：

前述連接第一 PMOS 充電電晶體基體之兩開關，係第一 PMOS 開關及第二 PMOS 開關；

前述連接第二 PMOS 充電電晶體基體之兩開關，係第三 PMOS 開關及第四 PMOS 開關；

前述連接第一 NMOS 充電電晶體基體之兩開關，係第一 NMOS 開關及第二 NMOS 開關；

前述連接第二 NMOS 充電電晶體基體之兩開關，係第三 NMOS 開關及第四 NMOS 開關。

3．如申請專利範圍第 2 項所述可避免基體效應之雙相充電泵電路，其中：

該第一 PMOS 充電電晶體之第一端子及閘極連接一第一電容而構成該第一控制節點，第一電容另端連接前述第一輸入信號；

該第一 PMOS 開關及第二 PMOS 開關其基體及第一端子均共接至該第一 PMOS 充電電晶體的基體，其中第一 PMOS 開關之第二端子係連接該第一控制節點，第二 PMOS 開關之第二端子係連接該輸入節點；

該第二 PMOS 充電電晶體之第一端子及閘極連接一第

二電容而構成該第二控制節點，第二電容另端連接前述第二輸入信號；該第三 PMOS 開關及第四 PMOS 開關其基體及第一端子均共接至該第二 PMOS 充電電晶體的基體，其中第三 PMOS 開關之第二端子係連接該第二控制節點，第四 PMOS 開關之第二端子係連接該輸入節點；

其中第一 PMOS 開關及第四 PMOS 開關之閘極係連接第二控制節點；第二 PMOS 開關及第三 PMOS 開關之閘極係連接第一控制節點。

4．如申請專利範圍第 2 或 3 項所述可避免基體效應之雙相充電泵電路，其中：

該輸入級之第一 NMOS 充電電晶體，其閘極連接至第二控制節點，該第一 NMOS 充電電晶體之第一端連接一第三電容而構成該第三控制節點，該第三電容另端係連接前述第一輸入信號，又該第一 NMOS 充電電晶體之第二端係連接於輸入節點；

該輸入級之第二 NMOS 充電電晶體，其閘極連接至第一控制節點，該第二 NMOS 充電電晶體之第一端連接一第四電容而構成該第四控制節點，該第四電容另端係連接前述第二輸入信號，又該第二 NMOS 充電電晶體之第二端係連接於輸入節點；

前述第一 NMOS 開關與第二 NMOS 開關之第一端及基體與第一 NMOS 充電電晶體之基體連接；其中第一 NMOS 開關之閘極連接第二控制節點，第二 NMOS 開關之閘極連接第一控制節點；

前述第三 NMOS 開關與第四 NMOS 開關之第一端及基體與第二 NMOS 充電電晶體之基體連接；其中第三 NMOS 開關之閘極連接第一控制節點，第四 NMOS 開關之閘極連接第二控制節點。

5．如申請專利範圍第 4 項所述可避免基體效應之雙相充電泵電路，其中：

該高壓產生級之第一 PMOS 輸出電晶體閘極連接第四控制節點，且連接該第一 PMOS 輸出電晶體之兩開關閘極分別連接第三控制節點及第四控制節點；

該高壓產生級之第二 PMOS 輸出電晶體閘極連接第三控制節點，且連接該第二 PMOS 輸出電晶體之兩開關閘極分別連接第三控制節點及第四控制節點。

6．一種可避免基體效應之雙相充電泵電路係接收一組互為反相之第一輸入信號及第二輸入信號，該充電泵電路包含：

一第一降壓級，包含第一 NMOS 放電電晶體，係具有一基體、閘極與第一端子及第二端子，其基體連接兩開關，該第一 NMOS 放電電晶體之第一端子及第二端子分別連接於一第一控制節點及一輸入節點；

一第二降壓級，包含一第二 NMOS 放電電晶體，係具有基體、閘極與第一端子及第二端子，其基體連接兩開關，該第二 NMOS 放電電晶體之第一端子及第二端子分別連接於一第二控制節點及前述輸入節點；

一輸入級，包含兩串接之 PMOS 放電電晶體，該串接

點為前述輸入節點，各 PMOS 放電電晶體之基底係連接兩開關，其中第一 PMOS 放電電晶體之一端係連接於一第三控制節點，第二 PMOS 放電電晶體之一端係連接於一第四控制節點；

一負壓產生級，包含兩 NMOS 輸出電晶體，各 NMOS 輸出電晶體之基底係連接兩開關，其中第一 NMOS 輸出電晶體之一端係連接於該第三控制節點，第二 NMOS 輸出電晶體之一端係連接於該第四控制節點，兩 NMOS 輸出電晶體之另端係連接於一輸出節點；

其中，該第一輸入信號及第二輸入信號係分別提供至第一降壓級與第二降壓級，而前述第一降壓級之兩開關、第二降壓級之兩開關及輸入級之四開關，係由前述第一控制節點或第二控制節點之電壓所控制，令該第一 NMOS 放電電晶體與第二 NMOS 放電電晶體之基體恆切換至一相對較低準位，亦令兩 PMOS 放電電晶體之基體恆切換至一相對較高準位。

7. 如申請專利範圍第 6 項所述可避免基體效應之雙相充電泵電路，其中：

前述連接第一 NMOS 放電電晶體基體之兩開關，係第一 NMOS 開關及第二 NMOS 開關；

前述連接第二 NMOS 放電電晶體基體之兩開關，係第三 NMOS 開關及第四 NMOS 開關；

前述連接第一 PMOS 放電電晶體基體之兩開關，係第一 PMOS 開關及第二 PMOS 開關；

前述連接第二 PMOS 放電電晶體基體之兩開關，係第三 PMOS 開關及第四 PMOS 開關。

8．如申請專利範圍第 7 項所述可避免基體效應之雙相充電泵電路，其中：

該第一 NMOS 放電電晶體之第一端子及閘極連接一第一電容而構成該第一控制節點，第一電容另端連接前述第一輸入信號；

該第一 NMOS 開關及第二 NMOS 開關其基體及第一端子均共接至該第一 NMOS 放電電晶體的基體，其中第一 NMOS 開關之第二端子係連接該第一控制節點，第二 NMOS 開關之第二端子係連接該輸入節點；

該第二 NMOS 放電電晶體之第一端子及閘極連接一第二電容而構成該第二控制節點，第二電容另端連接前述第二輸入信號；

該第三 NMOS 開關及第四 NMOS 開關其基體及第一端子均共接至該第二 NMOS 放電電晶體的基體，其中第三 NMOS 開關之第二端子係連接該第二控制節點，第四 NMOS 開關之第二端子係連接該輸入節點；

其中第一 NMOS 開關及第四 NMOS 開關之閘極係連接第二控制節點；第二 NMOS 開關及第三 NMOS 開關之閘極係連接第一控制節點。

9．如申請專利範圍第 7 或 8 項所述可避免基體效應之雙相充電泵電路，其中：

該輸入級之第一 PMOS 放電電晶體，其閘極連接至第

二控制節點，該第一 PMOS 放電電晶體之第一端連接一第三電容而構成該第三控制節點，該第三電容另端係連接前述第一輸入信號，又該第一 PMOS 放電電晶體之第二端係連接於輸入節點；

該輸入級第二 PMOS 放電電晶體之閘極連接至第一控制節點，該第二 PMOS 放電電晶體之第一端連接一第四電容而構成該第四控制節點，該第四電容另端係連接前述第二輸入信號，又該第二 PMOS 放電電晶體之第二端係連接於輸入節點；

該第一 PMOS 開關與第二 PMOS 開關之第一端與基體係連接第一 PMOS 放電電晶體之基體；其中第一 PMOS 開關之閘極連接第二控制節點，第二 PMOS 開關之閘極連接第一控制節點；

該第三 PMOS 開關與第四 PMOS 開關之第一端與基體係連接第二 PMOS 放電電晶體之基體；其中第三 PMOS 開關之閘極連接第一控制節點，第四 PMOS 開關之閘極連接第二控制節點。

10．如申請專利範圍第9項所述可避免基體效應之雙相充電泵電路，其中：

該負壓產生級之第一 NMOS 輸出電晶體的閘極連接第四控制節點，且連接該第一 NMOS 輸出電晶體之兩開關的閘極係分別連接第三控制節點及第四控制節點；

該負壓產生級之第二 NMOS 輸出電晶體的閘極連接第三控制節點，且連接該第二 NMOS 輸出電晶體之兩開關的

閘極分別連接第三控制節點及第四控制節點。

1 1 . 一種可避免基體效應之雙相充電泵電路係接收一組互為反相之第一輸入信號及第二輸入信號，該充電泵電路包含：

一第一降壓級，包含一第一 NMOS 放電電晶體與一第三 NMOS 放電電晶體，各放電電晶體係具有一基體、閘極、第一端子及第二端子，第一 NMOS 放電電晶體之基體連接有兩開關，該第一 NMOS 放電電晶體之第一端子及第二端子分別連接於一第一控制節點及一輸入節點，該第三 NMOS 放電電晶體之第一端與第二端係分別連接該第一控制節點及輸入節點，其閘極連接第二控制節點，其基體連接第一 NMOS 放電電晶體之基體；

一第二降壓級，包含一第二 NMOS 放電電晶體與一第四 NMOS 放電電晶體，各放電電晶體係具有基體、閘極與第一端子及第二端子，第二 NMOS 放電電晶體之基體連接有兩開關，該第二 NMOS 放電電晶體之第一端子及第二端子分別連接於一第二控制節點及前述輸入節點，該第四 NMOS 放電電晶體之第一端及第二端係分別連接該第二控制節點及輸入節點，其閘極連接第一控制節點，其基體連接第二 NMOS 放電電晶體之基體；

一輸入級，包含兩串接之 NMOS 放電電晶體，該串接點為前述輸入節點，各 NMOS 放電電晶體之基底係連接兩開關，其中第一 NMOS 放電電晶體之一端係連接於一第三控制節點，第二 NMOS 放電電晶體之一端係連接於一第四

控制節點；

一負壓產生級，包含兩 NMOS 輸出電晶體，各 NMOS 輸出電晶體之基底係連接兩開關，其中第一 NMOS 輸出電晶體之一端係連接於該第三控制節點，第二 NMOS 輸出電晶體之一端係連接於該第四控制節點，兩 NMOS 輸出電晶體之另端係連接於一輸出節點；

其中，該第一輸入信號及第二輸入信號係分別提供至第一降壓級與第二降壓級，而前述第一降壓級之兩開關、第二降壓級之兩開關及輸入級之四開關，係由前述第一控制節點或第二控制節點之電壓所控制，令該第一／第三 NMOS 放電電晶體與第二／第四 NMOS 放電電晶體之基體恆切換至一相對較低準位。

12．如申請專利範圍第11項所述可避免基體效應之雙相充電泵電路，其中：

前述連接該第一降壓級之第一／第三 NMOS 放電電晶體基體之兩開關，係第一 NMOS 開關及第二 NMOS 開關；

前述連接該第二降壓級之第二／第四 NMOS 放電電晶體基體之兩開關，係第三 NMOS 開關及第四 NMOS 開關；

前述連接輸入級之第一 NMOS 放電電晶體基體之兩開關，係第五 NMOS 開關及第六 NMOS 開關；

前述連接輸入級之第二 NMOS 放電電晶體基體之兩開關，係第七 NMOS 開關及第八 NMOS 開關。

13．如申請專利範圍第12項所述可避免基體效應之雙相充電泵電路，其中：

該第一 NMOS 放電電晶體之第一端子及閘極連接一第一電容而構成該第一控制節點，第一電容另端連接前述第一輸入信號；

該第一 NMOS 開關及第二 NMOS 開關其基體及第一端子均共接至該第一 NMOS 放電電晶體的基體，其中第一 NMOS 開關之第二端子係連接該第一控制節點，第二 NMOS 開關之第二端子係連接該輸入節點；

該第二 NMOS 放電電晶體之第一端子及閘極連接一第二電容而構成該第二控制節點，第二電容另端連接前述第二輸入信號；

該第三 NMOS 開關及第四 NMOS 開關其基體及第一端子均共接至該第二 NMOS 放電電晶體的基體，其中第三 NMOS 開關之第二端子係連接該第二控制節點，第四 NMOS 開關之第二端子係連接該輸入節點；

其中第一 NMOS 開關及第四 NMOS 開關之閘極係連接第二控制節點；第二 NMOS 開關及第三 NMOS 開關之閘極係連接第一控制節點。

14. 如申請專利範圍第12或13項所述可避免基體效應之雙相充電泵電路，於該輸入級中：

該第一 NMOS 放電電晶體之閘極連接至第一控制節點，該第一 NMOS 放電電晶體之第一端連接一第三電容而構成該第三控制節點，該第三電容另端係連接前述第一輸入信號，又該第一 NMOS 放電電晶體之第二端係連接於輸入節點；

該第二 NMOS 放電電晶體之閘極連接至第二控制節點，該第二 NMOS 放電電晶體之第一端連接一第四電容而構成該第四控制節點，該第四電容另端係連接前述第二輸入信號，又該第二 NMOS 放電電晶體之第二端係連接於輸入節點；

該第五 NMOS 開關與第六 NMOS 開關之第一端與基體係連接第一 NMOS 放電電晶體之基體；其中第五 NMOS 開關之閘極連接第二控制節點，第六 NMOS 開關之閘極連接第一控制節點；

該第七 NMOS 開關與第八 NMOS 開關之第一端與基體係連接第二 NMOS 放電電晶體之基體；其中第七 NMOS 開關之閘極連接第一控制節點，第八 NMOS 開關之閘極連接第二控制節點。

15．如申請專利範圍第14項所述可避免基體效應之雙相充電泵電路，其中：

該負壓產生級之第一 NMOS 輸出電晶體的閘極連接第四控制節點，且連接該第一 NMOS 輸出電晶體之兩開關的閘極係分別連接第三控制節點及第四控制節點；

該負壓產生級之第二 NMOS 輸出電晶體的閘極連接第三控制節點，且連接該第二 NMOS 輸出電晶體之兩開關的閘極分別連接第三控制節點及第四控制節點。

十一、圖式：

如次頁

該第二 NMOS 放電電晶體之閘極連接至第二控制節點，該第二 NMOS 放電電晶體之第一端連接一第四電容而構成該第四控制節點，該第四電容另端係連接前述第二輸入信號，又該第二 NMOS 放電電晶體之第二端係連接於輸入節點；

該第五 NMOS 開關與第六 NMOS 開關之第一端與基體係連接第一 NMOS 放電電晶體之基體；其中第五 NMOS 開關之閘極連接第二控制節點，第六 NMOS 開關之閘極連接第一控制節點；

該第七 NMOS 開關與第八 NMOS 開關之第一端與基體係連接第二 NMOS 放電電晶體之基體；其中第七 NMOS 開關之閘極連接第一控制節點，第八 NMOS 開關之閘極連接第二控制節點。

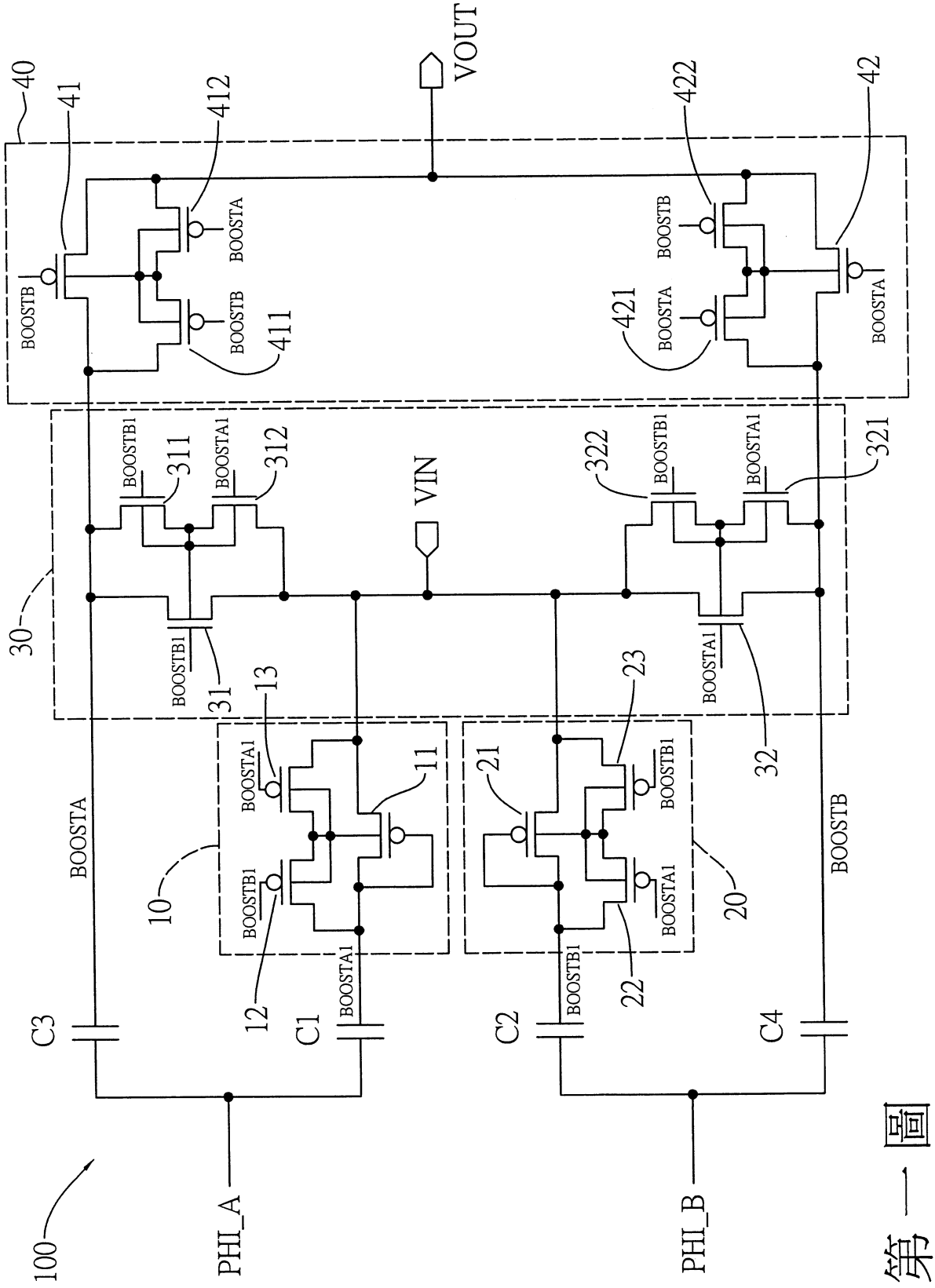
15．如申請專利範圍第14項所述可避免基體效應之雙相充電泵電路，其中：

該負壓產生級之第一 NMOS 輸出電晶體的閘極連接第四控制節點，且連接該第一 NMOS 輸出電晶體之兩開關的閘極係分別連接第三控制節點及第四控制節點；

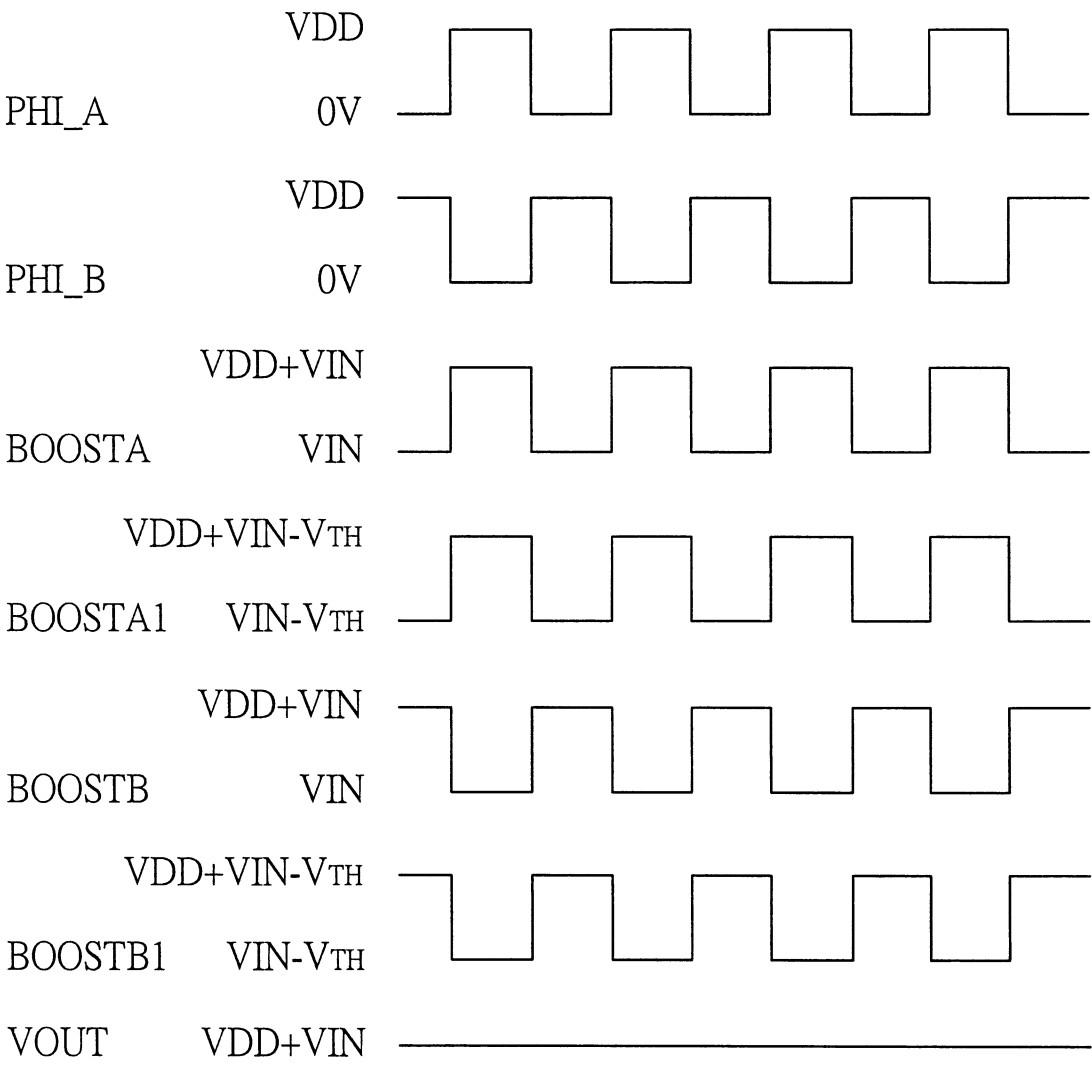
該負壓產生級之第二 NMOS 輸出電晶體的閘極連接第三控制節點，且連接該第二 NMOS 輸出電晶體之兩開關的閘極分別連接第三控制節點及第四控制節點。

十一、圖式：

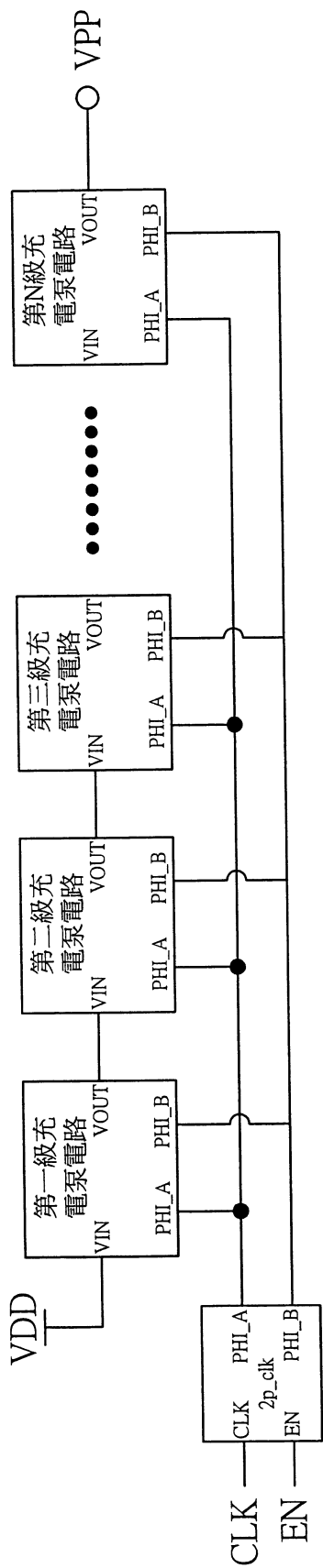
如次頁



第一圖



第二圖



第三圖

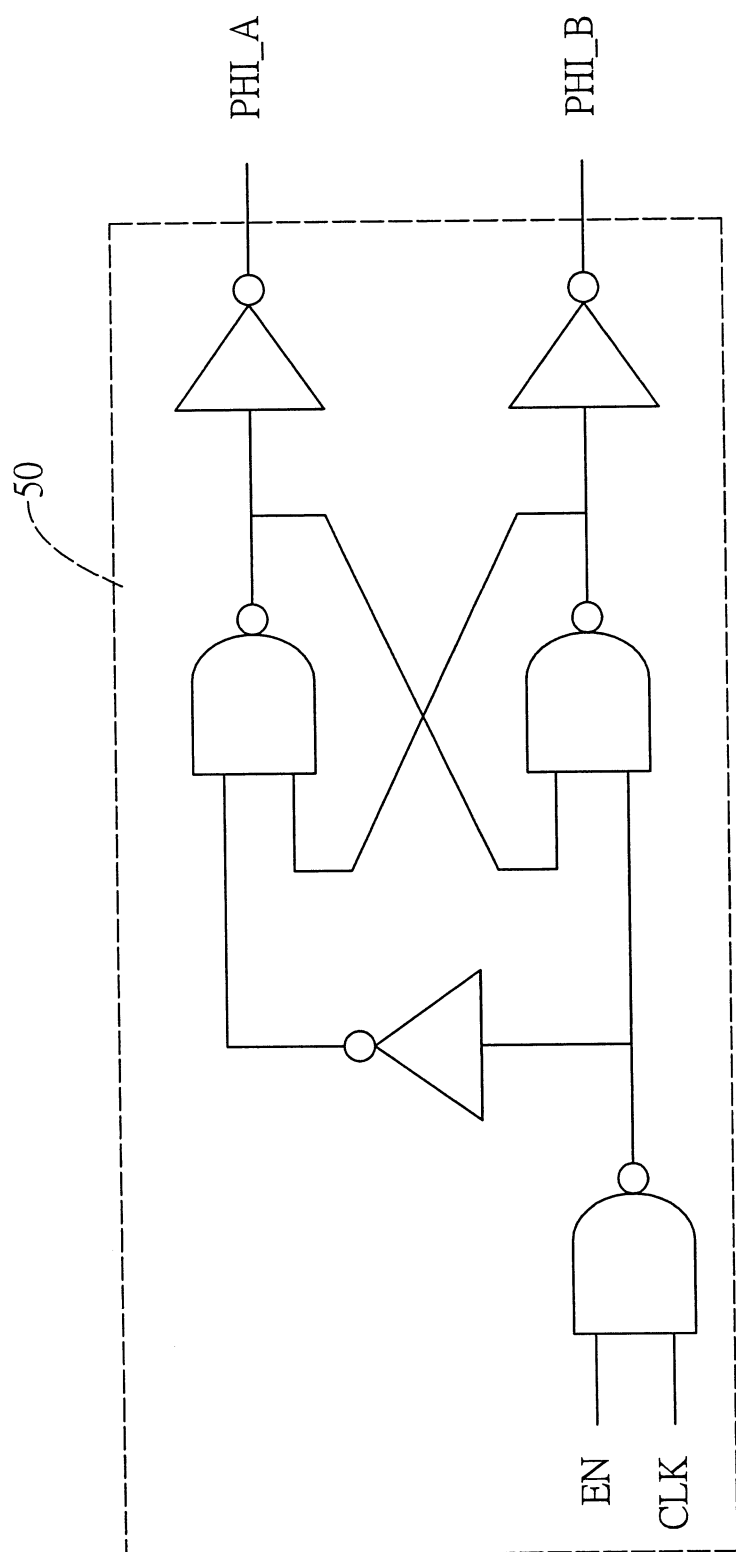
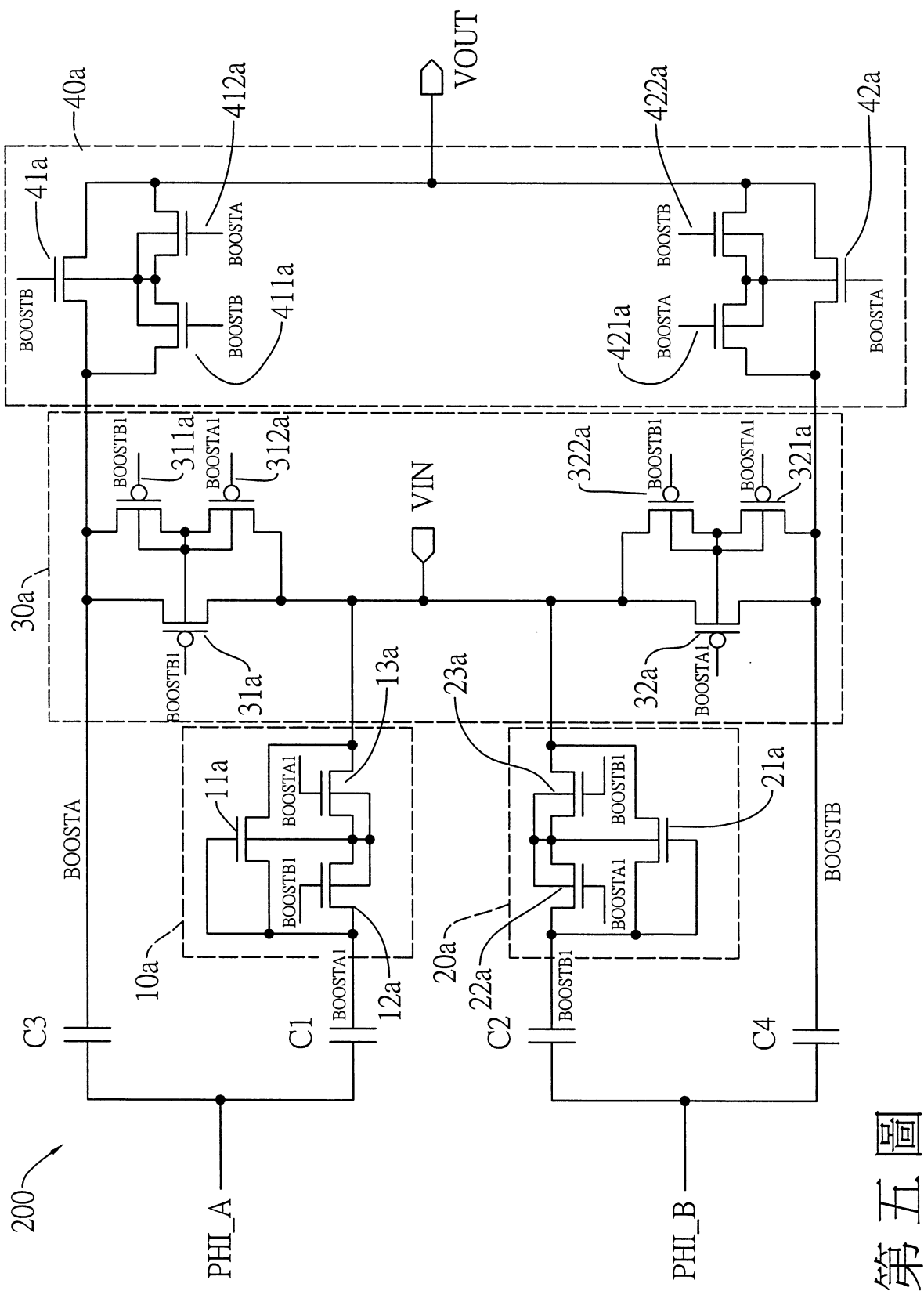
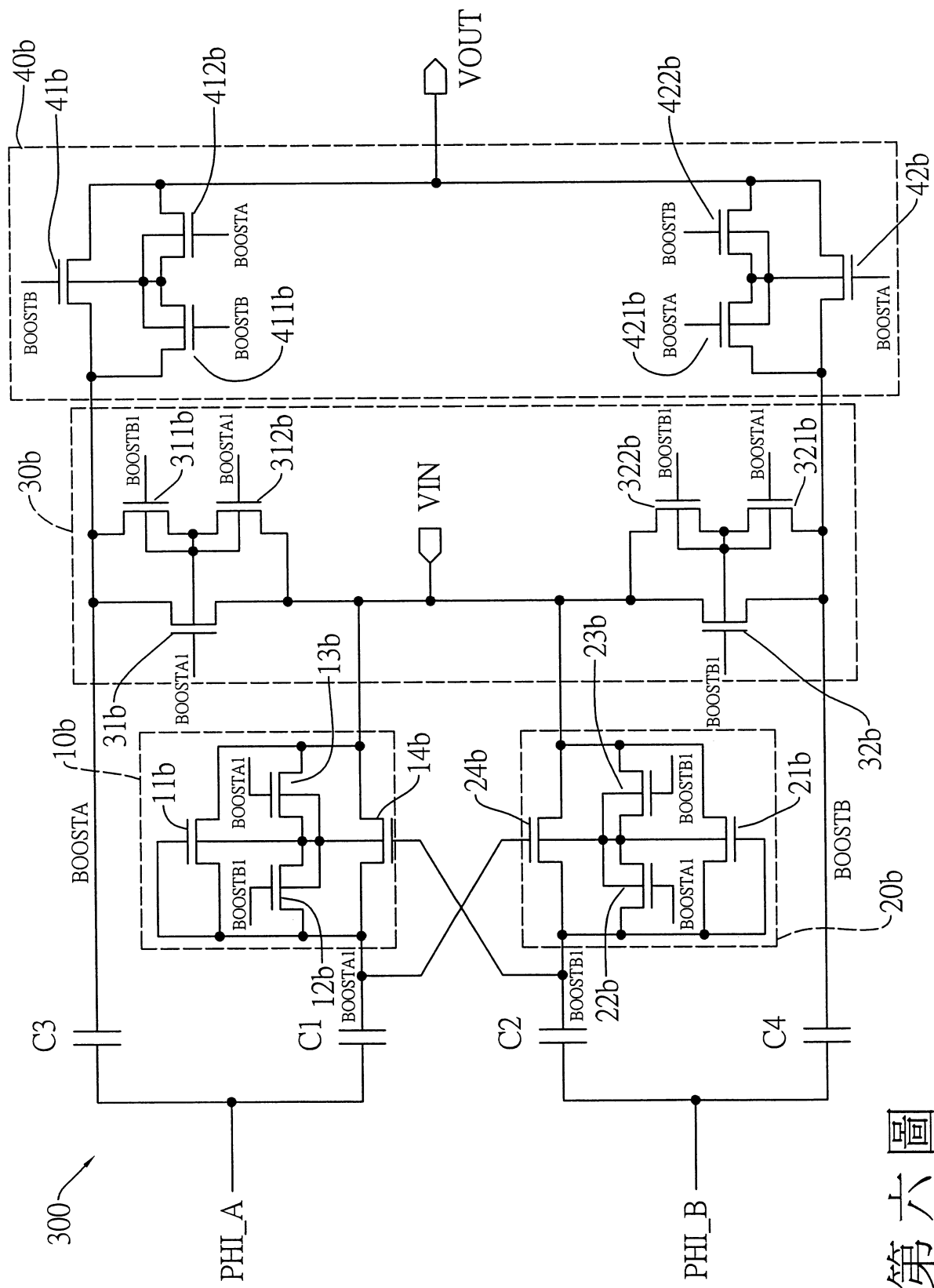


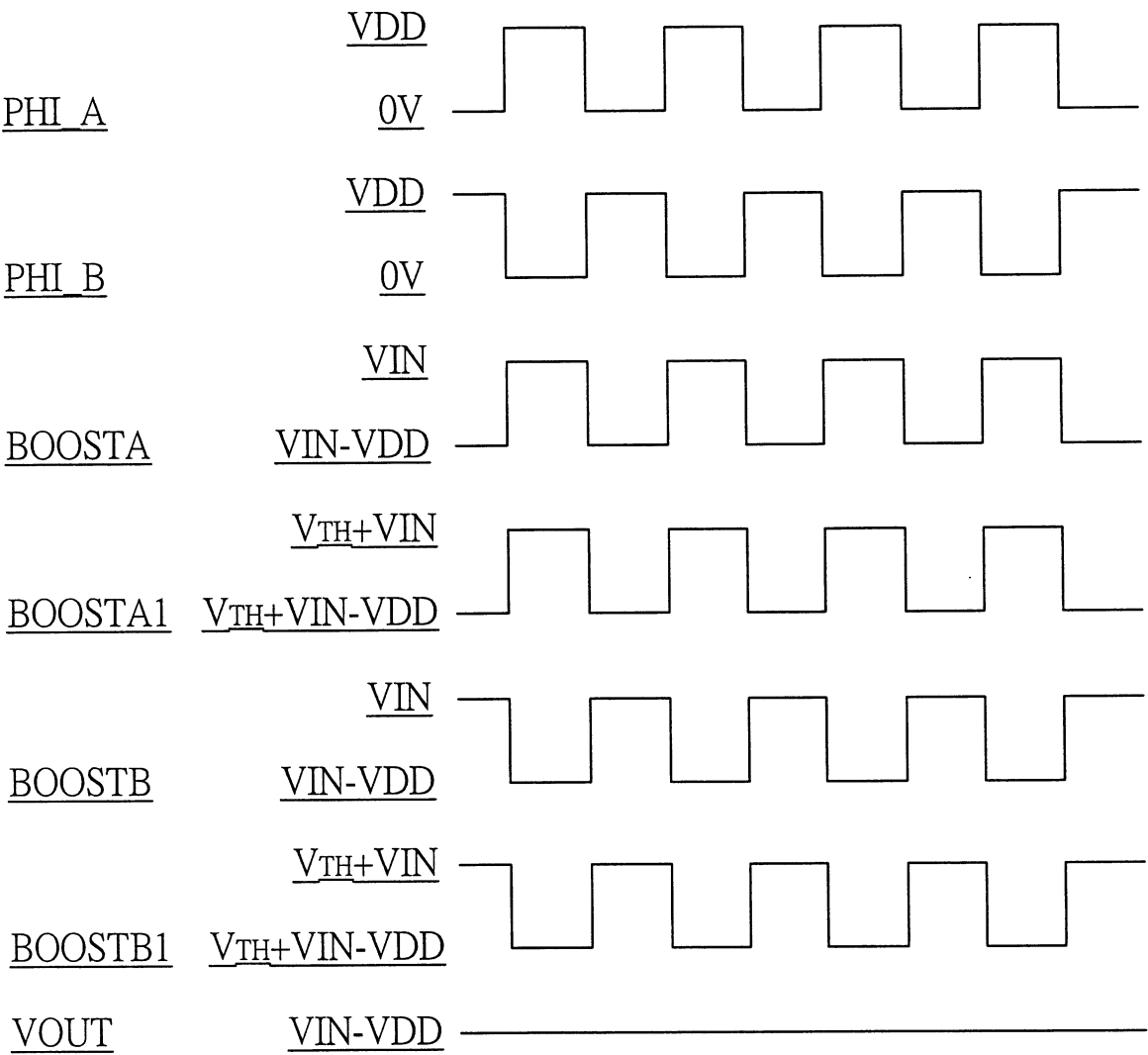
圖
目
録



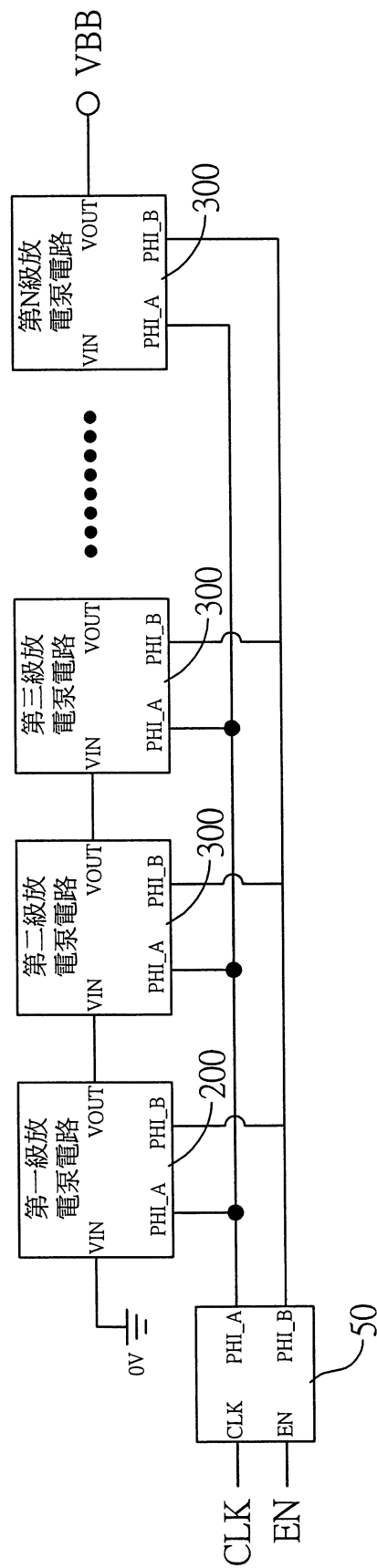
第五圖



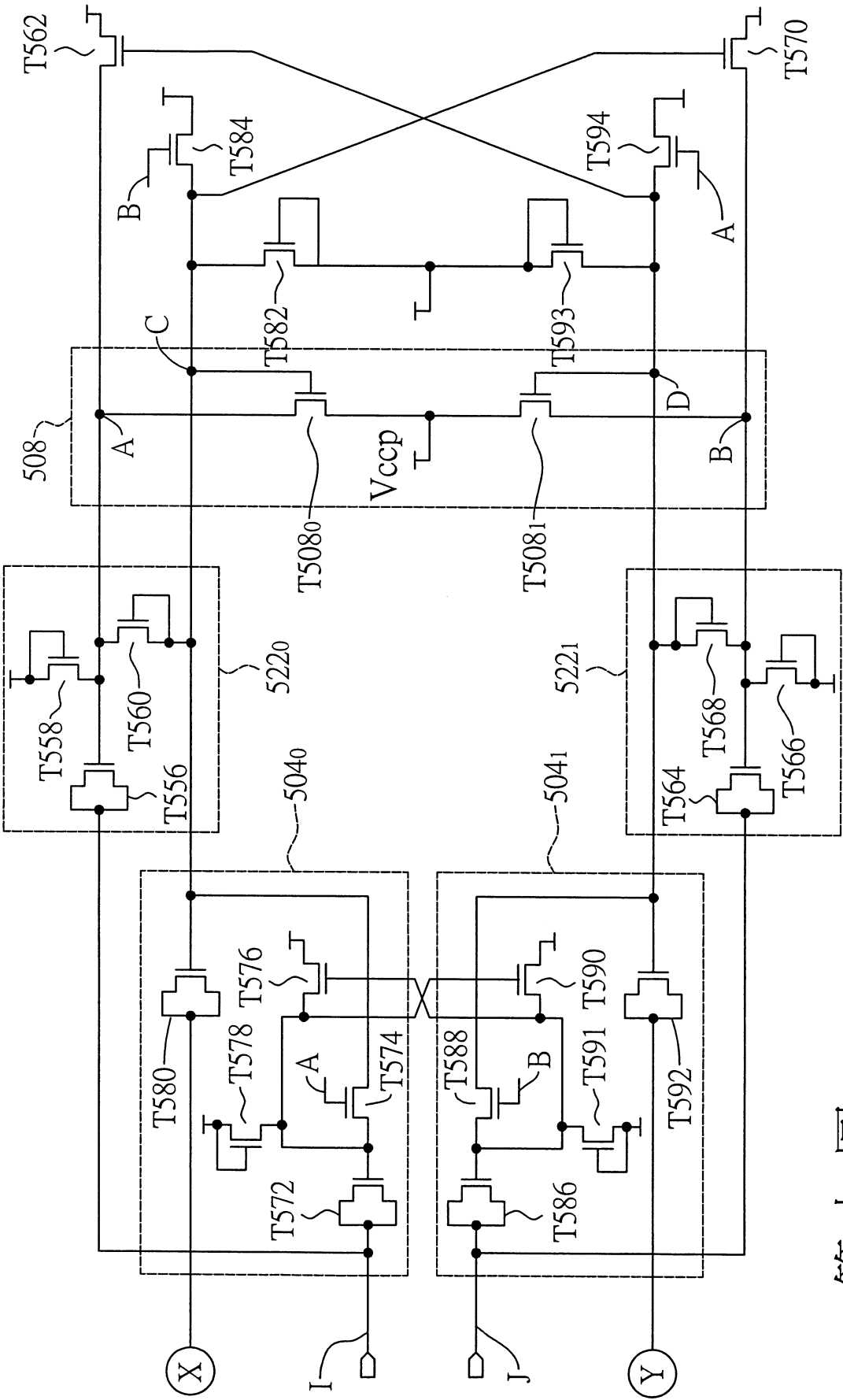
第六圖



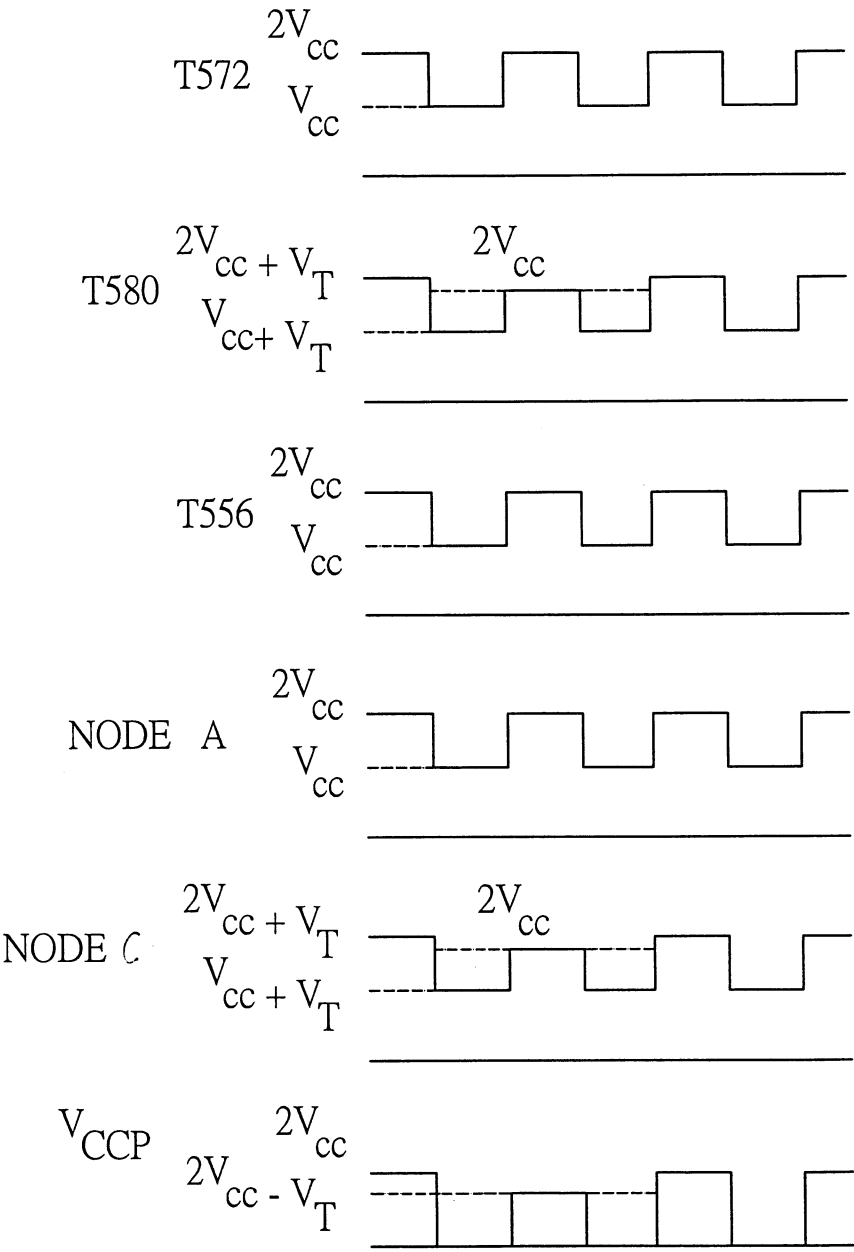
第七圖



第八圖



第九圖



第十圖

七、指定代表圖：

(一)本案指定代表圖為：第(一)圖。

(二)本代表圖之元件符號簡單說明：

- | | |
|-----------------------------|-------------------|
| (10)第一升壓級 | (11)第一 PMOS 充電電晶體 |
| (12)第一開關 | (13)第二開關 |
| (20)第二升壓級 | (21)第二 PMOS 充電電晶體 |
| (22)第三開關 | (23)第四開關 |
| (30)輸入級 | (31)第一 NMOS 充電電晶體 |
| (32)第二 NMOS 充電電晶體 | |
| (311)(312)(321)(322)NMOS 開關 | |
| (40)高壓產生級 | (41)第一 PMOS 輸出電晶體 |
| (42)第二 PMOS 輸出電晶體 | |
| (411)(412)(421)(422)PMOS 開關 | |
| C1 第一電容 | C2 第二電容 |
| C3 第三電容 | C4 第四電容 |

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：