(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年4月11日(11.04.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/075405 A1

(51) 国際特許分類:
H01L 27/146 (2006.01)

(21) 国際出願番号： PCT/JP2023/029670

(22) 国際出願日： 2023年8月17日(17.08.2023)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2022-160068 2022年10月4日(04.10.2022) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目１４番１号 Kanagawa (JP).

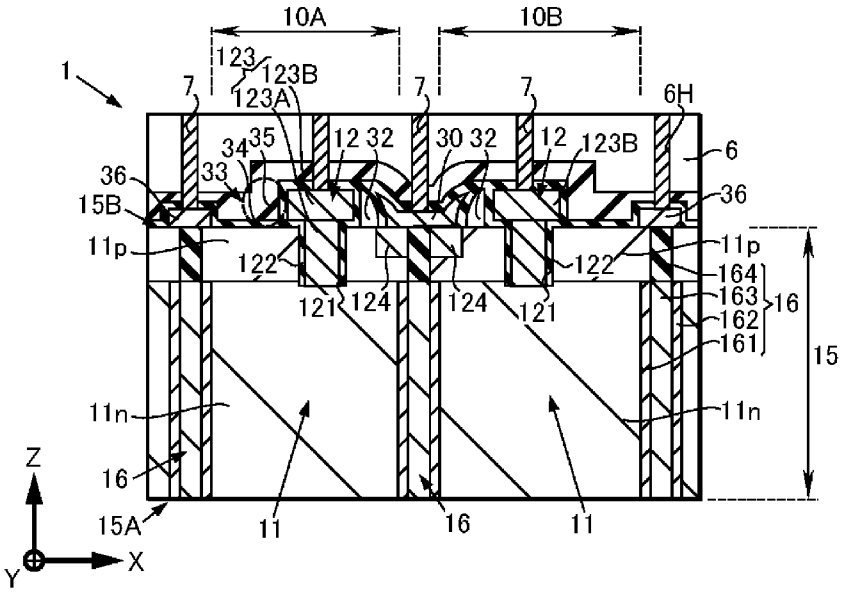
(72) 発明者: 田中 大智(**TANAKA, Daichi**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 冨田 知大(**TOMITA, Chihiro**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 弁理士法人つばさ国際特許事務所 (**TSUBASA PATENT PROFESSIONAL CORPORATION**); 〒1600022 東京都新宿区新宿１丁目１５番９号さわだビル３階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,

(54) **Title:** SOLID-STATE IMAGING DEVICE

(54) 発明の名称： 固体撮像装置



(57) **Abstract:** This solid-state imaging device comprises: a first pixel that is arranged on a first surface side serving as a light incident side of a substrate, and that has a first photoelectric conversion element for converting light to a charge; a first transistor that is arranged, at a position corresponding to the first pixel, on a second surface side opposite the first surface of the substrate, that has a first gate electrode, and that has a pair of main electrodes, one of which is electrically connected to the first photoelectric conversion element; a floating diffusion that is arranged on the second surface side of the substrate and that is electrically connected to the other main electrode of the first transistor; and a low dielectric constant region that is arranged between the floating diffusion and the first gate electrode opposite the same, and that has a lower dielectric constant than that of a non-opposing region.

WO 2024/075405 A1

［続葉有］

CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国（表示のない限り、全ての種類の広域保護が可能）：ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

(57) 要約：固体撮像装置は、基体の光入射側となる第１面側に配設され、光を電荷に変換する第１光電変換素子を有する第１画素と、第１画素に対応する位置において、基体の第１面とは反対側の第２面側に配設され、第１ゲート電極を有し、一対の主電極のうち一方が第１光電変換素子に電気的に接続された第１トランジスタと、基体の第２面側に配設され、第１トランジスタの他方の主電極に電気的に接続されたフローティングディフュージョンと、フローティングディフュージョンとそれに対向する第１ゲート電極との間に配設され、非対向領域よりも低い誘電率を有する低誘電率領域とを備えている。

明　細　書

発明の名称 ： 固体撮像装置

技術分野

[0001]　本開示は、固体撮像装置に関する。

背景技術

[0002]　特許文献１には、固体撮像装置が開示されている。固体撮像装置は、規則的に配列された複数の画素毎に光電変換部を備えている。光電変換部では、入射光から信号としての電荷が生成される。信号は、画素毎に配置された転送トランジスタを介してフローティングディフュージョンに転送される。フローティングディフュージョンは画素回路に信号を転送し、画素回路において信号が処理される。フローティングディフュージョンは、隣接して配列された複数の画素に対して共用されている。

先行技術文献

特許文献

[0003] 特許文献1：ＷＯ２０２０－２６２６４３号公報

発明の概要

[0004]　ところで、固体撮像装置の製造プロセスにおいて、複数の画素のそれぞれの転送トランジスタのゲート電極、詳細にはゲート電極に制御信号を供給する接続部に対して、フローティングディフュージョンにアライメントずれが生じる。このアライメントずれにより、共有される各画素の接続部とフローティングディフュージョンとの間に生成される寄生容量にばらつきが生じる。このため、固体撮像装置では、寄生容量に伴う信号のばらつきや遅延を改善することが望まれている。

[0005]　本開示の第１実施態様に係る固体撮像装置は、基体の光入射側となる第１面側に配設され、光を電荷に変換する第１光電変換素子を有する第１画素と、第１画素に対応する位置において、基体の第１面とは反対側の第２面側に配設され、第１ゲート電極を有し、一対の主電極のうち一方が第１光電変換

素子に電気的に接続された第１トランジスタと、基体の第２面側に配設され、第１トランジスタの他方の主電極に電気的に接続されたフローティングディフュージョンと、フローティングディフュージョンとそれに対向する第１ゲート電極との間に配設され、非対向領域よりも低い誘電率を有する低誘電率領域とを備えている。

[0006] 本開示の第２実施態様に係る固体撮像装置は、第１実施態様に係る固体撮像装置において、第１画素に隣接して、基体の第１面側に配設され、光を電荷に変換する第２光電変換素子を有する第２画素と、第２画素に対応する位置において、基体の第２面側に配設され、第２ゲート電極を有し、一対の主電極のうち一方が第２光電変換素子に電気的に接続され、他方の主電極にフローティングディフュージョンが電気的に接続された第２トランジスタと、フローティングディフュージョンとそれに対向する第２ゲート電極との間に配設された低誘電率領域とを更に備えている。

[0007] 本開示の第３実施態様に係る固体撮像装置では、第１実施態様又は第２実施態様に係る固体撮像装置において、低誘電率領域は、ギャップである。

[0008] 本開示の第４実施態様に係る固体撮像装置では、第１実施態様又は第２実施態様に係る固体撮像装置において、低誘電率領域は、低誘電率材料により形成されている。

図面の簡単な説明

[0009] [図1]図１は、本開示の第１実施の形態に係る固体撮像装置の画素及び画素回路を示す回路図である。

[図2]図２は、図１に示される画素の縦断面構成図（図３に示されるＡ－Ａ切断線において切断された断面図）である。

[図3]図３は、図１に示される画素の平面構成図である。

[図4]図４は、第１実施の形態に係る固体撮像装置の製造方法を工程毎に説明する第１工程断面図である。

[図5]図５は、第２工程断面図である。

[図6]図６は、第３工程断面図である。

[図7]図７は、第４工程断面図である。

[図8]図８は、第５工程断面図である。

[図9]図９は、第６工程断面図である。

[図10]図１０は、第７工程断面図である。

[図11]図１１は、第８工程断面図である。

[図12]図１２は、第９工程断面図である。

[図13]図１３は、第１０工程断面図である。

[図14]図１４は、第１１工程断面図である。

[図15]図１５は、第１２工程断面図である。

[図16]図１６は、第１３工程断面図である。

[図17]図１７は、第１４工程断面図である。

[図18]図１８は、第１５工程断面図である。

[図19]図１９は、第１６工程断面図である。

[図20]図２０は、第１７工程断面図である。

[図21]図２１は、第１８工程断面図である。

[図22]図２２は、第１９工程断面図である。

[図23]図２３は、第２０工程断面図である。

[図24]図２４は、第２１工程断面図である。

[図25]図２５は、第２２工程断面図である。

[図26]図２６は、本開示の第２実施の形態に係る固体撮像装置の画素の図２に対応する縦断面構成図（図２７に示されるＢ－Ｂ切断線において切断された断面図）である。

[図27]図２７は、図２６に示される画素の図３に対応する平面構成図である。

[図28]図２８は、本開示の第３実施の形態に係る固体撮像装置の画素の図２に対応する縦断面構成図（図２９に示されるＣ－Ｃ切断線において切断された断面図）である。

[図29]図２９は、図２８に示される画素の図３に対応する平面構成図である

。

[図30]図３０は、本開示の第４実施の形態に係る固体撮像装置の画素の図２に対応する縦断面構成図（図３１に示されるＤ－Ｄ切断線において切断された断面図）である。

[図31]図３１は、図３０に示される画素の図３に対応する平面構成図である。

[図32]図３２は、本開示の第５実施の形態に係る固体撮像装置の画素の図２に対応する縦断面構成図（図３３に示されるＥ－Ｅ切断線において切断された断面図）である。

[図33]図３３は、図３２に示される画素の図３に対応する平面構成図である。

[図34]図３４は、本開示の第６実施の形態に係る固体撮像装置の画素の図２に対応する縦断面構成図（図３５に示されるＦ－Ｆ切断線において切断された断面図）である。

[図35]図３５は、図３４に示される画素の図３に対応する平面構成図である。

[図36]図３６は、第６実施の形態に係る固体撮像装置の製造方法を工程毎に説明する第１工程断面図である。

[図37]図３７は、第２工程断面図である。

[図38]図３８は、第３工程断面図である。

[図39]図３９は、第４工程断面図である。

[図40]図４０は、第５工程断面図である。

[図41]図４１は、第６工程断面図である。

[図42]図４２は、第７工程断面図である。

[図43]図４３は、第８工程断面図である。

[図44]図４４は、第９工程断面図である。

[図45]図４５は、第１０工程断面図である。

[図46]図４６は、第１１工程断面図である。

[図47]図４７は、第１２工程断面図である。

[図48]図４８は、第１３工程断面図である。

[図49]図４９は、第１４工程断面図である。

[図50]図５０は、第１５工程断面図である。

[図51]図５１は、第１６工程断面図である。

[図52]図５２は、第１７工程断面図である。

[図53]図５３は、第１８工程断面図である。

[図54]図５４は、第１９工程断面図である。

[図55]図５５は、第２０工程断面図である。

[図56]図５６は、第２１工程断面図である。

[図57]図５７は、第２２工程断面図である。

[図58]図５８は、第２３工程断面図である。

[図59]図５９は、第２４工程断面図である。

[図60]図６０は、本開示の第７実施の形態に係る固体撮像装置の画素の図２に対応する縦断面構成図（図６１に示されるＧ－Ｇ切断線において切断された断面図）である。

[図61]図６１は、図６０に示される画素の図３に対応する平面構成図である。

[図62]図６２は、第８実施の形態に係る固体撮像装置の製造方法を工程毎に説明する第１工程断面図である。

[図63]図６３は、第２工程断面図である。

[図64]図６４は、第３工程断面図である。

[図65]図６５は、第４工程断面図である。

[図66]図６６は、第９実施の形態に係る固体撮像装置の製造方法を工程毎に説明する第１工程断面図である。

[図67]図６７は、第２工程断面図である。

[図68]図６８は、本開示の第１０実施の形態に係る固体撮像装置の画素の図３に対応する平面構成図である。

[図69]図６９は、本開示の第１１実施の形態に係る固体撮像装置の画素の図２に対応する縦断面構成図（図７０に示されるＨ－Ｈ切断線において切断された断面図）である。

[図70]図７０は、図６９に示される画素の図３に対応する平面構成図である。

[図71]図７１は、本開示の第１２実施の形態に係る固体撮像装置の画素の図３に対応する平面構成図である。

[図72]図７２は、本開示の実施の形態に係る第１応用例であって、車両制御システムの概略的な構成の一例を示すブロック図である。

[図73]図７３は、車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0010] 以下、本開示の実施の形態について図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

１．第１実施の形態

第１実施の形態は、固体撮像装置に、本技術を適用した例を説明する。第１実施の形態は、固体撮像装置の画素及び画素回路の回路構成、平面構成、縦断面構成及び固体撮像装置の製造方法について詳細に説明する。

２．第２実施の形態

第２実施の形態は、第１実施の形態に係る固体撮像装置において、画素の転送トランジスタのゲート電極とフローティングディフュージョンとの間の分離構造を変えた第１例である。

３．第３実施の形態

第３実施の形態は、第１実施の形態に係る固体撮像装置において、画素間を分離する画素分離領域の構造を変えた第２例である。

４．第４実施の形態

第４実施の形態は、第１実施の形態に係る固体撮像装置において、画素の転送トランジスタのゲート電極とフローティングディフュージョンとの間の

分離構造に加えて、それ以外の領域の分離構造を説明する第４例である。

５．第５実施の形態

第５実施の形態は、第１実施の形態に係る固体撮像装置において、画素の転送トランジスタのゲート電極とフローティングディフュージョンとの間の分離構造を変えた第５例である。

６．第６実施の形態

第６実施の形態は、第１実施の形態に係る固体撮像装置において、フローティングディフュージョンの共有接続部の構造を変えた第６例である。ここでは、固体撮像装置の製造方法についても説明する。

７．第７実施の形態

第７実施の形態は、第１実施の形態に係る固体撮像装置において、画素に画素回路を構築するトランジスタが配設された第７例である。

８．第８実施の形態

第８実施の形態は、第１実施の形態に係る固体撮像装置において、画素の転送トランジスタのゲート電極とフローティングディフュージョンとの間の分離構造の製造方法を変えた第８例である。

９．第９実施の形態

第９実施の形態は、第１実施の形態に係る固体撮像装置において、画素の転送トランジスタのゲート電極とフローティングディフュージョンとの間の分離構造の製造方法を変えた第９例である。

１０．第１０実施の形態

第１０実施の形態は、第１実施の形態に係る固体撮像装置において、画素間を分離する画素分離領域の構造を変えた第１０例である。

１１．第１１実施の形態

第１１実施の形態は、第１実施の形態に係る固体撮像装置において、画素間を分離する画素分離領域の構造を変えた第１１例である。

１２．第１２実施の形態

第１２実施の形態は、第１実施の形態に係る固体撮像装置において、単位

画素の構造を変えた第１２例である。

１３．移動体への応用例

移動体制御システムの一例である車両制御システムに本技術を適用した例を説明する。

１４．その他の実施の形態

[0011] ＜１．第１実施の形態＞

図１～図２５を用いて、本開示の第１実施の形態に係る固体撮像装置１を説明する。

ここで、図中、適宜、示される矢印Ｘ方向は、便宜的に平面上に載置された固体撮像装置１の１つの平面方向を示している。矢印Ｙ方向は、矢印Ｘ方向に対して直交する他の１つの平面方向を示している。また、矢印Ｚ方向は、矢印Ｘ方向及び矢印Ｙ方向に対して直交する上方向を示している。つまり、矢印Ｘ方向、矢印Ｙ方向、矢印Ｚ方向は、丁度、三次元座標系のＸ軸方向、Ｙ軸方向、Ｚ軸方向に各々一致している。

なお、これらの各方向は、説明の理解を助けるために示されており、本技術の方向を限定するものではない。

[0012] ［固体撮像装置１の構成］

（１）固体撮像装置１の画素１０及び画素回路２０の回路構成

図１は、固体撮像装置１を構築する画素１０及び画素回路２０の回路構成の一例を示している。

[0013] １つの画素１０は、光電変換素子（フォトダイオード）１１と、トランジスタ１２との直列回路により構成されている。ここでは、４つの画素１０が単位画素として構成されている。

[0014] 光電変換素子１１は、固体撮像装置１の外部から入射された光を電荷（電気信号）に変換する。

[0015] トランジスタ１２は、光電変換素子１１において変換された電荷を画素回路２０へ転送する転送トランジスタとして使用されている。トランジスタ１２は、絶縁ゲート電界効果トランジスタ（ＩＧＦＥＴ）である。詳しく説明

すると、トランジスタ１２は、第１導電型であるｎチャネル導電型ＩＧＦＥＴである。つまり、トランジスタ１２は、ゲート電極と、一対の主電極とを備えている。

ここで、トランジスタ１２は、本技術に係る「第１トランジスタ」又は「第２トランジスタ」である。

[0016] トランジスタ１２の一対の主電極のうち、一方の主電極は光電変換素子１１に電気的に接続されている。他方の主電極は、フローティングディフュージョン（以下、単に「ＦＤ」という。）２５を介在させて画素回路２０に電気的に接続されている。ゲート電極は図示省略の水平信号線に接続されている。ゲート電極には、水平信号線から制御信号ＴＧが入力される。制御信号ＴＧにより、トランジスタ１２のオン動作、オフ動作が制御されている。

[0017] 画素回路２０は、ここでは、単位画素毎に配設されている。第１実施の形態では、４つの画素１０に対して１つの画素回路２０が配設されている。画素回路２０は、画素１０において光から変換された電荷の信号処理を行う。

画素回路２０は、増幅トランジスタ２１と、選択トランジスタ２２と、フローティングディフュージョン変換ゲイン切替えトランジスタ（以下、単に「ＦＤ変換ゲイン切替えトランジスタ」という。）２３と、リセットトランジスタ２４とを備えている。

[0018] 増幅トランジスタ２１のゲート電極は、ＦＤ２５に接続されている。増幅トランジスタ２１の一方の主電極は電源電圧端子ＶＤＤに接続され、他方の主電極は選択トランジスタ２２の一方の主電極に接続されている。

選択トランジスタ２２のゲート電極は、選択信号線ＳＥＬに接続されている。選択トランジスタ２２の他方の主電極は、垂直信号線ＶＳＬ及び電流源負荷ＬＣに接続されている。電流源負荷ＬＣは基準電圧端子ＧＮＤに接続されている。

ＦＤ変換ゲイン切替えトランジスタ２３のゲート電極は、フローティングディフュージョン制御信号線ＦＤＧに接続されている。ＦＤ変換ゲイン切替えトランジスタ２３の一方の主電極はＦＤ２５に接続され、他方の主電極は

リセットトランジスタ２４の一方の主電極に接続されている。

リセットトランジスタ２４のゲート電極は、リセット信号線ＲＳＴに接続されている。リセットトランジスタ２４の他方の主電極は、電源電圧端子ＶＤＤに接続されている。

[0019] 固体撮像装置１では、画素回路２０は、更に図示省略の画像処理回路に接続されている。画像処理回路は、例えば、アナログデジタルコンバータ（ＡＤＣ）とデジタルシグナルプロセッサ（ＤＳＰ）とを備えている。

画素１０により光から変換された電荷は、アナログ信号である。このアナログ信号は、画素回路２０において増幅処理される。ＡＤＣは、画素回路２０から出力されるアナログ信号をデジタル信号に変換する。ＤＳＰは、デジタル信号の機能処理を行う。つまり、画像処理回路では、画像作成の信号処理が行われる。

[0020] （２）画素１０の構成

図３は、画素１０の概略的な縦断面構造の一例を表している。図４は、画素１０の概略的な平面構造の一例を表している。

[0021] 図３及び図４に示されるように、単位画素は、隣接して配列された４つの画素１０により構成されている。詳しく説明すると、単位画素は、矢印Ｘ方向に隣接して配列された２つの画素１０Ａ及び画素１０Ｂと、矢印Ｙ方向に隣接し、かつ、矢印Ｘ方向に隣接して配列された２つの画素１０Ｃ及び画素１０Ｄとを備えている。つまり、画素１０Ａ～画素１０Ｄは、行列状に配列されている。矢印Ｚ方向から見て（以下、単に「平面視において」という。）、画素１０Ａ～画素１０Ｄのそれぞれは、矩形状に形成されている。

ここで、理解を助けるために、便宜的に、「画素１０」は、「画素１０Ａ」～「画素１０Ｄ」と区別した符号を付している。なお、総称するときには、単に「画素１０」と記述する場合がある。

[0022] 画素１０は、基体１５に配設されている。基体１５には、例えば半導体基板が使用されている。さらに詳しく説明すると、第２導電型であるｐ型半導体領域（又はｐ型ウエル領域）を有する単結晶珪素（Ｓｉ）基板が使用され

ている。

[0023] 平面視において、更に画素１０Ａ～画素１０Ｄのそれぞれは、画素分離領域１６に周囲を囲まれた領域内に配設されている。画素分離領域１６は、平面視において、格子状に形成されている。

[0024] （３）画素分離領域１６の構成

画素分離領域１６は、溝１６１と、埋込部材１６３及び埋込部材１６４とを備えている。溝１６１は、基体１５の矢印Ｚ方向側の第２面１５Ｂから矢印Ｚ方向とは反対の第１面１５Ａ側へ深さ方向に延設された溝として形成されている。ここで、第１面１５Ａは、画素１０の光入射面とされている。

埋込部材１６３は、溝１６１の第１面１５Ａ側であって、溝１６１内の大半に埋め込まれている。ここで、埋込部材１６３には、例えば多結晶Ｓｉ膜が使用されている。

埋込部材１６４は、溝１６１の第２面１５Ｂ側、かつ、埋込部材１６３上であって、溝１６１内に埋め込まれている。埋込部材１６４には、例えば酸化珪素（ＳｉＯ）膜、窒化珪素（ＳｉＮ）膜等が使用されている。

つまり、画素分離領域１６は、トレンチアイソレーション構造により構成されている。

また、画素分離領域１６は、溝１６１の埋込部材１６３に沿った領域において基体１５に形成されたピニング領域１６２を備えている。

[0025] （４）光電変換素子１１の構成

画素１０の光電変換素子１１は、基体１５の第１面１５Ａ側に配設されている。光電変換素子１１は画素１０Ａ～１０Ｄ毎に配設されている。つまり、画素１０Ａには、１つの光電変換素子１１（本技術に係る「第１光電変換素子」に相当する）が配設されている。また、画素１０Ｂには、１つの光電変換素子１１（本技術に係る「第２光電変換素子」に相当する）が配設されている。以下、同様に、画素１０Ｃには１つの光電変換素子１１が、画素１０Ｄには１つの光電変換素子１１が、それぞれ配設されている。

[0026] 光電変換素子１１は、ｐ型半導体領域１１ｐとｎ型半導体領域１１ｎとの

ｐｎ接合部に形成されている。ｐ型半導体領域１１ｐは、画素分離領域１６に囲まれた領域内において、基体１５の第２面１５Ｂ側に配設されている。ｎ型半導体領域１１ｎは、同様に、画素分離領域１６に囲まれた領域内において、基体１５の第１面１５Ａ側に配設されている。

[0027] （５）トランジスタ１２の構成

画素１０のトランジスタ（転送トランジスタ）１２は、一方の主電極としてのｎ型半導体領域１１ｎと、他方の主電極としてのｎ型半導体領域１２４と、ゲート絶縁膜１２２と、ゲート電極１２３とを備えている。

[0028] ｎ型半導体領域１１ｎは、光電変換素子１１のｎ型半導体領域１１ｎである。

ゲート絶縁膜１２２は、基体１５の第２面１５Ｂからｎ型半導体領域１１ｎまで達する溝１２１の内壁に沿って形成されている。ゲート絶縁膜１２２には、例えばＳｉＯ膜若しくはＳｉＮ膜の単層膜、又はそれらを組み合わせた複合膜が使用されている。

[0029] ゲート電極１２３は、垂直ゲート電極部１２３Ａと、ゲート電極接続部１２３Ｂとを備えている。ゲート電極１２３は、本技術に係る「第１ゲート電極」又は「第２ゲート電極」に相当する。

垂直ゲート電極部１２３Ａは、溝１２１内にゲート絶縁膜１２２を介在させて埋め込まれている。垂直ゲート電極部１２３Ａには、例えば多結晶Ｓｉ膜が使用されている。この多結晶Ｓｉ膜には、抵抗値を低減させる不純物が含まれている。

ゲート電極接続部１２３Ｂは、基体１５の第２面１５Ｂ上に配設されている。ゲート電極接続部１２３Ｂは、垂直ゲート電極部１２３Ａに接触し、かつ、電気的に接続されている。また、ゲート電極接続部１２３Ｂは、配線７に電気的に接続されている。配線７からゲート電極接続部１２３Ｂには、制御信号ＴＧが入力される。ゲート電極接続部１２３Ｂには、垂直ゲート電極部１２３Ａと同様に、例えば多結晶Ｓｉ膜が使用されている。

[0030] ｎ型半導体領域１２４は、基体１５の第２面１５Ｂ側であって、ｐ型半導

体領域１１ｐの表面部分に配設されている。ｎ型半導体領域１２４は、画素分離領域１６に近接した位置に配設されている。詳しく説明すると、図３に示されるように、単位画素を構築する４つの画素１０Ａ～１０Ｄのそれぞれのｎ型半導体領域１２４は、単位画素の中央位置に集められている。

[0031] （６）共有接続部３０の構成

図２及び図３に示されるように、トランジスタ１２のｎ型半導体領域１２４には、共有接続（Shared Contact）部３０が電気的に接続されている。共有接続部３０は、単位画素を構築する４つの画素１０Ａ～１０Ｄの合計４つのｎ型半導体領域１２４に共通の接続部として構成されている。共有接続部３０は、ＦＤ２５（図１参照）の一部として構成され、配線７を通して画素回路２０（図１参照）に電気的に接続されている。

[0032] 共有接続部３０は、基体１５の第２面１５Ｂ側において、画素分離領域１６に重複して配設されている。詳しく説明すると、共有接続部３０は、画素分離領域１６に重複し、この重複位置から画素１０Ａ～１０Ｄのそれぞれのｎ型半導体領域１２４に延設されてｎ型半導体領域１２４とも重複させている。この延設され重複された領域において、共有接続部３０は４つのｎ型半導体領域１２４にそれぞれ電気的に接続されている。

[0033] 図２に示されるように、第１実施の形態において、共有接続部３０のゲート電極１２３（ゲート電極接続部１２３Ｂ）側の側面は、基体１５の第２面１５Ｂから離間されるに従って（矢印Ｚ方向へ向かうに従って）、ゲート電極１２３に近づく形状に形成されている。表現を代えれば、共有接続部３０のゲート電極１２３側の側面は、共有接続部３０側に突出し、ゲート電極１２３の上部に乗り上げるような円弧状の断面形状に形成されている。

例えば、共有接続部３０の画素１０Ａのゲート電極１２３（本技術に係る「第１ゲート電極」に相当する）側の側面は、第２面１５Ｂから離間されるに従ってゲート電極（第１ゲート電極）１２３に近づく形状に形成されている。また、共有接続部３０の画素１０Ｂのゲート電極１２３（本技術に係る「第２ゲート電極」に相当する）側の側面は、第２面１５Ｂから離間される

に従ってゲート電極（第２ゲート電極）１２３に近づく形状に形成されている。共有接続部３０の側面の形状は、画素１０Ｃ、画素１０Ｄのそれぞれについても同様である。

[0034] 共有接続部３０には、例えば多結晶Ｓｉ膜が使用されている。この多結晶Ｓｉ膜には、抵抗値を低減させる不純物が含まれている。

[0035] （７）低誘電率領域３２の構成

図２及び図３に示されるように、画素１０のトランジスタ１２のゲート電極１２３とＦＤ２５（図１参照）との間には、低誘電率領域３２が配設されている。

詳しく説明する。低誘電率領域３２は、ゲート電極１２３のゲート電極接続部１２３Ｂと、ＦＤ２５の一部としての共有接続部３０との間に配設されている。低誘電率領域３２は、ゲート電極接続部１２３Ｂの共有接続部３０とは反対側であって、破線により囲まれた非対向領域３３よりも低い誘電率を有している。

[0036] ここで、非対向領域３３は、ゲート電極接続部１２３Ｂの側面の一部を覆う絶縁膜３４と、この絶縁膜３４を覆って積層された絶縁膜３５とを備えている。絶縁膜３４は、第１実施の形態において、例えばＳｉＯ膜により形成されている。また、絶縁膜３５は、例えばＳｉＮ膜により形成されている。

[0037] 低誘電率領域３２は、第１実施の形態において、ギャップ（Gap）である。さらに詳しく説明すると、低誘電率領域３２は、内部に気体を含むギャップである。気体としては、空気が使用されている。つまり、低誘電率領域３２は、ここでは、エアーギャップ（Air-Gap）として構成されている。

[0038] このようにゲート電極接続部１２３Ｂと共有接続部３０との間に低誘電率領域３２が配設されることにより、ゲート電極接続部１２３Ｂを一方の電極、低誘電率領域３２を誘電体及び共有接続部３０を他方の電極とする寄生容量の容量値が小さくなる。すなわち、画素１０Ａ～画素１０Ｄのそれぞれにおいて生成される寄生容量の容量値が小さくなるので、結果的にＦＤ２５に付加される寄生容量の容量値のばらつきを効果的に抑制し、又は防止するこ

とができる。

[0039] なお、本技術において、低誘電率領域３２であるギャップ内は、真空であってもよい。また、低誘電率領域３２であるギャップ内には、窒素ガス（N_2）、アルゴンガス（Ａｒ）等の不活性ガスが充填されてもよい。

[0040] （８）配線７の構成

図２に示されるように、配線７は、トランジスタ１２、共有接続部３０のそれぞれを覆う絶縁膜３４、絶縁膜３５及び層間絶縁膜６に形成された接続孔６Ｈ内に配設されている。接続孔６Ｈは、絶縁膜３４、絶縁膜３５及び層間絶縁膜６の厚さ方向に形成された貫通孔である。

ここで、層間絶縁膜６は、例えばＳｉＯ膜により形成されている。配線７には、例えばタングステン（Ｗ）膜が使用されている。つまり、配線７は、いわゆるＷプラグとして形成されている。

[0041] 配線７の基体１５側の一方は、前述の通り、共有接続部３０を介在させてトランジスタ１２に電気的に接続されている。配線７の他方は、構造図を省略した画素回路２０（図１参照）に電気的に接続されている。

画素回路２０は、層間絶縁膜６の基体１５とは反対側に積層された基板に配設されている。この基板には、例えば単結晶Ｓｉ基板が使用されている。つまり、第１実施の形態に係る固体撮像装置１では、光電変換素子１１及びトランジスタ（転送トランジスタ）１２を備えた基体１５と、基体１５に積層され、画素回路２０が構築された基板とを重ねた２段構造が採用されている。

[0042] ［固体撮像装置１の製造方法］

図４～図２５は、第１実施の形態に係る固体撮像装置１の一例の製造方法を工程毎に示している。なお、製造方法の説明では、光電変換素子１１、トランジスタ（転送トランジスタ）１２のそれぞれの構造の図示並びに説明は、簡略化又は省略する。

[0043] まず、図４に示されるように、基体１５が準備される。基体１５は、前述の通り、例えば単結晶Ｓｉ基板である。

[0044] 次に、画素分離領域１６の形成領域において、基体１５の第２面１５Ｂの表面から第１面１５Ａに向かって溝１６１Ａが形成される。この溝１６１Ａは、後に形成される溝１６１よりも浅い深さを有している。例えば、溝１６１Ａは、光電変換素子１１のｎ型半導体領域１１ｎに達する程度の深さを有する。溝１６１Ａは、例えばフォトリソグラフィ技術及びエッチング技術を用いて形成される。エッチングには、例えば反応性イオンエッチング（ＲＩＥ：Reactive Ion Etching）等の異方性エッチングが使用される。

図５に示されるように、溝１６１Ａの内壁に沿ってマスク１７１が形成される。このマスク１７１は、エッチングマスク及び不純物導入マスクとして使用される。マスク１７１には、例えばＳｉＯ膜、ＳｉＮ膜のそれぞれを順次積層した複合膜が使用される。

[0045] 図６に示されるように、マスク１７１を用いて溝１６１Ａを更に掘り下げ、溝１６１が形成される。溝１６１の形成には、例えば異方性エッチングが使用される。

[0046] 図７に示されるように、溝１６１の内壁に沿った基体１５の表面部分、詳細にはｎ型半導体領域１１ｎ（図３参照）の表面部分にピニング領域１６２が形成される。ピニング領域１６２は、マスク１７１を用いて、ｎ型半導体領域１１ｎにｐ型不純物を導入することにより形成される。

図８に示されるように、マスク１７１が除去される。

[0047] 図９に示されるように、基体１５の第２面１５Ｂの全面に埋込部材１６３が形成される。埋込部材１６３には、例えば化学的気相析出（ＣＶＤ：Chemical Vaper Deposition）法を用いて成膜された多結晶Ｓｉ膜が使用される。

引き続き、基体１５の全面にエッチングを施し、第２面１５Ｂ上の余分な埋込部材１６３が除去される。これにより、図１０に示されるように、溝１６１内に埋込部材１６３が埋設される。

[0048] 図１１に示されるように、溝１６１内において、埋込部材１６３上に更に埋込部材１６４が埋設される。埋込部材１６４には、例えばＣＶＤ法を用いて成膜されたＳｉＯ膜が使用される。埋込部材１６３と同様に、成膜後のエ

ッチングにより余分な埋込部材１６４は除去される。

この工程が完了すると、画素分離領域１６が完成する。

[0049] 基体１５の第２面１５Ｂに絶縁膜３４１が形成される（図１２参照）。この絶縁膜３４１は、トランジスタ１２のゲート絶縁膜として使用される。

図１２に示されるように、絶縁膜３４１上にゲート電極接続部１２３Ｂが形成される。ここでは、説明を省略するが、トランジスタ１２の垂直ゲート電極部１２３Ａ（図２参照）は既に形成され、ゲート電極接続部１２３Ｂは垂直ゲート電極部１２３Ａ上にこれに電気的に接続されて形成される。ゲート電極接続部１２３Ｂには、例えばＣＶＤ法を用いて成膜された多結晶Ｓｉ膜が使用される。

ゲート電極接続部１２３Ｂが形成されると、垂直ゲート電極部１２３Ａ及びゲート電極接続部１２３Ｂを有する、トランジスタ１２のゲート電極１２３が完成する。

[0050] 図１３に示されるように、ゲート電極接続部１２３Ｂの側面及び上面を覆う絶縁膜３４２が形成される。絶縁膜３４２には、例えばＣＶＤ法を用いて成膜されたＳｉＯ膜が使用される。

引き続き、図１４に示されるように、ゲート電極接続部１２３Ｂの側面及び上面に絶縁膜３４２を介在させて絶縁膜３５１が形成される。絶縁膜３５１には、例えばＣＶＤ法を用いて成膜されたＳｉＮ膜が使用される。

[0051] 図１５に示されるように、全面にエッチングが施され、ゲート電極接続部１２３Ｂの側面に絶縁膜３５１が残され、それ以外の領域の絶縁膜３５１は除去される。エッチングには、ＲＩＥ法等の異方性エッチングが使用される。ゲート電極接続部１２３Ｂの側面に残された絶縁膜３５１は、いわゆるサイドウォールスペーサとして使用される。

[0052] 図１６に示されるように、ゲート電極接続部１２３Ｂの上面及び絶縁膜３５１の上面に絶縁膜３４３が形成される。絶縁膜３４３には、例えばＣＶＤ法を用いて成膜されたＳｉＯ膜が使用される。

図１７に示されるように、絶縁膜３４３をバッファ膜として使用し、基体

１５の第２面１５Ｂの表面部分に、トランジスタ１２の他方の主電極として使用されるｎ型半導体領域１２４が形成される。ｎ型半導体領域１２４は、例えばイオン注入法を用いて、基体１５にｎ型不純物を導入することにより形成される。

ｎ型半導体領域１２４が形成されると、トランジスタ１２が完成する。

[0053] 図１８に示されるように、ｎ型半導体領域１２４及び画素分離領域１６に重複する領域において、絶縁膜３４３に開口３４３Ｈが形成される。開口３４３Ｈは、フォトリソグラフィ技術及びエッチング技術を用いて形成される。

[0054] 図１９に示されるように、絶縁膜３４３上を含む基体１５の全面に導電膜３０１が形成される。導電膜３０１は、共有接続部３０を形成する材料である。導電膜３０１には、例えばＣＶＤ法を用いて成膜された多結晶Ｓｉ膜が使用される。

引き続き、共有接続部３０の形成領域を除き、画素分離領域１６に重複する開口３４３Ｈの部分において、導電膜３０１にｐ型不純物が導入され、ｐ型導電膜３６が形成される。このｐ型導電膜３６は、例えば基準電圧を供給する経路として使用される。

図２０に示されるように、共有接続部３０の形成領域において、導電膜３０１にｎ型不純物が導入される。ｎ型不純物が導入されると、共有接続部３０が実質的に形成される。

[0055] 図２１に示されるように、導電膜３０１にパターンニングが施され、余分な導電膜３０１が除去されることにより、共有接続部３０及びｐ型導電膜３６が形成される。パターンニングには、フォトリソグラフィ技術及びエッチング技術が使用される。

[0056] 図２２に示されるように、絶縁膜３４３及び絶縁膜３５１が選択的に除去される。この選択的な除去には、エッチング技術が使用される。

ここで、絶縁膜３５１は、前述の通り、サイドウォールスペーサとして形成され、除去されることにより、ゲート電極接続部１２３Ｂと共有接続部３

０との間にギャップとなる低誘電率領域３２が形成される。すなわち、低誘電率領域３２は、ゲート電極接続部１２３Ｂの側面にサイドウォールスペーサを形成し、このサイドウォールスペーサを除去したギャップを利用して形成される。

[0057] 例えば、製造工程中に大気開放を実施すれば、低誘電率領域３２であるギャップ内には空気が充填される。また、製造工程中の炉内において、真空引きすれば、低誘電率領域３２であるギャップ内は真空になる。さらに、製造工程中の炉内に流すキャリアガス、例えば不活性ガスを利用すれば、低誘電率領域３２であるギャップ内に不活性ガスが充填される。

[0058] 引き続き、図２３に示されるように、基体１５の第２面１５Ｂの全面に、共有接続部３０を覆う絶縁膜３４が形成される。さらに、図２４に示されるように、絶縁膜３４上に絶縁膜３５が形成される。

ここで、ゲート電極接続部１２３Ｂの側面において、低誘電率領域３２が形成された領域以外の領域には絶縁膜３４及び絶縁膜３５を含む非対向領域３３が形成される。低誘電率領域３２の誘電率は、非対向領域３３の誘電率よりも小さくなる。

[0059] 次に、図２５に示されるように、絶縁膜３５上に層間絶縁膜６が形成される。

引き続き、層間絶縁膜６に接続孔６Ｈが形成され、前述の図２に示されるように、接続孔６Ｈ内に配線７が形成される。

なお、画素回路２０（図１参照）等の製造方法の図示並びに説明は省略する。

[0060] これら一連の製造工程が終了すると、第１実施の形態に係る固体撮像装置１が完成し、製造方法が終了する。

[0061] ［作用効果］

第１実施の形態に係る固体撮像装置１は、図１～図３に示されるように、画素（第１画素）１０と、トランジスタ（第１トランジスタ）１２と、ＦＤ２５とを備える。

画素１０は、例えば画素１０Ａである。画素１０は、基体１５の光入射側となる第１面１５Ａ側に配設され、光を電荷に変換する光電変換素子（第１光電変換素子）１１を有する。トランジスタ１２は、画素１０に対応する位置において、基体１５の第１面１５Ａとは反対側の第２面１５Ｂ側に配設される。トランジスタ１２は、ゲート電極（第１ゲート電極）１２３を有し、一対の主電極のうち一方が光電変換素子１１に電気的に接続される。ＦＤ２５は、基体１５の第２面１５Ｂ側に配設され、トランジスタ１２の他方の主電極であるｎ型半導体領域１２４に電気的に接続される。

固体撮像装置１は、図２及び図３に示されるように、更に低誘電率領域３２を備える。低誘電率領域３２は、ＦＤ２５とそれに対向するゲート電極１２３との間に配設される。低誘電率領域３２は、ＦＤ２５とは対向しない非対向領域３３よりも低い誘電率を有する。

このような構成により、ゲート電極１２３を一方の電極、低誘電率領域３２を誘電体及びＦＤ２５を他方の電極とする寄生容量の容量値を小さくすることができる。つまり、ＦＤ２５に付加される寄生容量の容量値が小さくなるので、この容量値のばらつきを小さくすることができる。このため、固体撮像装置１では、寄生容量に伴う信号のばらつきや遅延を改善することができる。

[0062] また、固体撮像装置１は、図１～図３に示されるように、画素（第２画素）１０と、トランジスタ（第２トランジスタ）１２とを更に備える。

画素１０は、例えば画素１０Ｂ（又は画素１０Ｃ）である。画素１０は、例えば第１画素としての画素１０Ａに隣接して配設される。画素１０は、基体１５の第１面１５Ａ側に配設され、光を電荷に変換する光電変換素子（第２光電変換素子）１１を有する。トランジスタ１２は、画素１０に対応する位置において、基体１５の第２面１５Ｂ側に配設される。トランジスタ１２は、ゲート電極（第２ゲート電極）１２３有し、一対の主電極のうち一方が光電変換素子１１に電気的に接続され、他方の主電極であるｎ型半導体領域１２４にＦＤ２５が電気的に接続される。

ここで、固体撮像装置１は、更にＦＤ２５とそれに対向するゲート電極１２３との間に低誘電率領域３２を備える。

このような構成により、ゲート電極１２３を一方の電極、低誘電率領域３２を誘電体及びＦＤ２５を他方の電極とする寄生容量の容量値を小さくすることができる。つまり、ＦＤ２５に付加される寄生容量の容量値が小さくなるので、この容量値のばらつきを小さくすることができる。このため、固体撮像装置１では、寄生容量に伴う信号のばらつきや遅延を改善することができる。

[0063] また、固体撮像装置１は、図２及び図３に示されるように、画素分離領域１６と、共有接続部３０とを更に備える。

画素分離領域１６は、隣接する２つの画素（第１画素）１０と画素（第２画素）１０との間において基体１５に配設され、画素１０間を電気的、かつ、光学的に分離する。画素分離領域１６は、第１実施の形態において、基体１５の深さ方向に形成された溝１６１と、溝１６１内に埋め込まれた埋込部材１６３及び埋込部材１６４とを備える。

共有接続部３０は、基体１５の第２面１５Ｂ側において、画素分離領域１６に重複して配設され、例えば画素１０Ａのトランジスタ（第１トランジスタ）１２、画素１０Ｂのトランジスタ（第２トランジスタ）１２のそれぞれの他方の主電極（ｎ型半導体領域１２４）間を電気的に接続する。加えて、共有接続部３０には、ＦＤ２５が電気的に接続される。

そして、ゲート電極１２３と共有接続部３０との間に低誘電率領域３２が配設される。

このため、ゲート電極１２３と共有接続部３０との間において、寄生容量の容量値を小さくすることができる。

[0064] また、固体撮像装置１では、図２に示されるように、共有接続部３０のゲート電極（第１ゲート電極及び第２ゲート電極）１２３側の側面は、基体１５の第２面１５Ｂから矢印Ｚ方向に向かって離間されるに従ってゲート電極１２３に近づく形状に形成される。

詳しく説明すると、製造方法の図２１に示されるように、共有接続部３０は、ゲート電極１２３（詳細には、ゲート電極接続部１２３Ｂ）の側面に、サイドウォールスペーサとしての絶縁膜３５１を包み込む形状に形成される。この後、図２２に示されるように、絶縁膜３５１が選択的に除去されたギャップを利用して低誘電率領域３２が形成される。

このため、低誘電率領域３２を簡易に形成することができ、寄生容量の容量値を簡単に小さくすることができる。

[0065] また、固体撮像装置１では、図２に示されるように、低誘電率領域３２は、ギャップである。加えて、低誘電率領域３２のギャップ内は、真空である。あるいは、低誘電率領域３２のギャップ内には、空気若しくは不活性ガスが充填される。

このため、低誘電率領域３２を簡易な構成とすることができるので、寄生容量の容量値を簡単に小さくすることができる。

[0066] ＜２．第２実施の形態＞

図２６及び図２７を用いて、本開示の第２実施の形態に係る固体撮像装置１を説明する。なお、第２実施の形態並びにそれ以降の実施の形態において、第１実施の形態に係る固体撮像装置１の構成要素と同一の構成要素、又は実質的に同一の構成要素には同一の符号を付し、重複する説明は省略する。

[0067] ［固体撮像装置１の構成］

図２６は、画素１０の概略的な縦断面構造の一例を表している。図２７は、画素１０の概略的な平面構造の一例を表している。

[0068] 図２６及び図２７に示されるように、第２実施の形態に係る固体撮像装置１では、第１実施の形態に係る固体撮像装置１の低誘電率領域３２が、低誘電率材料により形成されている。低誘電率材料は、非対向領域３３の誘電率よりも低い誘電率を有する。

[0069] 詳しく説明すると、前述の例示では、絶縁膜３４はＳｉＯ膜、絶縁膜３５はＳｉＮ膜として非対向領域３３が形成されている。このため、低誘電率領域３２は、ＳｉＯ膜若しくは炭素添加酸化珪素（ＳｉＯＣ）膜の単層膜、又

はそれらを積層した複合膜により形成されている。

[0070] 上記構成要素以外の構成要素は、第１実施の形態に係る固体撮像装置１の構成要素と同一又は実質的に同一である。

[0071] ［作用効果］

図２６及び図２７に示される第２実施の形態に係る固体撮像装置１によれば、第１実施の形態に係る固体撮像装置１により得られる作用効果と同様の作用効果を得ることができる。

[0072] ＜３．第３実施の形態＞

図２８及び図２９を用いて、本開示の第３実施の形態に係る固体撮像装置１を説明する。

[0073] ［固体撮像装置１の構成］

図２８は、画素１０の概略的な縦断面構造の一例を表している。図２９は、画素１０の概略的な平面構造の一例を表している。

[0074] 図２８及び図２９に示されるように、第３実施の形態に係る固体撮像装置１は、第１実施の形態又は第２実施の形態に係る固体撮像装置１において、画素分離領域１６の構成を変えている。詳しく説明すると、画素分離領域１６は、溝１６１、埋込部材１６３及び埋込部材１６４を備えた構造に代えて、絶縁体領域により構成されている。絶縁体領域は、例えば、イオン注入法を用いて、基体１５に不純物を注入することにより形成されている。

[0075] 上記構成要素以外の構成要素は、第１実施の形態又は第２実施の形態に係る固体撮像装置１の構成要素と同一又は実質的に同一である。

[0076] ［作用効果］

図２８及び図２９に示される第３実施の形態に係る固体撮像装置１によれば、第１実施の形態又は第２実施の形態に係る固体撮像装置１により得られる作用効果と同様の作用効果を得ることができる。

[0077] また、固体撮像装置１では、図２８及び図２９に示されるように、画素分離領域１６は、絶縁体領域により構成される。このため、画素分離領域１６を簡易に構成することができるので、固体撮像装置１の構造を簡易に実現す

ることができる。

[0078] ＜４．第４実施の形態＞

図３０及び図３１を用いて、本開示の第４実施の形態に係る固体撮像装置１を説明する。

[0079] ［固体撮像装置１の構成］

図３０は、画素１０の概略的な縦断面構造の一例を表している。図３１は、画素１０の概略的な平面構造の一例を表している。

[0080] 図３０及び図３１に示されるように、第４実施の形態に係る固体撮像装置１は、第１実施の形態又は第２実施の形態に係る固体撮像装置１において、非対向領域３３に絶縁膜３５１を残した状態に形成されている。絶縁膜３５１は、トランジスタ１２のゲート電極接続部１２３Ｂの側面に形成されたサイドウォールスペーサである。

つまり、固体撮像装置１の製造方法では、前述の図２２に示される工程において、ゲート電極接続部１２３Ｂと共有接続部３０との間の絶縁体３５１は選択的に除去されるが、ゲート電極接続部１２３Ｂと非対向領域３３との間の絶縁体３５１は除去されない。

[0081] 上記構成要素以外の構成要素は、第１実施の形態又は第２実施の形態に係る固体撮像装置１の構成要素と同一又は実質的に同一である。また、第４実施の形態に係る固体撮像装置１は、第３実施の形態に係る固体撮像装置１に適用してもよい。

[0082] ［作用効果］

図３０及び図３１に示される第４実施の形態に係る固体撮像装置１によれば、第１実施の形態又は第２実施の形態に係る固体撮像装置１により得られる作用効果と同様の作用効果を得ることができる。

[0083] また、固体撮像装置１では、ゲート電極１２３（ゲート電極接続部１２３Ｂ）の非対向領域３３の側面に、サイドウォールスペーサとしての絶縁膜３５１が配設される。低誘電率領域３２は、絶縁膜３５１よりも低誘電率である。

このように構成される固体撮像装置１では、ＦＤ２５に付加される寄生容量の容量値が小さくなるので、寄生容量に伴う信号のばらつきや遅延を改善することができる。

[0084] ＜５．第５実施の形態＞

図３２及び図３３を用いて、本開示の第５実施の形態に係る固体撮像装置１を説明する。

[0085] ［固体撮像装置１の構成］

図３２は、画素１０の概略的な縦断面構造の一例を表している。図３３は、画素１０の概略的な平面構造の一例を表している。

[0086] 図３２及び図３３に示されるように、第５実施の形態に係る固体撮像装置１では、トランジスタ１２のゲート電極接続部１２３Ｂ上及び共有接続部３０上に絶縁膜３５が形成されている。絶縁膜３４は、省略されている（図２参照）。

絶縁膜３５は、前述の通り、例えばＳｉＮ膜により形成されている。この絶縁膜３５の埋込み性は、例えばＳｉＯ膜の埋込み性よりも悪い。

[0087] 上記構成要素以外の構成要素は、第１実施の形態又は第２実施の形態に係る固体撮像装置１の構成要素と同一又は実質的に同一である。また、第５実施の形態に係る固体撮像装置１は、第３実施の形態又は第４実施の形態に係る固体撮像装置１に適用してもよい。

[0088] ［作用効果］

図３２及び図３３に示される第５実施の形態に係る固体撮像装置１によれば、第１実施の形態又は第２実施の形態に係る固体撮像装置１により得られる作用効果と同様の作用効果を得ることができる。

[0089] ＜６．第６実施の形態＞

図３４～図５９を用いて、本開示の第６実施の形態に係る固体撮像装置１を説明する。

[0090] ［固体撮像装置１の構成］

図３４は、画素１０の概略的な縦断面構造の一例を表している。図３５は

、画素１０の概略的な平面構造の一例を表している。

[0091] 図３４及び図３５に示されるように、第６実施の形態に係る固体撮像装置１では、第１実施の形態又は第２実施の形態に係る固体撮像装置１において、共有接続部３０の一部が、画素分離領域１６の溝１６１に埋め込まれている。

詳しく説明すると、共有接続部３０の一部は、溝１６１の上部に埋め込まれ、更に隣接する画素１０のトランジスタ１２のｎ型半導体領域１２４の側面に電気的に接続されている。共有接続部３０の一部は、ｎ型半導体領域１２４の接合深さ程度に埋め込まれていればよい。

[0092] ［固体撮像装置１の製造方法］

図３６～図５９は、第６実施の形態に係る固体撮像装置１の一例の製造方法を工程毎に示している。なお、製造方法の説明では、光電変換素子１１、トランジスタ（転送トランジスタ）１２のそれぞれの断面構造の図示並びに説明は、簡略化又は省略する。

[0093] まず、第１実施の形態に係る固体撮像装置１の製造方法（以下、単に「第１製造方法」という。）の図４に示される工程と同様に、基体１５が準備される。

図３６に示されるように、基体１５の第２面１５Ｂ上に、マスク１７２、マスク１７３のそれぞれが順次形成される。マスク１７２は、例えば、エッチングストッパとして使用され、ＳｉＮ膜により形成される。マスク１７３は、例えば、エッチングのハードマスクとして使用され、ＳｉＯ膜により形成される。

[0094] 図３７に示されるように、画素分離領域１６の形成領域において、マスク１７３に開口１７３Ｈが形成される。開口１７３Ｈは、例えばフォトリソグラフィ技術及びエッチング技術を用いて形成される。

図３８に示されるように、マスク１７３を用いて、基体１５の第２面１５Ｂの表面から第１面１５Ａに向かって溝１６１Ａが形成される。この溝１６１Ａは、浅い深さを有している。溝１６１Ａは、例えばエッチング技術を用

いて形成される。

[0095] 第１製造方法の図５に示される工程と同様に、図３９に示されるように、溝１６１Ａの内壁に沿ってマスク１７１が形成される。

第１製造方法の図６に示される工程と同様に、図４０に示されるように、マスク１７１を用いて溝１６１Ａを更に掘り下げ、溝１６１が形成される。

[0096] 第１製造方法の図７に示される工程と同様に、図４１に示されるように、溝１６１の内壁に沿った基体１５の表面部分にピニング領域１６２が形成される。

この後、図４２に示されるように、マスク１７１が除去される。

[0097] 第１製造方法の図９に示される工程と同様に、図４３に示されるように、基体１５の第２面１５Ｂの全面に埋込部材１６３が形成される。ここでは、埋込部材１６３はマスク１７３上に形成される。

引き続き、基体１５の全面にエッチングを施し、マスク１７３上の余分な埋込部材１６３が除去される。これにより、図４４に示されるように、溝１６１内に埋込部材１６３が埋め込まれる。

[0098] 第１製造方法の図１１に示される工程と同様に、図４５に示されるように、溝１６１内において、埋込部材１６３上に更に埋込部材１６４が埋め込まれる。埋込部材１６４の成膜後に、マスク１７３上の余分な埋込部材１６４が除去される。

引き続き、図４６に示されるように、マスク１７３及び開口１７３Ｈ内に残っている埋込部材１６４が除去される。この除去には、エッチング技術が使用される。

さらに、マスク１７２を用いて、埋込部材１６４の一部が更に除去される。この工程により、埋込部材１６４の上面は、基体１５の第２面１５Ｂよりも基体１５の内部に掘り下げられる。埋込部材１６４の除去には、エッチング技術が使用される。

この工程が完了すると、画素分離領域１６が完成する。

[0099] 第１製造方法の図１９に示される工程と同様に、図４８に示されるように

、マスク１７２上を含む基体１５の全面に導電膜３０１が形成される。導電膜３０１は、共有接続部３０を形成する材料である。導電膜３０１の一部は、画素分離領域１６の溝１６１の上部において埋め込まれる。

[0100] 引き続き、共有接続部３０の形成領域を除き、画素分離領域１６に重複する部分において、導電膜３０１にｐ型不純物が導入され、ｐ型導電膜３６が形成される。

図４９に示されるように、共有接続部３０の形成領域において、導電膜３０１にｎ型不純物が導入される。ｎ型不純物が導入されると、実質的に共有接続部３０が形成される。

[0101] 第１製造方法の図２１に示される工程と同様に、図５０に示されるように、導電膜３０１にパターンニングが施され、余分な導電膜３０１が除去されることにより、共有接続部３０及びｐ型導電膜３６が形成される。

引き続き、図５１に示されるように、マスク１７２が除去される。

[0102] 図５２に示されるように、画素１０の形成領域において、基体１５の第２面１５Ｂに絶縁膜３４１が形成される。

引き続き、トランジスタ１２のｎ型半導体領域１２４が形成される（図５３参照）。ｎ型半導体領域１２４は、絶縁膜３４１を通して基体１５の第２面１５Ｂの表面部分にｎ型不純物を導入することにより形成される。ｎ型半導体領域１２４の側面は共有接続部３０の側面に接触し、双方は電気的に接続される。

[0103] 第１製造方法の図１２に示される工程と同様に、図５３に示されるように、絶縁膜３４１上にゲート電極１２３のゲート電極接続部１２３Ｂが形成される。

第１製造方法の図１４に示される工程と同様に、図５４に示されるように、基体１５の第２面１５Ｂ側の全面に、絶縁膜３４２、絶縁膜３５１のそれぞれが順次形成される。

[0104] 第１製造方法の図１５に示される工程と同様に、図５５に示されるように、全面にエッチングが施され、ゲート電極接続部１２３Ｂの側面に絶縁膜３

５１が残され、それ以外の領域の絶縁膜３５１は除去される。残された絶縁膜３５１は、サイドウォールスペーサとして形成される。

引き続き、図５６に示されるように、ゲート電極接続部１２３Ｂ及び絶縁膜３５１を覆う絶縁膜３４４が形成される。絶縁膜３４４は、例えばＳｉＯ膜である。

[0105] 図５７に示されるように、絶縁膜３４４、絶縁膜３５１等が除去される。この除去により、ゲート電極接続部１２３Ｂ、共有接続部３０等の表面が露出される。

[0106] 図５８に示されるように、ゲート電極接続部１２３Ｂ、共有接続部３０等のそれぞれを覆う絶縁膜３４が形成される。絶縁膜３４は、第１製造方法と同様に、例えばＳｉＯ膜である。

ここで、絶縁膜３４が形成されると、ゲート電極接続部１２３Ｂと共有接続部３０との間に、ギャップが生成され、結果的に低誘電率領域３２が形成される。

なお、共有接続部３０のＺ方向の厚さが厚く設定されると、低誘電率領域３２の同一方向の高さは高くなる。つまり、低誘電率領域３２の容積を増加させることができ、寄生容量の容量値を小さくすることができる。

引き続き、図５９に示されるように、絶縁膜３４上に絶縁膜３５が形成される。

[0107] この後、第１製造方法の図２５に示される工程以降の工程を実施することにより、第６実施の形態に係る固体撮像装置１が完成し、製造方法は終了する。

[0108] 上記構成要素以外の構成要素は、第１実施の形態又は第２実施の形態に係る固体撮像装置１の構成要素と同一又は実質的に同一である。また、第６実施の形態に係る固体撮像装置１は、第３実施の形態～第５実施の形態に係るいずれかの固体撮像装置１に適用してもよい。

[0109] ［作用効果］

図３４及び図３５に示される第６実施の形態に係る固体撮像装置１によれ

ば、第１実施の形態又は第２実施の形態に係る固体撮像装置１により得られる作用効果と同様の作用効果を得ることができる。

また、図３６～図５９に示される第６実施の形態に係る固体撮像装置１の製造方法によれば、第１製造方法により得られる作用効果と同様の作用効果を得ることができる。

[0110] ＜７．第７実施の形態＞

図６０及び図６１を用いて、本開示の第７実施の形態に係る固体撮像装置１を説明する。

[0111] ［固体撮像装置１の構成］

図６０は、画素１０の概略的な縦断面構造の一例を表している。図６１は、画素１０の概略的な平面構造の一例を表している。

[0112] 図６０及び図６１に示されるように、第７実施の形態に係る固体撮像装置１では、基体１５に画素回路２０が構築された１段構造が採用されている。詳しく説明すると、画素１０に対応する位置において、基体１５の第２面１５Ｂ部分に、画素回路２０を構築するトランジスタが配設されている。

[0113] 配置レイアウトは限定されないが、第７実施の形態では、単位画素を構築する画素１０Ａに対応する位置において、基体１５に増幅トランジスタ２１が配設されている。また、画素１０Ｂに対応する位置において、基体１５に選択トランジスタ２２が配設されている。同様に、画素１０Ｃに対応する位置において、基体１５にＦＤ変換ゲイン切替えトランジスタ２３が配設され、画素１０Ｄに対応する位置において、基体１５にリセットトランジスタ２４が配設されている。

[0114] 増幅トランジスタ２１、選択トランジスタ２２、ＦＤ変換ゲイン切替えトランジスタ２３、リセットトランジスタ２４のそれぞれの周囲には、素子分離領域８が配設されている。素子分離領域８は、詳細な構造の説明を省略し、特に符号を付さないが、溝と溝内に埋め込まれた埋込部材とを備えたトレンチアイソレーション構造により構成されている。

[0115] また、増幅トランジスタ２１、選択トランジスタ２２、ＦＤ変換ゲイン切

替えトランジスタ２３、リセットトランジスタ２４のそれぞれは、同様に、詳細な構造の説明を省略し、特に符号を付さないが、ゲート電極と一対の主電極とを備えている。

ゲート電極は、例えばトランジスタ１２のゲート電極接続部１２３Ｂに対して、同一導電層に形成され、かつ、同一導電性材料により形成されている。また、一対の主電極は、トランジスタ１２のｎ型半導体領域１２４と同一のｎ型半導体領域により形成されている。

[0116] ここで、増幅トランジスタ２１、選択トランジスタ２２、ＦＤ変換ゲイン切替えトランジスタ２３、リセットトランジスタ２４のそれぞれのゲート電極の側面には、サイドウォールスペーサとして使用される絶縁膜３５１が配設されている。

[0117] なお、本技術では、画素回路２０を構築する１つのトランジスタが１つの画素１０に対応する位置に配置されることに限定されない。例えば、１つのトランジスタは、２つの画素１０に跨がって配置されてもよい。また、２つのトランジスタが、１つの画素１０に対応する位置に配置されてもよい。

[0118] 上記構成要素以外の構成要素は、第１実施の形態又は第２実施の形態に係る固体撮像装置１の構成要素と同一又は実質的に同一である。また、第７実施の形態に係る固体撮像装置１は、第３実施の形態～第６実施の形態に係るいずれかの固体撮像装置１に適用してもよい。

[0119] ［作用効果］

図６０及び図６１に示される第７実施の形態に係る固体撮像装置１によれば、第１実施の形態又は第２実施の形態に係る固体撮像装置１により得られる作用効果と同様の作用効果を得ることができる。

[0120] ＜８．第８実施の形態＞

図６２～図６５を用いて、本開示の第８実施の形態に係る固体撮像装置１及びその製造方法を説明する。

[0121] ［固体撮像装置１の製造方法］

図６２～図６５は、第８実施の形態に係る固体撮像装置１の一例の製造方

法を工程毎に示している。なお、製造方法の説明では、光電変換素子１１、トランジスタ（転送トランジスタ）１２のそれぞれの断面構造の図示並びに説明は、簡略化又は省略する。

[0122] 第１製造方法の図１７に示される工程と同様に、ゲート電極接続部１２３Ｂの側面にサイドウォールスペーサとして使用される絶縁膜３５１が形成され、ゲート電極接続部１２３Ｂ及び絶縁膜３５１を覆う絶縁膜３４３が形成される（図６２参照）。

図６２に示されるように、トランジスタ１２の他方の主電極としてのｎ型半導体領域１２４が形成される。

[0123] 図６３に示されるように、絶縁膜３４３及び絶縁膜３５１が選択的に除去される。つまり、サイドウォールスペーサが除去される。

引き続き、第１製造方法の図２２に示される工程と同様に、図６４に示されるように、共有接続部３０及びｐ型導電膜３６が形成される。

[0124] 引き続き、第１製造方法の図２３に示す工程と同様に、ゲート電極接続部１２３Ｂ及び共有接続部３０を覆う絶縁膜３４が形成される（図６５参照）。この絶縁膜３４が形成されると、ゲート電極接続部１２３Ｂと共有接続部３０との間に低誘電率領域３２が形成される。

第１製造方法の図２４に示す工程と同様に、図６５に示されるように、絶縁膜３４を覆う絶縁膜３５が形成される。

[0125] この後、第１製造方法の図２５に示される工程以降の工程を実施することにより、第８実施の形態に係る固体撮像装置１が完成し、製造方法は終了する。

[0126] 上記構成要素以外の構成要素は、第１実施の形態に係る固体撮像装置１及びその製造方法の構成要素と同一又は実質的に同一である。

[0127] ［作用効果］

図６２～図６５に示される第８実施の形態に係る固体撮像装置１の製造方法によれば、第１実施の形態に係る固体撮像装置１の製造方法により得られる作用効果と同様の作用効果を得ることができる。

[0128] ＜９．第９実施の形態＞

図６６及び図６７を用いて、本開示の第９実施の形態に係る固体撮像装置１及びその製造方法を説明する。

[0129] ［固体撮像装置１の製造方法］

図６６及び図６７は、第９実施の形態に係る固体撮像装置１の一例の製造方法を工程毎に示している。なお、製造方法の説明では、光電変換素子１１、トランジスタ（転送トランジスタ）１２のそれぞれの断面構造の図示並びに説明は、簡略化又は省略する。

[0130] 第９実施の形態に係る固体撮像装置１の製造方法は、第８実施の形態に係る固体撮像装置１の製造方法（以下、単に「第８製造方法」という。）の図６４に示される工程と同様に、図６６に示されるように、共有接続部３０及びｐ型導電膜３６が形成される。ここで、第９実施の形態では、前述の第６実施の形態に係る固体撮像装置１の製造方法の図４７～図５３に示される工程と同様に、共有接続部３０の一部が、画素分離領域１６の溝１６１に埋め込まれる。

[0131] 第８製造方法の図６５に示される工程と同様に、図６７に示されるように、絶縁膜３４、絶縁膜３５のそれぞれが順次形成される。ここで、絶縁膜３４が形成されると、ゲート電極接続部１２３Ｂと共有接続部３０との間に低誘電率領域３２が形成される。

[0132] この後、第１製造方法の図２５に示される工程以降の工程を実施することにより、第９実施の形態に係る固体撮像装置１が完成し、製造方法は終了する。

[0133] 上記構成要素以外の構成要素は、第８実施の形態に係る固体撮像装置１及びその製造方法の構成要素と同一又は実質的に同一である。

[0134] ［作用効果］

図６６及び図６７に示される第９実施の形態に係る固体撮像装置１の製造方法によれば、第６実施の形態に係る固体撮像装置１の製造方法と第８実施の形態に係る固体撮像装置１の製造方法とを組み合わせた作用効果を得るこ

とができる。

[0135] ＜１０．第１０実施の形態＞

図６８を用いて、本開示の第１０実施の形態に係る固体撮像装置１を説明する。

[0136] ［固体撮像装置１の構成］

図６８は、画素１０の概略的な平面構造の一例を表している。

[0137] 図６８に示されるように、第１０実施の形態に係る固体撮像装置１では、画素分離領域１６が、画素１０の周囲の一部に配設されている。

第１０実施の形態では、単位画素を構築する画素１０Ａと画素１０Ｂとの間に、画素分離領域１６が途切れる分離部１６Ｉが配設されている。また、画素１０Ｃと画素１０Ｄとの間にも、画素分離領域１６が途切れる分離部１６Ｉが配設されている。

[0138] 上記構成要素以外の構成要素は、第１実施の形態～第９実施の形態に係るいずれかの固体撮像装置１の構成要素と同一又は実質的に同一である。

[0139] ［作用効果］

図６８に示される第１０実施の形態に係る固体撮像装置１によれば、第１実施の形態～第９実施の形態に係るいずれかの固体撮像装置１により得られる作用効果と同様の作用効果を得ることができる。

[0140] ＜１１．第１１実施の形態＞

図６９及び図７０を用いて、本開示の第１１実施の形態に係る固体撮像装置１を説明する。

[0141] ［固体撮像装置１の構成］

図６９は、画素１０の概略的な縦断面構造の一例を表している。図７０は、画素１０の概略的な平面構造の一例を表している。

[0142] 図６９及び図７０に示されるように、第１１実施の形態に係る固体撮像装置１では、画素分離領域１６が、２種類の画素分離領域１６Ｔ及び画素分離領域１６Ｒにより構成されている。

[0143] 画素分離領域１６Ｔは、第１実施の形態又は第２実施の形態に係る固体撮

像装置１の画素分離領域１６と同一の構成要素である。区別するために、符号を代えている。画素分離領域１６Ｔは、溝１６１と、埋込部材１６３及び埋込部材１６４とを備えて構成されている。画素分離領域１６Ｔは、単位画素の周囲と、画素１０Ａと画素１０Ｃとの間と、画素１０Ｂと画素１０Ｄとの間とに配設されている。

[0144] 画素分離領域１６Ｒは、第３実施の形態に係る固体撮像装置１の画素分離領域１６と同一の構成要素である。同様に、区別するために、符号を代えている。画素分離領域１６Ｒは、絶縁体領域により構成されている。画素分離領域１６Ｒは、画素１０Ａと画素１０Ｂとの間と、画素１０Ｃと画素１０Ｄとの間とに配設されている。

[0145] 上記構成要素以外の構成要素は、第１実施の形態～第１０実施の形態に係るいずれかの固体撮像装置１の構成要素と同一又は実質的に同一である。

[0146] ［作用効果］

図６９及び図７０に示される第１１実施の形態に係る固体撮像装置１によれば、第１実施の形態～第１０実施の形態に係るいずれかの固体撮像装置１により得られる作用効果と同様の作用効果を得ることができる。

[0147] ＜１２．第１２実施の形態＞

図７１を用いて、本開示の第１２実施の形態に係る固体撮像装置１を説明する。

[0148] ［固体撮像装置１の構成］

図７１は、画素１０の概略的な平面構造の一例を表している。

[0149] 図７１に示されるように、第１２実施の形態に係る固体撮像装置１では、単位画素が合計８個の画素１０Ａ～画素１０Ｈにより構築されている。画素１０Ｂは、画素１０Ａに対して、矢印Ｘ方向に隣接して配列されている。画素１０Ｃは、画素１０Ａに対して、矢印Ｙ方向に隣接して配列されている。画素１０Ｄは、画素１０Ｃに対して、矢印Ｘ方向に隣接して配列されている。画素１０Ｅは、画素１０Ｃに対して、矢印Ｙ方向に隣接して配列されている。画素１０Ｆは、画素１０Ｅに対して、矢印Ｘ方向に隣接して配列されて

いる。画素１０Ｇは、画素１０Ｆに対して、矢印Ｙ方向に隣接して配列されている。画素１０Ｈは、画素１０Ｇに対して、矢印Ｘ方向に隣接して配列されている。

[0150] 共有接続部３０は、画素１０Ａと画素１０Ｂとの間、画素１０Ｃと画素１０Ｄとの間、画素１０Ｅと画素１０Ｆとの間、画素１０Ｇと画素１０Ｈとの間のそれぞれに延設して配設されている。そして、共有接続部３０は、単位画素のすべての画素１０Ａ～画素１０Ｈにおいて共有されている。

[0151] そして、第１２実施の形態では、１つの単位画素に対して、１つの画素回路２０（図１参照）が配設されている。

[0152] 上記構成要素以外の構成要素は、第１実施の形態～第１１実施の形態に係るいずれかの固体撮像装置１の構成要素と同一又は実質的に同一である。

[0153] ［作用効果］

図７１に示される第１２実施の形態に係る固体撮像装置１によれば、第１実施の形態～第１１実施の形態に係るいずれかの固体撮像装置１により得られる作用効果と同様の作用効果を得ることができる。

[0154] ＜１３．移動体への応用例＞

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0155] 図７２は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0156] 車両制御システム１２０００は、通信ネットワーク１２００１を介して接続された複数の電子制御ユニットを備える。図７２に示した例では、車両制御システム１２０００は、駆動系制御ユニット１２０１０、ボディ系制御ユニット１２０２０、車外情報検出ユニット１２０３０、車内情報検出ユニット１２０４０、及び統合制御ユニット１２０５０を備える。また、統合制御

ユニット１２０５０の機能構成として、マイクロコンピュータ１２０５１、音声画像出力部１２０５２、及び車載ネットワークＩ／Ｆ（Interface）１２０５３が図示されている。

[0157] 駆動系制御ユニット１２０１０は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット１２０１０は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0158] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0159] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0160] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部

１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0161] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0162] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ（Advanced Driver Assistance System）の機能実現を目的とした協調制御を行うことができる。

[0163] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0164] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０３０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0165] 音声画像出力部１２０５２は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図７２の例では、出力装置として、オーディオスピーカ１２０６１、表示部１２０６２及びインストルメントパネル１２０６３が例示されている。表示部１２０６２は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

[0166] 図７３は、撮像部１２０３１の設置位置の例を示す図である。

[0167] 図７３では、撮像部１２０３１として、撮像部１２１０１、１２１０２、１２１０３、１２１０４、１２１０５を有する。

[0168] 撮像部１２１０１、１２１０２、１２１０３、１２１０４、１２１０５は、例えば、車両１２１００のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部１２１０１及び車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として車両１２１００の前方の画像を取得する。サイドミラーに備えられる撮像部１２１０２、１２１０３は、主として車両１２１００の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部１２１０４は、主として車両１２１００の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0169] なお、図７３には、撮像部１２１０１ないし１２１０４の撮影範囲の一例が示されている。撮像範囲１２１１１は、フロントノーズに設けられた撮像部１２１０１の撮像範囲を示し、撮像範囲１２１１２，１２１１３は、それぞれサイドミラーに設けられた撮像部１２１０２，１２１０３の撮像範囲を示し、撮像範囲１２１１４は、リアバンパ又はバックドアに設けられた撮像部１２１０４の撮像範囲を示す。例えば、撮像部１２１０１ないし１２１０４で撮像された画像データが重ね合わせられることにより、車両１２１００

を上方から見た俯瞰画像が得られる。

[0170] 撮像部１２１０１ないし１２１０４の少なくとも１つは、距離情報を取得する機能を有していてもよい。例えば、撮像部１２１０１ないし１２１０４の少なくとも１つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0171] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を基に、撮像範囲１２１１１ないし１２１１４内における各立体物までの距離と、この距離の時間的変化（車両１２１００に対する相対速度）を求めることにより、特に車両１２１００の進行路上にある最も近い立体物で、車両１２１００と略同じ方向に所定の速度（例えば、０km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ１２０５１は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0172] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を元に、立体物に関する立体物データを、２輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ１２０５１は、車両１２１００の周辺の障害物を、車両１２１００のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ１２０５１は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ１２０６１や表示部１２０６２を介してドライバに警報を出力することや、駆動系制御ユニット１２０１０を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0173] 撮像部１２１０１ないし１２１０４の少なくとも１つは、赤外線を検出す

る赤外線カメラであってもよい。例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部１２１０１ないし１２１０４の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ１２０５１が、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部１２０５２は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部１２０６２を制御する。また、音声画像出力部１２０５２は、歩行者を示すアイコン等を所望の位置に表示するように表示部１２０６２を制御してもよい。

[0174] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部１２０３１に適用され得る。撮像部１２０３１に本開示に係る技術を適用することにより、より簡易な構成の撮像部１２０３１を実現できる。

[0175] ＜１４．その他の実施の形態＞

本技術は、上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲内において、種々変更可能である。

例えば、上記第１実施の形態から第１２実施の形態に係る固体撮像装置のうち、２以上の実施の形態に係る固体撮像装置を組み合わせてもよい。

[0176] また、本技術は、イメージング用途に限らず、センシング用途等に使用される受光装置、光電変換装置、光検出装置等に広く適用可能である。さらに、固体撮像装置は、可視光の入射光に限らず、赤外光、紫外光、電磁波等の入射光であってもよい。また、本技術は、光電変換素子の光入射側の上方に、任意にバンドパスフィルタ等を設け、所望の入射光を受光する構成であってもよい。

[0177] 本開示の第１実施態様に係る固体撮像装置は、第１トランジスタの第１ゲ

ート電極とフローティングディフュージョンとの間に、低誘電率領域を備える。これにより、第１ゲート電極を一方の電極、低誘電率領域を誘電体及びフローティングディフュージョンを他方の電極とする寄生容量の容量値を小さくすることができる。つまり、フローティングディフュージョンに付加される寄生容量の容量値が小さくなるので、この容量値のばらつきを小さくすることができる。このため、固体撮像装置では、寄生容量に伴う信号のばらつきや遅延を改善することができる。

[0178] 本開示の第２実施態様に係る固体撮像装置は、第１実施態様に係る固体撮像装置において、第２トランジスタの第２ゲート電極とフローティングディフュージョンとの間に、低誘電率領域を備える。これにより、第２ゲート電極を一方の電極、低誘電率領域を誘電体及びフローティングディフュージョンを他方の電極とする寄生容量の容量値を小さくすることができる。つまり、フローティングディフュージョンに付加される寄生容量の容量値が小さくなるので、この容量値のばらつきを小さくすることができる。このため、固体撮像装置では、寄生容量に伴う信号のばらつきや遅延を改善することができる。

[0179] 本開示の第３実施態様に係る固体撮像装置では、第１実施態様又は第２実施態様に係る固体撮像装置において、低誘電率領域は、ギャップである。これにより、低誘電率領域３２を簡易な構成とすることができるので、寄生容量の容量値を簡単に小さくすることができる。

[0180] 本開示の第４実施態様に係る固体撮像装置では、第１実施態様又は第２実施態様に係る固体撮像装置において、低誘電率領域は、低誘電率材料により形成されている。これにより、低誘電率領域３２を簡易な構成とすることができるので、寄生容量の容量値を簡単に小さくすることができる。

[0181] ＜本技術の構成＞

本技術は、以下の構成を備えている。以下の構成を備える本技術によれば、固体撮像装置において、寄生容量に伴う信号のばらつきや遅延を改善することができる。

（１）

基体の光入射側となる第１面側に配設され、光を電荷に変換する第１光電変換素子を有する第１画素と、

前記第１画素に対応する位置において、前記基体の前記第１面とは反対側の第２面側に配設され、第１ゲート電極を有し、一対の主電極のうち一方が前記第１光電変換素子に電気的に接続された第１トランジスタと、

前記基体の前記第２面側に配設され、前記第１トランジスタの他方の主電極に電気的に接続されたフローティングディフュージョンと、

前記フローティングディフュージョンとそれに対向する前記第１ゲート電極との間に配設され、非対向領域よりも低い誘電率を有する低誘電率領域と、

を備えている固体撮像装置。

（２）

前記第１画素に隣接して、前記基体の前記第１面側に配設され、光を電荷に変換する第２光電変換素子を有する第２画素と、

前記第２画素に対応する位置において、前記基体の前記第２面側に配設され、第２ゲート電極を有し、一対の主電極のうち一方が前記第２光電変換素子に電気的に接続され、他方の主電極に前記フローティングディフュージョンが電気的に接続された第２トランジスタと、

前記フローティングディフュージョンとそれに対向する前記第２ゲート電極との間に配設された前記低誘電率領域とを更に備えている

前記（１）に記載の固体撮像装置。

（３）

前記第１画素と前記第２画素との間において前記基体に配設され、前記第１画素と前記第２画素とを電気的、かつ、光学的に分離する画素分離領域と、

前記基体の前記第２面側において、画素分離領域に重複して配設され、前記第１トランジスタ、前記第２トランジスタのそれぞれの他方の主電極間を

電気的に接続し、かつ、前記フローティングディフュージョンが電気的に接続される共有接続部とを更に備え、

前記第１ゲート電極と前記共有接続部との間及び前記第２ゲート電極と前記共有接続部との間に前記低誘電率領域が配設されている

前記（２）に記載の固体撮像装置。

（４）

前記共有接続部の前記第１ゲート電極側の側面は、前記基体の前記第２面から離間されるに従って前記第１ゲート電極に近づく形状に形成され、

前記共有接続部の前記第２ゲート電極側の側面は、前記基体の前記第２面から離間されるに従って前記第２ゲート電極に近づく形状に形成されている

前記（３）に記載の固体撮像装置。

（５）

前記画素分離領域は、

前記基体の深さ方向に形成された溝と、

前記溝内に埋め込まれた埋込部材とを備えている

前記（３）又は前記（４）に記載の固体撮像装置。

（６）

前記画素分離領域は、

前記基体の深さ方向に形成された絶縁体領域を備えている

前記（３）又は前記（４）に記載の固体撮像装置。

（７）

前記共有接続部の一部が、前記基体に埋設されている

前記（３）に記載の固体撮像装置。

（８）

前記低誘電率領域は、ギャップである

前記（１）から前記（７）のいずれか１つに記載の固体撮像装置。

（９）

前記ギャップ内は、真空である、又は空気若しくは不活性ガスが充填され

ている

前記（８）に記載の固体撮像装置。

（１０）

前記低誘電率領域は、低誘電率材料により形成されている

前記（１）から前記（７）のいずれか１つに記載の固体撮像装置。

（１１）

前記低誘電率材料は、酸化珪素又は炭素添加酸化珪素である。

前記（１０）に記載の固体撮像装置。

（１２）

前記第１ゲート電極の前記非対向領域の側面、前記第２ゲート電極の前記非対向領域の側面に、サイドウォールスペーサが配設されている

前記（２）に記載の固体撮像装置。

（１３）

前記低誘電率領域は、前記サイドウォールスペーサよりも低誘電率である

前記（１２）に記載の固体撮像装置。

（１４）

前記基体の前記第１画素、前記第２画素のそれぞれに対応する前記第２面側に、前記第１光電変換素子又は前記第２光電変換素子により生成された電荷を処理する画素回路のトランジスタを更に備え、

前記トランジスタのゲート電極の側壁にサイドウォールスペーサが配設されている

前記（２）に記載の固体撮像装置。

[0182] 本出願は、日本国特許庁において２０２２年１０月４日に出願された日本特許出願番号２０２２－１６００６８号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0183] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解され

る。

請求の範囲

[請求項1] 基体の光入射側となる第１面側に配設され、光を電荷に変換する第１光電変換素子を有する第１画素と、

前記第１画素に対応する位置において、前記基体の前記第１面とは反対側の第２面側に配設され、第１ゲート電極を有し、一対の主電極のうち一方が前記第１光電変換素子に電気的に接続された第１トランジスタと、

前記基体の前記第２面側に配設され、前記第１トランジスタの他方の主電極に電気的に接続されたフローティングディフュージョンと、

前記フローティングディフュージョンとそれに対向する前記第１ゲート電極との間に配設され、非対向領域よりも低い誘電率を有する低誘電率領域と、

を備えている固体撮像装置。

[請求項2] 前記第１画素に隣接して、前記基体の前記第１面側に配設され、光を電荷に変換する第２光電変換素子を有する第２画素と、

前記第２画素に対応する位置において、前記基体の前記第２面側に配設され、第２ゲート電極を有し、一対の主電極のうち一方が前記第２光電変換素子に電気的に接続され、他方の主電極に前記フローティングディフュージョンが電気的に接続された第２トランジスタと、

前記フローティングディフュージョンとそれに対向する前記第２ゲート電極との間に配設された前記低誘電率領域とを更に備えている

請求項１に記載の固体撮像装置。

[請求項3] 前記第１画素と前記第２画素との間において前記基体に配設され、前記第１画素と前記第２画素とを電気的、かつ、光学的に分離する画素分離領域と、

前記基体の前記第２面側において、画素分離領域に重複して配設され、前記第１トランジスタ、前記第２トランジスタのそれぞれの他方の主電極間を電気的に接続し、かつ、前記フローティングディフュー

ジョンが電気的に接続される共有接続部とを更に備え、

前記第１ゲート電極と前記共有接続部との間及び前記第２ゲート電極と前記共有接続部との間に前記低誘電率領域が配設されている

請求項２に記載の固体撮像装置。

[請求項4] 前記共有接続部の前記第１ゲート電極側の側面は、前記基体の前記第２面から離間されるに従って前記第１ゲート電極に近づく形状に形成され、

前記共有接続部の前記第２ゲート電極側の側面は、前記基体の前記第２面から離間されるに従って前記第２ゲート電極に近づく形状に形成されている

請求項３に記載の固体撮像装置。

[請求項5] 前記画素分離領域は、

前記基体の深さ方向に形成された溝と、

前記溝内に埋め込まれた埋込部材とを備えている

請求項３に記載の固体撮像装置。

[請求項6] 前記画素分離領域は、

前記基体の深さ方向に形成された絶縁体領域を備えている

請求項３に記載の固体撮像装置。

[請求項7] 前記共有接続部の一部が、前記基体に埋設されている

請求項３に記載の固体撮像装置。

[請求項8] 前記低誘電率領域は、ギャップである

請求項１に記載の固体撮像装置。

[請求項9] 前記ギャップ内は、真空である、又は空気若しくは不活性ガスが充填されている

請求項８に記載の固体撮像装置。

[請求項10] 前記低誘電率領域は、低誘電率材料により形成されている

請求項１に記載の固体撮像装置。

[請求項11] 前記低誘電率材料は、酸化珪素又は炭素添加酸化珪素である。

請求項１０に記載の固体撮像装置。

[請求項12] 前記第１ゲート電極の前記非対向領域の側面、前記第２ゲート電極の前記非対向領域の側面に、サイドウォールスペーサが配設されている

請求項２に記載の固体撮像装置。

[請求項13] 前記低誘電率領域は、前記サイドウォールスペーサよりも低誘電率である

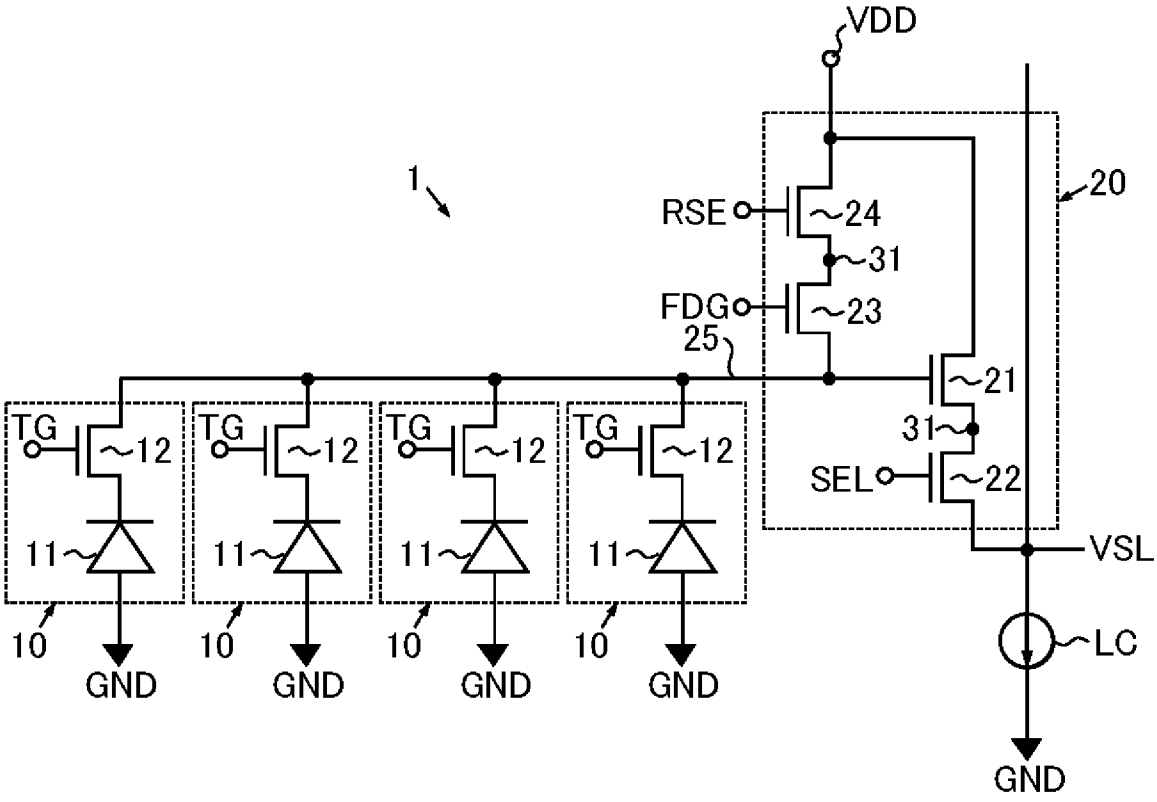
請求項１２に記載の固体撮像装置。

[請求項14] 前記基体の前記第１画素、前記第２画素のそれぞれに対応する前記第２面側に、前記第１光電変換素子又は前記第２光電変換素子により生成された電荷を処理する画素回路のトランジスタを更に備え、

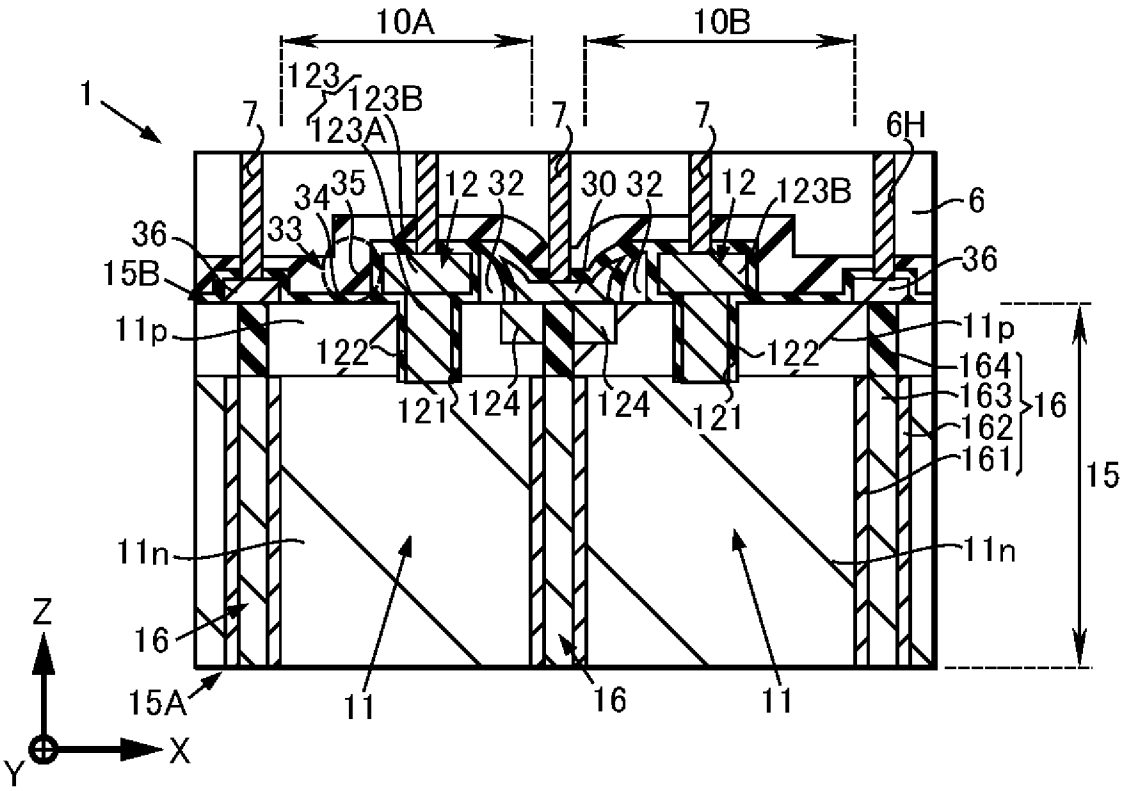
前記トランジスタのゲート電極の側壁にサイドウォールスペーサが配設されている

請求項２に記載の固体撮像装置。

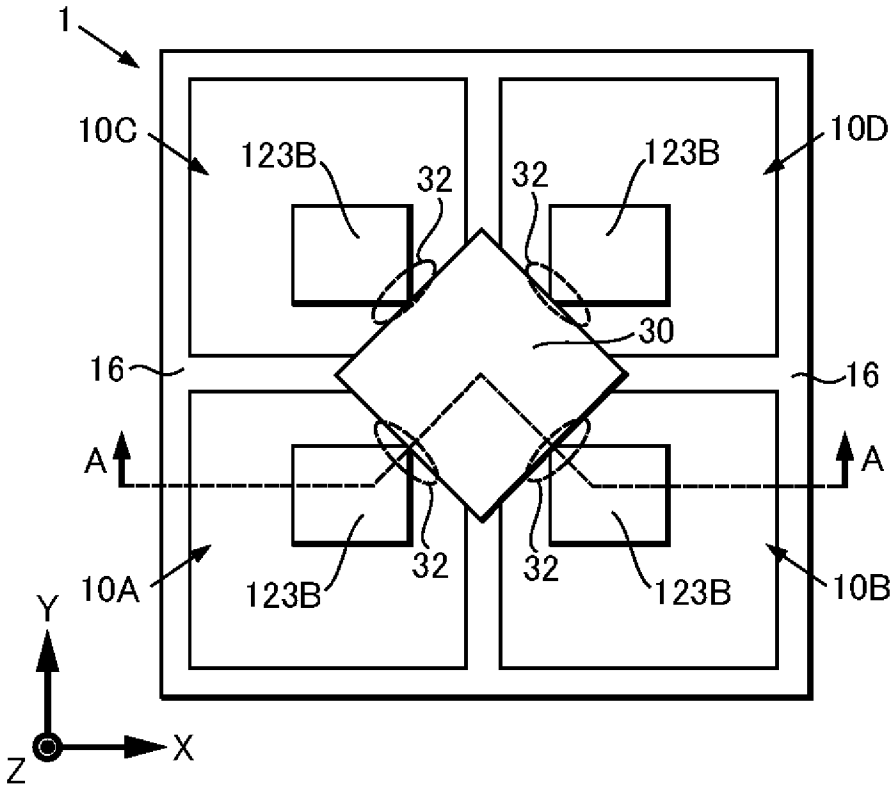
[図1]


VDD
1
20
RSE
24
31
FDG
23
25
21
31
SEL
22
VSL
LC
GND
TG
12
11
10
GND

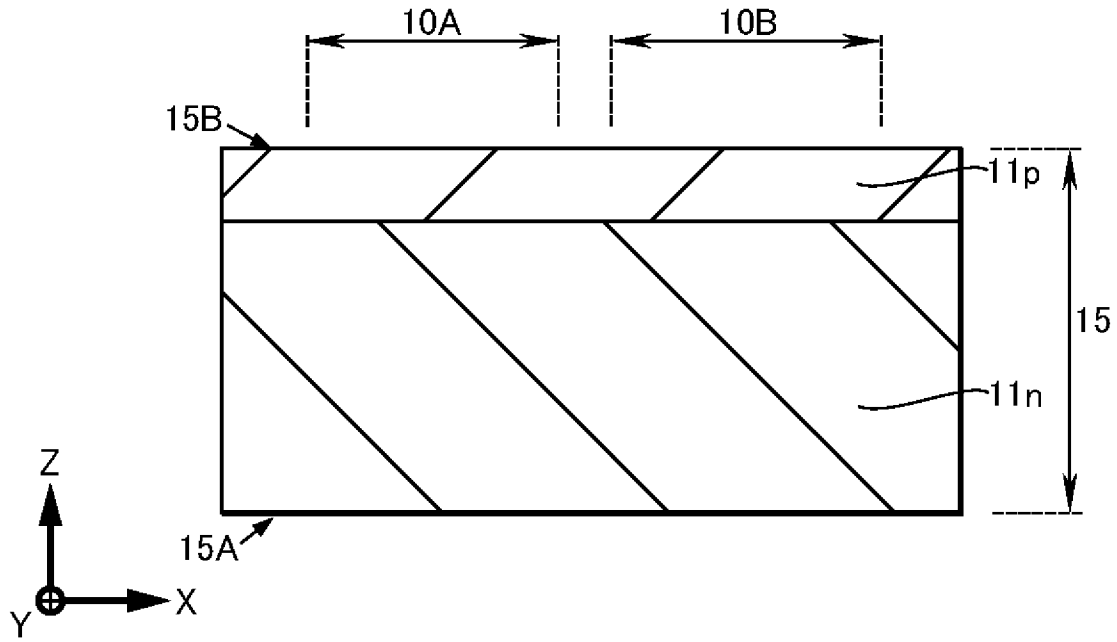
[図2]


10A
10B
1
123
123B
123A
7
6H
6
36
15B
34
35
33
12 32
30 32
12
11p
122
121
124
164
163
162
161
16
15
11n
Z
Y
X
15A
11
16

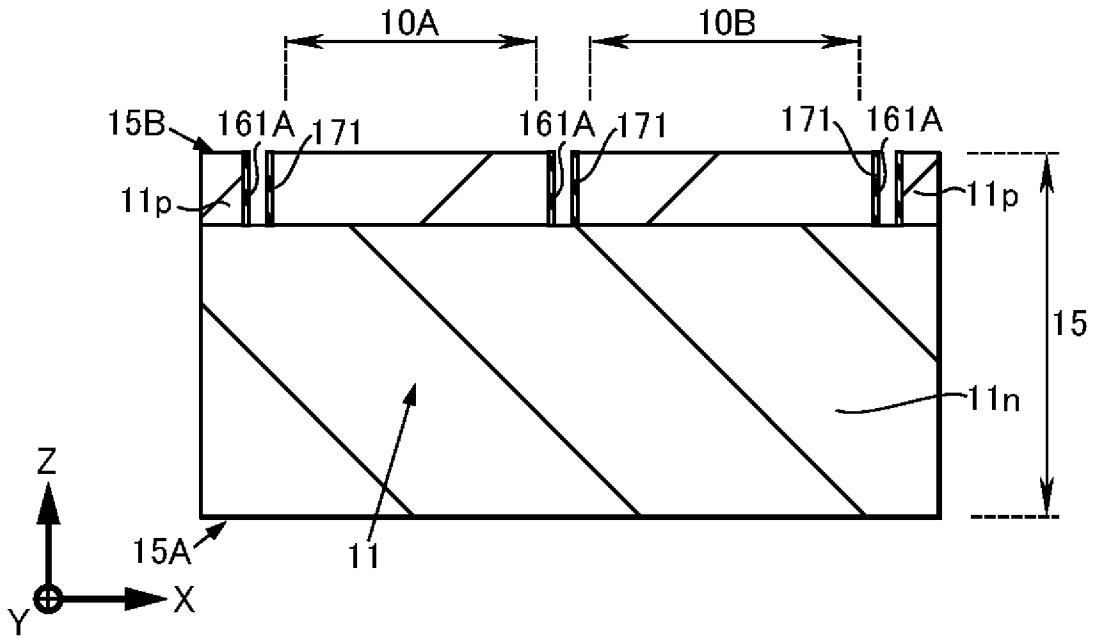
[図3]


1
10C
123B
32
32
123B
10D
30
16
16
A
A
10A
123B
32
32
123B
10B
Y
X
Z

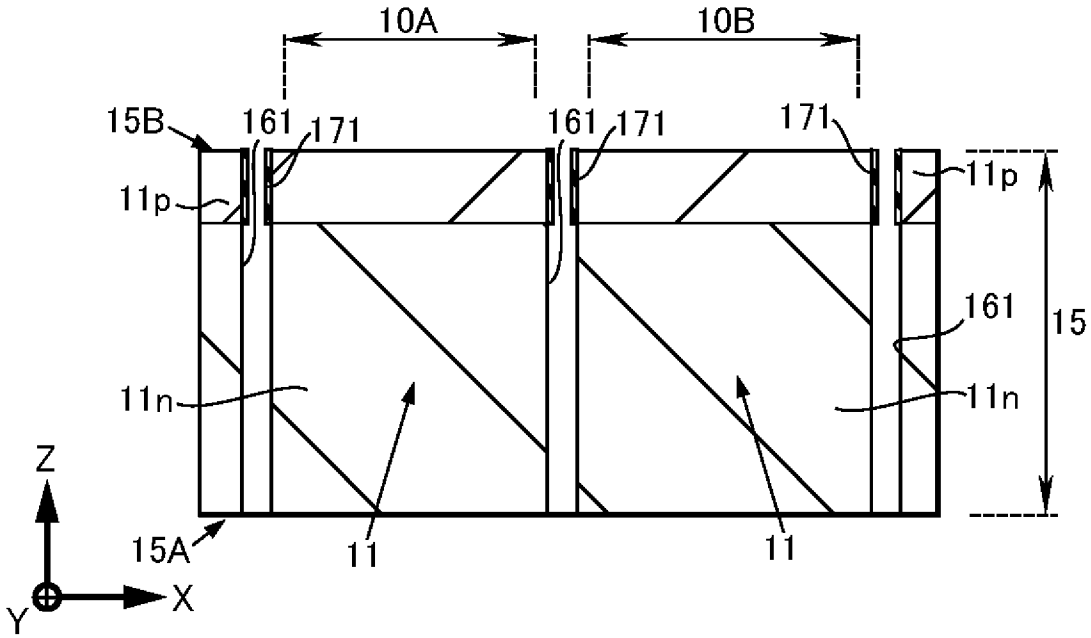
[図4]


10A
10B
15B
11p
15
11n
15A
Z
Y
X

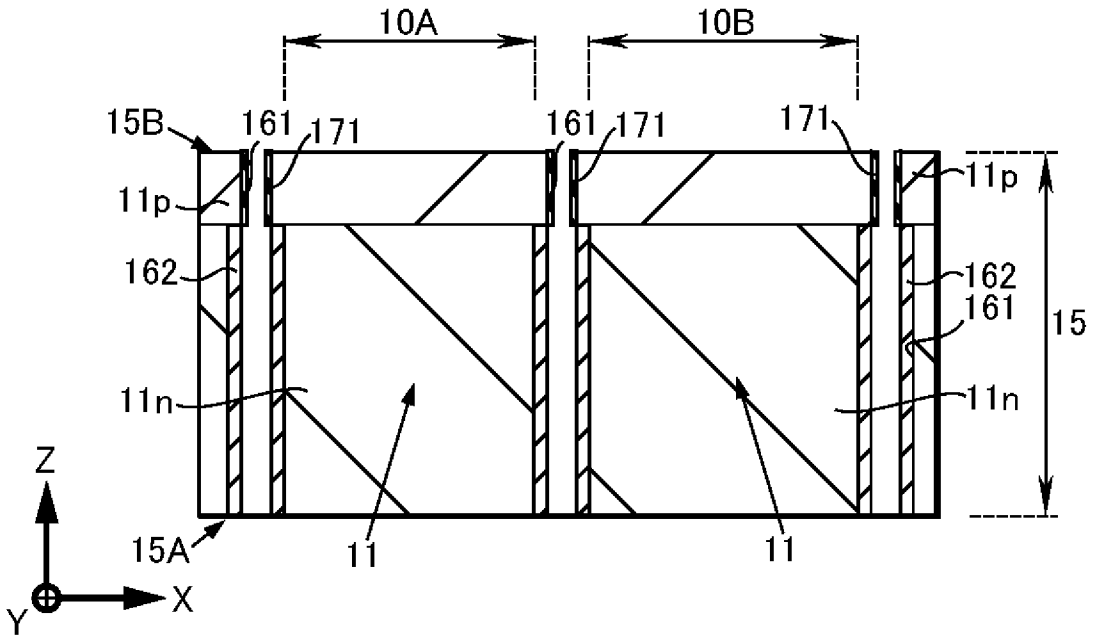
[図5]


10A
10B
15B
161A
171
161A
171
171
161A
11p
11p
15
11n
Z
15A
11
Y
X

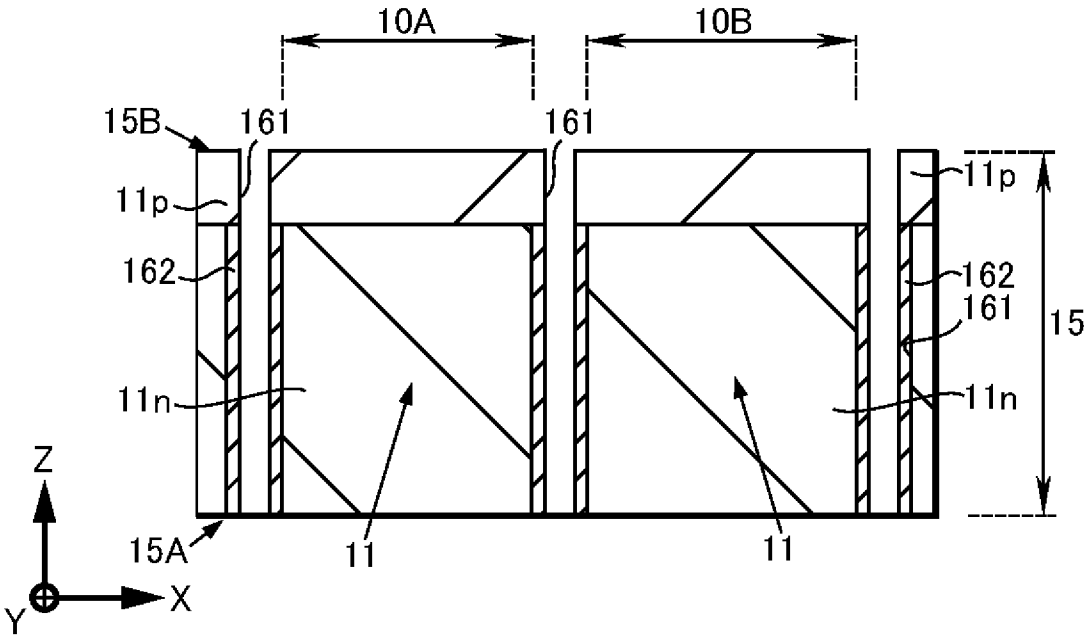
[図6]


10A
10B
15B
161
171
161
171
171
11p
11p
161
15
11n
11n
Z
15A
11
11
Y
X

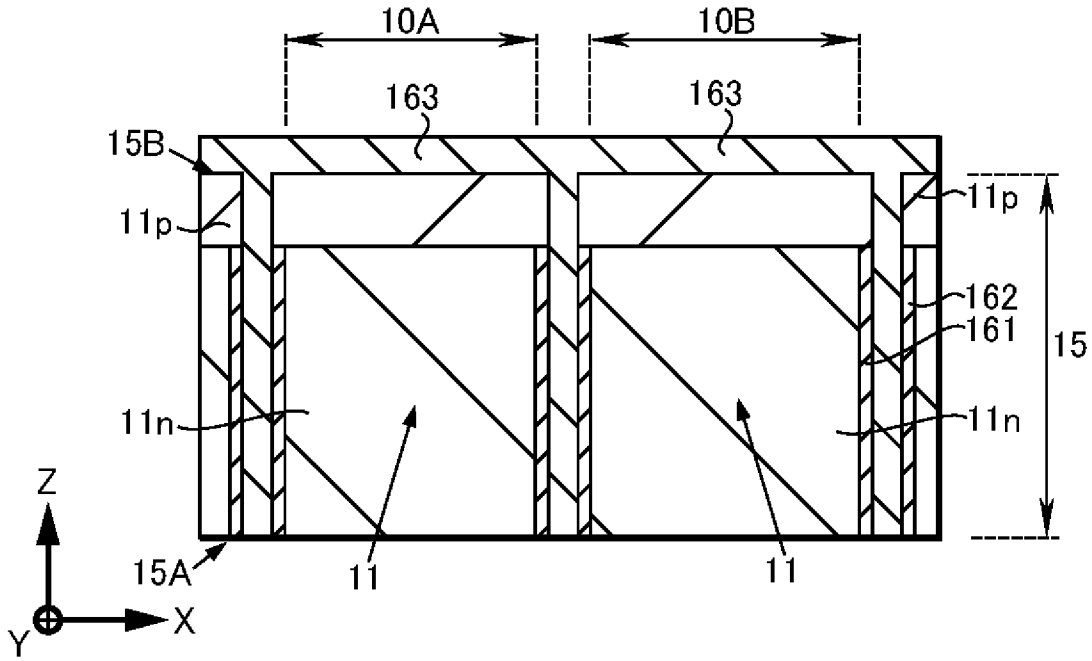
[図7]


10A
10B
15B
161
171
161
171
171
11p
11p
162
162
161
15
11n
11n
Z
15A
11
11
Y
X

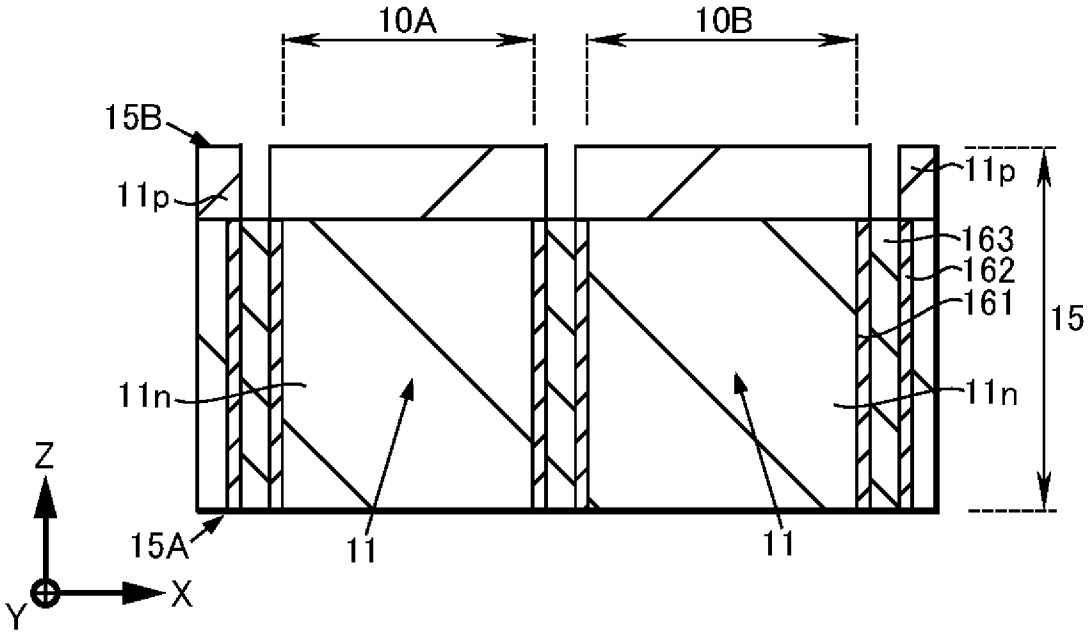
[図8]


10A
10B
15B
161
161
11p
11p
162
162
161
15
11n
11n
Z
15A
11
11
Y
X

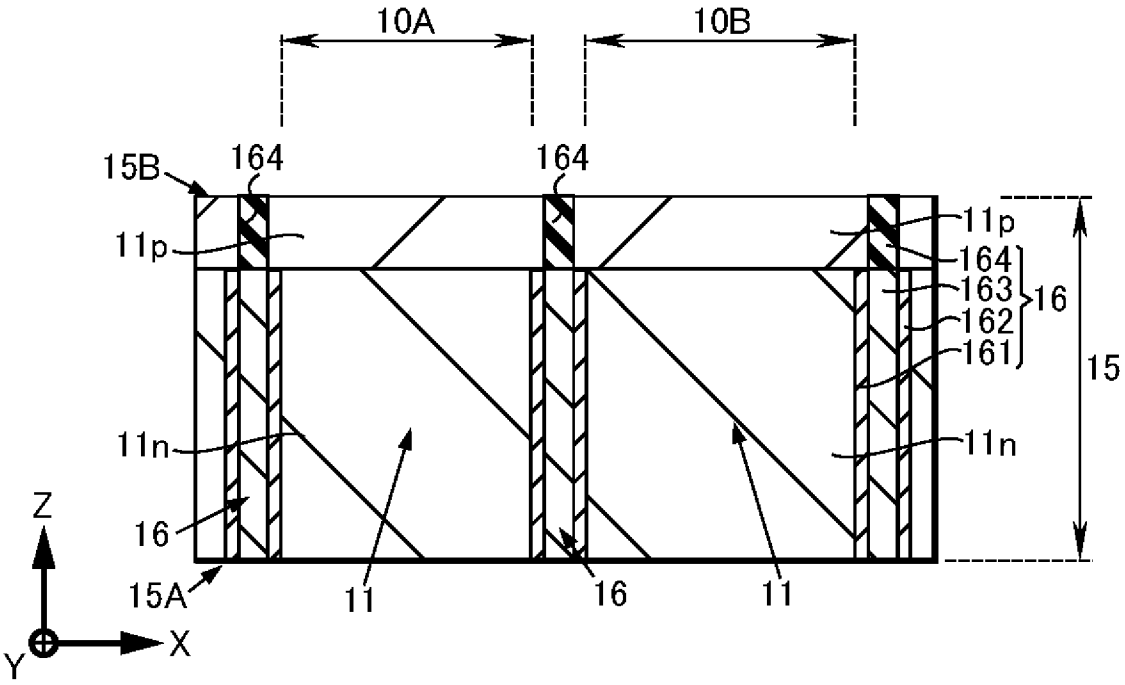
[図9]


10A
10B
163
163
15B
11p
11p
162
161
15
11n
11n
Z
15A
11
11
Y
X

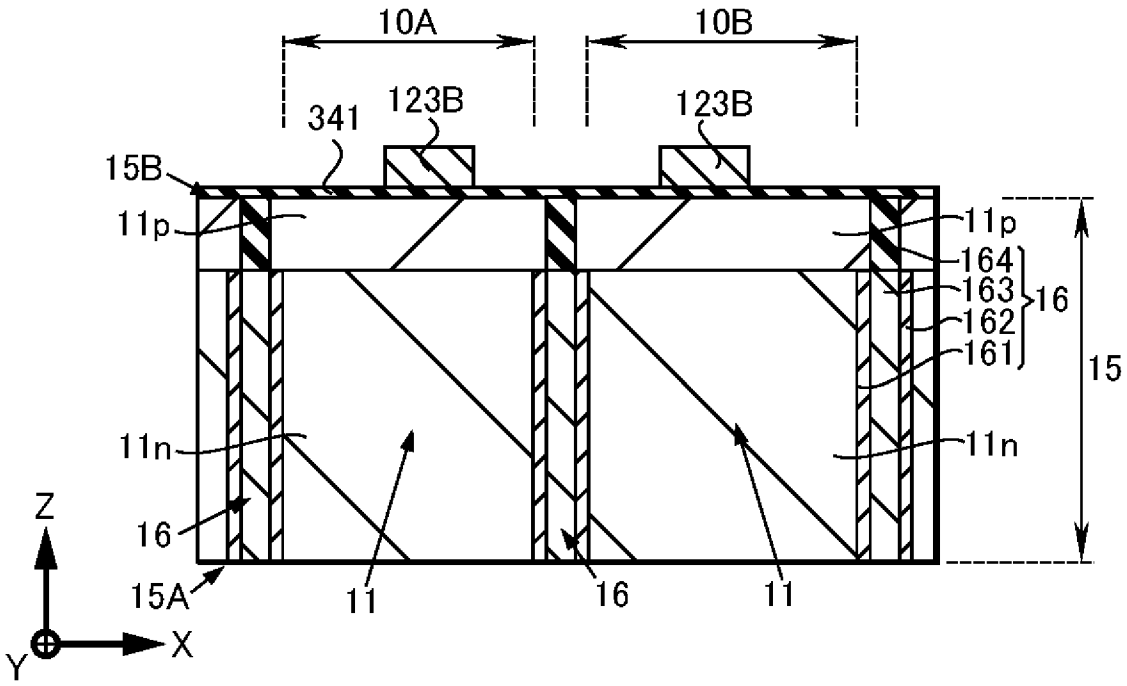
[図10]


10A
10B
15B
11p
11p
163
162
161
15
11n
11n
Z
15A
11
11
Y
X

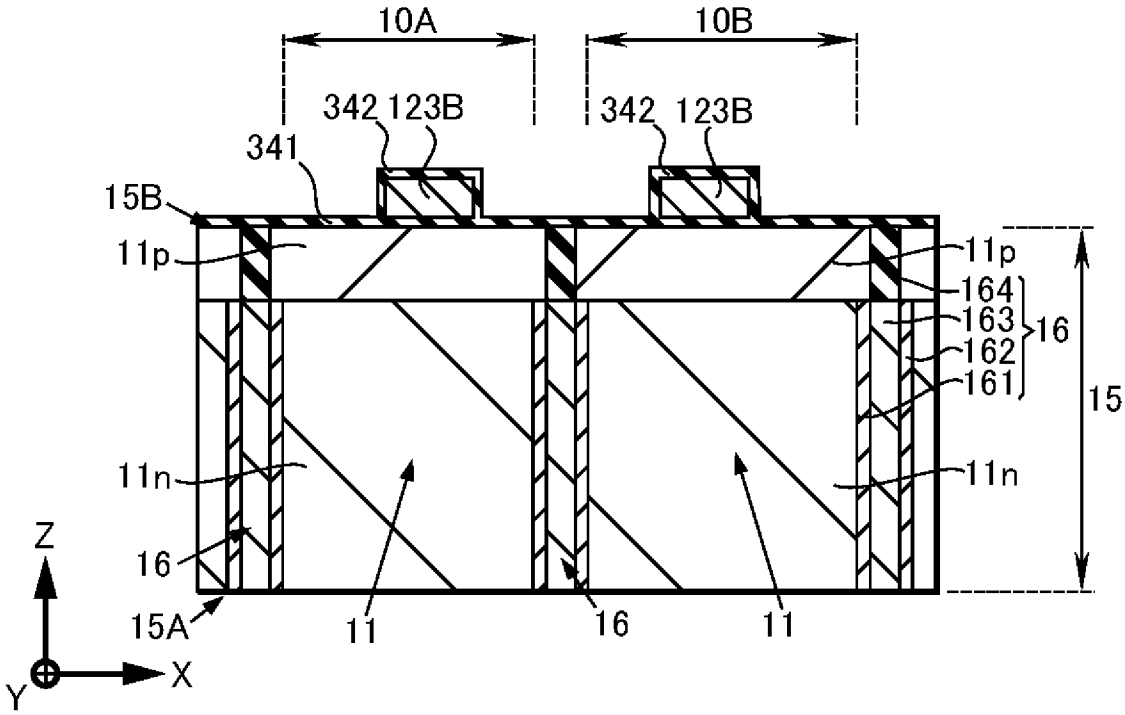
[図11]


10A
10B
15B
164
164
11p
11p
164
163
162
161
16
15
11n
11n
16
15A
11
16
11
Z
Y
X

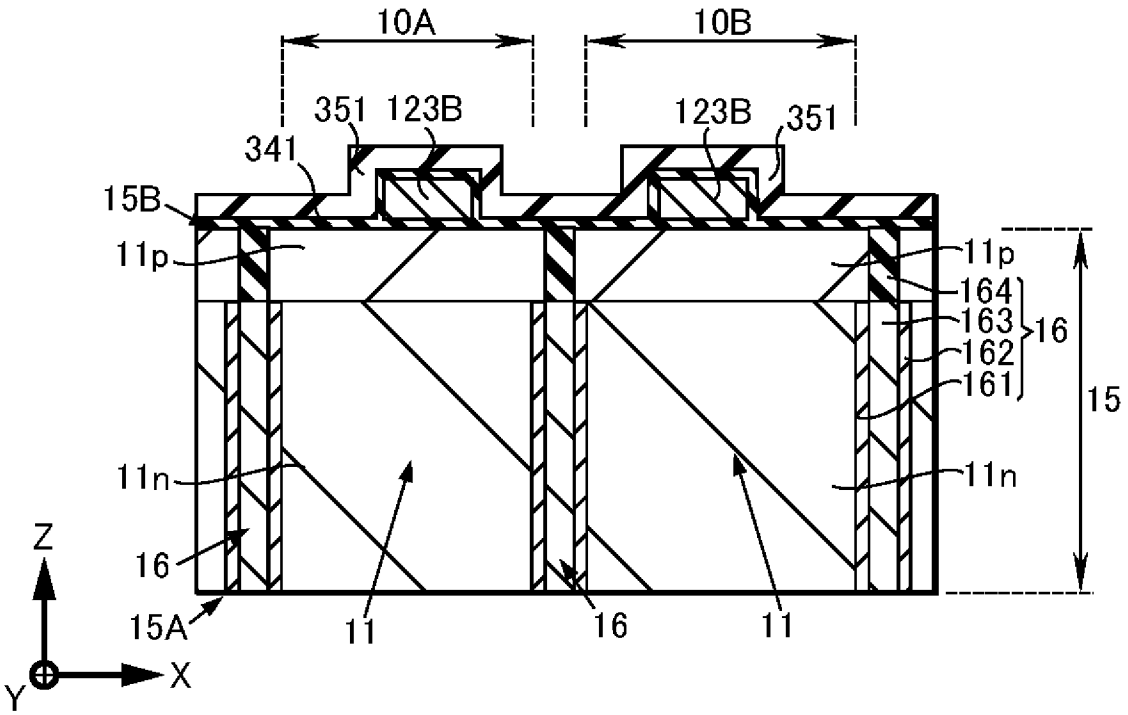
[図12]


10A
10B
341
123B
123B
15B
11p
11p
164
163
162
161
16
15
11n
11n
16
15A
11
16
11
Z
Y
X

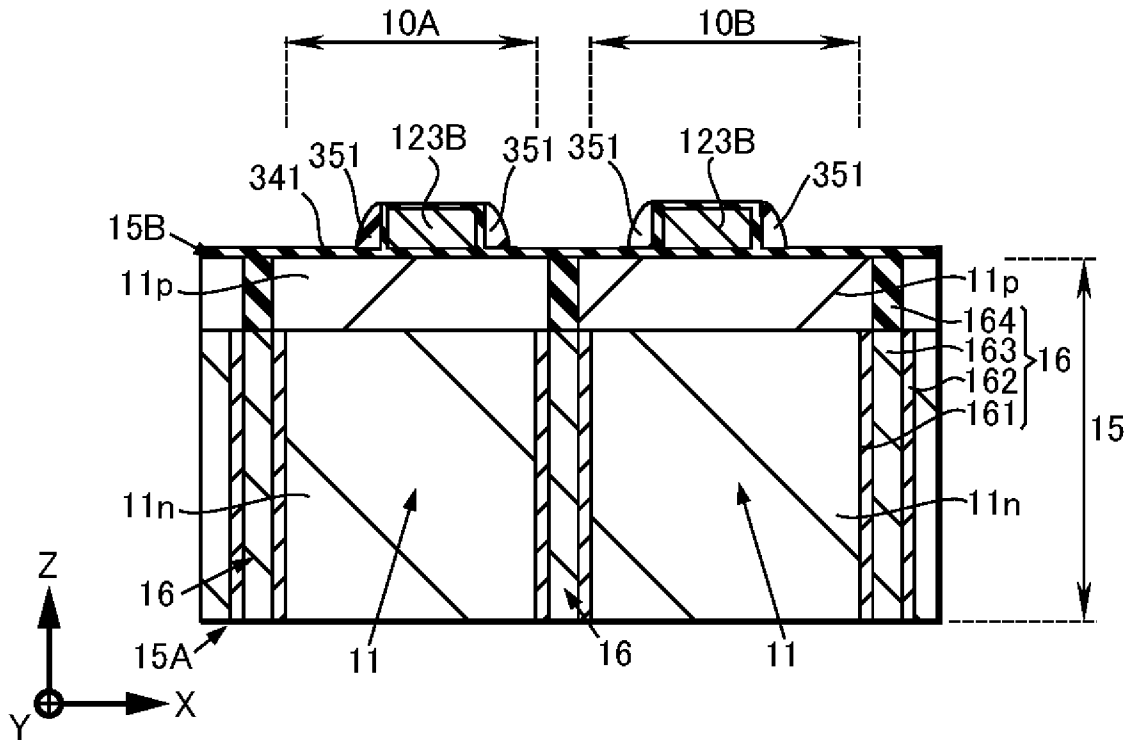
[図13]


10A
10B
342
123B
342
123B
341
15B
11p
11p
164
163
162
161
16
15
11n
11n
Z
16
15A
11
16
11
Y
X

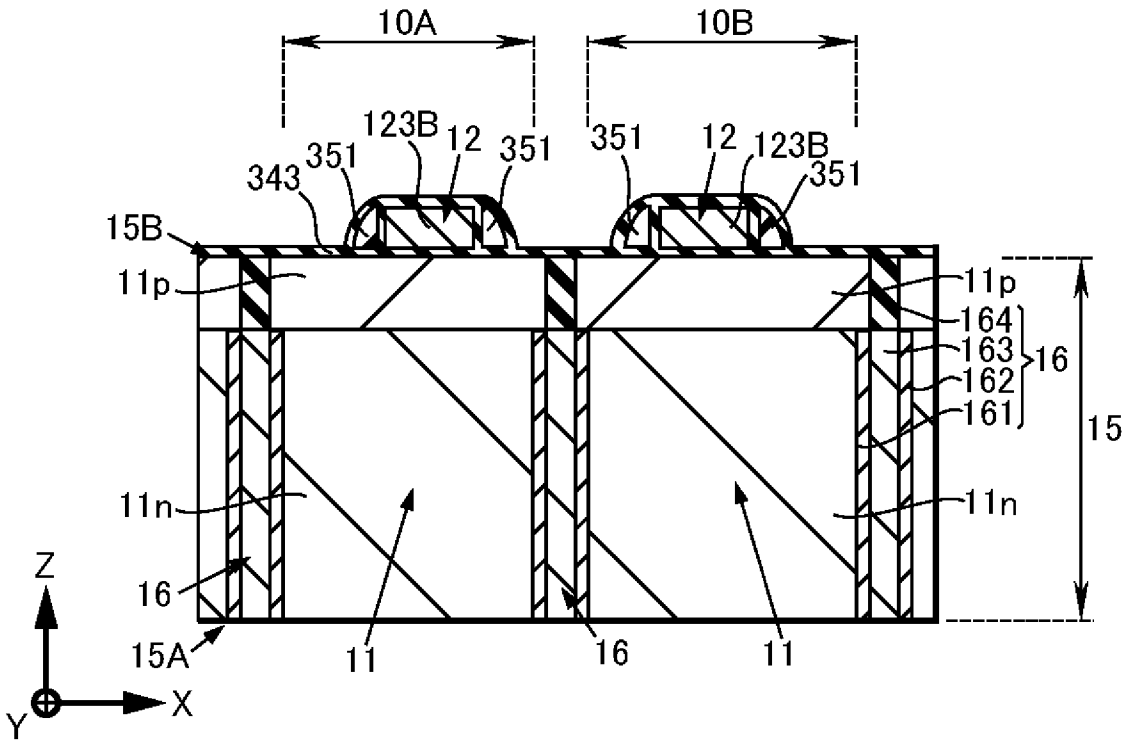
[図14]


10A
10B
351
123B
123B
351
341
15B
11p
11p
164
163
162
161
16
15
11n
11n
Z
16
15A
11
16
11
Y
X

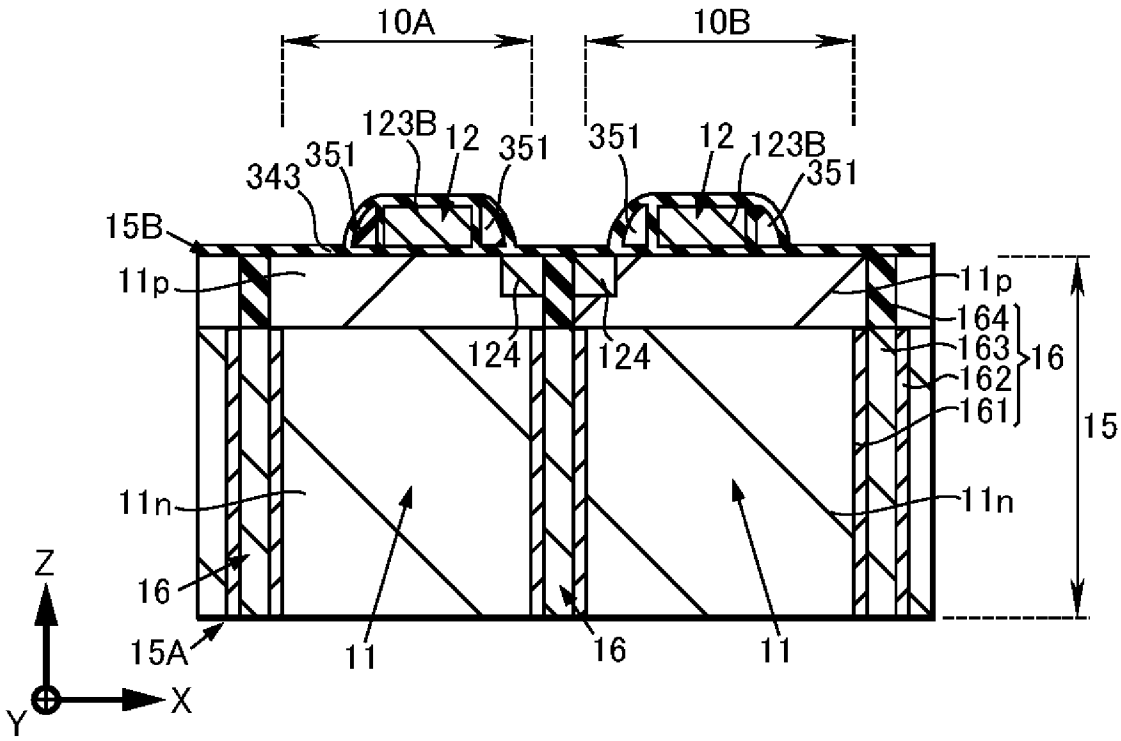
[図15]


10A
10B
341
351
123B
351
351
123B
351
15B
11p
11p
164
163
162
161
16
15
11n
11n
16
15A
11
16
11
Z
Y
X

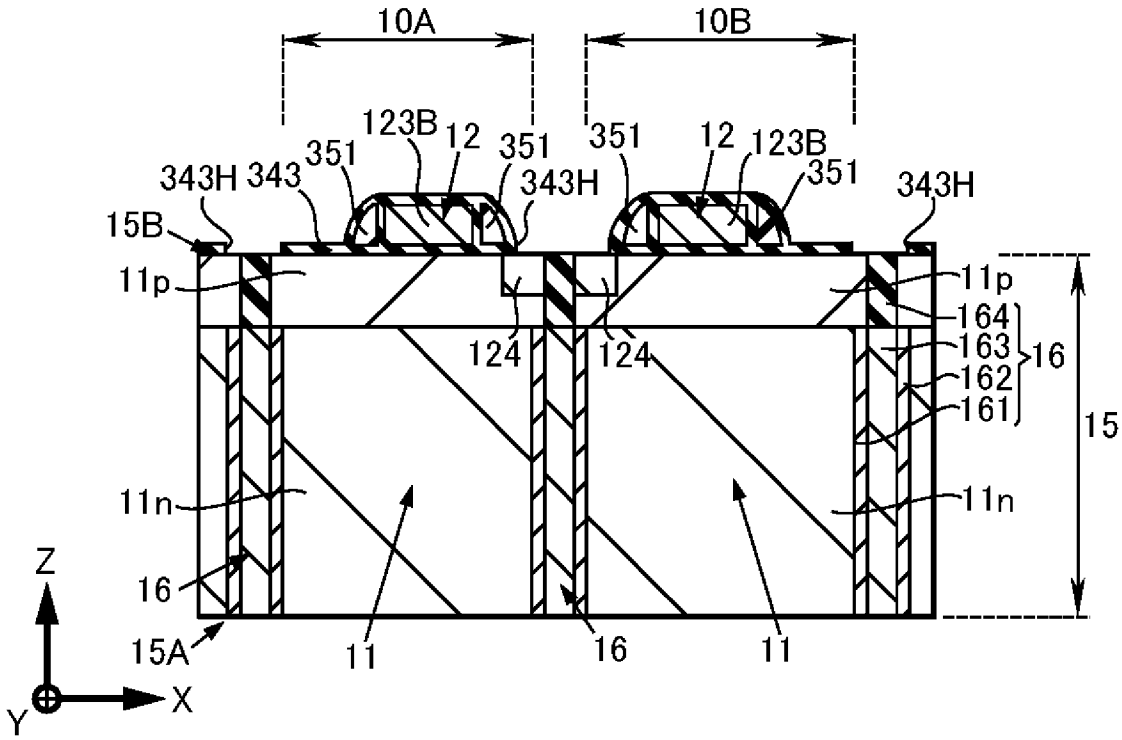
[図16]


10A
10B
343
351
123B
12
351
351
12
123B
351
15B
11p
11p
164
163
162
161
16
15
11n
11n
16
15A
11
16
11
Z
Y
X

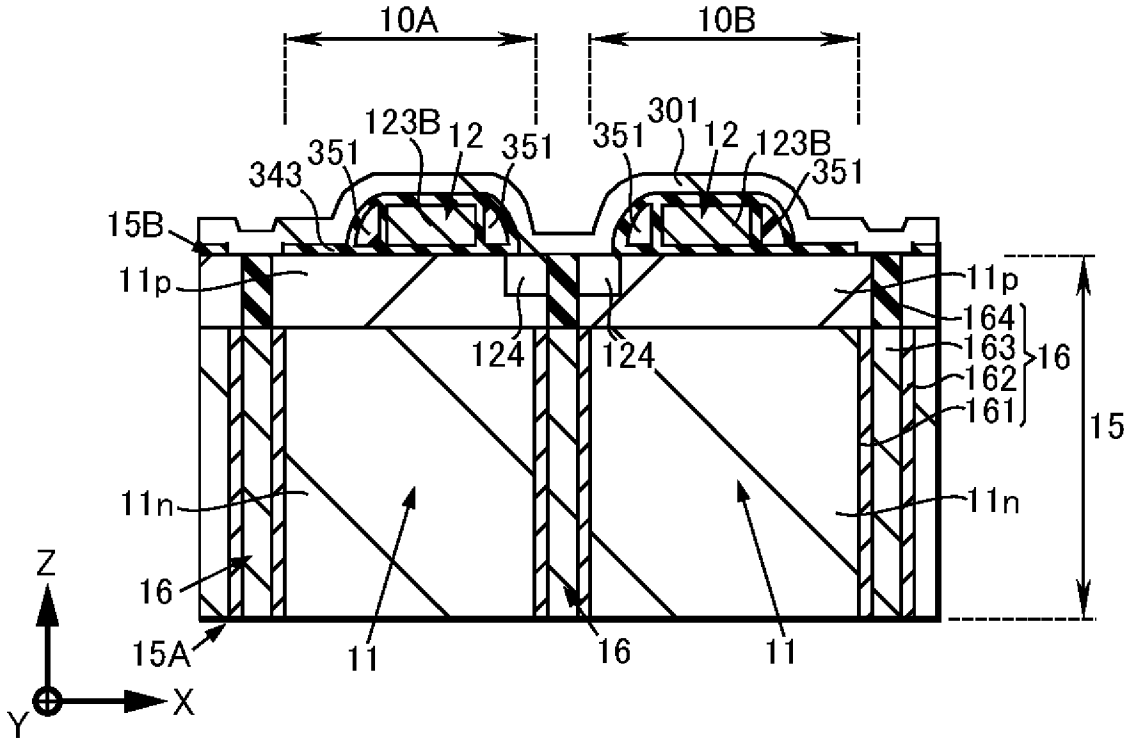
[図17]


10A
10B
123B
12
351
343
15B
11p
124
164
163
162
161
16
15
11n
Z
Y
X
15A
11

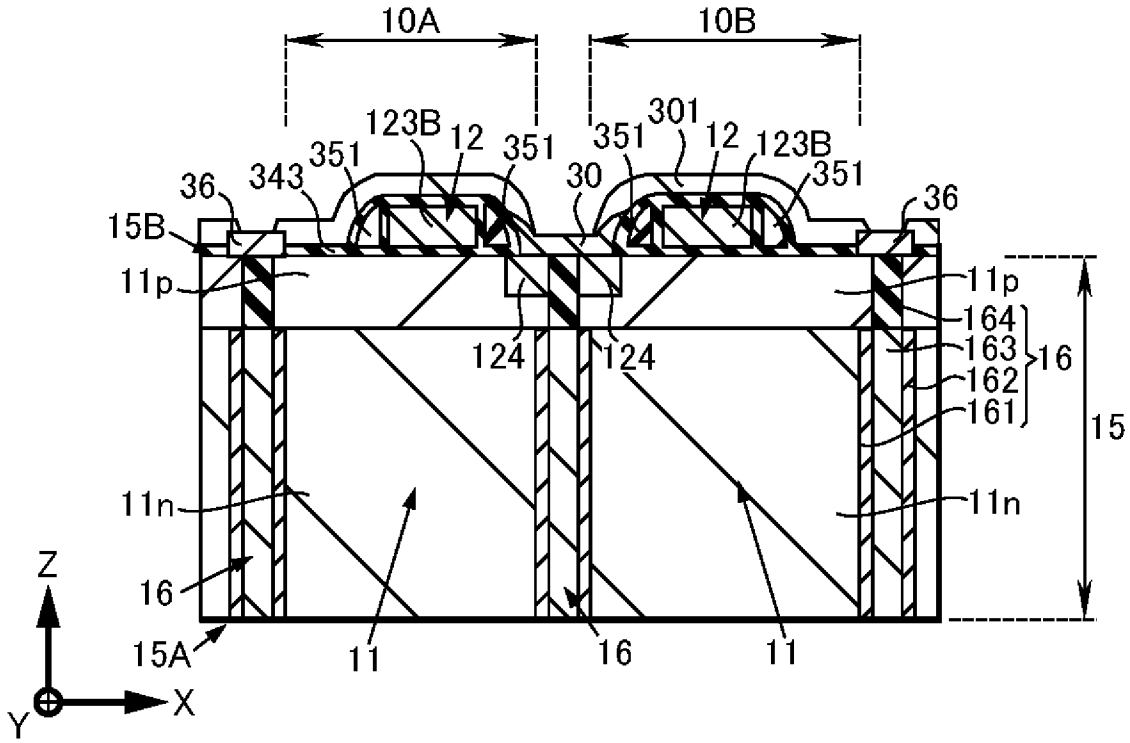
[図18]


10A
10B
123B
12
351
343H
343
15B
11p
124
164
163
162
161
16
15
11n
Z
Y
X
15A
11

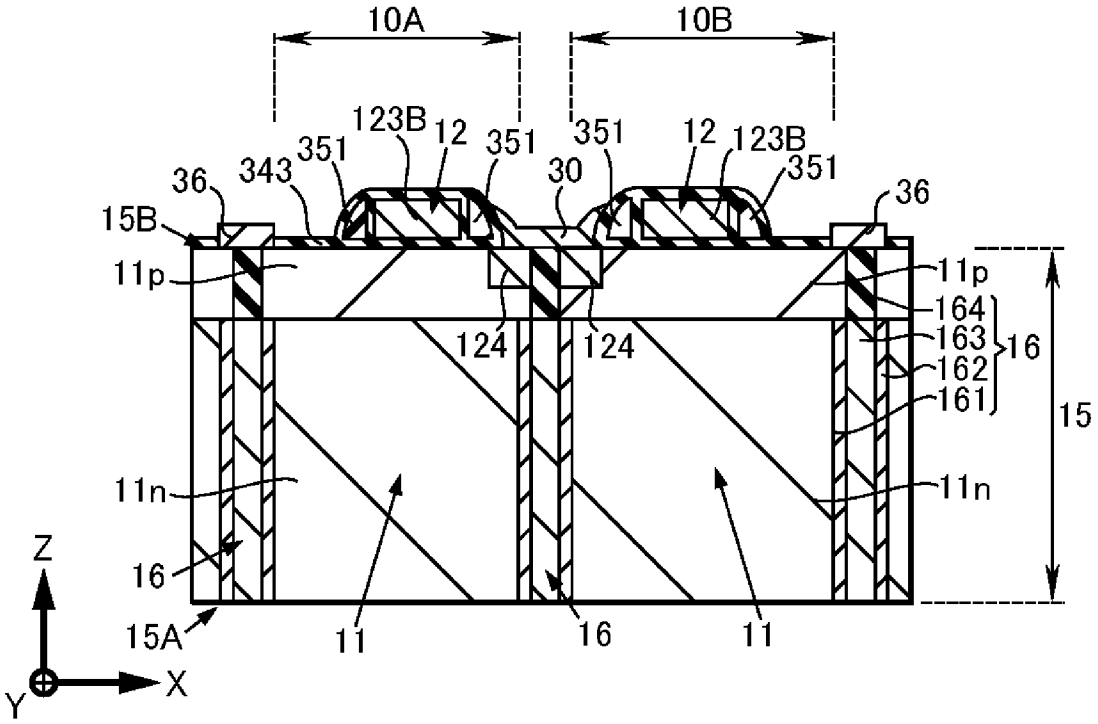
[図19]


10A
10B
123B
12
351
343
301
15B
11p
124
164
163
162
161
16
15
11n
Z
Y
X
15A
11

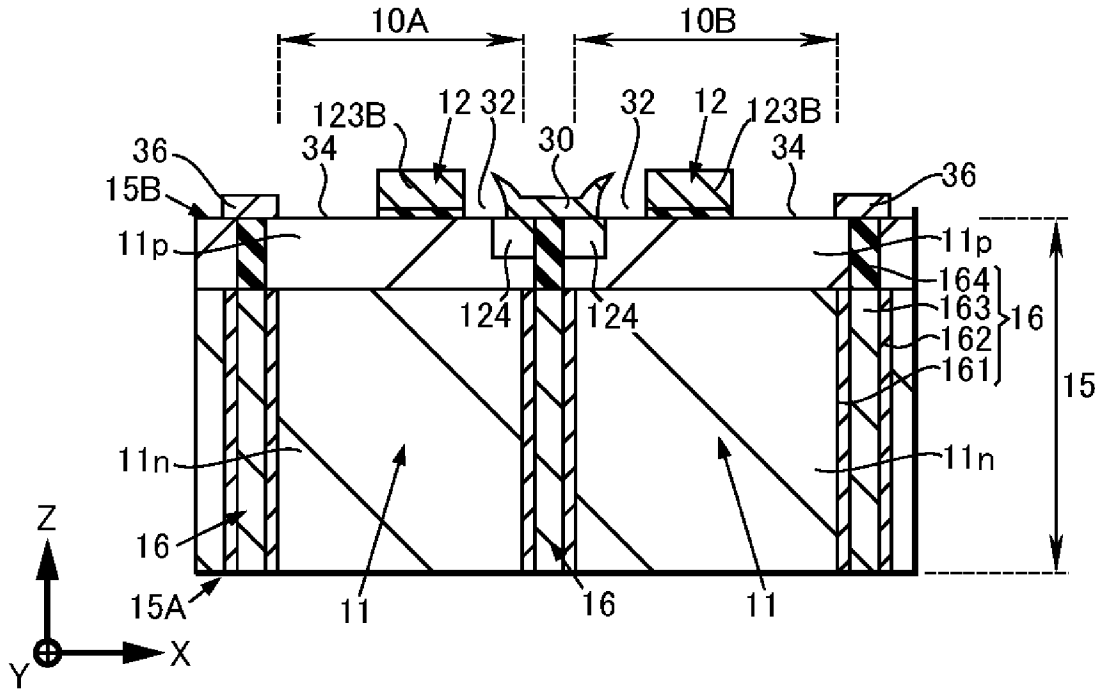
[図20]


10A
10B
123B
12
351
343
301
30
36
15B
11p
124
164
163
162
161
16
15
11n
Z
Y
X
15A
11

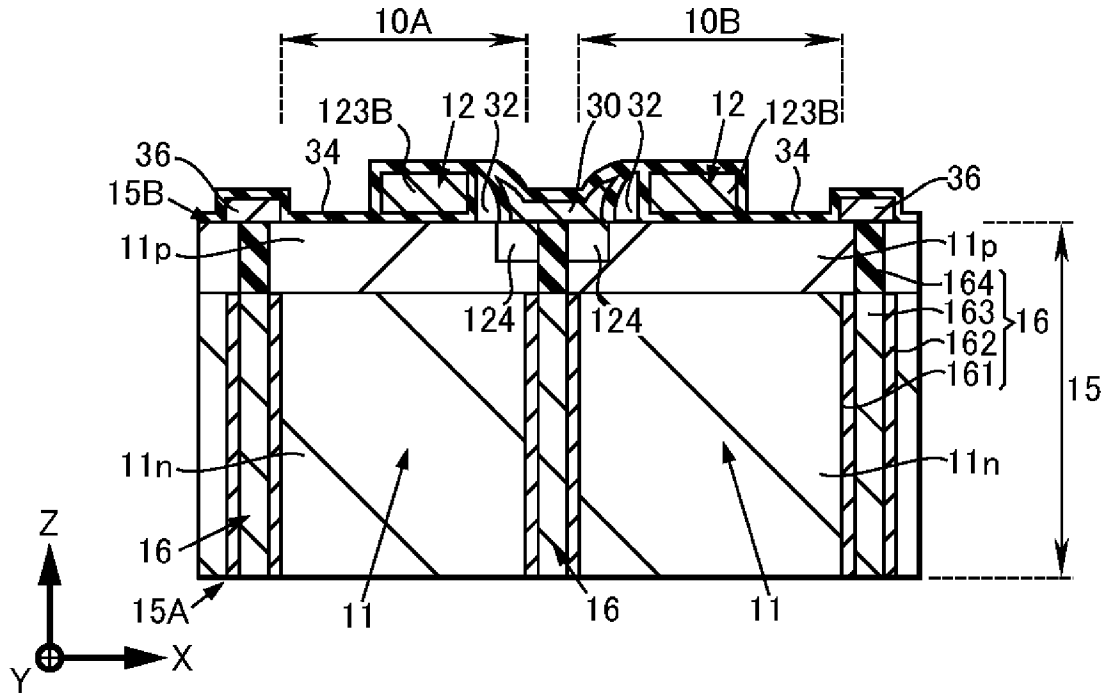
[図21]


10A
10B
123B
12
351
343
36
30
15B
11p
164
163
162
161
16
15
124
11n
Z
Y
X
15A
11

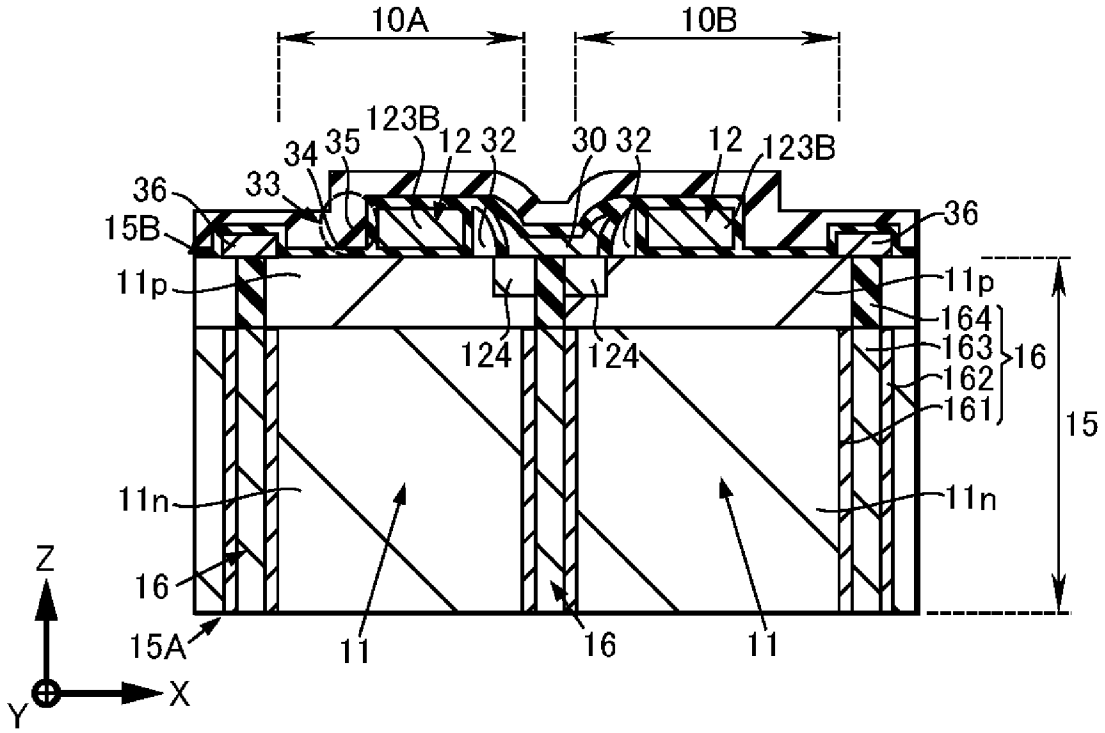
[図22]


10A
10B
123B
12
32
34
36
30
15B
11p
164
163
162
161
16
15
124
11n
Z
Y
X
15A
11

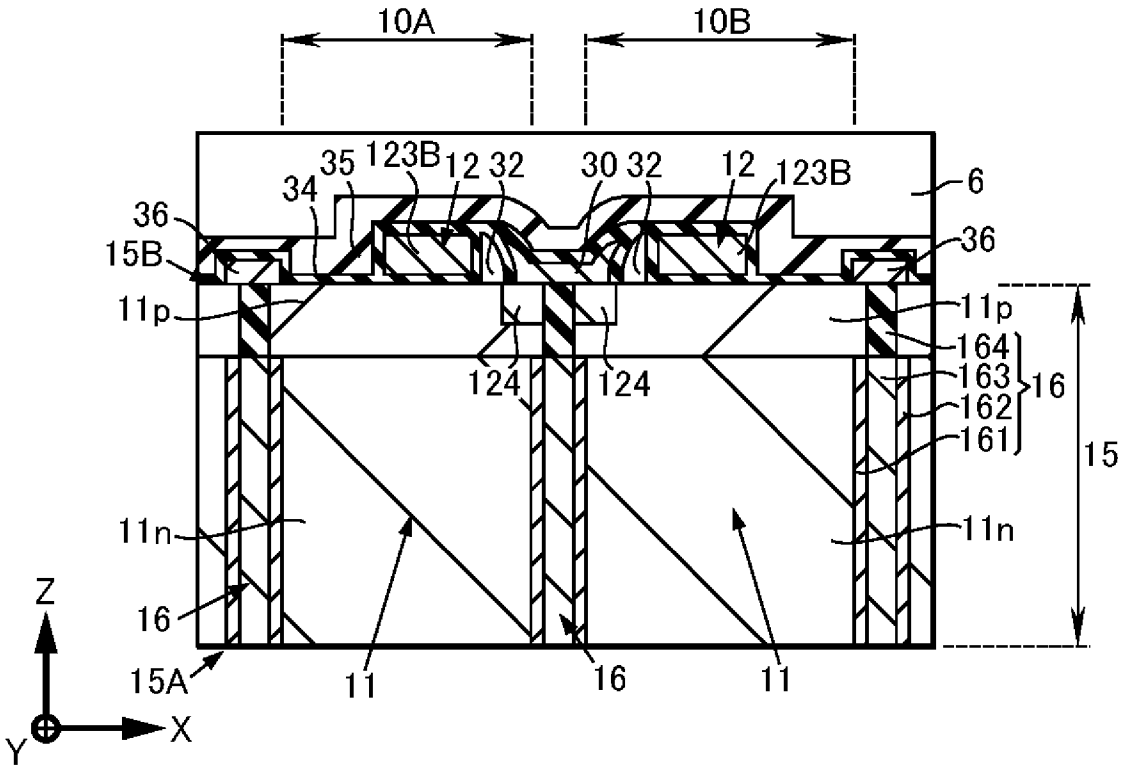
[図23]


10A
10B
123B
12
32
30
32
12
123B
34
34
36
36
15B
11p
11p
164
163
162
161
16
15
124
124
11n
11n
16
15A
11
16
11
Z
Y
X

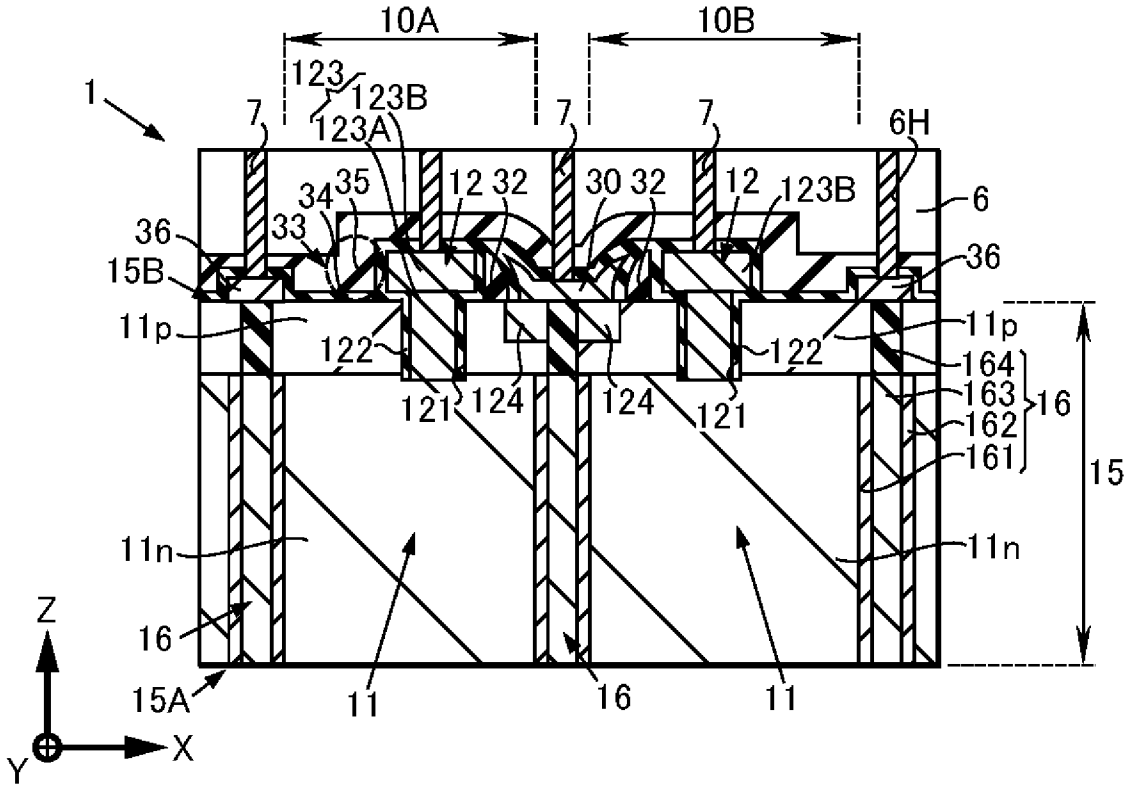
[図24]


10A
10B
123B
12
32
30
32
12
123B
34
35
33
36
36
15B
11p
11p
164
163
162
161
16
15
124
124
11n
11n
16
15A
11
16
11
Z
Y
X

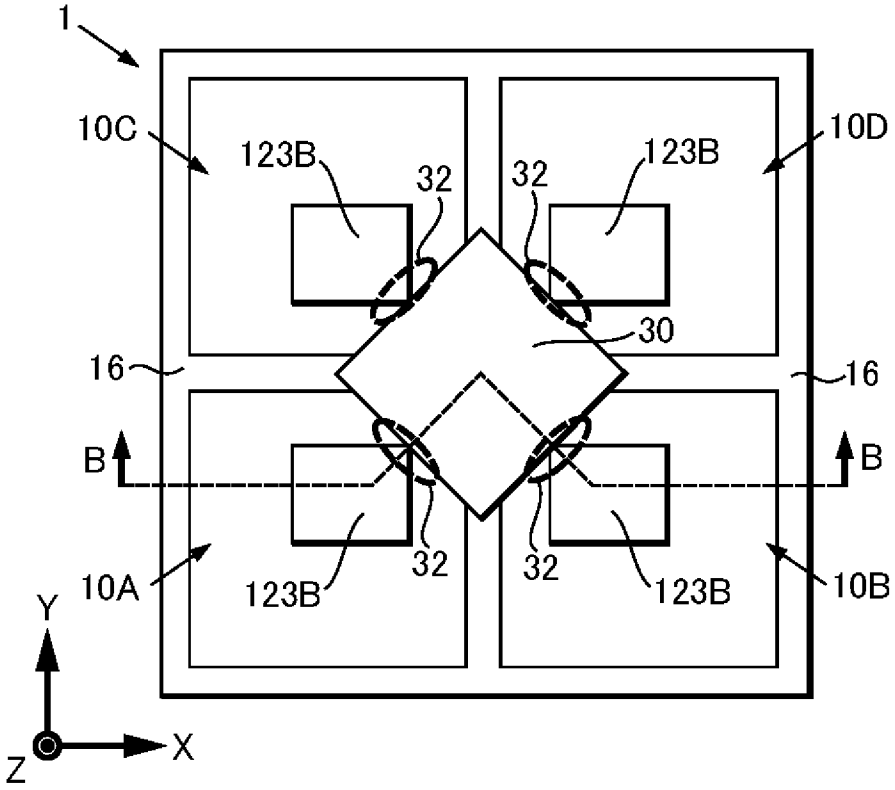
[図25]


10A
10B
35
123B
12
32
30
32
12
123B
34
6
36
15B
36
11p
11p
164
163
16
162
161
124
124
15
11n
11n
Z
16
15A
11
16
11
Y
X

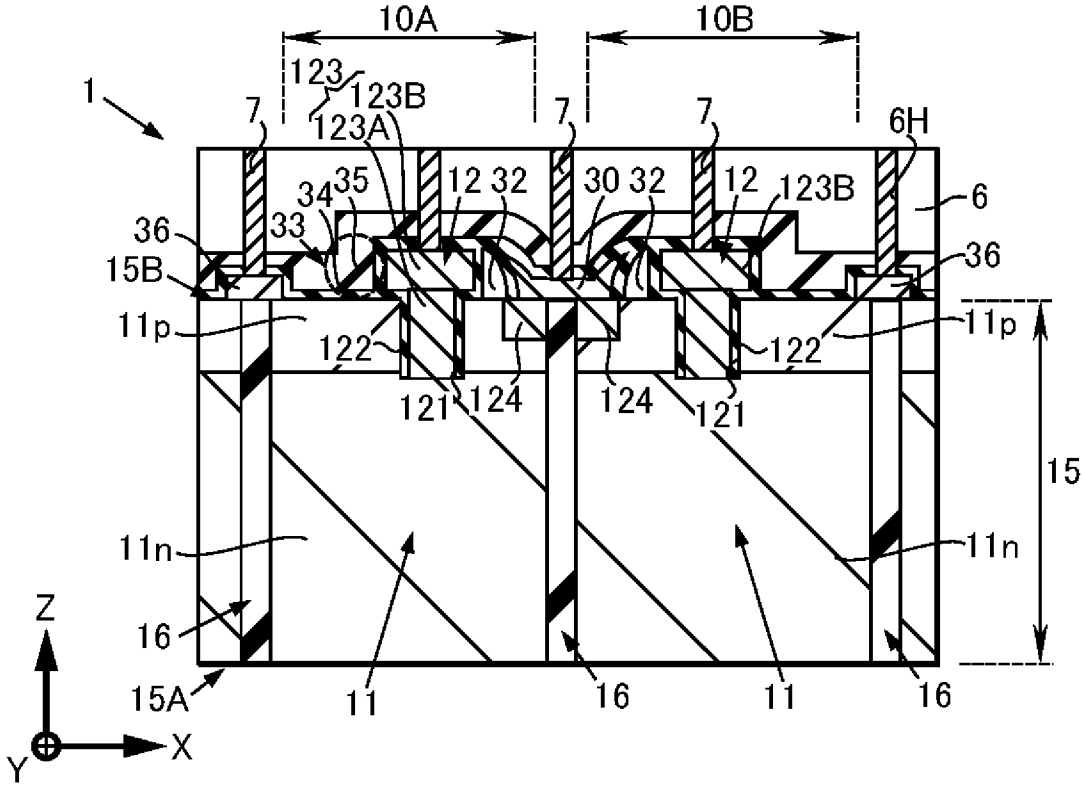
[図26]


10A
10B
123
123B
1
7
123A
7
7
6H
35
12
32
30
32
12
123B
34
6
33
36
15B
36
11p
11p
122
122
164
121
124
124
121
163
16
162
161
15
11n
11n
Z
16
15A
11
16
11
Y
X

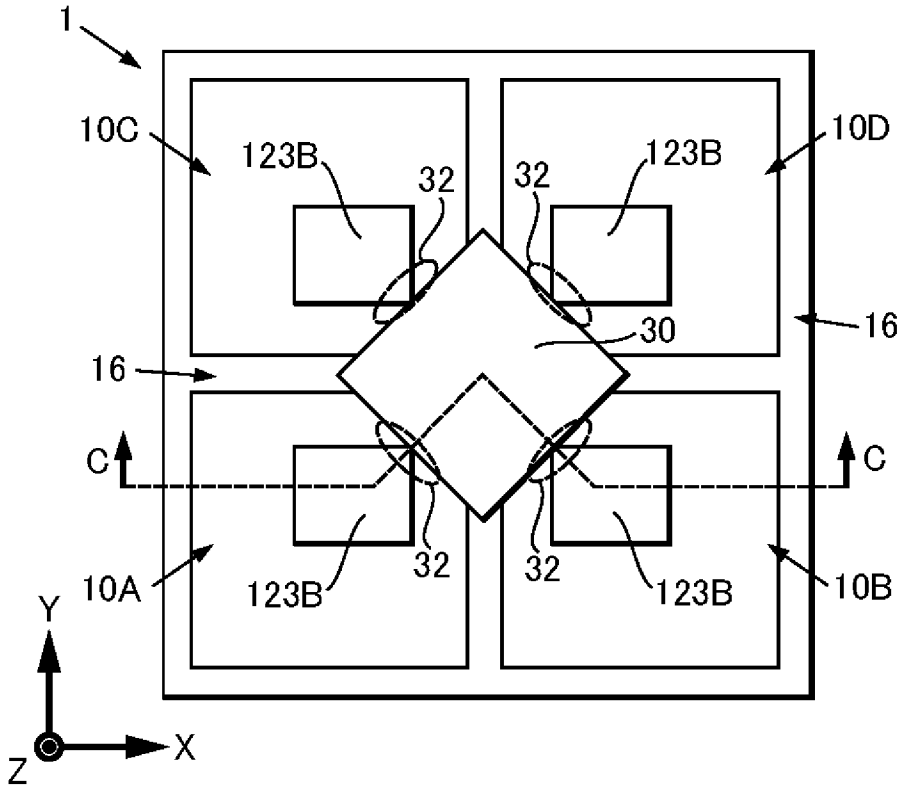
[図27]


1
10C
123B
32
32
123B
10D
30
16
16
B
B
10A
123B
32
32
123B
10B
Y
Z
X

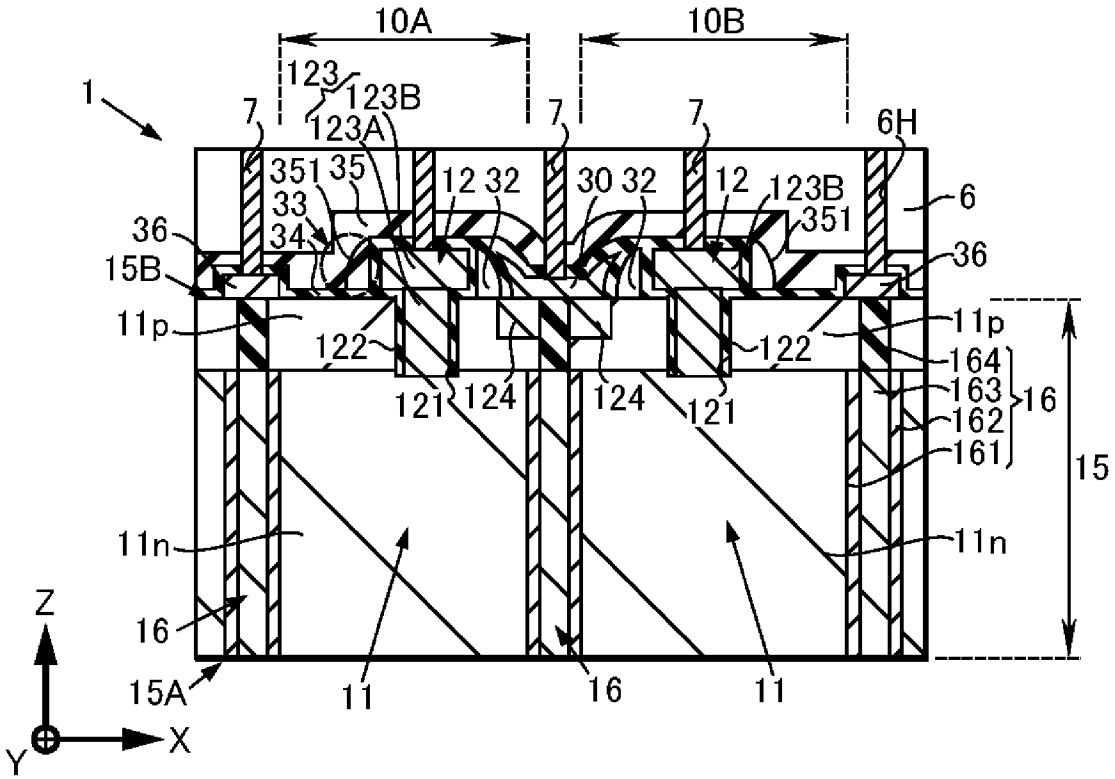
[図28]


10A
10B
1
123
123B
123A
7
7
7
6H
34
35
12 32
30 32
12
123B
6
36
33
36
15B
11p
122
122
11p
121
124
124
121
15
11n
11n
Z
16
16
15A
11
16
11
16
Y
X

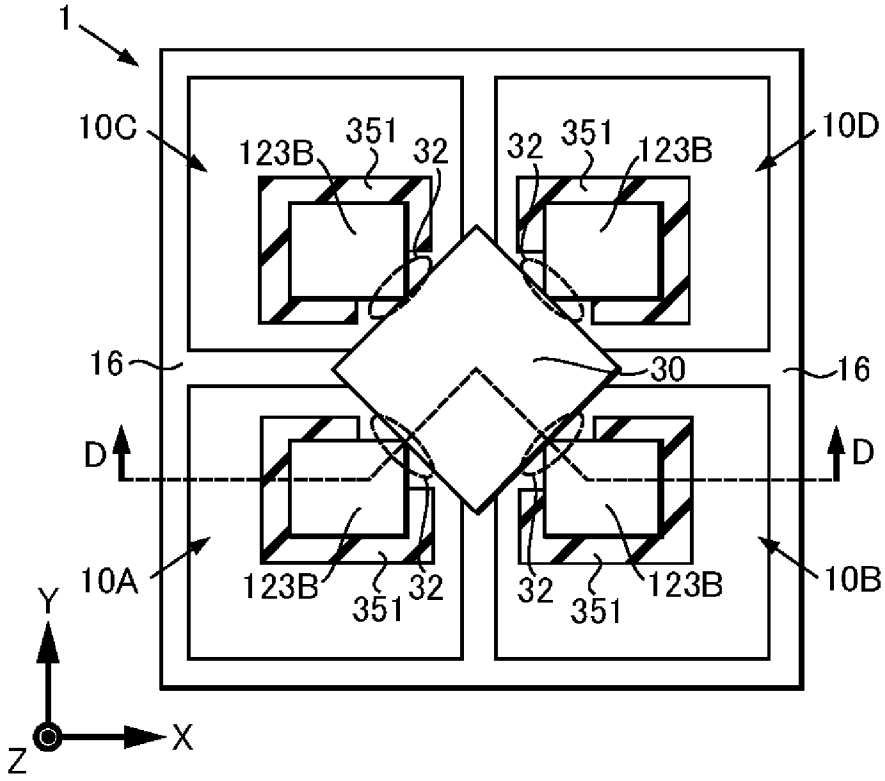
[図29]


1
10C
123B
32
32
123B
10D
16
30
16
C
C
10A
123B
32
32
123B
10B
Y
Z
X

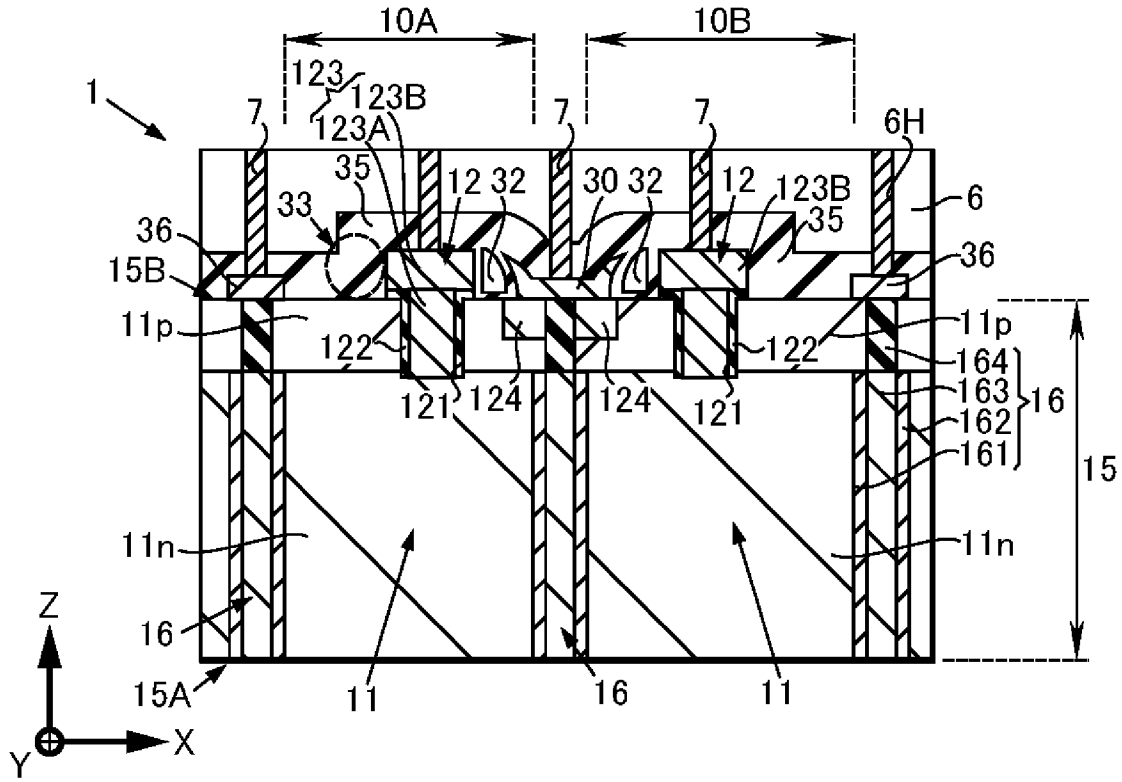
[図30]


10A
10B
1
123
123B
123A
7
7
7
6H
351
35
12
32
30
32
12
123B
351
6
36
33
34
36
15B
11p
122
122
11p
164
163
162
161
16
15
121
124
124
121
11n
11n
Z
16
15A
11
16
11
Y
X

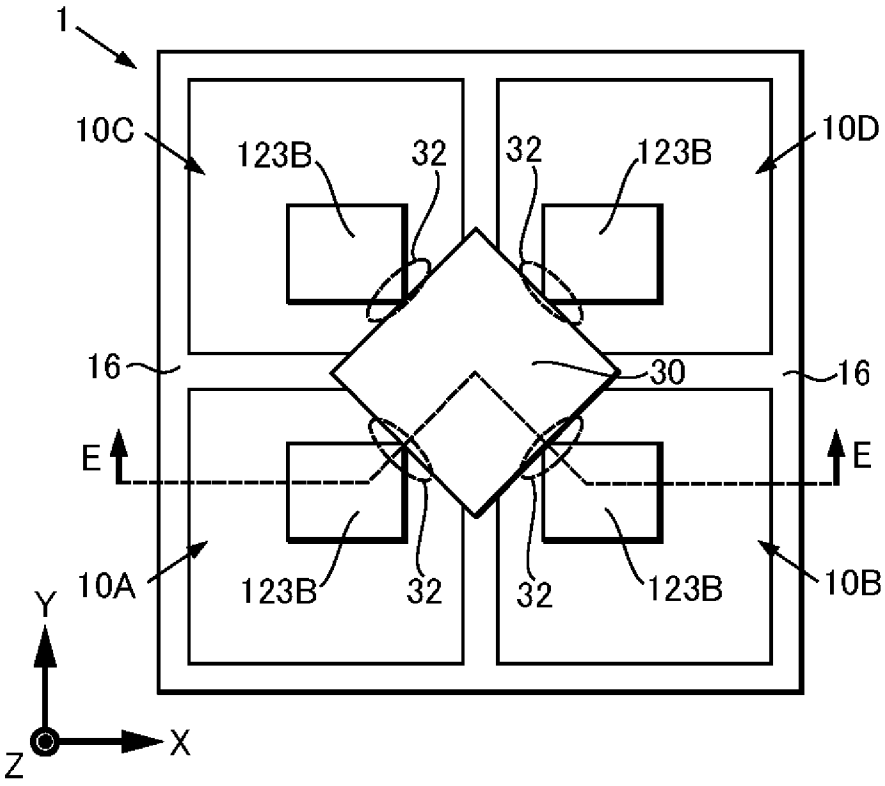
[図31]


1
10C
10D
123B
351
32
16
30
D
10A
10B
Y
X
Z

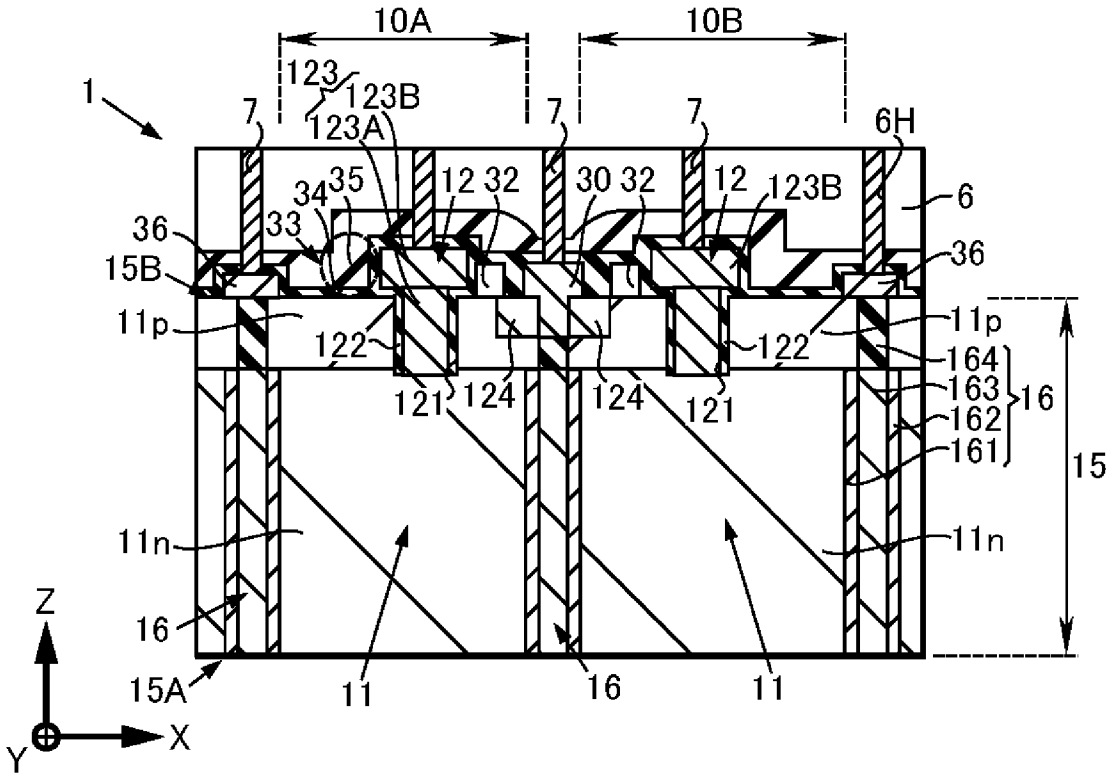
[図32]


10A
10B
1
123
123B
123A
7
6H
35
12
32
30
33
36
15B
11p
122
121
124
6
164
163
162
161
16
15
11n
15A
11
Z
Y
X

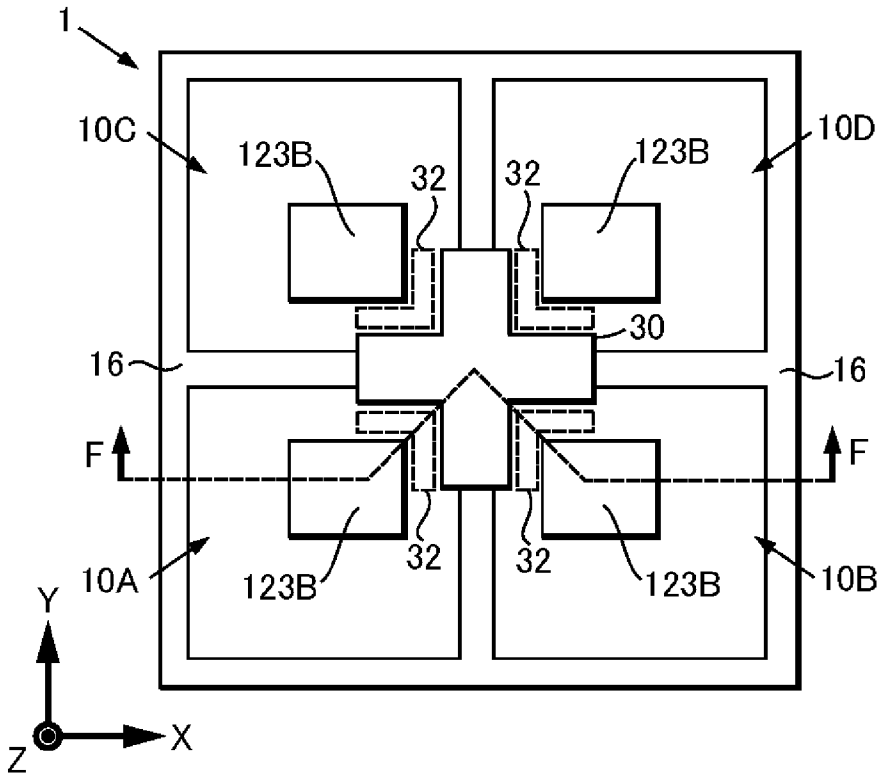
[図33]


1
10C
123B
32
32
123B
10D
16
30
16
E
E
10A
123B
32
32
123B
10B
Y
X
Z

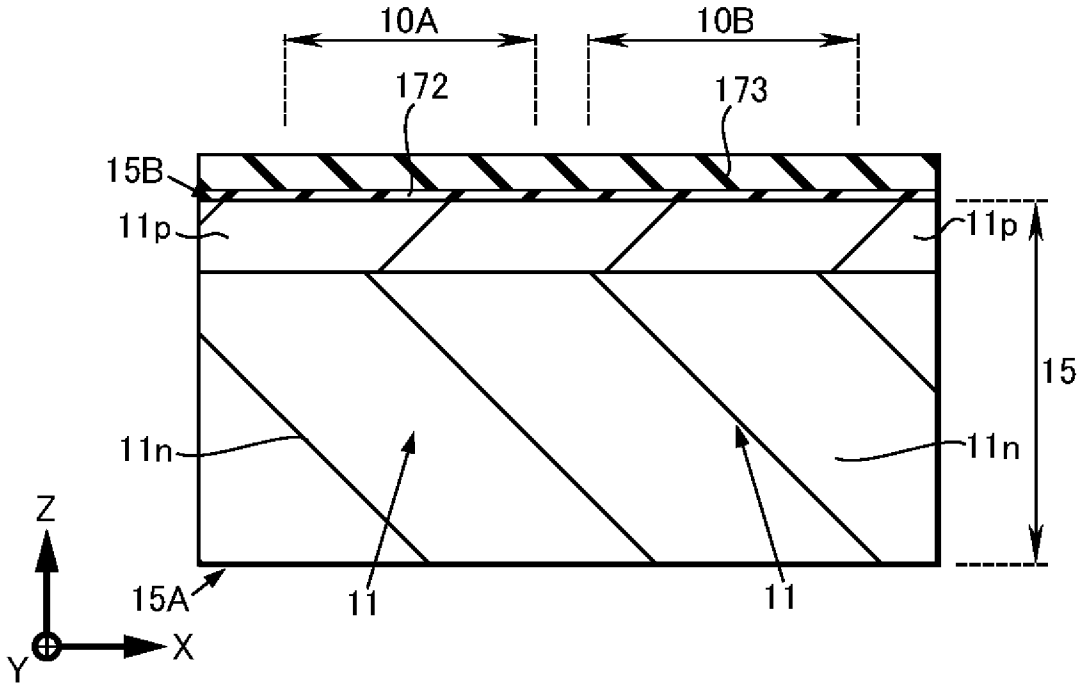
[図34]


10A
10B
1
123
123B
123A
7
7
7
6H
34
35
12 32
30 32
12
123B
6
36
33
36
15B
11p
122
122
11p
164
163
162
161
16
15
121
124
124
121
11n
11n
Z
16
15A
11
16
11
Y
X

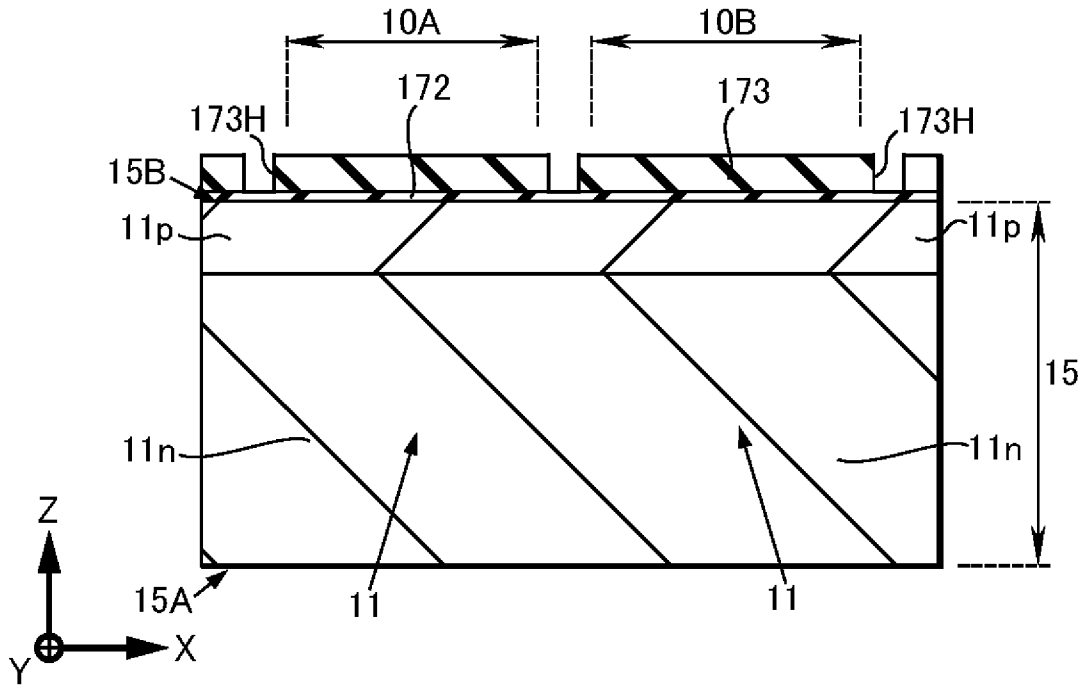
[図35]


1
10C
123B
32
32
123B
10D
30
16
16
F
F
10A
123B
32
32
123B
10B
Y
Z
X

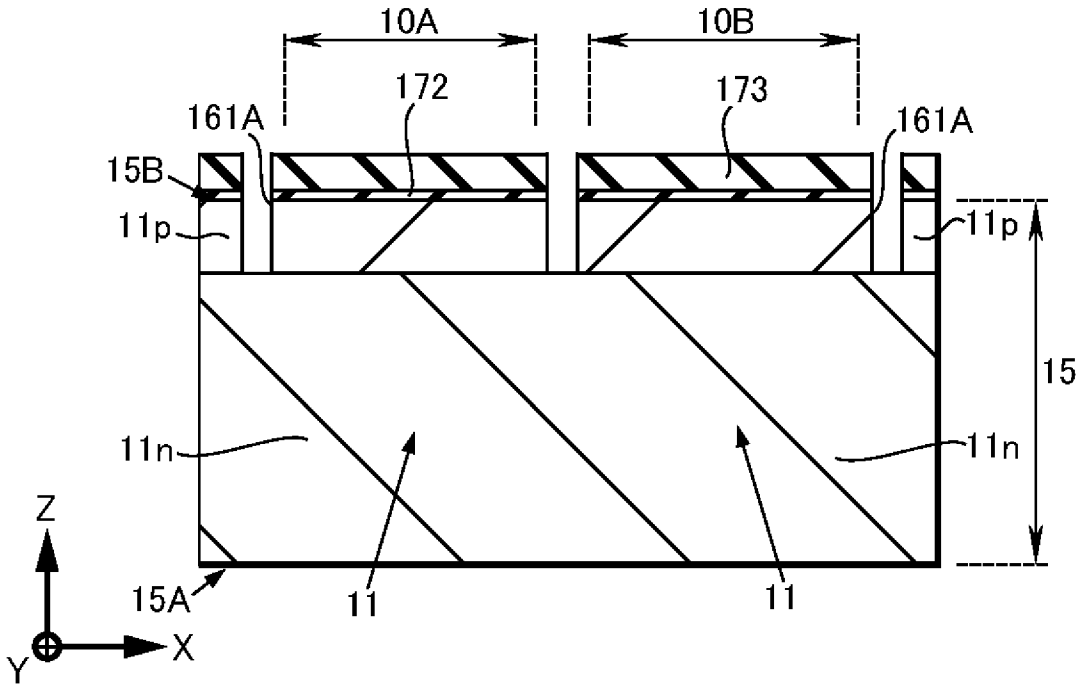
[図36]


10A
10B
172
173
15B
11p
11p
15
11n
11n
Z
15A
11
11
Y
X

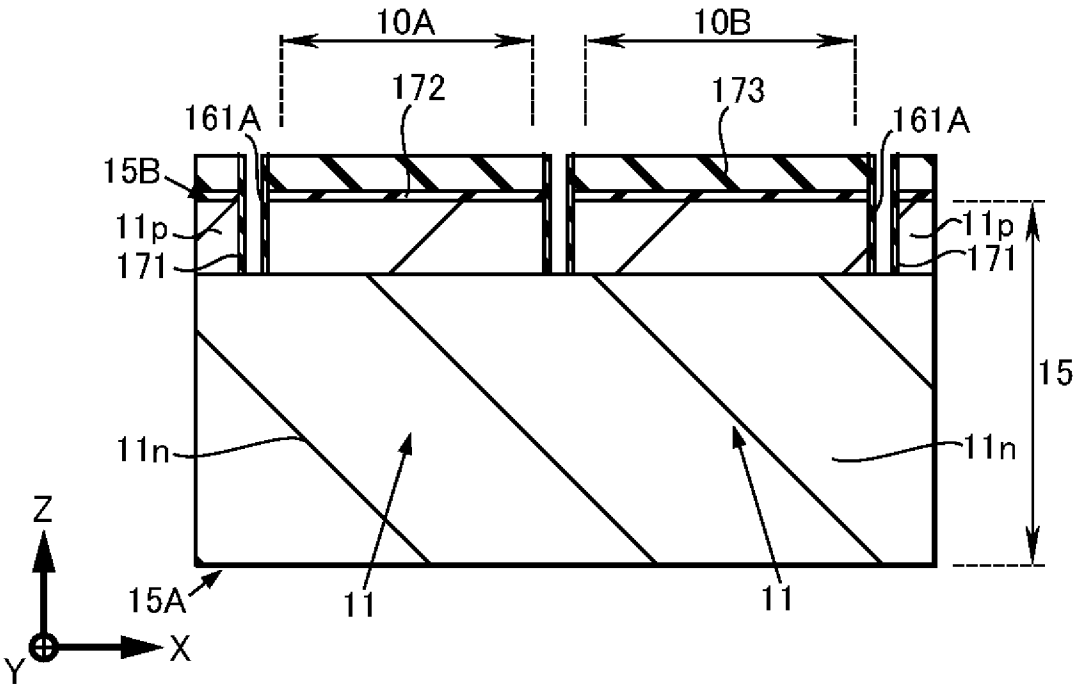
[図37]


10A
10B
172
173
173H
173H
15B
11p
11p
15
11n
11n
Z
15A
11
11
Y
X

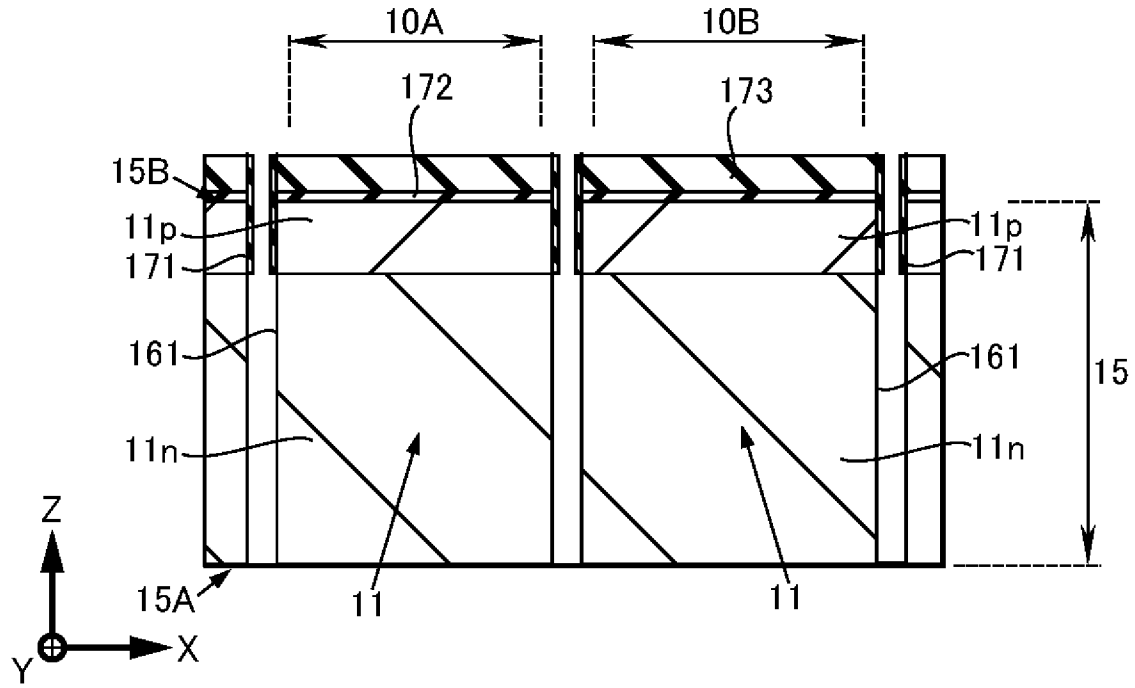
[図38]


10A
10B
172
173
161A
161A
15B
11p
11p
15
11n
11n
Z
15A
11
11
Y
X

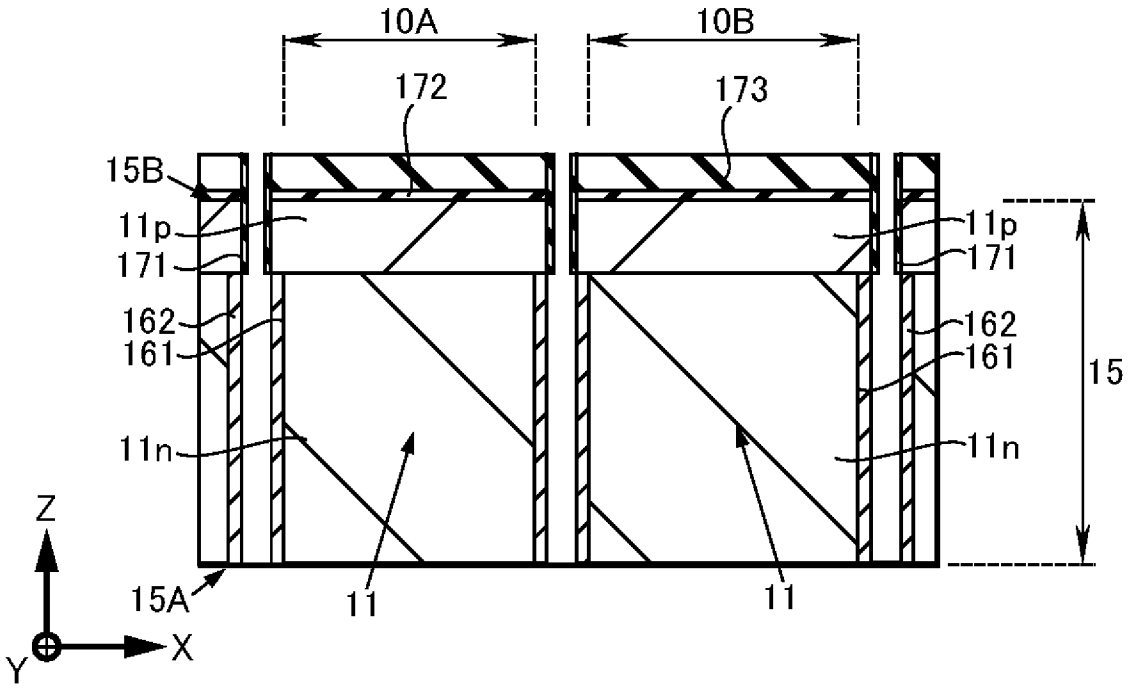
[図39]


10A
10B
172
173
161A
161A
15B
11p
171
11p
171
15
11n
11n
Z
15A
11
11
Y
X

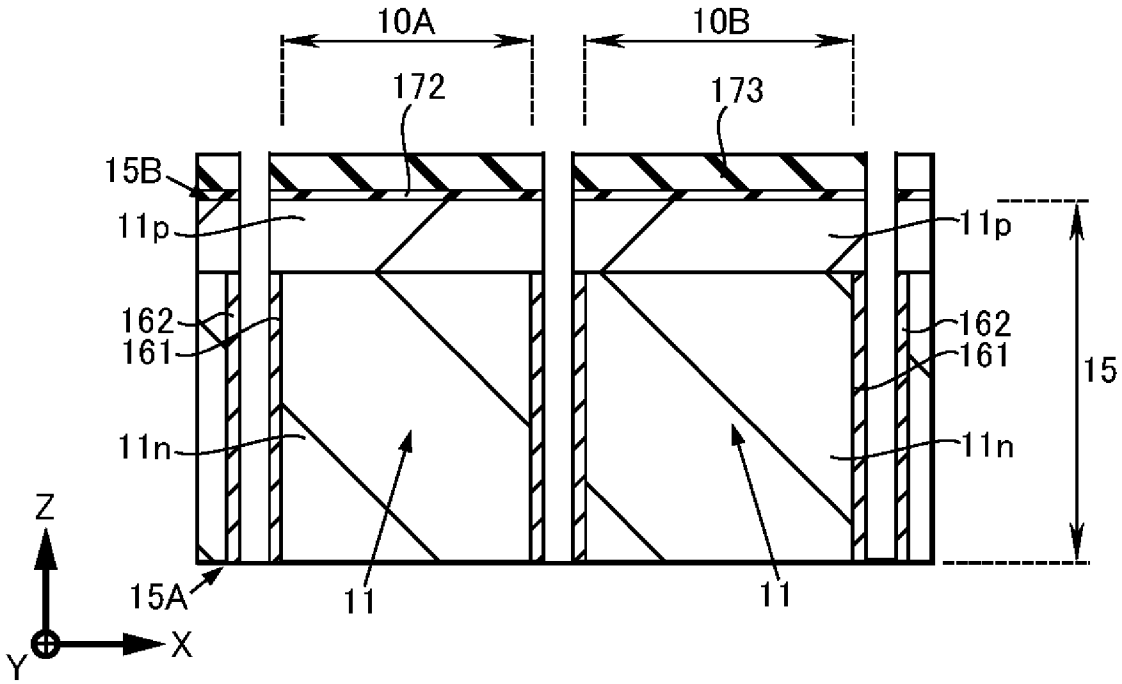
[図40]


10A
10B
172
173
15B
11p
171
11p
171
161
161
15
11n
11n
Z
15A
11
11
Y
X

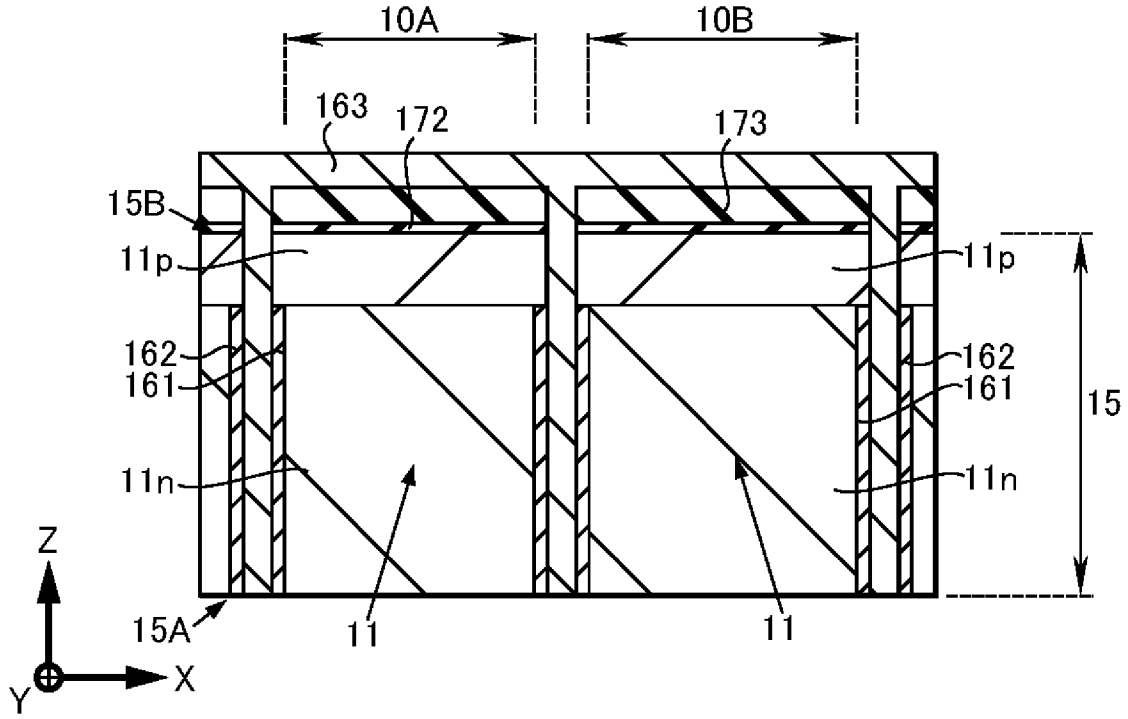
[図41]


10A
10B
172
173
15B
11p
171
162
161
11n
11p
171
162
161
11n
15
Z
Y
X
15A
11
11

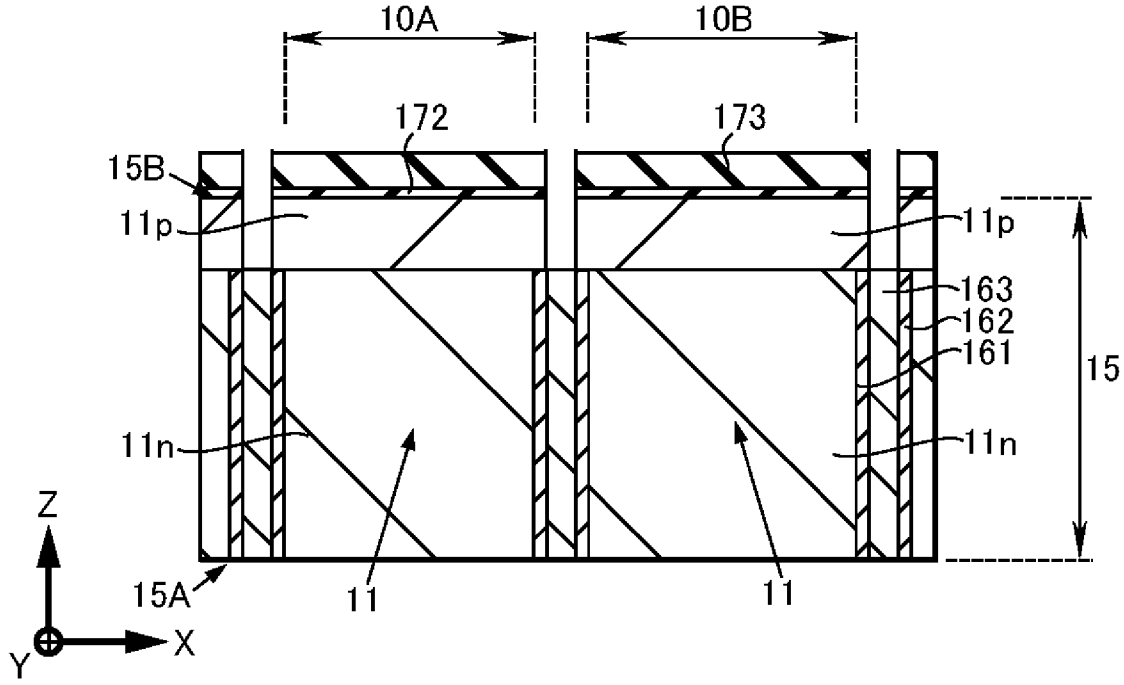
[図42]


10A
10B
172
173
15B
11p
162
161
11n
11p
162
161
11n
15
Z
Y
X
15A
11
11

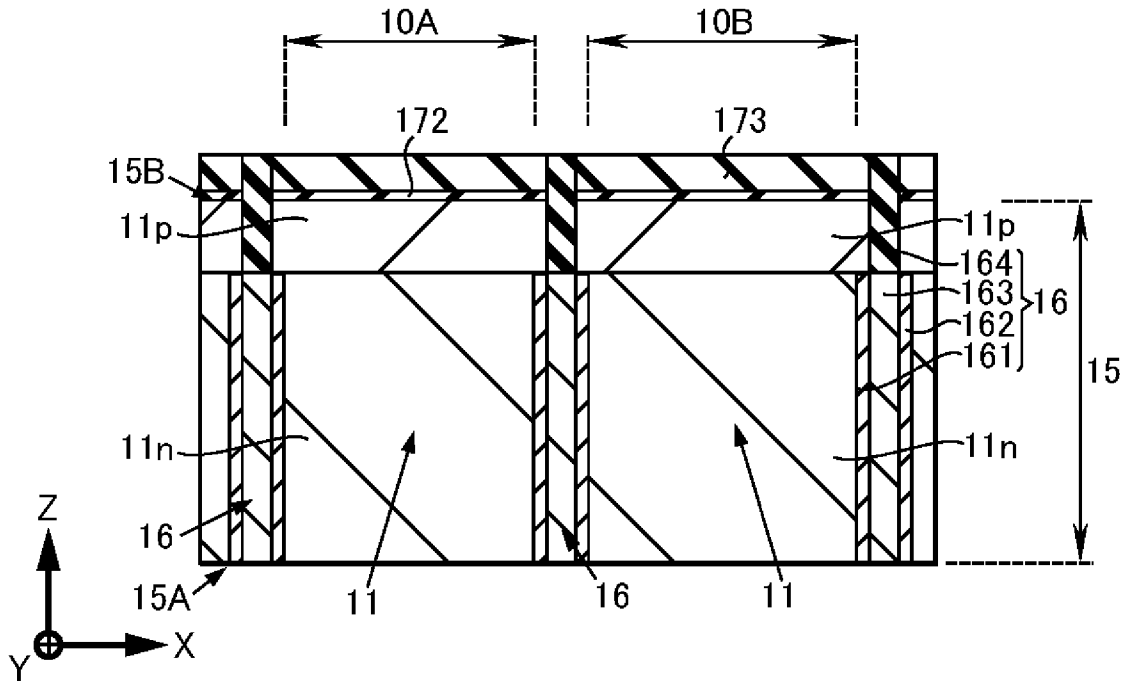
[図43]


10A
10B
163
172
173
15B
11p
11p
162
161
162
161
15
11n
11n
Z
15A
11
11
Y
X

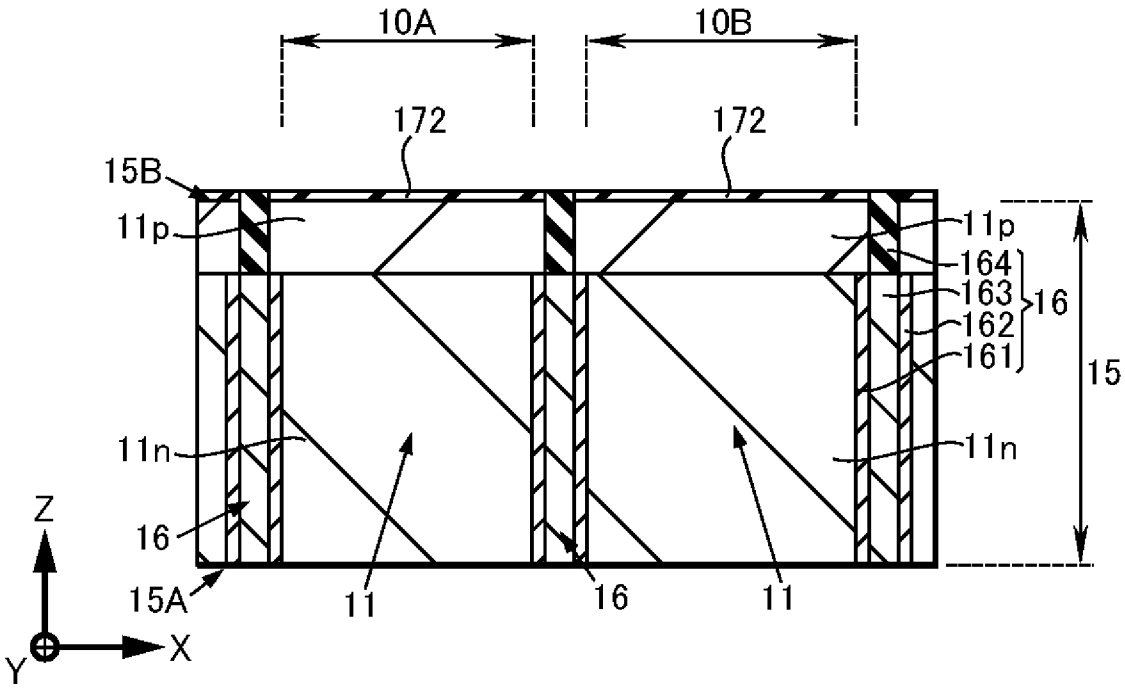
[図44]


10A
10B
172
173
15B
11p
11p
163
162
161
15
11n
11n
Z
15A
11
11
Y
X

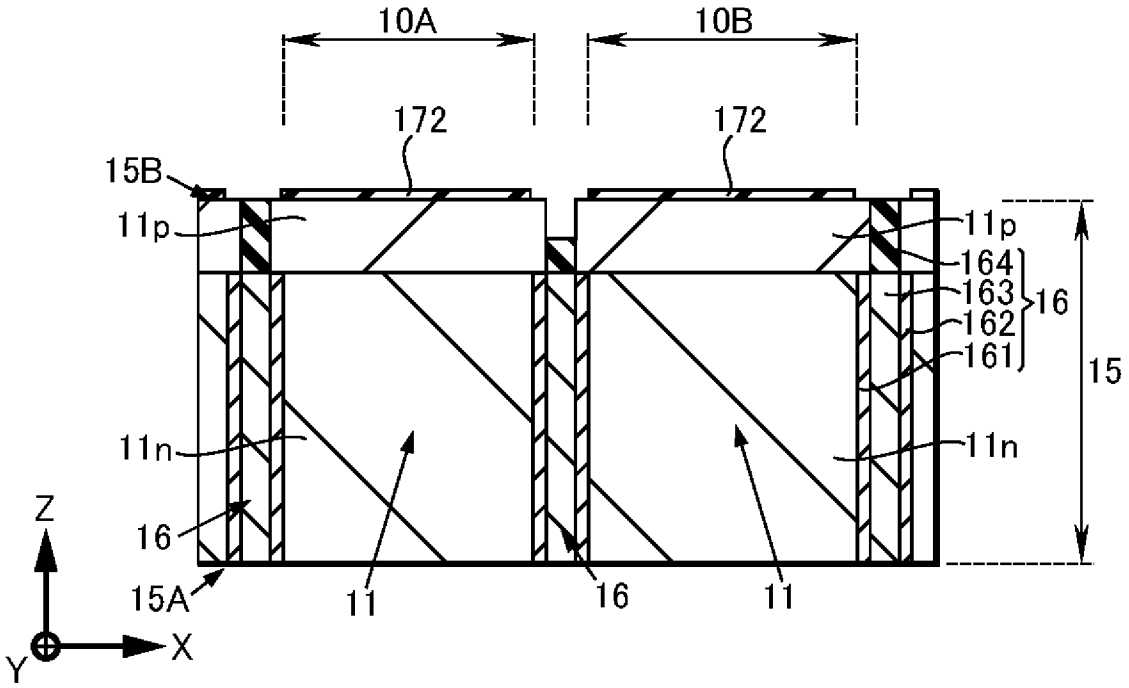
[図45]


10A
10B
172
173
15B
11p
11p
164
163
162
161
16
15
11n
11n
Z
16
15A
11
16
11
Y
X

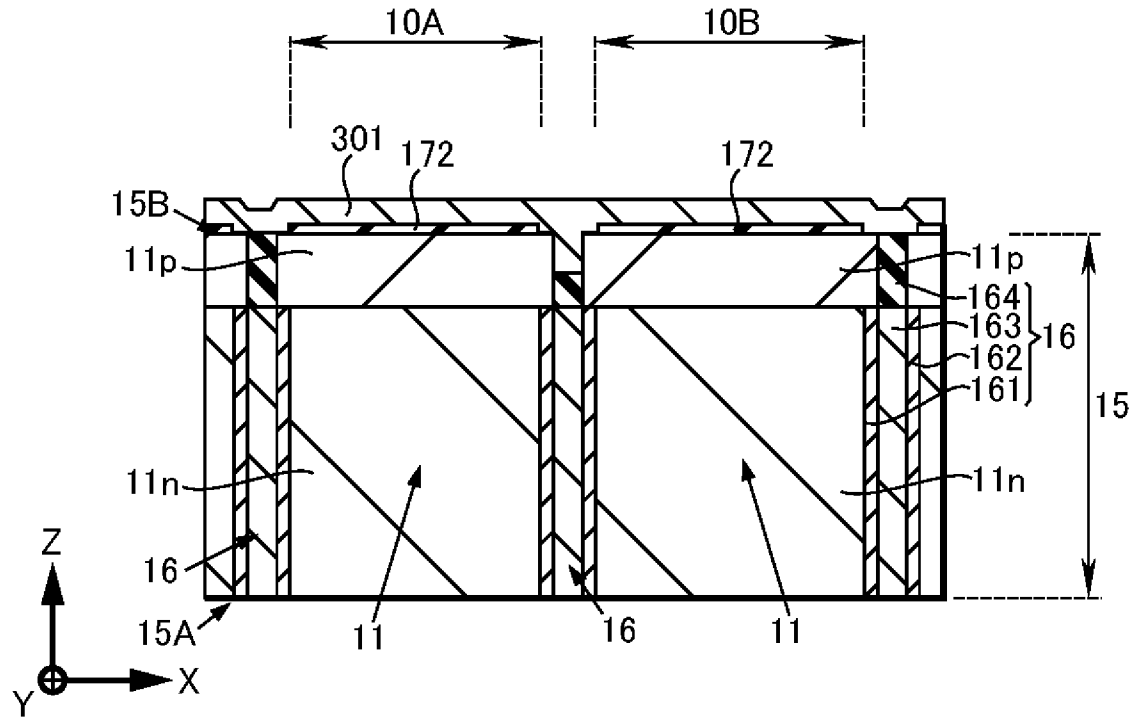
[図46]


10A
10B
172
172
15B
11p
11p
164
163
162
161
16
15
11n
11n
Z
16
15A
11
16
11
Y
X

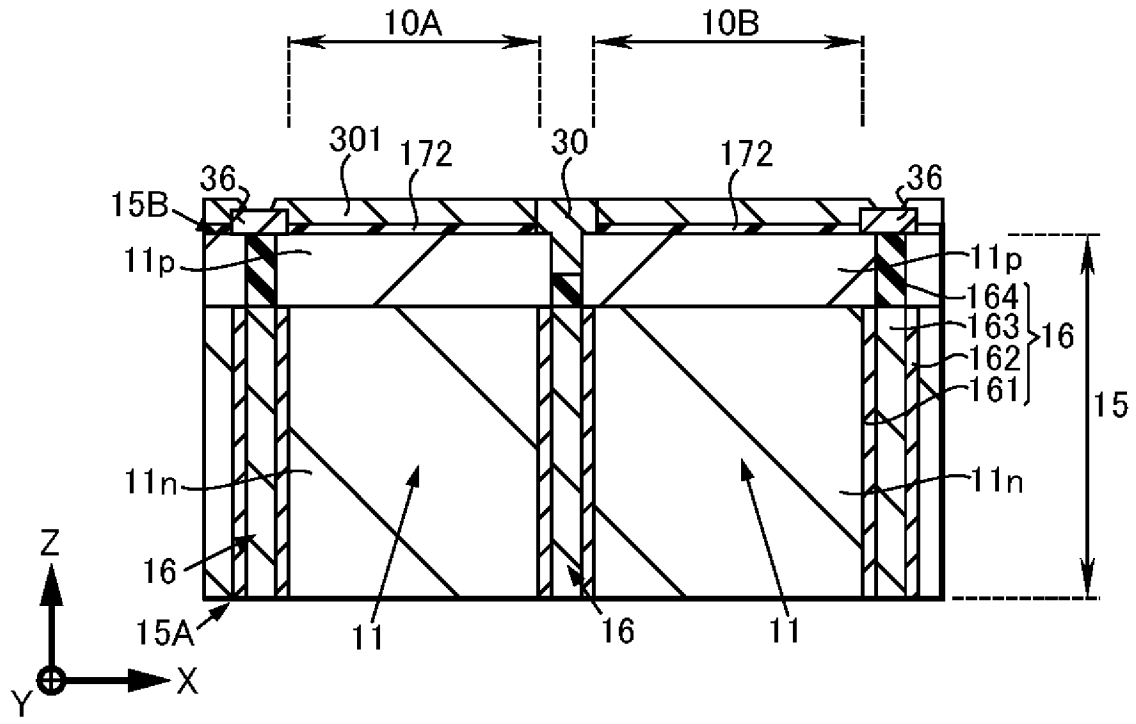
[図47]


10A
10B
172
172
15B
11p
11p
164
163
162
161
16
15
11n
11n
16
15A
11
16
11
Z
Y
X

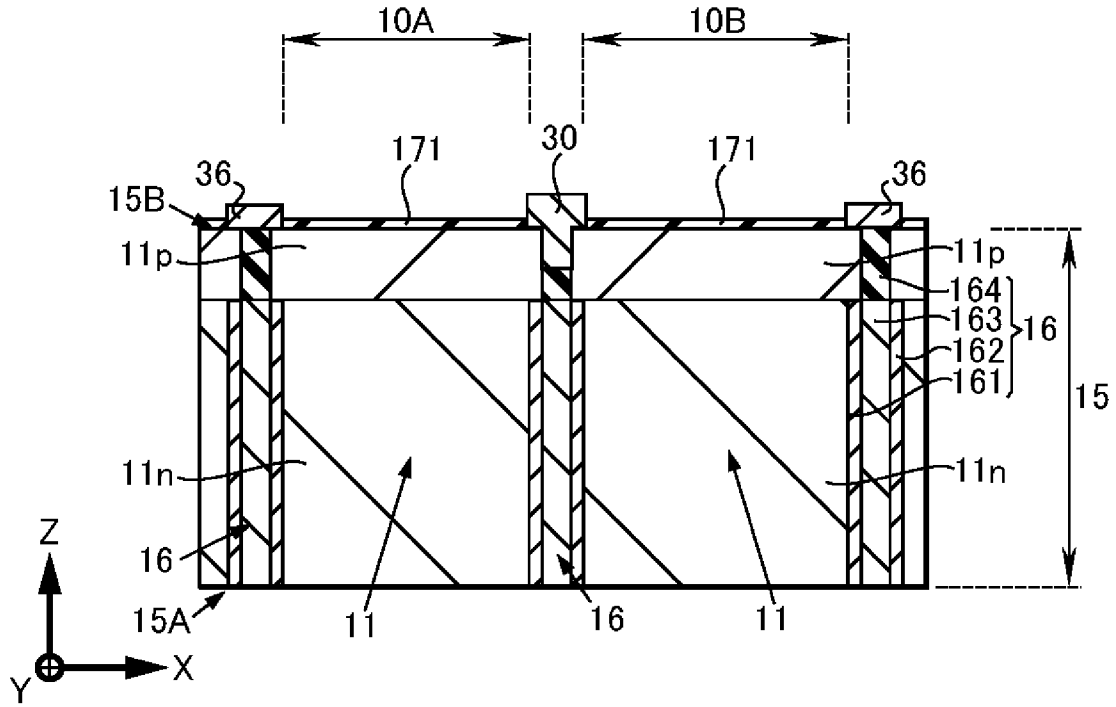
[図48]


10A
10B
301
172
172
15B
11p
11p
164
163
162
161
16
15
11n
11n
16
15A
11
16
11
Z
Y
X

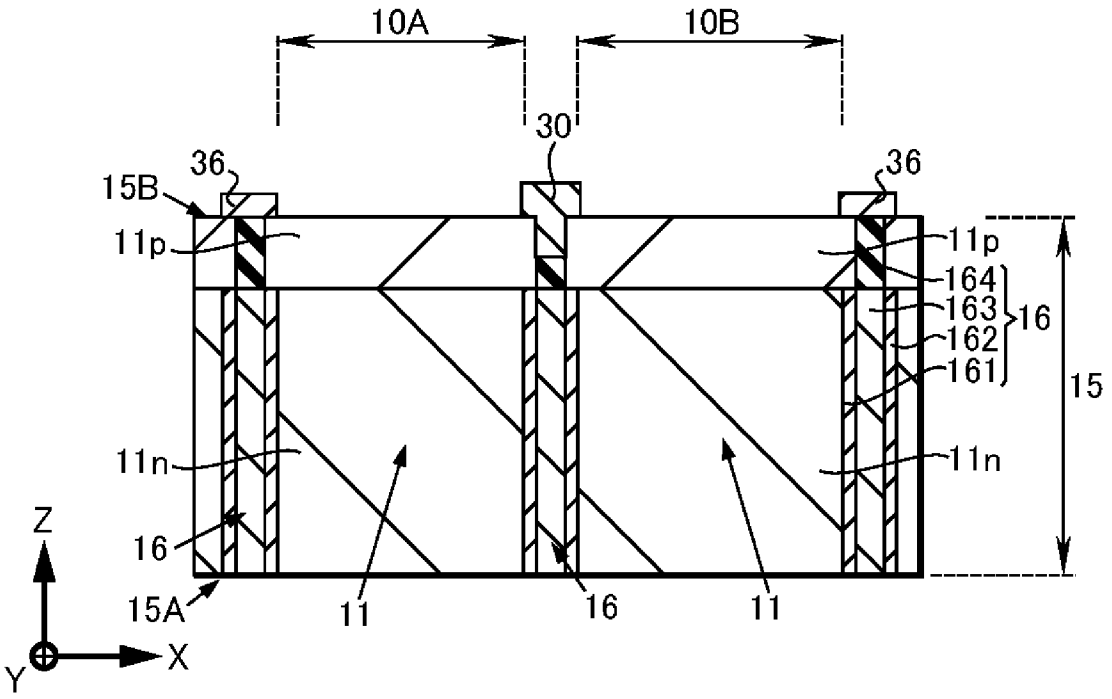
[図49]


10A
10B
301
172
30
172
36
36
15B
11p
11p
164
163
162
161
16
15
11n
11n
16
15A
11
16
11
Z
Y
X

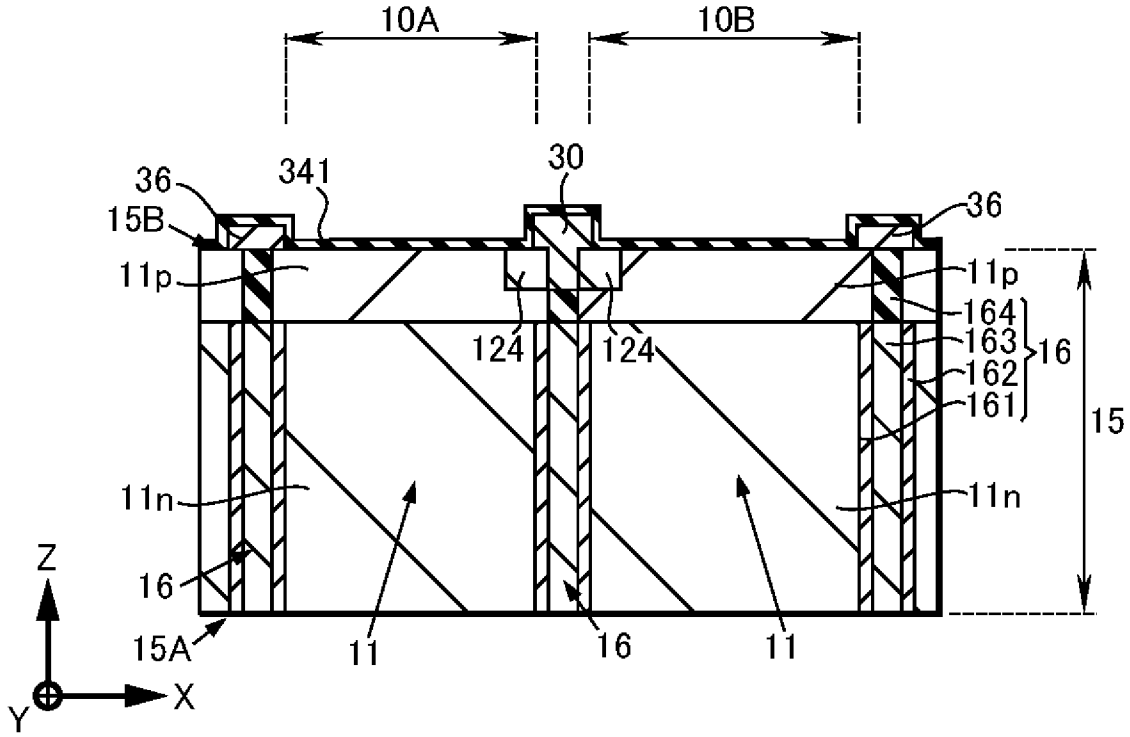
[図50]


10A
10B
171
30
171
36
36
15B
11p
11p
164
163
162
161
16
15
11n
11n
16
15A
11
16
11
Z
Y
X

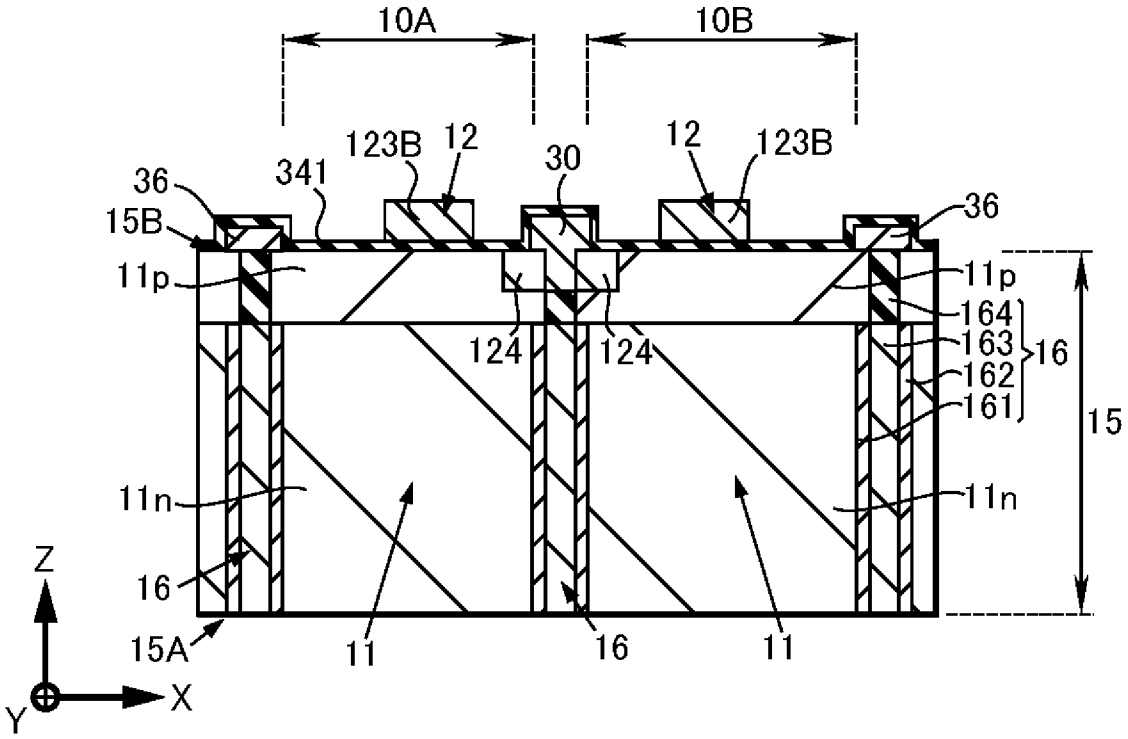
[図51]


10A
10B
30
36
36
15B
11p
11p
164
163
162
161
16
15
11n
11n
Z
16
15A
11
16
11
Y
X

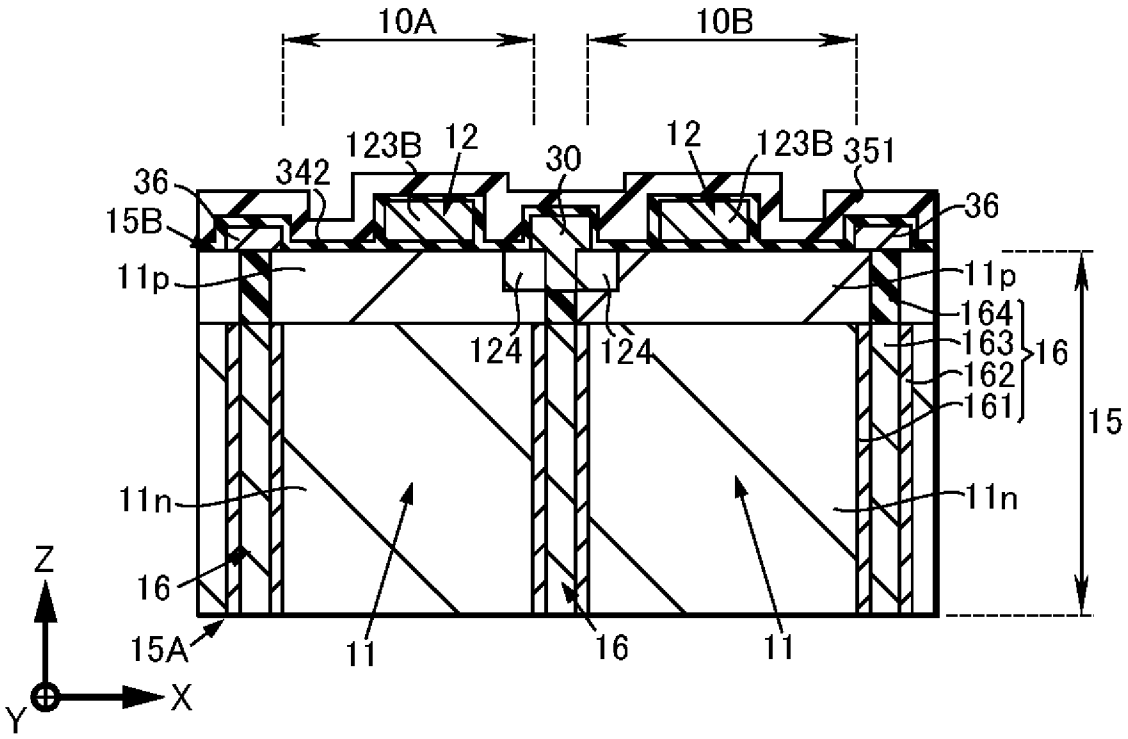
[図52]


10A
10B
30
341
36
36
15B
11p
11p
124
124
164
163
162
161
16
15
11n
11n
Z
16
15A
11
16
11
Y
X

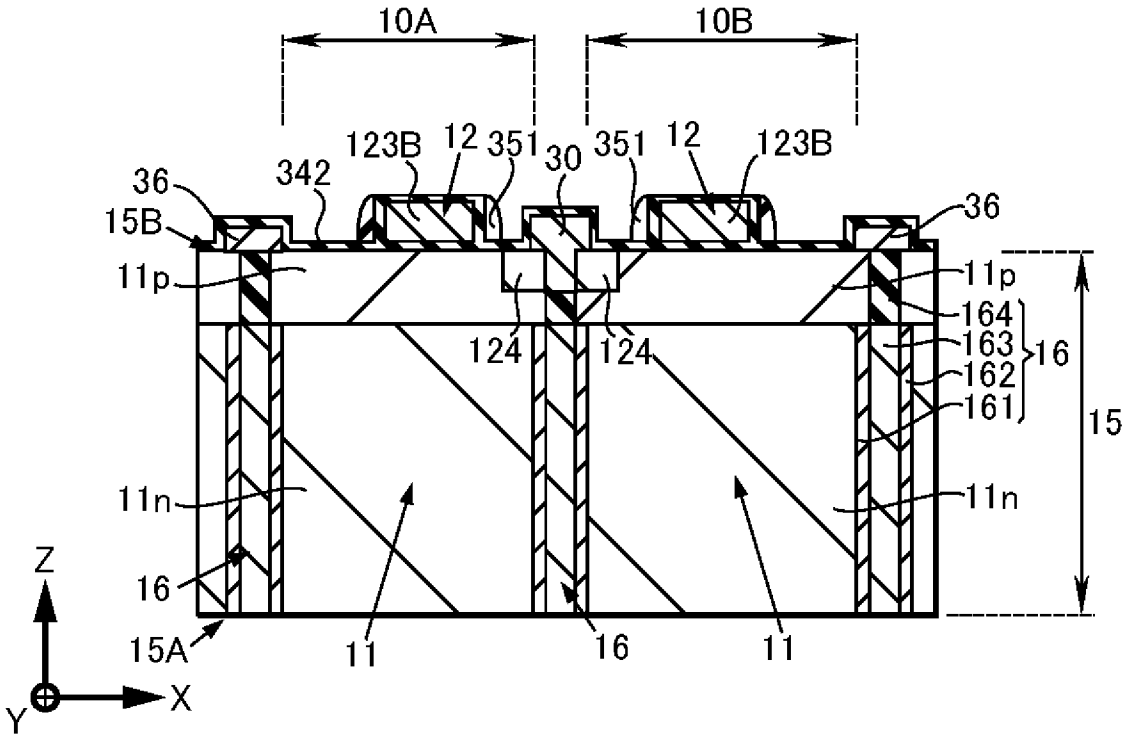
[図53]


10A
10B
123B
12
12
123B
341
30
36
36
15B
11p
11p
164
163
162
161
16
15
124
124
11n
11n
16
15A
11
16
11
Z
Y
X

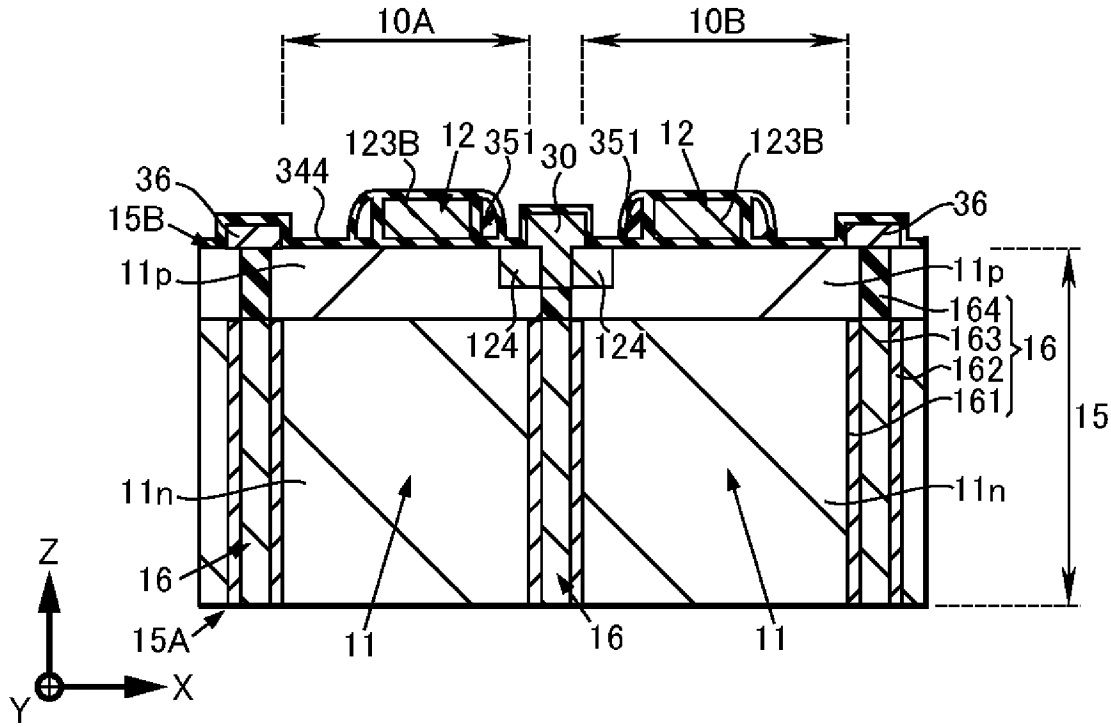
[図54]


10A
10B
123B
12
12
123B
342
30
351
36
36
15B
11p
11p
164
163
162
161
16
15
124
124
11n
11n
16
15A
11
16
11
Z
Y
X

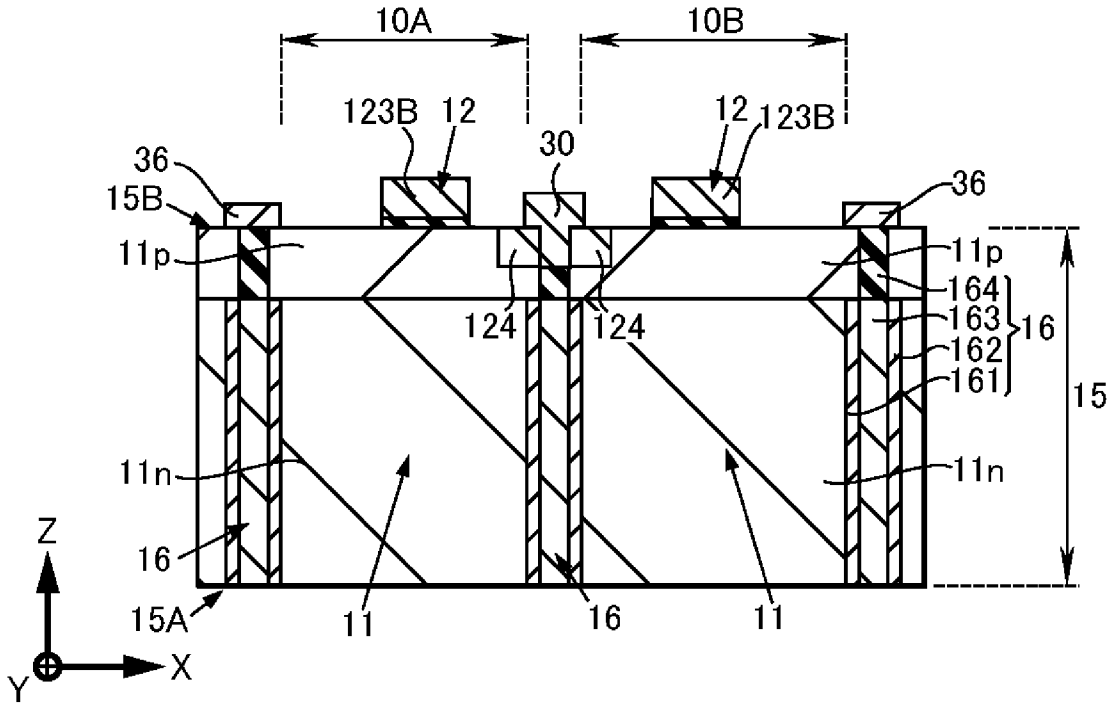
[図55]


10A
10B
123B
12
351
30
351
12
123B
342
36
15B
11p
124
124
36
11p
164
163
162
161
16
15
11n
11n
Z
16
15A
11
16
11
Y
X

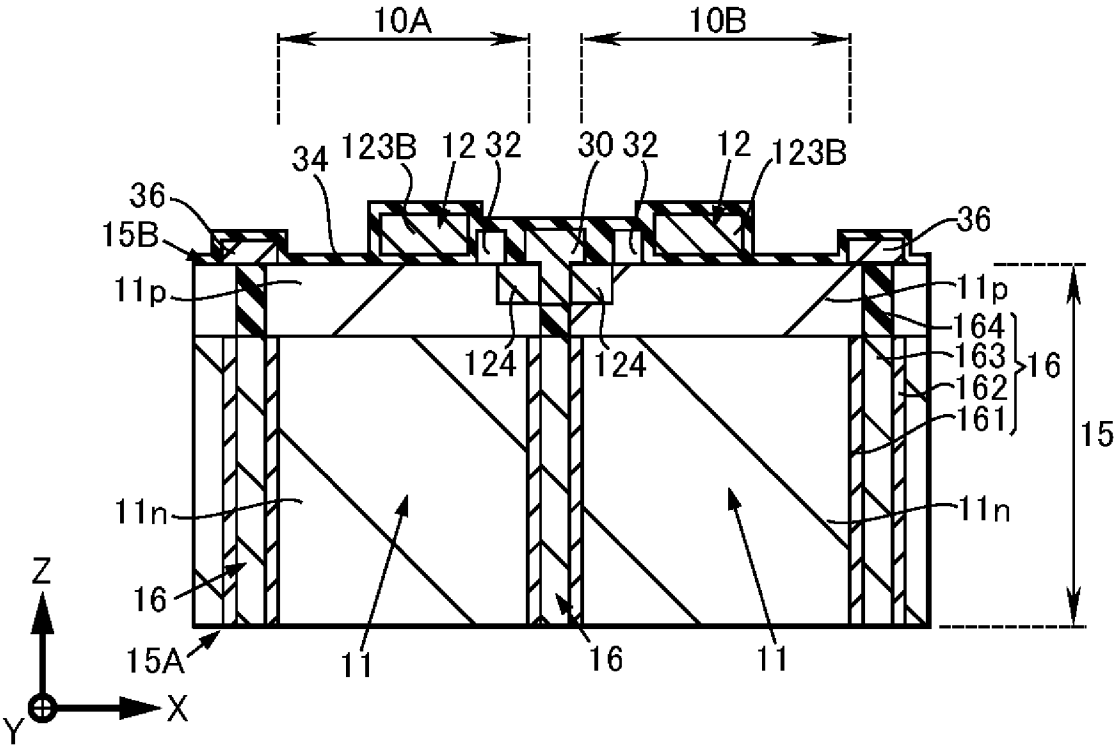
[図56]


10A
10B
123B
12
351
30
351
12
123B
344
36
15B
11p
124
124
36
11p
164
163
162
161
16
15
11n
11n
Z
16
15A
11
16
11
Y
X

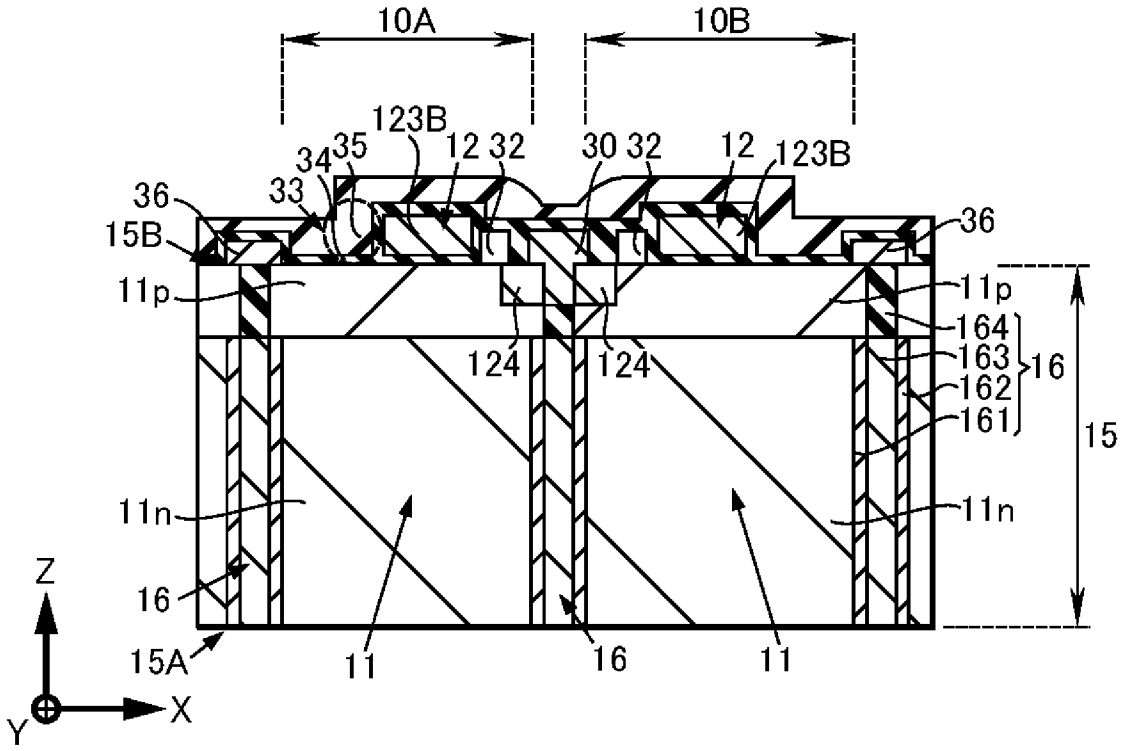
[図57]


10A
10B
123B
12
30
12
123B
36
15B
11p
36
11p
164
163
162
161
16
15
124
124
11n
11n
16
15A
11
16
11
Z
Y
X

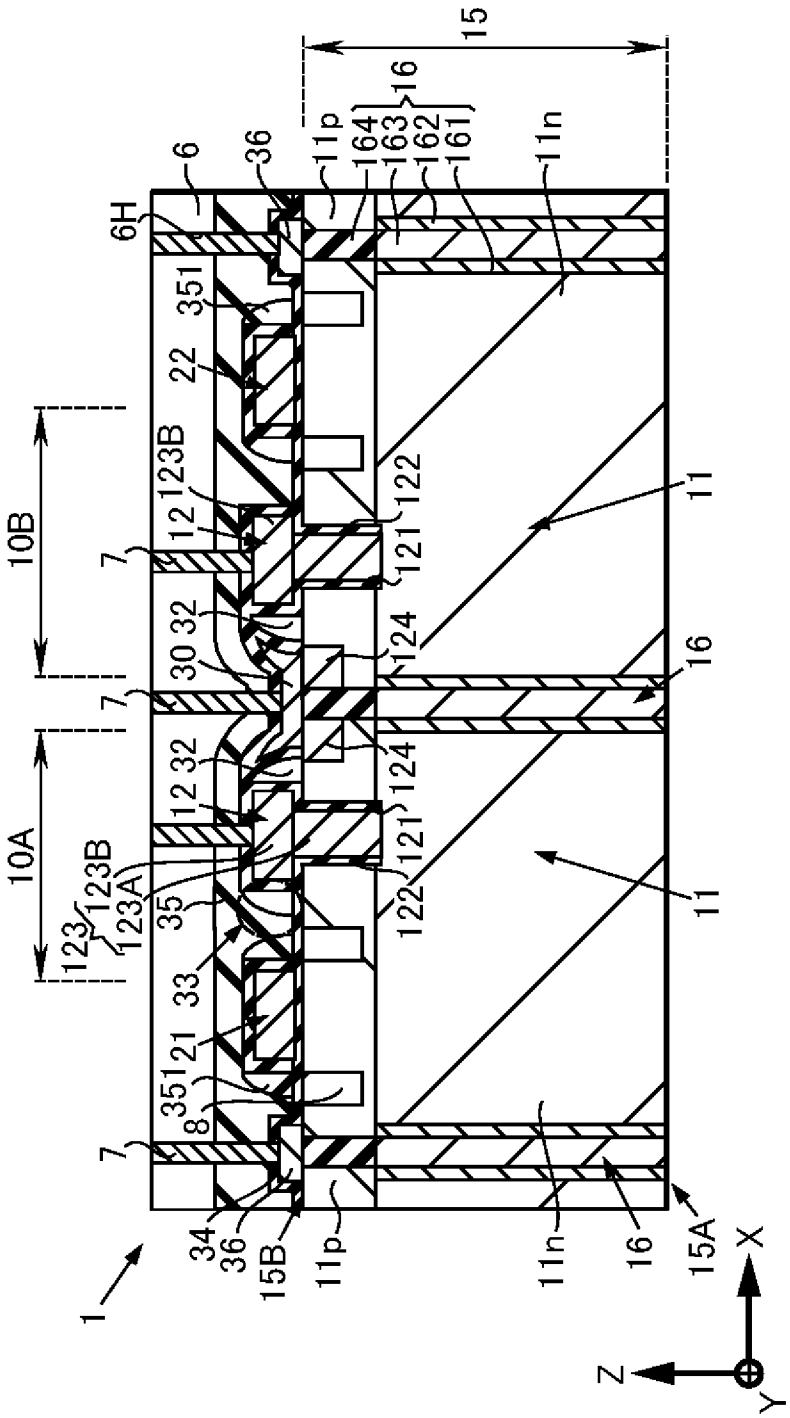
[図58]


10A
10B
34
123B
12
32
30
32
12
123B
36
15B
11p
36
11p
164
163
162
161
16
15
124
124
11n
11n
16
15A
11
16
11
Z
Y
X

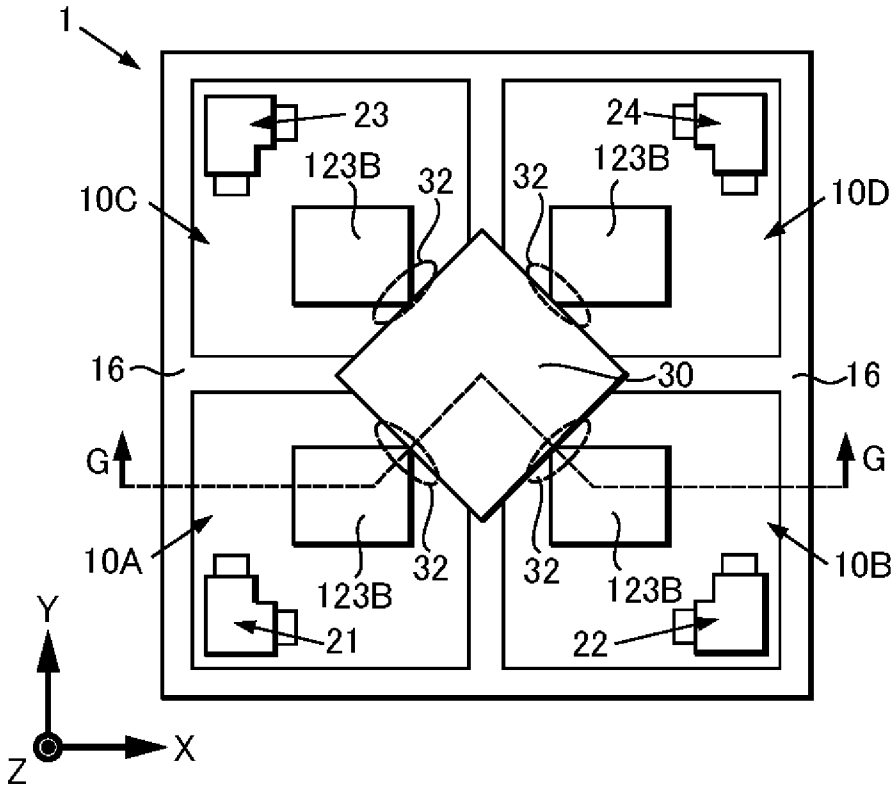
[図59]


10A
10B
123B
34
35
12
32
30
32
12
123B
36
33
36
15B
11p
11p
164
163
162
161
16
15
124
124
11n
11n
Z
16
15A
11
16
11
Y
X

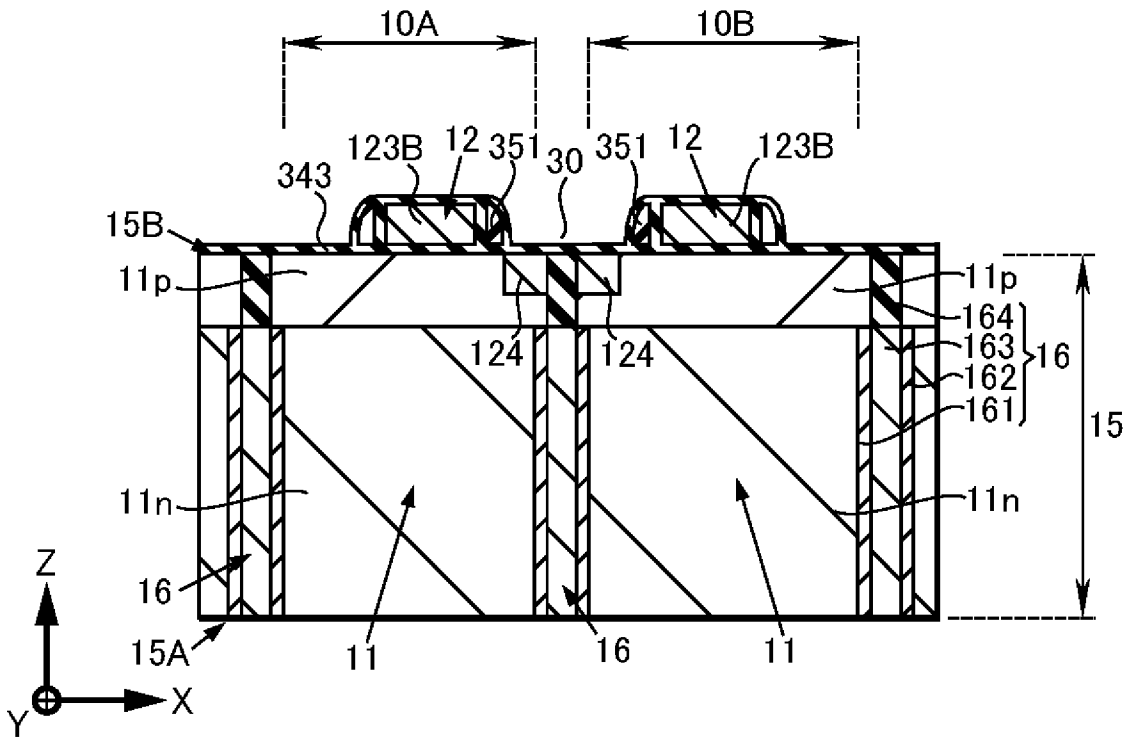
[図60]


15
16
11p
164
163
162
161
11n
6
36
6H
351
22
123B
12
10B
7
121
122
11
124
32
30
16
10A
123
123A
35
33
21
8
15B
34
15A
1
X
Y
Z

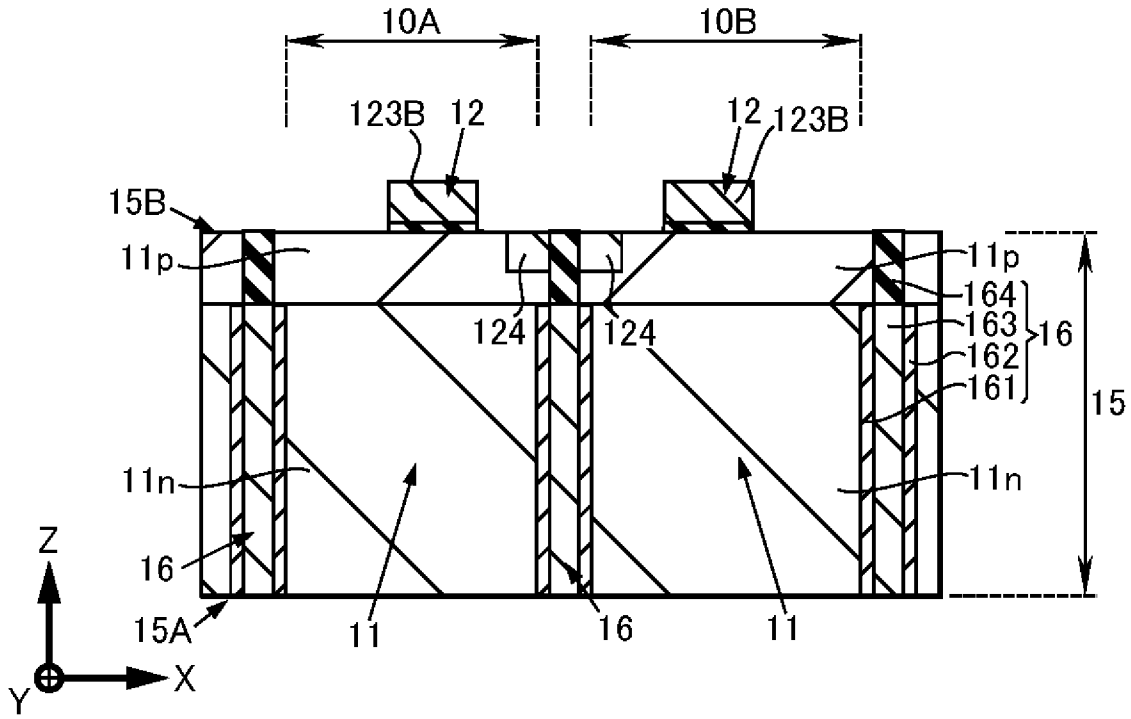
[図61]


1
23
24
123B
32
32
123B
10C
10D
16
30
16
G
G
10A
10B
32
32
123B
123B
21
22
Y
Z
X

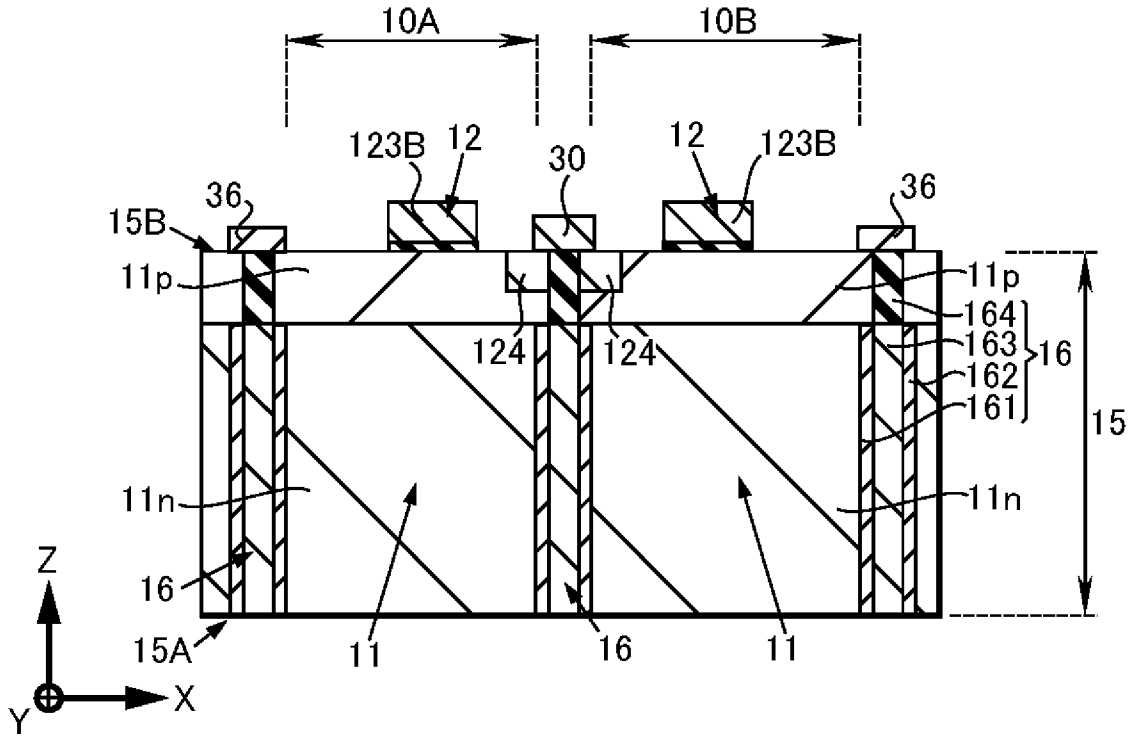
[図62]


10A
10B
343
123B
12
351
30
351
12
123B
15B
11p
11p
164
163
162
161
16
124
124
15
11n
11n
Z
16
15A
11
16
11
Y
X

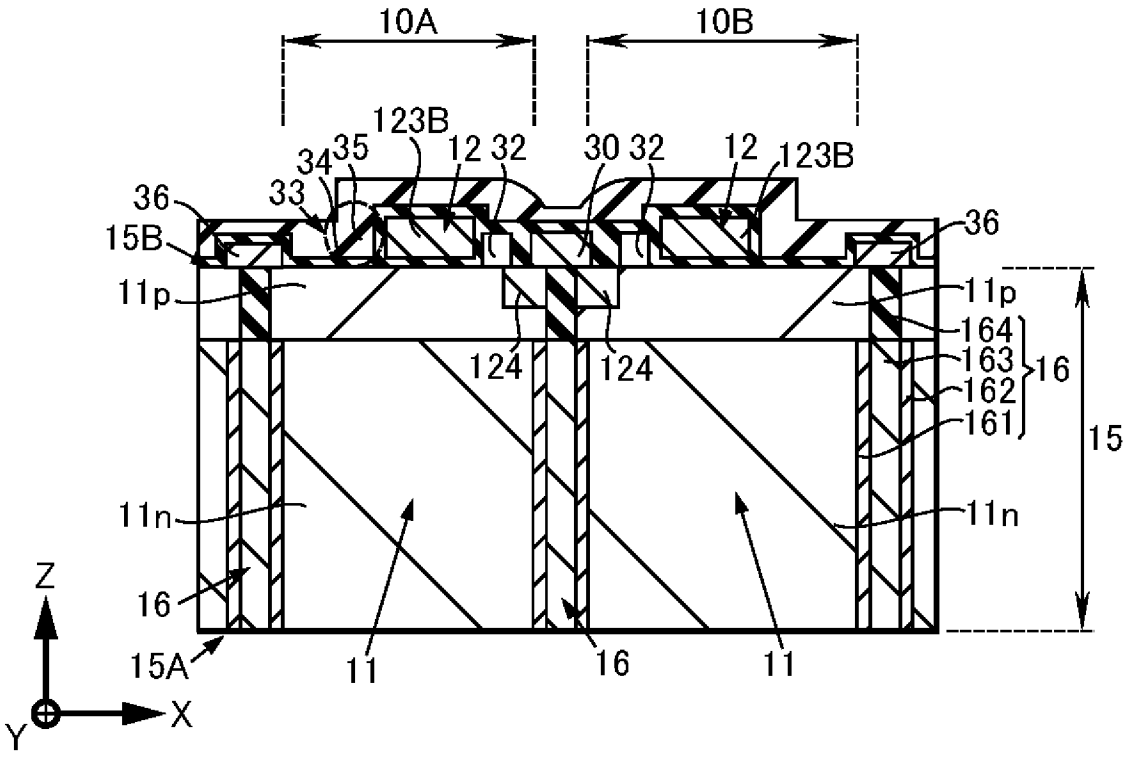
[図63]


10A
10B
123B
12
12
123B
15B
11p
11p
164
163
162
161
16
15
124
124
11n
11n
16
15A
11
16
11
Z
Y
X

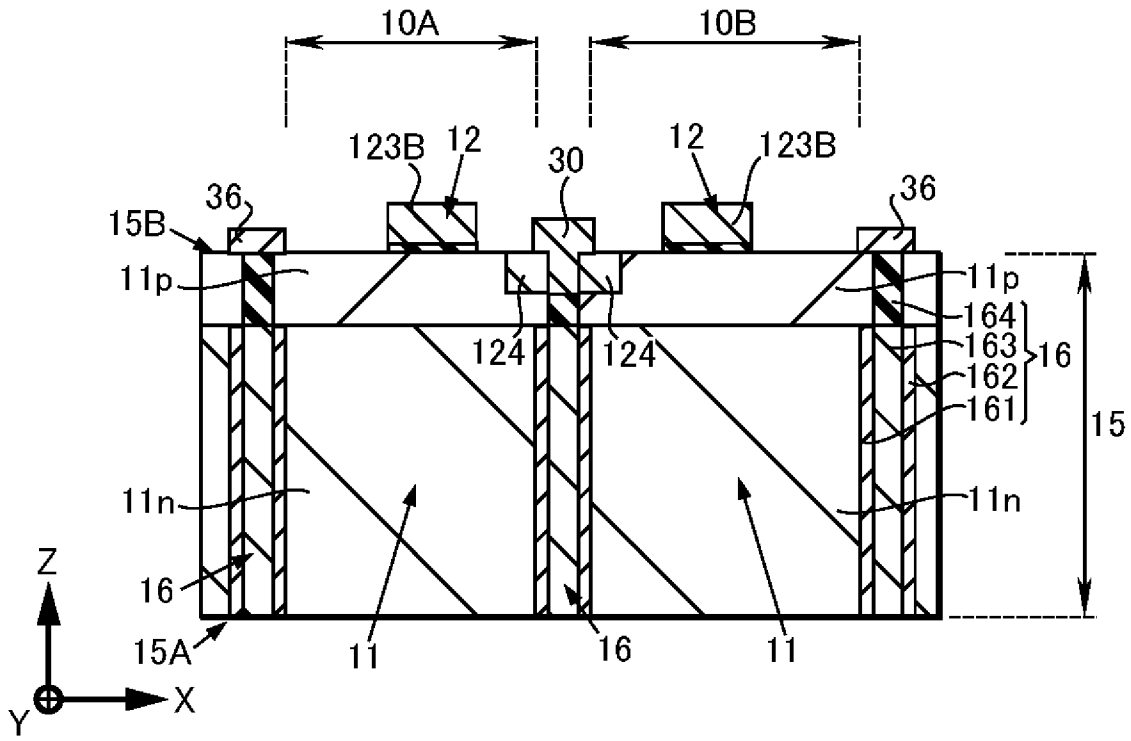
[図64]


10A
10B
123B
12
30
12
123B
36
36
15B
11p
11p
164
163
162
161
16
15
124
124
11n
11n
16
15A
11
16
11
Z
Y
X

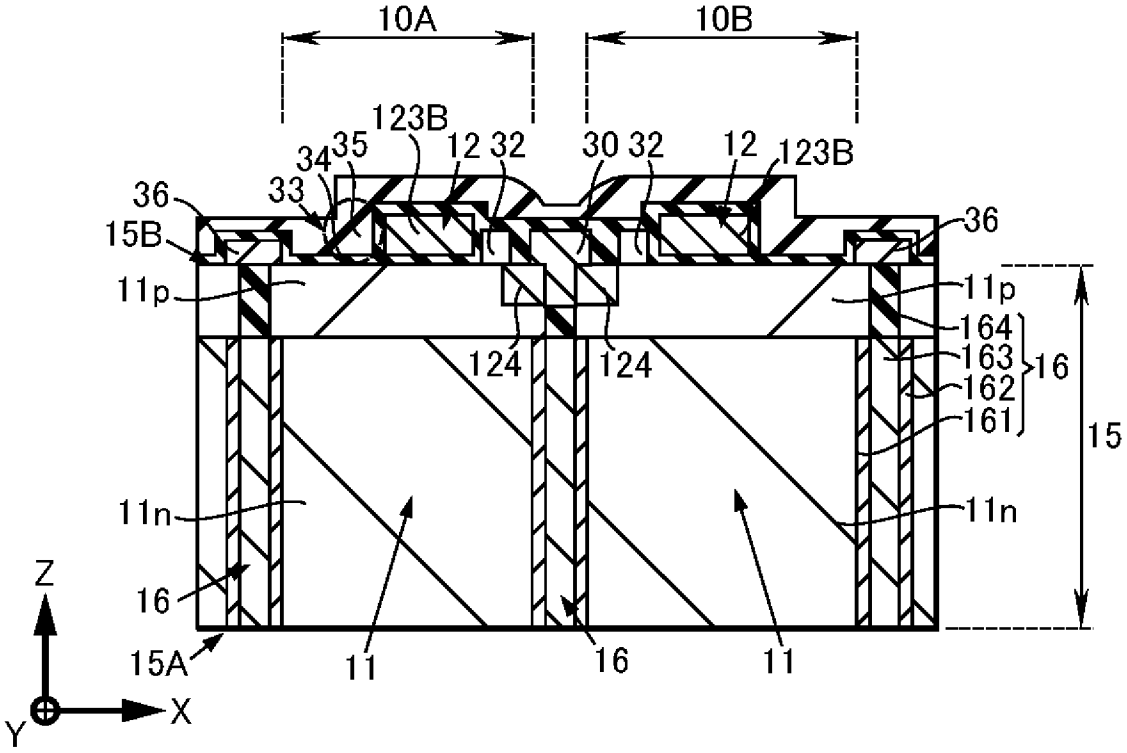
[図65]


10A
10B
123B
34
35
12
32
30
32
12
123B
33
36
36
15B
11p
11p
164
163
16
162
161
124
124
15
11n
11n
Z
16
15A
11
16
11
Y
X

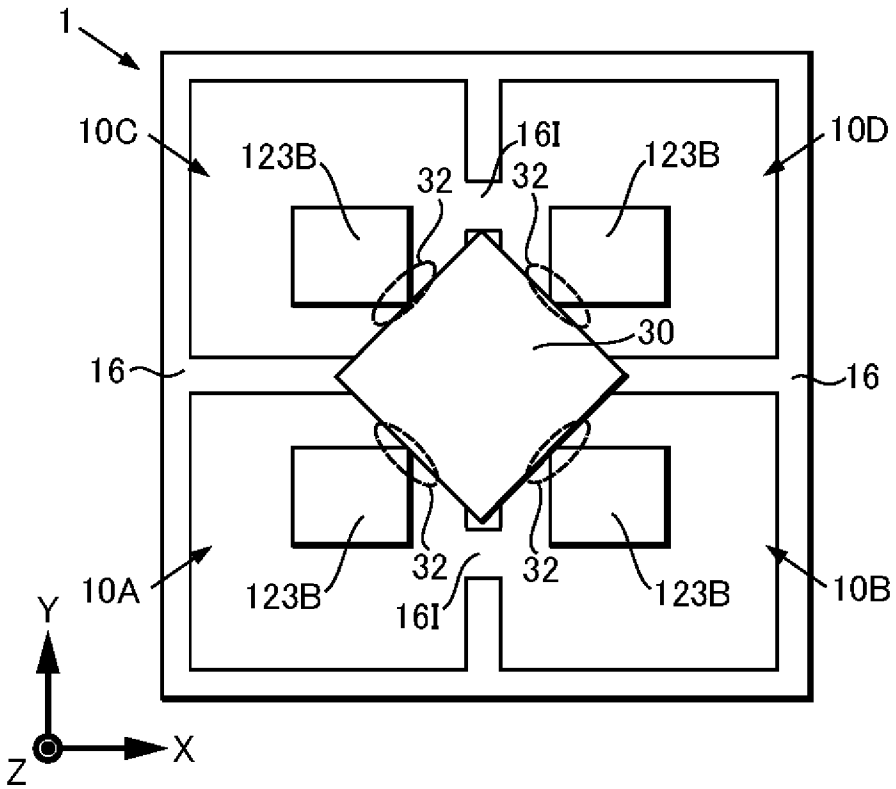
[図66]


10A
10B
123B
12
30
12
123B
36
36
15B
11p
11p
164
163
16
162
161
124
124
15
11n
11n
Z
16
15A
11
16
11
Y
X

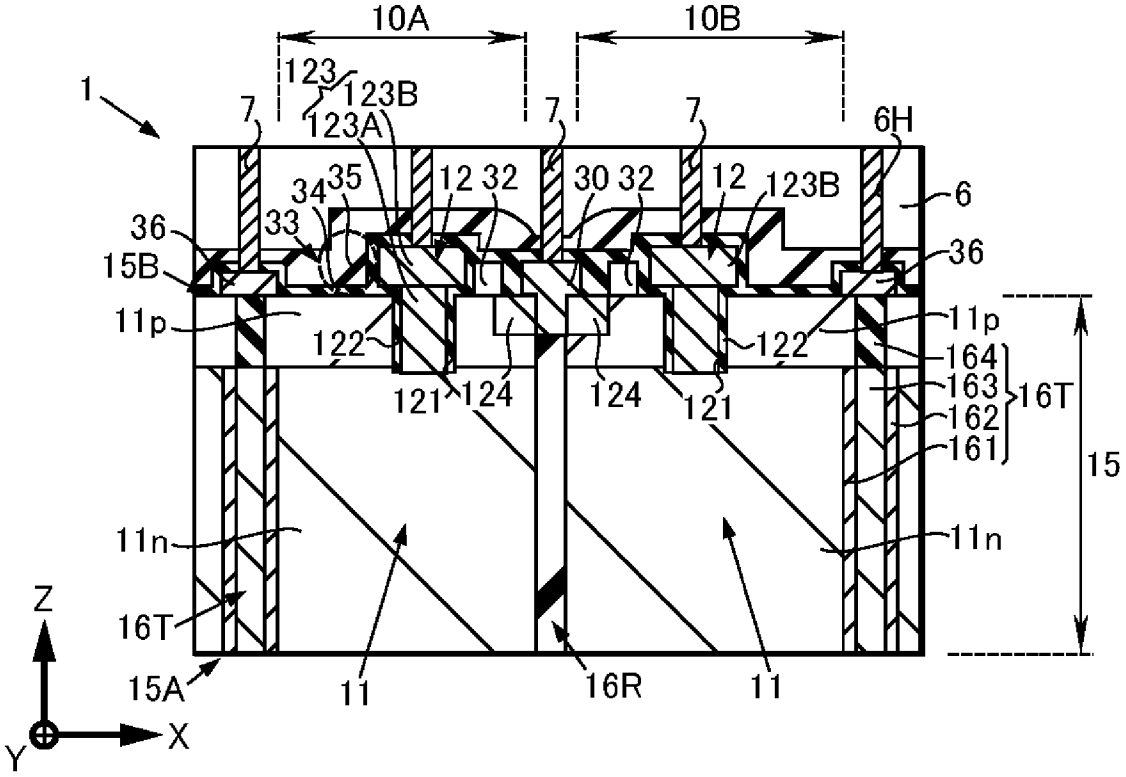
[図67]


10A
10B
123B
34
35
12
32
30
32
12
123B
36
33
36
15B
11p
11p
164
163
16
162
161
15
124
124
11n
11n
Z
16
15A
11
16
11
Y
X

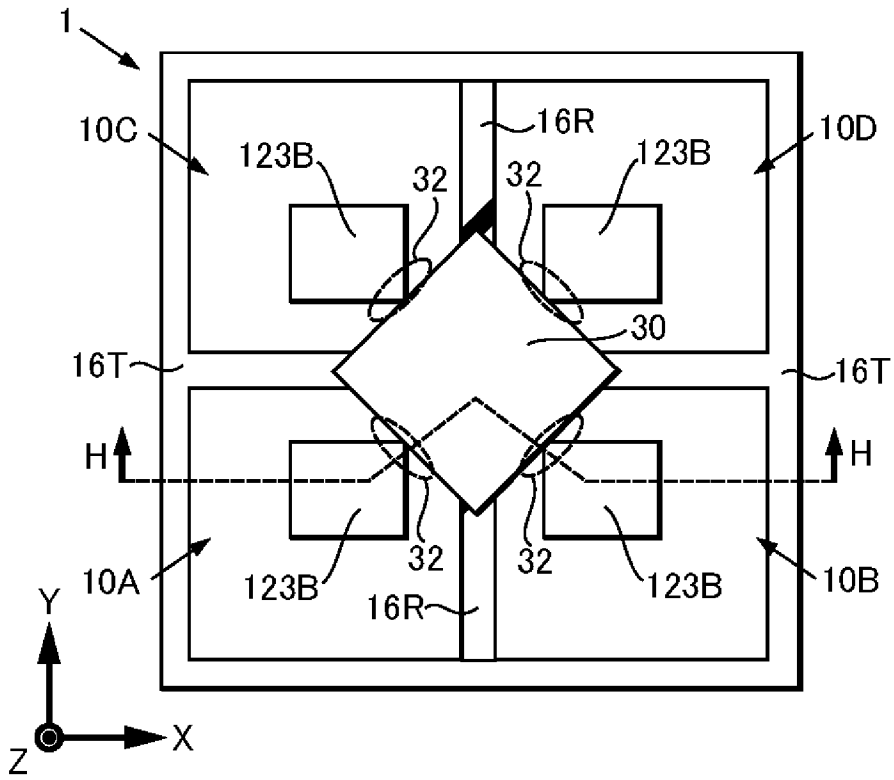
[図68]


1
10C
123B
16I
32
32
123B
10D
30
16
16
10A
123B
32
16I
32
123B
10B
Y
Z
X

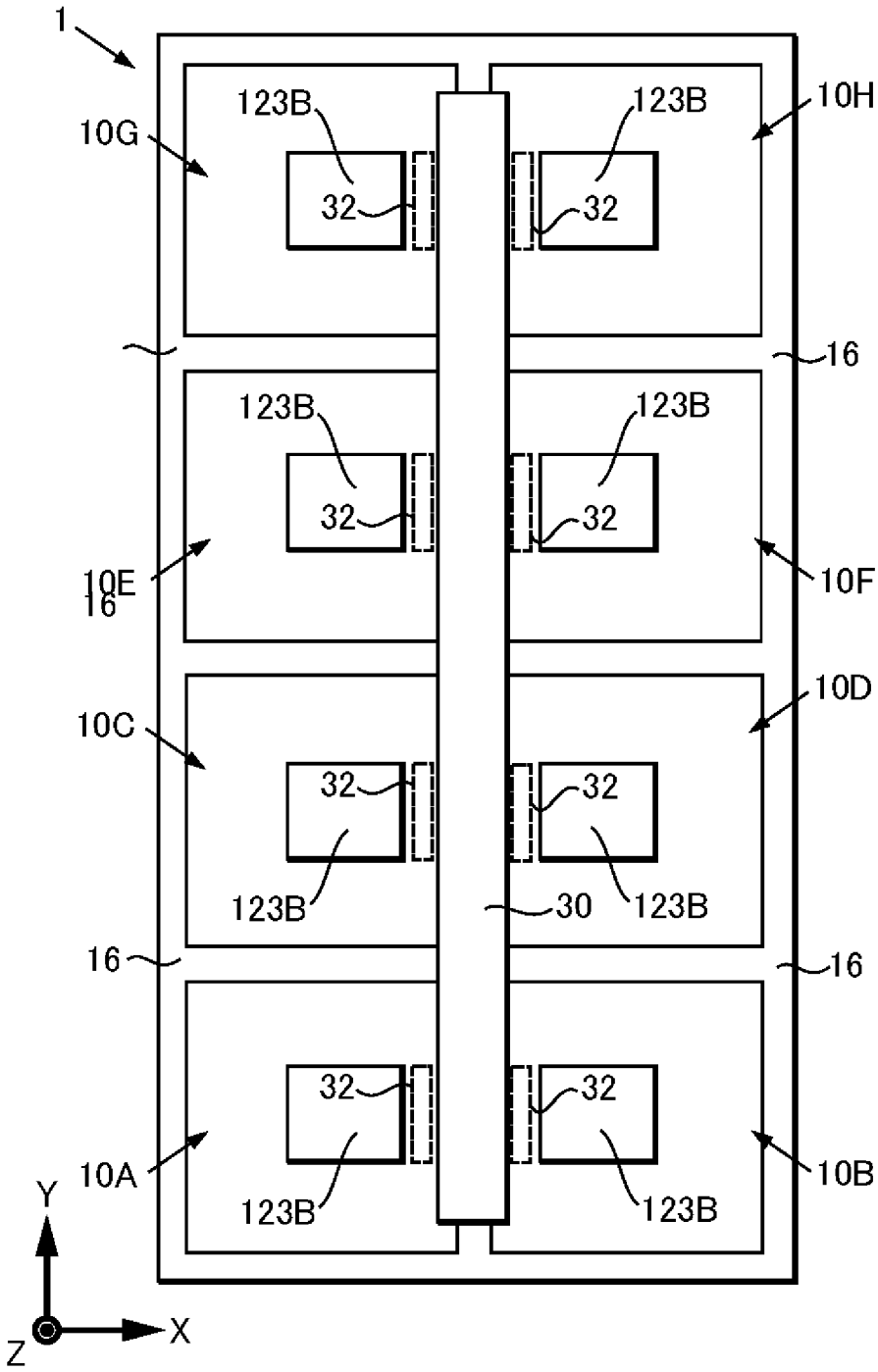
[図69]


10A
10B
1
123
123B
123A
7
6H
35
34
33
12 32
30 32
12
123B
6
36
15B
11p
122
121
124
164
163
162
161
16T
15
11n
Z
Y
X
16T
15A
11
16R

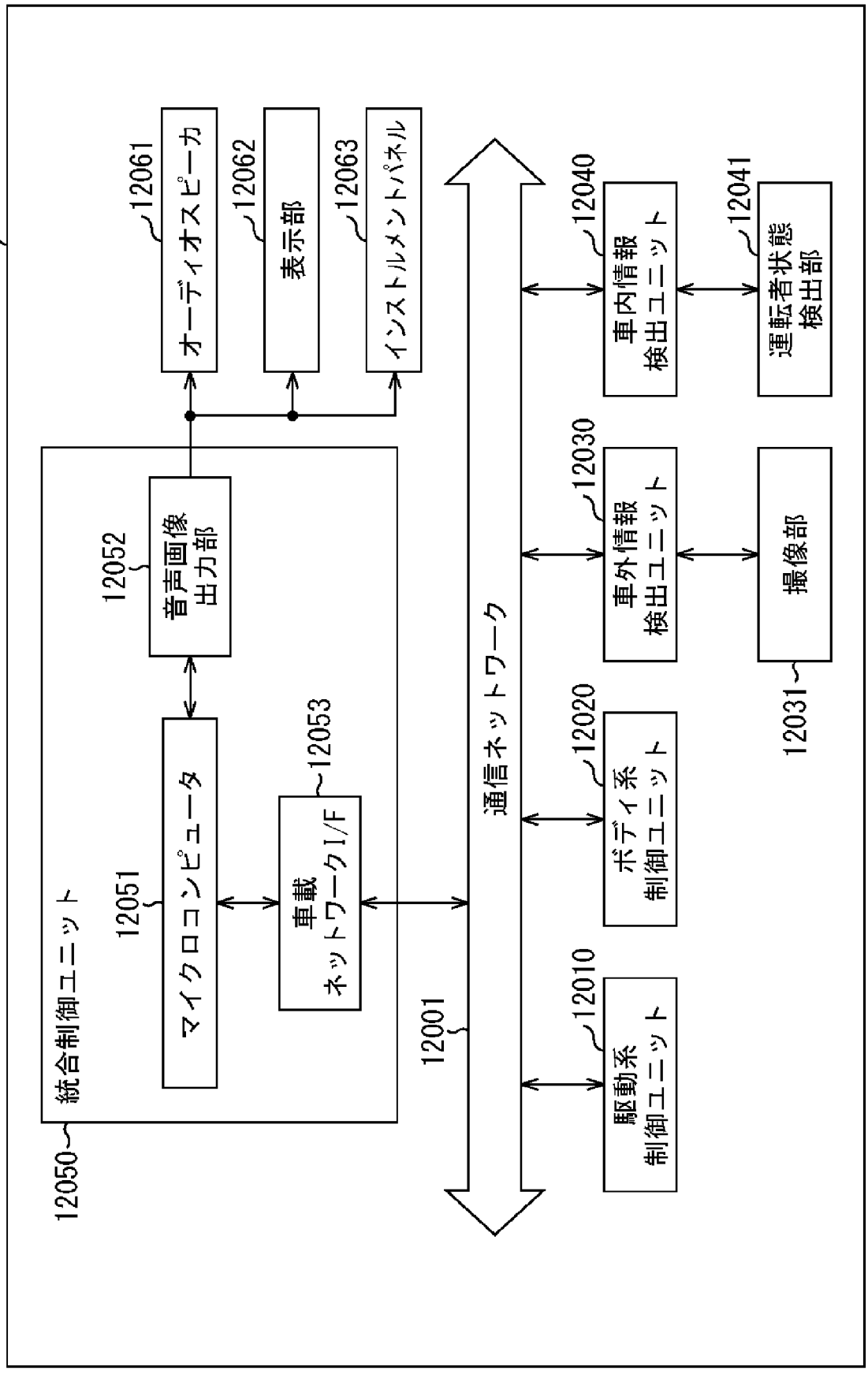
[図70]


1
10C
10D
16R
123B
32
30
16T
H
10A
10B
Y
X
Z

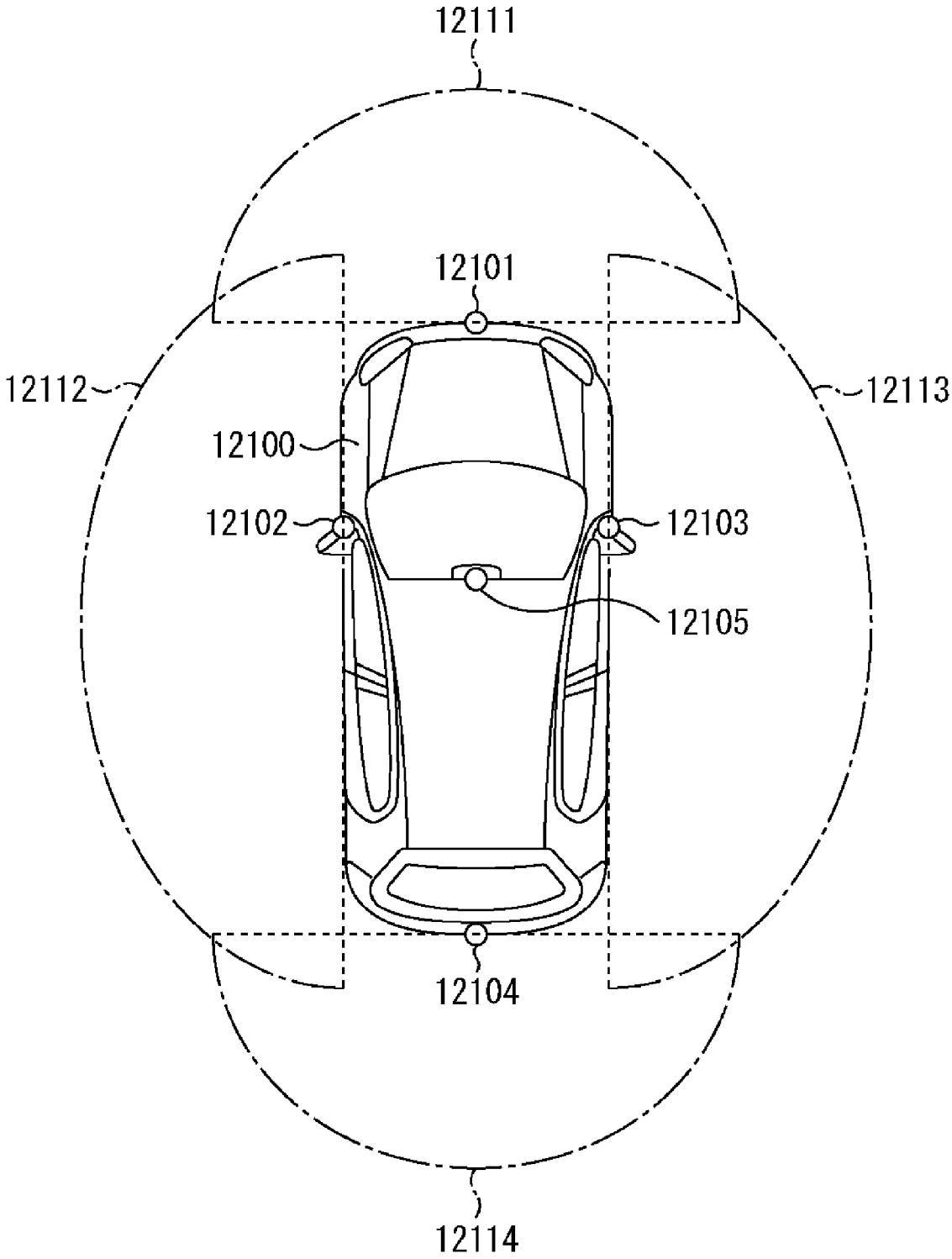
[図71]


1
10G
123B
32
123B
32
10H
16
123B
32
123B
32
10E
16
10F
10D
10C
32
32
123B
30
123B
16
16
32
32
10A
123B
123B
10B
Y
X
Z

[図72]


12000
12061
オーディオスピーカ
12062
表示部
12063
インストルメントパネル
12040
車内情報
検出ユニット
12041
運転者状態
検出部
12030
車外情報
検出ユニット
撮像部
12031
12020
ボディ系
制御ユニット
12010
駆動系
制御ユニット
通信ネットワーク
12001
12050
統合制御ユニット
12052
音声画像
出力部
12051
マイクロコンピュータ
12053
車載
ネットワークI/F

[図73]


12111
12101
12112
12113
12100
12102
12103
12105
12104
12114

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2023/029670

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/146(2006.01)i
FI: H01L27/146 A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2021-5675 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 14 January 2021 (2021-01-14) paragraphs [0029], [0033], [0045], [0047], [0050], [0058], [0068], [0070], [0074], [0088], [0090], [0189], [0200], fig. 1-27	1-3, 5, 6, 10, 11
Y		7-9, 12-14
A		4
Y	WO 2019/220945 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 21 November 2019 (2019-11-21) paragraphs [0153], [0154], fig. 1-24	7
Y	WO 2020/262320 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 30 December 2020 (2020-12-30) paragraph [0079], fig. 1-104	8, 9
Y	JP 2016-18919 A (RENESAS ELECTRONICS CORP.) 01 February 2016 (2016-02-01) paragraphs [0038], [0039], fig. 1-45	12-14

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
19 October 2023	**31 October 2023**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2023/029670

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2022-94729 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 27 June 2022 (2022-06-27) paragraphs [0045], [0046], fig. 1-22	12, 13

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/029670

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2021-5675 A	14 January 2021	WO 2020/262265 A1 paragraphs [0029], [0033], [0045], [0047], [0050], [0058], [0068], [0070], [0074], [0088], [0090], [0189], [0200], fig. 1-27	
WO 2019/220945 A1	21 November 2019	US 2021/0136310 A1 paragraphs [0175], [0176], fig. 1-24 EP 3796386 A1	
WO 2020/262320 A1	30 December 2020	US 2022/0353449 A1 paragraph [0265], fig. 1-104	
JP 2016-18919 A	01 February 2016	US 2016/0013239 A1 paragraphs [0109], [0110], fig. 1-45	
JP 2022-94729 A	27 June 2022	WO 2022/130791 A1 paragraphs [0045], [0046], fig. 1-22	

国際調査報告

国際出願番号
PCT/JP2023/029670

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 27/146(2006.01)i
FI: H01L27/146 A

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L27/146

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２３年
日本国実用新案登録公報	１９９６－２０２３年
日本国登録実用新案公報	１９９４－２０２３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2021-5675 A (ソニーセミコンダクタソリューションズ株式会社) 14.01.2021 (2021-01-14) 段落0029,0033,0045,0047,0050,0058,0068,0070,0074,0088,0090,0189,0200,図1-27	1-3,5,6,10,11
Y		7-9,12-14
A		4
Y	WO 2019/220945 A1 (ソニーセミコンダクタソリューションズ株式会社) 21.11.2019 (2019-11-21) 段落0153,0154,図1-24	7
Y	WO 2020/262320 A1 (ソニーセミコンダクタソリューションズ株式会社) 30.12.2020 (2020-12-30) 段落0079,図1-104	8,9
Y	JP 2016-18919 A (ルネサスエレクトロニクス株式会社) 01.02.2016 (2016-02-01) 段落0038,0039,図1-45	12-14

☑ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
19.10.2023	31.10.2023

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
小山　満 5F 9458

電話番号 03-3581-1101 内線 3516

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2022-94729 A (ソニーセミコンダクタソリューションズ株式会社) 27.06.2022 (2022-06-27) 段落0045,0046,図1-22	12,13

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2023/029670

引用文献	公表日	パテントファミリー文献	公表日
JP 2021-5675 A	14.01.2021	WO 2020/262265 A1 段落 0029,0033,0045,0047,0050,0058,0068,0070,0074,0088,0090,0189,020 図1-27	
WO 2019/220945 A1	21.11.2019	US 2021/0136310 A1 段落0175,0176,図1-24 EP 3796386 A1	
WO 2020/262320 A1	30.12.2020	US 2022/0353449 A1 段落0265,図1-104	
JP 2016-18919 A	01.02.2016	US 2016/0013239 A1 段落0109,0110,図1-45	
JP 2022-94729 A	27.06.2022	WO 2022/130791 A1 段落0045,0046,図1-22	