



(12) 发明专利

(10) 授权公告号 CN 101290876 B

(45) 授权公告日 2012. 03. 28

(21) 申请号 200810088335. 8

(22) 申请日 2008. 03. 28

(30) 优先权数据

2007-112140 2007. 04. 20 JP

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 山崎舜平 比嘉荣二 永野庸治

沟井达也 下村明久

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 范征

(51) Int. Cl.

H01L 21/20 (2006. 01)

H01L 21/762 (2006. 01)

H01L 21/84 (2006. 01)

H01L 21/336 (2006. 01)

(56) 对比文件

US 6534380 B1, 2003. 03. 18, 说明书第 10 栏

第 5 行至第 12 栏第 9 行、图 6A-6K.

US 6110845 A, 2000. 08. 29, 说明书摘要.

CN 1260907 A, 2000. 07. 19, 全文.

US 6927148 B2, 2005. 08. 09, 说明书第 4 栏
第 55 行至第 7 栏第 55 行、图 1.

审查员 蒋煜婧

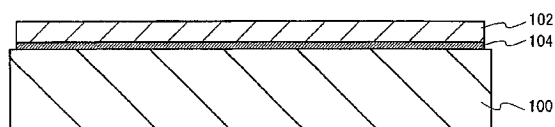
权利要求书 2 页 说明书 21 页 附图 21 页

(54) 发明名称

SOI 基板的制造方法

(57) 摘要

本发明提供一种具有 SOI 层的 SOI 基板, 该 SOI 基板即使使用玻璃基板等耐热温度低的基板也可以耐受实际使用。本发明还提供一种使用所述 SOI 基板的半导体装置。为了将单晶半导体基板接合到玻璃基板等基底基板, 接合层例如使用以有机硅烷为原料通过 CVD 法而形成的氧化硅膜。即使使用玻璃基板等耐热温度为 700℃ 以下的基板, 也可以形成接合部具有高结合力的 SOI 基板。另外, 通过将激光照射到从单晶半导体基板分离了的半导体层, 将其表面平坦化, 并恢复其结晶性。



1. 一种 SOI 基板的制造方法,其特征在于,包括如下步骤:

在半导体基板中形成离子引入层;

在所述半导体基板上,以有机硅烷为硅源气体通过化学气相沉积法形成氧化硅膜;

将所述半导体基板介以所述氧化硅膜接合到基底基板;

通过加热所述半导体基板在所述离子引入层分离所述半导体基板的一部分,在所述基底基板上形成半导体层;以及

通过用激光束照射所述半导体层,使所述半导体层的至少一部分熔化,

所述离子引入层通过如下方法形成:以卤素气体为源气体,用由所述卤素气体产生的离子照射所述半导体基板,然后以氢气为源气体,用由所述氢气产生的离子照射所述半导体基板。

2. 如权利要求 1 所述的 SOI 基板的制造方法,其特征在于,还包括如下步骤:在形成所述离子引入层之前,在所述半导体基板上形成绝缘层。

3. 如权利要求 2 所述的 SOI 基板的制造方法,其特征在于,所述绝缘层是包括氮化硅膜及氮氧化硅膜中的至少一方的单层膜或层叠两层以上的膜而成的多层膜。

4. 如权利要求 1 所述的 SOI 基板的制造方法,其特征在于,在形成所述氧化硅膜之前,在所述半导体基板中形成所述离子引入层。

5. 如权利要求 4 所述的 SOI 基板的制造方法,其特征在于,用于形成所述氧化硅膜的加热温度是 350℃ 以下,且用于分离所述半导体基板的一部分的加热温度是 400℃ 以上。

6. 如权利要求 4 所述的 SOI 基板的制造方法,其特征在于,用于形成所述氧化硅膜的加热温度是已引入到所述离子引入层的离子不脱离的温度,且用于分离所述半导体基板的一部分的加热温度是已引入到所述离子引入层的离子脱离的温度。

7. 如权利要求 1 所述的 SOI 基板的制造方法,其特征在于,所述离子引入层通过如下方法形成:对由所述源气体产生的所述离子进行质量分离,并用进行了质量分离的离子照射所述半导体基板。

8. 如权利要求 1 所述的 SOI 基板的制造方法,其特征在于,所述由氢气产生的离子包含 H_3^+ 离子。

9. 一种 SOI 基板的制造方法,其特征在于,包括如下步骤:

在半导体基板中形成离子引入层;

在所述半导体基板上形成第一接合层;

在基底基板上形成第二接合层;

将所述半导体基板介以所述第一接合层和所述第二接合层接合到所述基底基板;

通过加热所述半导体基板在所述离子引入层分离所述半导体基板的一部分,在所述基底基板上形成半导体层;以及

通过用激光束照射所述半导体层,使所述半导体层的至少一部分熔化,

其中,所述第一接合层和所述第二接合层中的至少一方是以有机硅烷为硅源气体通过化学气相沉积法而形成的氧化硅膜;

所述离子引入层通过如下方法形成:以卤素气体为源气体,用由所述卤素气体产生的离子照射所述半导体基板,然后以氢气为源气体,用由所述氢气产生的离子照射所述半导体基板。

10. 如权利要求 9 所述的 SOI 基板的制造方法,其特征在于,还包括如下步骤:在所述基底基板上形成绝缘层。

11. 如权利要求 10 所述的 SOI 基板的制造方法,其特征在于,所述绝缘层是包括氮化硅膜及氮氧化硅膜中的至少一方的单层膜或层叠两层以上的膜而成的多层膜。

12. 如权利要求 9 所述的 SOI 基板的制造方法,其特征在于,在形成所述第一接合层之前,在所述半导体基板中形成所述离子引入层。

13. 如权利要求 9 所述的 SOI 基板的制造方法,其特征在于,所述离子引入层通过如下方法形成:对由所述源气体产生的所述离子进行质量分离,并用进行了质量分离的离子照射所述半导体基板。

14. 如权利要求 9 所述的 SOI 基板的制造方法,其特征在于,所述由氢气产生的离子包含 H_3^+ 离子。

15. 一种 SOI 基板的制造方法,包括如下步骤:

在半导体基板中形成离子引入层;

在所述半导体基板上形成接合层;

将所述半导体基板介以所述接合层接合到基底基板;

通过加热所述半导体基板在所述离子引入层分离所述半导体基板的一部分,在所述基底基板上形成半导体层;以及

通过用激光束照射所述半导体层,使所述半导体层的至少一部分熔化,

所述离子引入层通过如下方法形成:以卤素气体为源气体,用由所述卤素气体产生的离子照射所述半导体基板,然后以氢气为源气体,用由所述氢气产生的离子照射所述半导体基板,其中,所述由氢气产生的离子包含 H_3^+ 离子。

16. 如权利要求 15 所述的 SOI 基板的制造方法,其特征在于,还包括如下步骤:在形成所述离子引入层之前,在所述半导体基板上形成绝缘层。

17. 如权利要求 16 所述的 SOI 基板的制造方法,其特征在于,所述绝缘层是包括氮化硅膜及氮氧化硅膜中的至少一方的单层膜或层叠两层以上的膜而成的多层膜。

18. 如权利要求 15 所述的 SOI 基板的制造方法,其特征在于,在形成所述接合层之前,在所述半导体基板中形成所述离子引入层。

19. 如权利要求 18 所述的 SOI 基板的制造方法,其特征在于,用于形成所述接合层的加热温度是 350°C 以下,且用于分离所述半导体基板的一部分的加热温度是 400°C 以上。

20. 如权利要求 18 所述的 SOI 基板的制造方法,其特征在于,用于形成所述接合层的加热温度是已引入到所述离子引入层的离子不脱离的温度,且用于分离所述半导体基板的一部分的加热温度是已引入到所述离子引入层的离子脱离的温度。

21. 如权利要求 15 所述的 SOI 基板的制造方法,其特征在于,所述由氢气产生的离子还包含 H^+ 离子和 H_2^+ 离子,且相对于 H^+ 、 H_2^+ 、 H_3^+ 离子的总数量的 H_3^+ 离子的数量比例为 70% 以上。

SOI 基板的制造方法

技术领域

[0001] 本发明涉及 SOI (Silicon on Insulator ; 绝缘硅) 基板, 还涉及使用 SOI 基板而制成的半导体装置。在本说明书中, 半导体装置是指所有能够通过利用半导体特性而工作的装置, 电气光学装置、半导体电路及电子设备都是半导体装置。

背景技术

[0002] 正在对使用在绝缘表面上设置有薄单晶半导体层的被称为 SOI 基板的半导体基板的集成电路进行开发, 来代替将单晶半导体的锭 (ingot) 切成薄片而制成的硅片。通过使用 SOI 基板, 可以降低晶体管的漏极和基板之间的寄生电容, 因此能够提高半导体集成电路的性能的 SOI 基板引人注目。

[0003] 作为制造 SOI 基板的方法, 已知氢离子注入剥离法 (也称为智能剥离 (Smart-cut) 法) (例如参照专利文献 1)。专利文献 1 的 SOI 形成方法的概要如下: 通过将氢离子注入到硅片, 在离表面规定深度处形成微小气泡层, 并将注入有氢离子的硅片以氧化硅膜接合到另一硅片。然后, 通过进行加热处理, 使该微小气泡层成为劈开面, 而将注入有氢离子的硅片剥离成薄膜形状。氢离子注入剥离法有时被称为智能剥离法。

[0004] 因氢离子注入而产生的损伤层残留在剥离后的 SOI 基板表面上。专利文献记载了去除该损伤层的方法。在专利文献 1 中, 在进行剥离步骤之后, 通过在氧化性气氛下进行热处理, 在 SOI 基板表面上形成氧化膜, 在去除该氧化膜之后, 在 $1000^{\circ}\text{C} \sim 1300^{\circ}\text{C}$ 的还原性气氛下进行热处理。

[0005] 另外, 已知将从硅片分离的硅层贴合在玻璃基板上而得的 SOI 基板 (例如参照专利文献 2 及 3)。

[0006] 专利文献 1 美国专利第 6372609 号说明书

[0007] 专利文献 2 日本专利特开 2004-087606 号公报

[0008] 专利文献 3 日本专利特开平 11-163363 号公报

发明内容

[0009] 本发明的目的在于使用用来制造液晶面板的玻璃基板等耐热温度低的基板提供 SOI 基板。本发明的目的还在于提供一种使用该 SOI 基板的半导体装置。

[0010] 为了制造 SOI 基板, 将半导体基板表面的凹凸平滑化, 并设置具有亲水性表面的层作为接合层。作为接合层的一个例子, 使用以有机硅烷为硅源气体通过化学气相沉积 (CVD) 法而形成的氧化硅膜。作为有机硅烷气体, 可以适用硅酸乙酯 (四乙氧基硅烷, 简称 TEOS, 化学式: $\text{Si}(\text{OC}_2\text{H}_5)_4$)、三甲基硅烷 (TMS: $(\text{CH}_3)_3\text{SiH}$)、四甲基环四硅氧烷 (TMCTS)、八甲基环四硅氧烷 (OMCTS)、六甲基二硅氮烷 (HMDS)、三乙氧基硅烷 ($\text{SiH}(\text{OC}_2\text{H}_5)_3$)、三 (二甲氨基) 硅烷 ($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 等含硅化合物。

[0011] SOI 基板的半导体层的上表面由于从半导体基板分离而产生凹凸, 平坦度受损。因此, 照射激光, 以提高平坦性。通过照射激光将分离时产生在半导体层上表面的凸部及凹部

熔化,并将它固化,从而可以将半导体层的上表面平坦化。

[0012] 通过形成接合层,可以以 700℃以下的温度从半导体基板分离半导体层并将它固定于基底基板。即使使用玻璃基板等耐热温度为 700℃以下的基板,也可以形成其接合面具有高结合力的 SOI 基板。

[0013] 作为固定半导体层的基底基板,可以使用诸如铝硅酸盐玻璃、铝硼硅酸盐玻璃、钡硼硅酸盐玻璃等被称为无碱玻璃的电子工业用的各种玻璃基板。即,可以在一边超过 1 米的基板上形成单晶半导体层。通过使用这种大面积基板,除了诸如液晶显示器等显示装置以外,还可以制造各种各样的半导体装置。

[0014] 通过照射激光,可以将从半导体基板分离的半导体层平坦化。另外,通过照射激光,可以恢复半导体层的结晶性。

附图说明

[0015] 图 1 是表示 SOI 基板的结构的截面图。

[0016] 图 2 是表示 SOI 基板的结构的截面图。

[0017] 图 3 是表示 SOI 基板的结构的截面图。

[0018] 图 4 是说明 SOI 基板的制造方法的截面图。

[0019] 图 5 是说明 SOI 基板的制造方法的截面图。

[0020] 图 6 是说明 SOI 基板的制造方法的截面图。

[0021] 图 7 是说明 SOI 基板的制造方法的截面图。

[0022] 图 8 是说明使用 SOI 基板的半导体装置的制造方法的截面图。

[0023] 图 9 是说明使用 SOI 基板的半导体装置的制造方法的截面图。

[0024] 图 10 是表示使用 SOI 基板而制成的微处理器的结构的框图。

[0025] 图 11 是表示使用 SOI 基板而制成的 RFCPU 的结构的框图。

[0026] 图 12 是说明实施例 1 的 SOI 基板的制造方法的截面图。

[0027] 图 13 是通过 EBSP 得到的单晶硅层的 IPF 图。

[0028] 图 14A 是表示对应于激光能量密度的单晶硅层的拉曼位移峰波数的图,而图 14B 是表示对应于激光能量密度的单晶硅层的拉曼光谱的半峰全宽的图。

[0029] 图 15 表示单晶硅层表面的观察图像,其中包括基于光学显微镜的暗视野图像、基于原子力显微镜的观察图像(AFM 图像)以及根据 AFM 图像计算出的表面粗糙度。

[0030] 图 16 是氢离子种(イオン種)的能级图。

[0031] 图 17 是示出离子的质量分析结果的图。

[0032] 图 18 是示出离子的质量分析结果的图。

[0033] 图 19 是当加速电压为 80kV 时的氢元素的沿深度方向的分布(计算值及实测值)的图。

[0034] 图 20 是当加速电压为 80kV 时的氢元素的沿深度方向的分布(计算值、实测值以及拟合函数)的图。

[0035] 图 21 是当加速电压为 60kV 时的氢元素的沿深度方向的分布(计算值、实测值以及拟合函数)的图。

[0036] 图 22 是当加速电压为 40kV 时的氢元素的沿深度方向的分布(计算值、实测值以

及拟合函数)的图。

[0037] 图 23 是图 20 ~ 22 所示的拟合函数的拟合参数(氢元素比及氢离子种比)的表。

[0038] 符号的说明

[0039] 100 基底基板

[0040] 101 半导体基板

[0041] 102 半导体层

[0042] 103 离子注入层

[0043] 104 第一接合层

[0044] 105 绝缘层

[0045] 106 第二接合层

[0046] 110 半导体层

[0047] 120 绝缘层

[0048] 125 离子流

[0049] 126 激光

[0050] 155 氮化硅层

[0051] 156 氧化硅层

[0052] 157 氮化硅层

[0053] 158 元件分离绝缘层

[0054] 159 栅极绝缘层

[0055] 160 栅电极

[0056] 161 侧壁绝缘层

[0057] 162 第一杂质区域

[0058] 163 第二杂质区域

[0059] 164 绝缘层

[0060] 165 沟道形成区域

[0061] 166 层间绝缘层

[0062] 167 接触孔

[0063] 170 接触插塞

[0064] 171 绝缘层

[0065] 200 微处理器

[0066] 201 运算电路

[0067] 202 运算电路控制部

[0068] 203 指令分析部

[0069] 204 中断控制部

[0070] 205 时序控制部

[0071] 206 寄存器

[0072] 207 寄存器控制部 207

[0073] 208 总线接口

[0074] 209 只读存储器

[0075]	210	存储器接口
[0076]	211	RFCPU
[0077]	212	模拟电路部
[0078]	213	数字电路部
[0079]	214	谐振电路
[0080]	215	整流电路
[0081]	216	恒压电路
[0082]	217	复位电路
[0083]	218	振荡电路
[0084]	219	解调电路
[0085]	220	调制电路
[0086]	221	RF 接口
[0087]	222	控制寄存器
[0088]	223	时钟控制器
[0089]	224	接口
[0090]	225	中央处理单元
[0091]	226	随机存取存储器
[0092]	227	只读存储器
[0093]	228	天线
[0094]	229	电容部
[0095]	230	电源管理电路
[0096]	500	玻璃基板
[0097]	501	单晶硅片
[0098]	502	氧氮化硅膜
[0099]	503	氮氧化硅膜
[0100]	504	离子注入层
[0101]	505	氧化硅膜
[0102]	506	单晶硅层
[0103]	507	单晶硅片
[0104]	508	单晶硅层
[0105]	511	SOI 基板
[0106]	512	SOI 基板
[0107]	521	氢离子
[0108]	522	激光
[0109]	523	箭头

具体实施方式

[0110] 下面,说明本发明。但是,本发明可以通过多种不同的方式实施,只要是本领域的技术人员就可以很容易地理解,其方式和详细内容可以在不脱离本发明的技术思想及其范

围的情况下作各种变更。因此,本发明不应该被解释为仅限定在实施方式及实施例所记载的内容中。

[0111] 图1是表示SOI基板的结构例的截面图。在图1中,附图标记100表示基底基板,102表示半导体层,104表示第一接合层。在图1的SOI基板中,通过接合第一接合层104和基底基板100,半导体层102被固定于基底基板100。

[0112] 基底基板100可以使用由绝缘材料构成的基板、由半导体材料构成的半导体基板、由导电材料构成的基板。基底基板100可以使用耐热温度为700℃以下的基板。具体来说,可以使用诸如铝硅酸盐玻璃、铝硼硅酸盐玻璃、钡硼硅酸盐玻璃等的电子工业用的各种玻璃基板作为基底基板100。另外,基底基板100也可以使用耐热温度超过700℃的基板,也可以使用石英玻璃、蓝宝石基板、诸如硅片等半导体基板、陶瓷基板、不锈钢基板、金属基板等。

[0113] 半导体层102是从半导体基板分离而形成的层。该半导体基板最优选使用单晶半导体基板,但可以使用多晶半导体基板。半导体层102的半导体是硅、硅锗或锗。另外,除此之外,还可以使用镓砷、镓磷等化合物半导体形成半导体层102。半导体层102的厚度可以为5nm~500nm,优选为10nm~200nm。

[0114] 在基底基板100和半导体层102之间形成有第一接合层104。第一接合层104是形成在用来形成半导体层102的半导体基板的表面上的层。第一接合层104优选具有亲水性,氧化硅膜适用于第一接合层104。尤其,优选使用以有机硅烷气体为硅源气体通过化学气相沉积(CVD)法而形成的氧化硅膜。用于形成该氧化硅膜的氧源气体可以使用氧气(O_2 气体)。作为第一接合层104,还可以至少以甲硅烷和 NO_3 为源气体通过等离子体CVD法形成氧氮化硅膜,或者,可以至少以甲硅烷、 NH_3 和 NO_3 为源气体通过等离子体CVD法形成氮氧化硅膜。另外,作为第一接合层104,也可以通过溅射法形成氧化铝。另外,还可以通过将半导体基板氧化而形成第一接合层104。

[0115] 第一接合层104的厚度优选为5nm~500nm。如果是这样的厚度,则可以实现接合形成,能够形成表面平滑的第一接合层104。另外,如果是这样的厚度,还可以缓和与接合的基底基板100的歪斜。

[0116] 作为有机硅烷气体,可以适用四乙氧基硅烷(TEOS:化学式 $Si(OC_2H_5)_4$)、四甲基硅烷(TMS:化学式 $Si(CH_3)_4$)、四甲基环四硅氧烷(TMCTS)、八甲基环四硅氧烷(OMCTS)、六甲基二硅氮烷(HMDS)、三乙氧基硅烷($SiH(OC_2H_5)_3$)、三(二甲氨基)硅烷($SiH(N(CH_3)_2)_3$)等含硅化合物。

[0117] 另外,在图1的SOI基板中,可以在基底基板100上也设置与第一接合层104相同的接合层。例如,通过使用以有机硅烷为原料通过CVD法形成的氧化硅作为形成接合面的任一面的材料,可以实现结合力高的接合。

[0118] 图2是表示SOI基板的结构例的截面图。在图2中,附图标记100表示基底基板,102表示半导体层,104表示第一接合层,105表示绝缘层,106表示第二接合层。在图2的SOI基板中,通过接合第一接合层104和第二接合层106,半导体层102被固定于基底基板100。

[0119] 绝缘层105由单层膜或两层以上的膜层叠而得的多层膜构成。通过使绝缘层105包括一层以上的如氮化硅膜或氮氧化硅膜等组成中包含氮和硅的绝缘膜,可以防止诸如

碱金属或碱土金属等可动离子杂质从用作基底基板 100 的玻璃基板扩散而污染半导体层 102。另外,可以形成金属或金属化合物等的导电层、非晶硅等的半导体层代替绝缘层 105。

[0120] 第二接合层 106 是形成在基底基板 100 上的膜,优选由与第一接合层相同的材料构成的膜,较好是氧化硅膜。第二接合层 106 与第一接合层 104 同样,可以使用以有机硅烷气体为硅源气体通过 CVD 法而形成的氧化硅膜。另外,可以使用以除有机硅烷以外的气体为硅源气体而形成的氧化硅膜。另外,可以不形成绝缘层 105 的状态下将第二接合层 106 形成在基底基板 100 上。

[0121] 在图 2 中,可以在绝缘层 105 和基底基板 100 之间形成绝缘膜、半导体膜及导电膜。所形成的膜可以是单层膜或多层膜。另外,在图 2 中,可以在绝缘层 105 和第二接合层 106 之间形成绝缘膜、半导体膜或导电膜,所形成的膜可以是单层膜或多层膜。

[0122] 在图 2 中,可以不设置绝缘层 105。在此情况下,也可以在第二接合层 106 和基底基板 100 之间形成绝缘膜、半导体膜或导电膜,所形成的膜可以是单层膜或多层膜。在图 2 中,可以省略第二接合层 106。在此情况下,通过接合第一接合层 104 和绝缘层 105,半导体层 102 被固定于基底基板 100。

[0123] 图 3 是表示 SOI 基板的结构例的截面图。在图 3 中,附图标记 100 表示基底基板,102 表示半导体层,104 表示第一接合层,120 表示绝缘层。在图 3 的 SOI 基板中,通过接合第一接合层 104 和基底基板 100,半导体层 102 被固定于基底基板 100。

[0124] 绝缘层 120 是形成在分离半导体层 102 的半导体基板侧,具有单层结构或叠层结构。绝缘层 120 优选包括至少一层组成中至少包含氮的绝缘膜。作为这种组成中包含氮的绝缘膜,可以举出氮化硅膜、氮氧化硅膜。通过形成氮化硅膜、氮氧化硅膜,可以防止可动离子或水分等杂质扩散至半导体层 102 而造成污染。

[0125] 例如,绝缘层 120 可以使用如下结构的膜:自半导体层 102 侧层叠了氧氮化硅膜和氮氧化硅膜的两层结构的绝缘膜;自半导体层 102 侧层叠了氧化硅膜和氮氧化硅膜的两层结构的绝缘膜;自半导体层 102 侧层叠了氧化硅膜和氮化硅膜的两层结构的绝缘膜;由氮化硅构成的单层结构的绝缘膜。

[0126] 这里,氧氮化硅是指在其组成中氧含量多于氮含量的物质。例如,作为氧氮化硅,可以举出如下的物质:氧含量在 55 原子%~65 原子%的范围内,氮含量在 1 原子%~20 原子%的范围内,Si 含量在 25 原子%~35 原子%的范围内,氢含量在 0.1 原子%~10 原子%的范围内。作为氧氮化硅,还可以举出如下的物质:氧含量在 50 原子%~70 原子%的范围内,氮含量在 0.5 原子%~15 原子%的范围内,Si 含量在 25 原子%~35 原子%的范围内,氢含量在 0.1 原子%~10 原子%的范围内。另外,氮氧化硅是指在其组成中氮含量多于氧含量的物质。例如,作为氮氧化硅,可以举出如下的物质:氧含量在 15 原子%~30 原子%的范围内,氮含量在 20 原子%~35 原子%的范围内,Si 含量在 25 原子%~35 原子%的范围内,氢含量在 15 原子%~25 原子%的范围内。作为氮氧化硅,还可以举出如下的物质:氧含量在 5 原子%~30 原子%的范围内,氮含量在 20 原子%~55 原子%的范围内,Si 含量在 25 原子%~35 原子%的范围内,氢含量在 10 原子%~30 原子%的范围内。

[0127] 下面,参照图 4~5 说明图 1 所示的 SOI 基板的制造方法。图 4~5 是用于说明 SOI 基板的制造方法的截面图。

[0128] 如图 4A 所示,准备半导体基板 101。半导体层 102 由半导体基板 101 的切片构成。

半导体基板 101 可以使用单晶半导体基板。作为单晶半导体基板,可以使用单晶硅基板、单晶硅锗基板或单晶锗基板等。另外,还可以使用多晶半导体基板代替单晶半导体基板。除此之外,还可以使用由镓砷、镓磷等化合物半导体构成的单晶半导体基板或多晶半导体基板。

[0129] 首先,清洗半导体基板 101,使其洁净。接着,通过激发源气体(产生源气体的等离子体)产生离子种,如图 4A 所示,由所述源气体产生的离子种被电场加速而成为离子流 125,被照射到所述单晶半导体基板。离子流 125 所包含的离子被注入到半导体基板 101 的离表面规定深度处,形成离子注入层 103。注入离子的深度根据固定于基底基板 100 的半导体层 102 的厚度而决定。半导体层 102 的厚度可以为 5nm ~ 500nm,优选为 10nm ~ 200nm。根据半导体层 102 的厚度,调整离子流 125 的加速电压,从而在规定深度处形成离子注入层 103。上述离子注入步骤是通过将由加速了的离子种构成的离子流 125 照射到半导体基板 101,从而构成离子种的元素引入到半导体基板 101 的步骤。因此,离子注入层 103 是添加有构成离子种的元素的区域。另外,离子注入层 103 还是因加速了的离子种的冲击而失去结晶结构,变脆的层(脆化层)。

[0130] 为了将离子注入到半导体基板 101,可以使用对激发工艺气体而产生的离子种进行质量分离,注入具有规定质量的离子种的离子注入装置。此外,还可以使用注入由工艺气体产生的所有离子种而不进行质量分离的离子掺杂装置。

[0131] 用来形成该离子注入层 103 的源气体可以使用选自氢气、氦及氩等稀有气体、以氟气为代表的卤素气体以及氟化合物气体(例如 BF_3)等卤素化合物气体的一种或多种气体。

[0132] 由氢气(H_2 气体)产生 H^+ 、 H_2^+ 、 H_3^+ ,但在以氢气为源气体的情况下,优选注入到半导体基板 101 最多的为 H_3^+ 。通过注入 H_3^+ 离子,可以提高注入效率,可以缩短注入时间。另外,半导体层自半导体基板 101 的分离变得容易。与离子注入装置相比,离子掺杂装置可以容易由氢气产生 H_3^+ 离子。在使用离子掺杂装置的情况下,优选产生离子流 125 中的 H_3^+ 离子相对于离子种 H^+ 、 H_2^+ 、 H_3^+ 的总量的比例为 70% 以上的离子流 125,该比例更优选为 80% 以上。为了在浅的区域中形成离子注入层 103,需要降低离子的加速电压,但是可以通过提高激发氢气而产生的等离子体中的 H_3^+ 离子的比例,从而将原子状氢(H)高效地添加到半导体基板 101。这是因为如下缘故: H_3^+ 离子具有 H^+ 离子的 3 倍的质量,因此在同一深度添加一个氢原子的情况下, H_3^+ 离子的加速电压可以设定为 H^+ 离子的加速电压的 3 倍。若可提高离子的加速电压,则可以缩短离子照射步骤的生产节拍时间,可以实现生产性和生产率的提高。

[0133] 由于稀有气体由单质元素构成,所以当将由一种元素构成的稀有气体用作源气体时,即使不进行质量分离也可以将相同质量的离子种注入到半导体基板 101,因此形成离子注入层 103 的深度的控制变得容易。

[0134] 另外,也可以通过进行多次的离子注入步骤形成离子注入层 103。在此情况下,每个离子注入步骤中的工艺气体可以不同或相同。这里,说明通过进行两次的离子注入步骤形成离子注入层 103 的例子。

[0135] 例如,以稀有气体为源气体进行离子注入。接着,以氢气为工艺气体进行离子注入。另外,还可使用卤素气体或卤素化合物气体进行离子注入,然后使用氢气进行离子注入。在注入包含氟的离子种的情况下,可以使用 F_2 气体或 BF_3 气体。

[0136] 为了形成离子注入层 103,需要以高剂量条件向半导体基板 101 注入离子,因此有

时半导体基板 101 的表面会变得粗糙。因此,优选在半导体基板 101 的表面上使用氮化硅膜或氮氧化硅膜等以 50nm ~ 200nm 的厚度形成保护该表面的保护膜。

[0137] 接着,如图 4B 所示,在与基底基板 100 接合的面上形成第一接合层 104。这里,形成氧化硅膜作为第一接合层 104。氧化硅膜优选以有机硅烷气体为硅源气体通过 CVD 法形成。除了有机硅烷气体以外,还可以使用 SiH_4 、 Si_2H_6 、 SiCl_4 、 SiHCl_3 、 SiH_2Cl_2 、 SiH_3Cl_3 、 SiF_4 等作为硅源气体。可以使用氧气作为用来形成该氧化硅膜的氧源气体。作为 CVD 法,可以选择等离子体 CVD 法或减压 CVD 法。

[0138] 在形成第一接合层 104 的步骤中,半导体基板 101 的加热温度优选为注入到离子注入层 103 的元素或分子不脱离的温度,即不发生脱气的温度,该加热温度优选为 350℃ 以下。因此,优选通过使用等离子体 CVD 法形成第一接合层 104。另外,用于从半导体基板 101 分离半导体层的热处理温度适合采用比第一接合层 104 的成膜温度高的温度。

[0139] 在形成图 3 的 SOI 基板的情况下,在形成第一接合层 104 之前形成绝缘层 120。例如,可以以 SiH_4 及 NH_3 为工艺气体通过等离子体 CVD 法形成氮化硅膜。另外,可以以 SiH_4 及 N_2O 为工艺气体通过等离子体 CVD 法形成氧氮化硅膜或氧化硅膜。在半导体基板 101 为硅基板的情况下,可以通过将半导体基板 101 氮化(或氧化)形成氮化硅膜(或氧化硅膜)。在此情况下,可以通过将半导体基板 101 氮化及氧化而形成氮氧化硅膜或氧氮化硅膜。

[0140] 绝缘层 120 既可在形成离子注入层 103 之前形成,也可在形成离子注入层 103 之后形成绝缘层 120。当形成绝缘层 120 所需要的加热温度为自离子注入层 103 发生脱气的温度时,在形成离子注入层 103 之前形成绝缘层 120。

[0141] 图 4C 是说明将基底基板 100 和形成有第一接合层 104 的半导体基板 101 密接,使基底基板 100 和第一接合层 104 接合的步骤的截面图。首先,通过超声波清洗等方法清洗形成接合界面的基底基板 100 和第一接合层 104 的表面。接着,通过使基底基板 100 和第一接合层 104 密合,于基底基板 100 和第一接合层 104 的界面范德华力发生作用,基底基板 100 和第一接合层 104 接合。通过使基底基板 100 和半导体基板 101 密合并对接合界面施加压力,在接合界面形成氢键,第一接合层 104 和基底基板 100 的结合力提高。通过使用以 CVD 法用有机硅烷形成的氧化硅膜作为第一接合层 104,可以在常温下接合基底基板 100 和第一接合层 104,而不需要加热基底基板 100 和半导体基板 101。

[0142] 为了实现良好的接合,也可以在接合之前将基底基板 100 及第一接合层 104 的表面中的至少一方活化。对形成接合界面的面照射原子束或离子束,以进行活化。在此情况下,优选由氩等惰性气体产生中性原子束或离子束。作为活化处理,除此之外,还可以进行等离子体处理或自由基处理。

[0143] 在使基底基板 100 和第一接合层 104 密合之后,可以进行加热处理或加压处理。通过进行加热处理或加压处理,可以提高结合力。加热处理的温度优选为基底基板 100 的耐热温度以下。在加压处理中,沿垂直于接合面的方向施加压力,所施加的压力根据基底基板 100 及半导体基板 101 的强度而决定。

[0144] 图 5A 是用于说明从半导体基板 101 分离半导体层的步骤的截面图。首先,接合基底基板 100 和第一接合层 104 后,进行加热半导体基板 101 的热处理。通过进行热处理,形成在离子注入层 103 中的微小空洞发生体积变化,在离子注入层 103 中产生裂缝。因此,通过对半导体基板 101 施加力,半导体基板 101 沿离子注入层 103 劈开,半导体基板 101 从基

底基板 100 分离。从半导体基板 101 分离了的半导体层 110 被固定于半导体基板 101 分离之后的基底基板 100。

[0145] 上述热处理的温度优选为第一接合层 104 的成膜温度以上且基底基板 100 的耐热温度以下。由于在 400℃～600℃的加热温度下可以使离子注入层 103 中产生裂缝,所以可以使用如玻璃基板等低耐热性基板作为基底基板 100。

[0146] 另外,通过上述热处理,基底基板 100 和第一接合层 104 的接合界面被加热,因此在接合界面形成共价键,可以提高接合界面的结合力。

[0147] 在图 5A 中,半导体层 110 的上表面是在离子注入层 103 中产生裂缝的面。因此,与在分离之前的半导体基板 101 的上表面相比,半导体层 110 上表面的平坦性受损,形成有凹凸。因而,从半导体层 110 的上方照射激光,以恢复半导体层 110 的上表面的平坦性。再者,通过所述的激光照射,恢复半导体层 110 的结晶性。图 5B 是说明激光照射步骤的截面图。

[0148] 如图 5B 所示,从半导体层 110 的上方照射激光 126。通过照射激光 126,将半导体层 110 熔化。被熔化的部分冷却而固化,由此形成平坦性及结晶性得到提高的半导体层 102。由于通过激光照射而加热了半导体层 110,所以可以使用如玻璃基板等低耐热性基板作为基底基板 100。

[0149] 通过照射激光 126,可将半导体层 110 完全熔化或部分熔化。若以图 5B 的结构为例进行说明,半导体层 110 完全熔化的状态是指从半导体层 110 的上表面熔化到与第一接合层 104 的界面,该部分全部变成液体的状态。另外,部分熔化的状态是指从半导体层 110 的上表面熔化到一定的厚度,残留着固体部分的状态。

[0150] 若通过照射激光 126 将半导体层 110 完全熔化,则由于变成了液相的半导体的表面张力而平坦化,形成表面平坦化了的半导体层 102。另外,完全熔化的区域在凝固过程中从与熔化区域相邻的固相状态的半导体进行结晶生长,而发生横向生长。当半导体基板 101 是单晶半导体基板时,未熔化的部分是单晶半导体,结晶取向一致,因此不形成晶界,进行激光照射处理之后的半导体层 102 成为没有晶界的单晶半导体层。另外,若通过照射激光 126 将半导体层 110 部分熔化,则由于变成了液相的半导体的表面张力而平坦化。同时,因热扩散而液相部分冷却,在半导体层 110 中沿深度方向产生温度梯度,而且固液界面从基底基板 100 侧向半导体层 110 表面移动,重新结晶。即,由于部分熔化,在半导体层 110 中以其下层的未熔化区域为晶种进行重新结晶,发生纵向生长。

[0151] 当使用主表面的面取向为 (100) 的单晶硅片作为半导体基板 101 时,照射激光之前的半导体层 110 是主表面的面取向为 (100) 的单晶硅层。另外,通过照射激光完全熔化或部分熔化而重新结晶得到的半导体层 102 是主表面的面取向为 (100) 的单晶硅层。即,在使用单晶半导体基板的情况下,激光照射步骤是平坦化步骤,而且是再单晶化步骤。

[0152] 振荡激光 126 的激光器可以使用连续振荡激光器、准连续振荡激光器及脉冲振荡激光器中的任何一种。作为适用于本发明的激光器,可以举出 KrF 激光器等准分子激光器,Ar 激光器、Kr 激光器等的气体激光器。除此之外,还可以举出 YAG 激光器、YVO₄ 激光器、YLF 激光器、YA1O₃ 激光器、GdVO₄ 激光器、KGW 激光器、KYW 激光器、紫翠玉激光器、Ti:蓝宝石激光器、Y₂O₃ 激光器等固体激光器。另外,准分子激光器是脉冲振荡激光器,但是 YAG 激光器等固体激光器可以当作连续振荡激光器、准连续振荡激光器或脉冲振荡激光器。

[0153] 激光的波长是被半导体层 110 吸收的波长,可根据激光的趋肤深度 (skin depth) 和半导体层 110 的膜厚等而决定。例如,波长可以为 250nm ~ 700nm。另外,激光的能量也可以根据激光的波长、激光束的趋肤深度、半导体层 110 的膜厚等而决定。根据本发明人的研究,确认半导体层 110 的厚度为 170nm 左右,激光器使用 KrF 准分子激光器,在 $300\text{mJ}/\text{cm}^2 \sim 750\text{mJ}/\text{cm}^2$ 的范围调整激光的能量密度时,半导体层 110 的平坦性及结晶性提高。半导体层 110 表面的平坦性及其结晶性的分析采用基于光学显微镜、原子力显微镜 (AFM; Atomic Force Microscope)、扫描电子显微镜 (SEM; Scanning Electron Microscope) 的观察,电子背散射衍射图样 (EBSP; Electron Back Scatter Diffraction Pattern) 的观察以及拉曼光谱测定。另外,在包含氧的大气气氛下及不包含氧的氮气气氛下进行激光照射。在大气气氛和氮气气氛下,半导体层 110 的平坦性及结晶性都提高。另外,与大气气氛相比,氮气气氛使平坦性提高的效果好,而且抑制开裂的效果好。

[0154] 还可以在一块基底基板 100 上固定多个半导体层 102。例如,通过重复参照图 4A ~ 4C 说明的步骤多次,在基底基板 100 上固定多块半导体基板 101。然后,通过进行参照图 5A 说明的加热步骤来分离各半导体基板 101,可以在基底基板 100 上固定多个半导体层 110。接着,进行图 5B 所示的激光照射步骤,将多个半导体层 110 平坦化,从而形成多个半导体层 102。

[0155] 下面,说明图 2 所示的 SOI 基板的制造方法。首先,进行参照图 4A 和 4B 说明的步骤,如图 6A 所示在半导体基板 101 的离上表面规定深度处形成离子注入层 103,在其上表面形成第一接合层 104。

[0156] 图 6B 是基底基板 100 的截面图。如图 6B 所示,首先将绝缘层 105 形成于基底基板 100 的上表面。例如,可以以 SiH_4 及 NH_3 为工艺气体通过等离子体 CVD 法形成氮化硅膜。还可以使用 SiH_4 、 N_2 及 Ar 作为所述工艺气体。另外,可以以 SiH_4 及 N_2O 为工艺气体通过等离子体 CVD 法形成氧氮化硅膜或氧化硅膜。

[0157] 接着,在绝缘层 105 上形成第二接合层 106。作为第二接合层 106,形成氧化硅膜。当使用以有机硅烷气体为硅源气体通过 CVD 法而形成的氧化硅膜作为第二接合层 106 时,第一接合层 104 的形成方法也可以使用以有机硅烷气体为硅源气体且利用 CVD 法的成膜方法以外的方法。若半导体基板 101 是硅基板,则可以使用通过热氧化而形成的热氧化膜形成第一接合层 104。还可以使用通过对硅基板进行化学氧化物处理而形成的化学氧化物层代替热氧化膜。例如,化学氧化物可以通过使用包含臭氧的水对硅基板表面进行处理而形成。化学氧化物层的平坦性与硅基板的平坦性大致相同,因此优选将化学氧化物层用作接合层。

[0158] 图 6C 是说明将基底基板 100 和形成有第一接合层 104 的半导体基板 101 密接,使第二接合层 106 和第一接合层 104 两者接合的步骤的截面图。通过与以图 4C 说明的接合步骤同样地进行,使第一接合层 104 和第二接合层 106 接合。通过使用通过 CVD 法用有机硅烷而形成的氧化硅膜作为第一接合层 104 及第二接合层 106 中的至少一方,可以在常温下接合第一接合层 104 和第二接合层 106,而不需要加热基底基板 100 和半导体基板 101。

[0159] 在使第一接合层 104 和第二接合层 106 密合之前,优选将第一接合层 104 及第二接合层 106 的表面中的至少一方活化。在活化中,进行照射氩等惰性气体的中性原子束或惰性气体离子束的处理、等离子体处理或自由基处理即可。

[0160] 在使第一接合层 104 和第二接合层 106 密合之后,可以进行加热处理或加压处理。通过进行加热处理或加压处理,可以提高第一接合层 104 和第二接合层 106 的结合力。加热处理的温度优选为基底基板 100 的耐热温度以下。在加压处理中,沿垂直于接合界面的方向施加压力,所施加的压力根据基底基板 100 及半导体基板 101 的强度而决定。

[0161] 图 7A 是用于说明从半导体基板 101 分离半导体层的步骤的截面图。与参照图 5A 说明的加热处理同样地,进行热处理,使离子注入层 103 中产生裂缝。另外,通过进行该热处理,第一接合层 104 和第二接合层 106 的接合界面被加热,因此在接合界面形成共价键,可以提高接合界面的结合力。通过使离子注入层 103 中产生裂缝,半导体基板 101 沿离子注入层 103 劈开,所以可以分离半导体基板 101 和基底基板 100。其结果是,如图 7A 所示,形成由固定有从半导体基板 101 分离的半导体层 110 的基底基板 100 构成的 SOI 基板。

[0162] 图 7B 是用于说明将激光照射到 SOI 基板的步骤的截面图。在分离半导体基板 101 之后,与以图 5B 说明的激光照射步骤同样地,从半导体层 110 的上方照射激光 126,形成表面被平坦化且结晶性提高了的半导体层 102。

[0163] 还可以在一块基底基板 100 上固定多个半导体层 102。例如,通过重复参照图 6A~6C 说明的步骤多次,在基底基板 100 上固定多块半导体基板 101。然后,通过进行参照图 6A 说明的加热步骤来分离各半导体基板 101,可以在基底基板 100 上固定多个半导体层 110。接着,进行图 7B 所示的激光照射步骤,将多个半导体层 110 平坦化,形成多个半导体层 102。

[0164] 通过参照图 4A~7B 说明的 SOI 基板的制造方法,即使使用玻璃基板等耐热温度为 700℃ 以下的基底基板 100,也可以使半导体层 102 和基底基板 100 具有高结合力。作为基底基板 100,可以使用诸如铝硅酸盐玻璃、铝硼硅酸盐玻璃、钡硼硅酸盐玻璃等称为无碱玻璃的电子工业用的各种玻璃基板。即,可以在一边超过 1 米的基板上形成单晶半导体层。通过使用这种大面积基板,可以制造液晶显示器、场致发光显示器。除了这样的显示装置以外,还可以制造半导体集成电路。

[0165] 下面,参照图 8 和图 9 说明使用 SOI 基板的半导体装置的制造方法。这里,虽然使用结构与图 1 的 SOI 基板相同的 SOI 基板,但是也可以使用其它结构的 SOI 基板。

[0166] 如图 8A 所示,在基底基板 100 上介以第一接合层 104 设置有半导体层 102。首先,对应于元件形成区域在半导体层 102 上形成氮化硅层 155、氧化硅层 156。氧化硅层 156 用作刻蚀半导体层 102 以分离元件时的硬掩模。氮化硅层 155 用作刻蚀半导体层 102 时的止蚀层 (etching stopper)。为了控制阈值电压,向半导体层 102 中注入硼、铝、镓等 p 型杂质或砷、磷等 n 型杂质。例如,在使用硼作为 p 型杂质的情况下,以 $5 \times 10^{17} \text{cm}^{-3} \sim 1 \times 10^{18} \text{cm}^{-3}$ 的浓度包含硼即可。

[0167] 图 8B 是用于说明以氧化硅层 156 为掩模刻蚀半导体层 102 及第一接合层 104 的步骤的截面图。对半导体层 102 及第一接合层 104 露出的端面进行等离子体处理而氮化。通过该氮化处理,至少在半导体层 102 的周边端部上形成氮化硅层 157。氮化硅具有绝缘性及耐氧化性。因此,通过形成氮化硅层 157,可以防止电流从半导体层 102 的端面漏出,并防止在半导体层 102 和第一接合层 104 之间氧化膜从端面生长而形成鸟嘴 (bird's beak)。

[0168] 图 8C 是用于说明堆积元件分离绝缘层 158 的步骤的截面图。元件分离绝缘层 158 通过使用 TEOS 和氧以 CVD 法堆积氧化硅膜而形成。如图 8C 所示,堆积厚的元件分离绝缘层 158,从而填充半导体层 102 之间的空隙。

[0169] 图 8D 表示去除元件分离绝缘层 158 直到暴露氮化硅层 155 为止的步骤。该去除步骤既可通过干法刻蚀而进行,又可通过化学机械研磨而进行。氮化硅层 155 成为止蚀层。元件分离绝缘层 158 以填埋于半导体层 102 之间的状态残留。然后,去除氮化硅层 155。

[0170] 接着,如图 8E 所示,形成栅极绝缘层 159、具有两层结构的栅电极 160、侧壁绝缘层 161、第一杂质区域 162、第二杂质区域 163 以及绝缘层 164。通过在半导体层 102 中形成第一杂质区域 162 及第二杂质区域 163,形成沟道形成区域 165。绝缘层 164 由氮化硅构成,并用作刻蚀栅电极 160 时的硬掩模。

[0171] 如图 9A 所示,形成层间绝缘层 166。作为层间绝缘层 166,形成 BPSG(Boron Phosphorus Silicon Glass;硼磷硅玻璃)膜,并通过回流实现平坦化。另外,可以使用 TEOS 形成氧化硅膜并通过化学机械研磨实现平坦化。在平坦化处理中,形成在栅电极 160 上的绝缘层 164 起到止蚀层的作用。在层间绝缘层 166 中形成接触孔 167。接触孔 167 利用侧壁绝缘层 161 形成自对准接触结构。

[0172] 然后,如图 9B 所示,使用六氟化钨通过 CVD 法形成接触插塞 170。再形成绝缘层 171,对应于接触插塞 170 形成开口并设置配线 172。配线 172 由铝或铝合金构成,在上层及下层形成钼、铬、钛等的金属膜作为阻挡金属。

[0173] 如上所述,可以使用与基底基板 100 接合的半导体层 102 制造场效应晶体管。本实施方式的半导体层 102 是具有固定的结晶取向的单晶半导体,因此可以获得均匀且高性能的场效应晶体管。即,可以抑制如值电压值或迁移率等作为晶体管特性重要的特性值的不均匀,实现阈值电压值的降低、迁移率的提高等高性能化。

[0174] 另外,由于将激光照射到半导体层 102 来提高半导体层 102 表面的平坦性,所以可以降低场效应晶体管的沟道形成区域和栅极绝缘层的界面态密度。因此,可以形成具有低驱动电压值、高场效应迁移率、小亚阈值等良好特性的场效应晶体管。

[0175] 通过使用参照图 8 及图 9 说明的场效应晶体管,可以制造各种用途的半导体装置。下面,参照附图说明半导体装置的具体形态。

[0176] 首先,作为半导体装置的一例,说明微处理器。图 10 是表示微处理器 200 的结构例的框图。如上所述,微处理器 200 通过使用本实施方式的 SOI 基板而制成。

[0177] 该微处理器 200 包括运算电路 201(Arithmetic logic unit,也称为 ALU)、运算电路控制部 202(ALU Controller)、指令分析部 203(Instruction Decoder)、中断控制部 204(Interrupt Controller)、时序控制部 205(Timing Controller)、寄存器 206(Register)、寄存器控制部 207(Register Controller)、总线接口 208(Bus I/F)、只读存储器(ROM)209 以及 ROM 接口 210(ROM I/F)。

[0178] 通过总线接口 208 输入到微处理器 200 的指令被输入到指令分析部 203,被译码之后输入到运算电路控制部 202、中断控制部 204、寄存器控制部 207 以及时序控制部 205。运算电路控制部 202、中断控制部 204、寄存器控制部 207 以及时序控制部 205 根据被解码了的指令而进行各种控制。

[0179] 具体来说,运算电路控制部 202 生成用来控制运算电路 201 的动作的信号。中断控制部 204 在微处理器 200 的程序执行中对来自外部输入输出装置或外围电路的中断要求根据其优先级或掩码状态进行判断而处理。寄存器控制部 207 生成寄存器 206 的地址,根据微处理器 200 的状态进行寄存器 206 的数据读出或写入。时序控制部 205 生成控制运算

电路 201、运算电路控制部 202、指令分析部 203、中断控制部 204 及寄存器控制部 207 的时序的信号。

[0180] 例如,时序控制部 205 包括根据基准时钟信号 CLK1 生成内部时钟信号 CLK2 的内部时钟生成部,将内部时钟信号 CLK2 提供给上述各种电路。另外,图 10 所示的微处理器 200 只是简略表示其结构的一例,实际上可以根据其用途具有各种结构。

[0181] 在这样的微处理器 200 中,通过使用接合在具有绝缘表面的基板上或绝缘基板上的具有固定结晶取向的单晶半导体层(SOI 层)形成集成电路,因此不仅可以实现处理速度的高速化,而且还可以实现低耗电量化。

[0182] 下面,说明能够进行非接触的数据收发的具有运算功能的半导体装置的一例。图 11 是表示这样的半导体装置的结构例的框图。图 11 所示的半导体装置是以无线通信与外部装置进行信号收发而工作的计算机(以下称为 RFCPU)。

[0183] 如图 11 所示,RFCPU211 包括模拟电路部 212 和数字电路部 213。模拟电路部 212 包括具有谐振电容的谐振电路 214、整流电路 215、恒压电路 216、复位电路 217、振荡电路 218、解调电路 219、调制电路 220 以及电源管理电路 230。数字电路部 213 包括 RF 接口 221、控制寄存器 222、时钟控制器 223、CPU 接口 224、中央处理单元 225、随机存取存储器 226 以及只读存储器 227。

[0184] 具有这种结构的 RFCPU211 的工作概要如下:天线 228 所接收的信号通过谐振电路 214 产生感应电动势。感应电动势经过整流电路 215 而存储到电容部 229。该电容部 229 优选由陶瓷电容器或双电层电容器等电容器构成。电容部 229 不需要与 RFCPU211 一体形成,也可以作为附加部件安装在构成 RFCPU211 的具有绝缘表面的基板上。

[0185] 复位电路 217 生成将数字电路部 213 复位而初始化的信号。例如,生成相对于电源电压的上升延迟升高的信号作为复位信号。振荡电路 218 根据由恒压电路 216 生成的控制信号改变时钟信号的频率和占空比。解调电路 219 是解调接收信号的电路,而调制电路 220 是调制发送数据的电路。

[0186] 例如,解调电路 219 由低通滤波器构成,将调幅(ASK)方式的接收信号根据其振幅的变动二值化。另外,为了改变调幅(ASK)方式的发送信号的振幅并发送数据,调制电路 220 通过改变谐振电路 214 的谐振点来改变通信信号的振幅。

[0187] 时钟控制器 223 根据电源电压或中央处理单元 225 的消耗电流,生成用来改变时钟信号的频率和占空比的控制信号。电源管理电路 230 监视电源电压。

[0188] 从天线 228 输入到 RFCPU211 的信号被解调电路 219 解调后,在 RF 接口 221 中被分解为控制指令、数据等。控制指令存储在控制寄存器 222 中。控制指令包括存储在只读存储器 227 中的数据的读出、向随机存取存储器 226 的数据写入、向中央处理单元 225 的运算指令等。

[0189] 中央处理单元 225 通过 CPU 接口 224 对只读存储器 227、随机存取存储器 226 及控制寄存器 222 进行存取。CPU 接口 224 具有如下功能:根据中央处理单元 225 所要求的地址,生成对只读存储器 227、随机存取存储器 226 及控制寄存器 222 中的任何一个的存取信号。

[0190] 作为中央处理单元 225 的运算方式,可以采用将 OS(操作系统)预先存储在只读存储器 227 中并在启动的同时读出并执行程序的方式。另外,也可以采用设置专用运算电

路并以硬件方式对运算处理进行处理的方式。作为并用硬件和软件的方式,可以采用如下方式:由专用运算电路进行一部分的处理,使用程序由中央处理单元 225 进行另一部分的运算。

[0191] 在上述 RFCPU211 中,通过使用接合在具有绝缘表面的基板上或绝缘基板上的具有固定结晶取向的单晶半导体层(SOI 层)形成集成电路,因此不仅可以实现处理速度的高速化,而且还可以实现低耗电量化。由此,即使将提供电力的电容部 229 小型化,也可以保证长时间工作。

[0192] 实施例 1

[0193] 本发明人确认了如下事实:通过照射激光,可以将单晶半导体层的结晶性恢复到与加工前的半导体基板大致相同的程度,而且还可以实现单晶半导体层的表面的平坦化。

[0194] 首先,参照图 12A ~ 12H 说明本实施例的 SOI 基板的制造方法。图 12A ~ 12H 是说明 SOI 基板的制造方法的截面图。本实施例的 SOI 基板是玻璃基板上固定有单晶硅层的基板。

[0195] 作为半导体基板,准备单晶硅片 501(参照图 12A)。其导电类型是 P 型,电阻率为 $10\ \Omega \cdot \text{cm}$ 左右。至于结晶取向,主表面为 (100)。

[0196] 首先,在单晶硅片 501 的上表面上形成厚 100nm 的氧氮化硅膜 502,在氧氮化硅膜 502 上形成厚 50nm 的氮氧化硅膜 503(参照图 12B)。通过使用相同的等离子体 CVD 装置,连续形成氧氮化硅膜 502 及氮氧化硅膜 503。氧氮化硅膜 502 的工艺气体为 SiH_4 及 N_2O ,流量比 (sccm) 为 $\text{SiH}_4/\text{N}_2\text{O} = 4/800$ 。成膜步骤的基板温度是 400°C 。氮氧化硅膜 503 的工艺气体为 SiH_4 、 NH_3 、 N_2O 及 H_2 ,流量比 (sccm) 为 $\text{SiH}_4/\text{NH}_3/\text{N}_2\text{O}/\text{H}_2 = 10/100/20/400$ 。成膜步骤的基板温度是 350°C 。

[0197] 接着,使用离子掺杂装置将氢离子 521 注入到单晶硅片 501,从而在单晶硅片 501 中形成离子注入层 504(参照图 12C)。以 100% 氢气为源气体,将激发氢气而产生的等离子体中的离子在不进行质量分离的状态下由电场加速并照射到单晶硅片 501,从而形成离子注入层 504。在本实施例中,氢离子注入步骤重复进行两次,加速电压为 80kV,剂量为 1.0×10^{16} 个离子/ cm^2 。在离子掺杂装置中,通过激发氢气,产生 H^+ 、 H_2^+ 、 H_3^+ 三种离子种。将所产生的所有离子种加速并照射到单晶硅片 501,形成离子注入层 504。

[0198] 在形成离子注入层 504 之后,通过等离子体 CVD 法在单晶硅片上形成氧化硅膜 505。氧化硅膜 505 的工艺气体使用 TEOS 及 O_2 。成膜步骤的基板温度是 300°C 。

[0199] 然后,接合基底基板和单晶硅片 501。图 12E 是说明接合步骤的截面图。这里,使用玻璃基板 500 作为基底基板。玻璃基板 500 是厚 0.7mm 的无碱玻璃基板(商品名 AN100)。使玻璃基板 500 表面和形成在单晶硅片 501 表面上的氧化硅膜 505 密合并接合。

[0200] 接着,在 500°C 的温度下对接合到玻璃基板 500 的单晶硅片 501 进行 2 小时的加热处理,如图 12F 所示,通过离子注入层 504 分离单晶硅片 501。通过进行这一步骤,单晶硅层 506 残留在玻璃基板 500 上。单晶硅层 506 的厚度为 170nm 左右。将介以膜 502、503 及 505 固定有单晶硅层 506 的玻璃基板 500 称为 SOI 基板 511。在图 12F 中,单晶硅片 507 表示从玻璃基板 500 分离了的单晶硅片 501。

[0201] 接着,如图 12G 所示,将激光 522 照射到 SOI 基板 511 的单晶硅层 506。在激光照射处理中,使用 XeCl 准分子激光器作为激光振荡器,该 XeCl 准分子激光器振荡波长为 308nm

的光束。激光 522 的脉冲宽度为 25 纳秒,其重复频率为 30Hz。通过光学系统聚光成被照射面的激光束为线形的激光,沿宽度方向(光束形状的短轴方向)扫描激光 522。将 SOI 基板 511 设置在激光照射装置的载物台上,通过移动载物台,如箭头 523 所示相对于激光 522 移动 SOI 基板 511,通过激光 522 对单晶硅层 506 进行扫描。这里,将激光 522 的扫描速度设定为 1.0mm/秒,使激光 522 对单晶硅层 506 的同一区域照射约 12 次。

[0202] 在大气气氛下及在氮气气氛下照射激光 522。氮气气氛通过在大气中将激光 522 照射到单晶硅层 506,将氮吹拂到单晶硅层 506 的被激光 522 照射的区域而形成。

[0203] 通过将激光 522 照射到单晶硅层 506,形成被平坦化且结晶性提高了的单晶硅层 508(参照图 12H)。另外,SOI 基板 512 为在进行激光照射处理之后的 SOI 基板 511。

[0204] 下面,对单晶硅层 506 通过激光照射再单晶化的过程进行说明。

[0205] 在本实施例中,对于未进行激光照射处理的单晶硅层 506 及进行了激光照射处理的单晶硅层 508,测定其表面的电子背散射衍射图样(EBSP;Electron Back Scatter Diffraction Pattern)。图 13A ~ 13C 是根据测定数据获得的反极图(IPF;Inverse Pole Figure)。

[0206] 图 13A 是激光照射前的单晶硅层 506 的 IPF 图。图 13B 和 13C 是激光照射处理后的单晶硅层 508 的 IPF 图。图 13B 表示激光照射处理的气氛为大气气氛的情况,而图 13C 表示激光照射处理的气氛为氮气气氛的情况。

[0207] 图 13D 是通过对结晶的各面取向进行彩色编码,表示 IPF 图的颜色和结晶取向的关系的彩色编码图。

[0208] 根据图 13A ~ 13C 的 IPF 图,在照射激光之前及照射激光之后,单晶硅层 506 的结晶取向不混乱,单晶硅层 506 表面的面取向保持与所使用的单晶硅片 501 相同的(100)面取向。另外,还确认在照射激光之前及照射激光之后单晶硅层 506 不存在晶界。这一点可以根据如下事实确认:图 13A ~ 13C 所示的 IPF 图是由在图 13D 的彩色编码图中表示(100)取向的颜色(在彩色图中为红色)构成的一种颜色的四角形的像。

[0209] 另外,在图 13A ~ 13C 的 IPF 图中出现的点表示 CI 值低的部分。CI 值是表示决定结晶取向的数据的可靠性及准确度的指标值。CI 值因晶界和结晶缺陷等而降低。即,CI 值低的部分越少,结晶结构的完全性越高,可以判定具有良好的结晶性。

[0210] 根据 EBSP 测定可以知道如下事实:通过分离主表面的面取向为(100)的单晶硅片,形成主表面的面取向为(100)的单晶硅层 506;激光照射后的单晶硅层 508 的主表面的面取向被保持为(100);通过照射激光,在单晶硅层 508 中不产生晶界。即,激光照射处理是将单晶硅片分离了的单晶硅层的再单晶化处理。

[0211] 下面,对可以通过照射激光提高单晶硅层 506 的现象进行说明。这里,为了对激光照射处理前的单晶硅层 506 及处理后的单晶硅层 508 的结晶性进行比较,进行了拉曼光谱测定。

[0212] 图 14A 是表示对应于激光能量密度的拉曼位移的变化的图。图 14B 是表示对应于激光能量密度的拉曼光谱的半峰全宽(FWHM;full width at halfmaximum)的变化的图。另外,在图 14A 和 14B 中,能量密度为 $0\text{mJ}/\text{cm}^2$ 的数据为激光照射前的单晶硅层 506 的测定数据。

[0213] 拉曼位移的峰波数(也称为峰值)是取决于晶格的振动方式的值,是结晶结构固

有的值。无内部应力的单晶硅的拉曼位移为 520.6cm^{-1} 。因此,在图 14A 中,拉曼位移的峰值越接近该波数,单晶硅层 508 的结晶结构就越接近单晶硅,表示结晶性良好。若对单结晶施加压缩应力,则晶格间离缩小,因此峰波数正比于压缩应力的地偏移向高波数侧。相反,在施加拉伸应力的状态下,峰波数正比于该应力的地偏移向低波数侧。

[0214] 另外,图 14B 所示的 FWHM 越小,结晶状态的波动越少,表示均匀。市售的单晶硅片的 FWHM 为 $2.5\text{cm}^{-1} \sim 3.0\text{cm}^{-1}$ 左右,因此越接近该值,就越接近具有如单晶硅片那样均匀的结晶性的结晶结构,可以以此为指标。

[0215] 根据图 14A 和 14B 所示的通过拉曼光谱的测定结果可知,通过进行激光照射处理,可以将结晶性恢复到与在加工前的单晶硅片相同的程度。

[0216] 下面,对通过照射激光单晶硅层表面被平坦化的现象进行说明。

[0217] 在本实施例中,为了评价单晶硅层表面的平坦性,通过光学显微镜观察暗视野图像,并通过原子力显微镜 (AFM; Atomic Force Microscope) 观察 SOI 基板的单晶硅层表面。由各显微镜观察的单晶硅层分别是激光照射前的单晶硅层 506、在大气气氛下照射了激光的单晶硅层 508 以及在氮气气氛下照射了激光的单晶硅层 508。图 15 表示由光学显微镜观察到的暗视野图像以及由原子力显微镜观察到的图像 (以下称为 AFM 图像)。

[0218] 基于光学显微镜的暗视野观察是指通过从相对于试样倾斜的方向照射光,观察来自试样的散射光及衍射光的方法。因此,在试样表面平坦的情况下,不发生照射光的散射及衍射,因而其观察图像形成黑的图像 (暗图像)。因此,在本实施例中进行所述暗视野观察来评价单晶硅层的平坦性。

[0219] 原子力显微镜 (AFM) 的测定条件如下:

[0220] • AFM:精工电子株式会社 (セイコーインスツルメンツ (株)) 制的扫描型探针显微镜 (型号:SPI3800N/SPA500)

[0221] • 测定模式:动态力模式 (DFM 模式)

[0222] • 悬臂:SI-DF40 (硅制,弹簧常数为 42N/m ,谐振频率为 $250 \sim 390\text{kHz}$,探针前端的曲率 $R \leq 10\text{nm}$)

[0223] • 测定面积: $90\mu\text{m} \times 90\mu\text{m}$

[0224] • 测定点数: $256\text{点} \times 256\text{点}$

[0225] DFM 是指如下测定模式:在以某一频率 (悬臂固有的频率) 使悬臂谐振的状态下,控制探针和试样的距离以使悬臂的振动振幅恒定,与此同时测定试样的表面形状。在 DFM 模式中,试样表面和悬臂不接触,因此可以在保持原有形状的状态下进行测定,而不损伤试样表面。

[0226] 另外,得到图 15 所示的显微镜观察图像的 SOI 基板 511 及 512 以与得到图 13 及图 14 的数据的 SOI 基板 511 及 512 部分不同的条件制成。这里,为了区别两种基板,将得到图 15 的数据的 SOI 基板 511 及 SOI 基板 512 分别称为 SOI 基板 511-2 及 SOI 基板 512-2。

[0227] SOI 基板 511-2 的制造步骤中,在图 12B 的步骤中形成厚 50nm 的氧氮化硅膜 502。另外,进行一次的氢离子注入步骤来形成图 12C 所示的离子注入层 504。将氢离子的加速电压设定为 40kV ,将剂量设定为 1.75×10^{16} 个离子 / cm^2 。在图 12F 的步骤中,作为用来分离单晶硅片 501 的加热处理,在 600°C 加热 20 分钟,再使加热温度上升到 650°C ,加热 6.5 分钟。SOI 基板 511-2 的单晶硅层 506 的厚度为 120nm 左右。在图 12G 的激光照射处理中,除

了激光的照射能量密度以外,与 SOI 基板 511 同样地进行,制成 SOI 基板 512-2。对于 SOI 基板 511-2 的激光照射能量密度示出于图 15 中。

[0228] 单晶硅层 506 及 508 的表面粗糙度示出于图 15 中。作为表面粗糙度,计算出平均面粗糙度 R_a 、平方平均面粗糙度 R_{ms} 以及凸凹的最大高低差 P-V(以下称为“最大高低差 P-V”)。这些数值通过使用 AFM 附带的软件进行图 15 所示的 AFM 图像的表面粗糙度分析而计算出。

[0229] 图 15 表示通过将激光照射到单晶硅层 506,单晶硅层 506 被平坦化。即,通过调整激光的照射能量密度并将 SOI 基板的单晶半导体层溶化,可以同时进行单晶半导体层的再单晶化和表面的平坦化。即,可以在不施加损伤玻璃基板的力量且不在超过应变点的温度下对玻璃基板加热的情况下实现 SOI 基板的单晶硅层的平坦化。

[0230] 下面,说明在本说明书中用作表面平坦性的指标的平均面粗糙度 R_a 、平方平均面粗糙度 R_{ms} 以及凸凹的最大高低差 P-V。

[0231] 平均面粗糙度 (R_a) 是指为了适用于测定面而将由 JISB0601 :2001 (ISO4287 :1997) 中定义的中心线平均粗糙度 R_a 扩展到三维而得的指标。它可用将从基准面到指定面的偏差的绝对值平均而得的值表示,通过式 (a1) 得到。

$$[0232] \quad R_a = \frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} |F(X,Y) - Z_0| dXdY \quad \dots \quad (a1)$$

[0233] 测定面 Z 是指所有测定数据示出的面,可以通过式 (a2) 的函数表示。

$$[0234] \quad Z = F(X, Y) \quad \dots \quad (a2)$$

[0235] 指定面是指成为粗糙度测量的对象的面,是由坐标 (X_1, Y_1) (X_1, Y_2) (X_2, Y_1) (X_2, Y_2) 表示的四点所围成的长方形区域。将理想化地假设指定面平坦时的面积设定为 S_0 。由此, S_0 通过式 (a3) 得到。

$$[0236] \quad S_0 = (X_2 - X_1) \cdot (Y_2 - Y_1) \quad \dots \quad (a3)$$

[0237] 基准面是指将指定面的高度的平均值设定为 Z_0 时表示为 $Z = Z_0$ 的平面。基准面平行于 XY 平面。平均值 Z_0 通过式 (a4) 得到。

$$[0238] \quad Z_0 = \frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} F(X,Y) dXdY \quad \dots \quad (a4)$$

[0239] 平方平均面粗糙度 (R_{ms}) 是指为了适用于测定面而与 R_a 同样地将对于截面曲线的 R_{ms} 扩展至三维而得的指标。它可用将从基准面到指定面的偏差的平方平均而得的值的平方根表示,通过式 (a5) 得到。

$$[0240] \quad R_{ms} = \sqrt{\frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} \{F(X,Y) - Z_0\}^2 dXdY} \quad \dots \quad (a5)$$

[0241] 凸凹的最大高低差 (P-V) 可以用指定面中最高的凸部的标高 Z_{max} 和最低的凹部的标高 Z_{min} 的差表示,通过式 (a6) 得到。

$$[0242] \quad P-V = Z_{max} - Z_{min} \quad \dots \quad (a6)$$

[0243] 在这里所说的“凸部”和“凹部”是指将 JISB0601 :2001 (ISO4287 :1997) 中定义的“凸部”和“凹部”扩展至三维而得的概念。凸部表示指定面的突出部中标高最高处,凹部表示指定面中标高最低处。

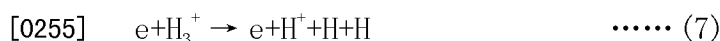
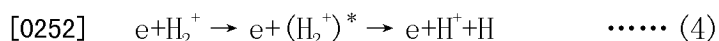
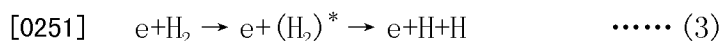
[0244] 实施例 2

[0245] 在本实施例中,说明形成离子注入层的方法。

[0246] 离子注入层通过将来源于氢(H)的离子(以下称为氢离子种)加速并照射到半导体基板而形成。更具体而言,通过以氢气或在组成中含有氢的气体为源气体(原料),激发源气体产生氢等离子体,将所述氢等离子体中的氢离子种照射到半导体基板,从而在半导体基板中形成离子注入层。

[0247] [氢等离子体中的离子]

[0248] 在上述的氢等离子体中,存在氢离子种 H^+ 、 H_2^+ 、 H_3^+ 。在此,对各氢离子种的反应过程(生成过程、湮灭过程),下面举出反应式。



[0258] 图16示出模式化地表示上述反应的一部分的能级图。需注意的是,图16所示的能级图只不过是示意图,并不严格地规定反应涉及的能量关系。

[0259] [H_3^+ 的生成过程]

[0260] 如上所述, H_3^+ 主要通过反应式(5)所示的反应过程而生成。另一方面,作为与反应式(5)竞争的反应,有反应式(6)所示的反应过程。为了增加 H_3^+ ,至少需要使发生的反应式(5)的反应比反应式(6)的反应多(另外,因为作为 H_3^+ 减少的反应,还有(7)、(8)、(9),所以即使(5)的反应多于(6)的反应, H_3^+ 也不一定增加)。与此相反,在反应式(5)的反应比反应式(6)的反应少的情况下,在等离子体中的 H_3^+ 的比例减少。

[0261] 在各反应式中,右边(最右边)的生成物的增加量依赖于其左边(最左边)所示的原料的密度和该反应的速度系数等。在此,通过实验已确认到如下事实:当 H_2^+ 的动能小于约11eV时,(5)的反应成为主要反应(即,与反应式(6)的速度系数相比,反应式(5)的速度系数足够大);当 H_2^+ 的动能大于约11eV时,反应式(6)的反应成为主要反应。

[0262] 荷电粒子通过从电场受力而获得动能。该动能对应于电场的势能的减少量。例如,某一个荷电粒子直到与其它粒子碰撞之前获得的动能等于因其移动而失去的势能。即,在电场中有如下倾向:能够不与其它粒子碰撞地长距离移动的情况与相反的情况相比,荷电粒子的动能(的平均值)变大。如上所述,荷电粒子的动能增大的倾向可在粒子的平均自由程长的情况,即压力低的情况下产生。

[0263] 另外,即使平均自由程短,如果其间可以获得大的动能,荷电粒子的动能有时也会变大。即,可以认为即使平均自由程短,如果两点之间的电位差大,荷电粒子所具有的动能也变大。

[0264] 将上述情况尝试用于 H_2^+ 。如果像生成等离子体的处理室内那样以电场的存在为前提,当该处理室内的压力低时 H_2^+ 的动能变大,当该处理室内的压力高时 H_2^+ 的动能变小。

即,因为在处理室内的压力低的情况下(6)的反应成为主要反应,所以 H_3^+ 有减少的趋势;因为在处理室内的压力高的情况下(5)的反应成为主要反应,所以 H_3^+ 有增加的趋势。另外,在等离子体生成区域中的电场较强的情况下,即在某两点之间的电位差大的情况下, H_2^+ 的动能变大。在与此相反的情况下, H_2^+ 的动能变小。即,因为在电场较强的情况下(6)的反应成为主要反应,所以 H_3^+ 有减少的趋势;因为在电场较弱的情况下(5)的反应成为主要反应,所以 H_3^+ 有增加的趋势。

[0265] [取决于离子源的差异]

[0266] 在此,示出离子种的比例(尤其是 H_3^+ 的比例)不同的一例。图17是表示由100%的氢气(离子源的压力为 $4.7 \times 10^{-3} \text{Pa}$)生成的离子的质量分析结果的图。横轴为离子的质量。在图谱中,质量1的峰值对应于 H^+ ,质量2的峰值对应于 H_2^+ ,质量3的峰值对应于 H_3^+ 。纵轴为图谱的强度,对应于离子的数量。在图17中,质量不同的离子的数量通过设质量3的离子为100时的相对比来表示。由图17可知,由上述离子源生成的离子的比例大约为 $H^+ : H_2^+ : H_3^+ = 1 : 1 : 8$ 。另外,这样的比例的离子也可以通过由生成等离子体的等离子体源部(离子源)和用于从该等离子体引出离子束的引出电极等构成的离子掺杂装置获得。

[0267] 图18是示出在使用与图17不同的离子源的情况下,当离子源的压力大约为 $3 \times 10^{-3} \text{Pa}$ 时,由 PH_3 生成的离子的质量分析结果的图。上述质量分析结果着眼于氢离子种。此外,质量分析通过测量从离子源引出的离子而进行。与图17同样,图18的图的横轴表示离子的质量,质量1的峰值对应于 H^+ ,质量2的峰值对应于 H_2^+ ,质量3的峰值对应于 H_3^+ 。其纵轴为对应于离子的数量的图谱的强度。由图18可知,等离子体中的离子的比例大约为 $H^+ : H_2^+ : H_3^+ = 37 : 56 : 7$ 。另外,虽然图18是源气体为 PH_3 时的数据,但是当将100%的氢气用作源气体时,氢离子种的比例也达到相同程度。

[0268] 在采用获得图18的数据的离子源的情况下,在 H^+ 、 H_2^+ 以及 H_3^+ 中, H_3^+ 的生成仅在7%左右。另一方面,在采用获得图17的数据的离子源的情况下,可以使 H_3^+ 的比例达到50%以上(在图17的数据中大约为80%)。这被认为是由于在上述 $[H_3^+ \text{的生成过程}]$ 的考察中获知的处理室内的压力及电场。

[0269] [H_3^+ 的照射机理]

[0270] 在如图17那样生成包含多种离子种的等离子体且不对生成了的离子种进行质量分离而照射到半导体基板的情况下, H^+ 、 H_2^+ 、 H_3^+ 各离子被照射到半导体基板的表面。为了再现从照射离子到形成离子注入层的机理,考虑下列的五种模型(模型1~5):

[0271] 1. 照射的离子种为 H^+ ,照射之后也为 H^+ (H)的情况;

[0272] 2. 照射的离子种为 H_2^+ ,照射之后也为 H_2^+ (H_2)的情况;

[0273] 3. 照射的离子种为 H_2^+ ,照射之后分裂成两个 $H(H^+)$ 的情况;

[0274] 4. 照射的离子种为 H_3^+ ,照射之后也为 H_3^+ (H_3)的情况;

[0275] 5. 照射的离子种为 H_3^+ ,照射之后分裂成三个 $H(H^+)$ 的情况。

[0276] [模拟结果和实测值的比较]

[0277] 根据上述模型1~5,进行将氢离子种照射到Si基板的模拟。作为用于模拟的软件,使用SRIM(the Stopping and Range of Ions in Matter,介质中的离子的停止及范围)。SRIM是通过蒙特卡罗法的离子引入过程的模拟软件,是TRIM(the Transport of Ions

in Matter, 介质中的离子迁移) 的改良版。另外, 虽然 SRIM 是以非晶结构为对象的软件, 但是在以高能量、高剂量的条件照射氢离子种的情况下, 可以适用 SRIM。这是因为由于氢离子种和 Si 原子的碰撞, Si 基板的晶体结构变成非单晶结构的缘故。

[0278] 下面, 说明模拟结果。另外, 在本实施例的模拟中, 在采用模型 2 的计算中将 H_2^+ 转换为具有两倍质量的 H^+ 。另外, 在模型 3 中将 H_2^+ 转换为具有 1/2 动能的 H^+ , 在模型 4 中将 H_3^+ 转换为具有三倍质量的 H^+ , 在模型 5 中将 H_3^+ 转换为具有 1/3 动能的 H^+ 。

[0279] 使用上述模型 1 ~ 模型 5, 对以 80kV 的加速电压将氢离子种照射到 Si 基板的情况 (以 H 换算照射 10 万个时), 分别计算 Si 基板中氢 (H) 沿深度方向的分布。图 19 示出其计算结果。还在图 19 中示出 Si 基板中氢 (H) 沿深度方向的分布的实测值。该实测值是通过 SIMS (Secondary Ion Mass Spectroscopy: 二次离子质谱) 测得的数据 (以下称为 SIMS 数据)。通过 SIMS 进行测量的试样是以 80kV 的加速电压照射了在测量图 17 所示的数据的条件下产生的氢离子种 (H^+ 、 H_2^+ 、 H_3^+) 的 Si 基板。

[0280] 在图 19 中, 采用了模型 1 ~ 模型 5 的计算值的图的纵轴为分别表示氢原子的个数的右纵轴。SIMS 数据的图的纵轴为表示氢原子的浓度的左纵轴。计算值及 SIMS 数据的图的横轴都表示离 Si 基板的表面的深度。

[0281] 若对作为实测值的 SIMS 数据和计算值进行比较, 则模型 2 及模型 4 明显偏离 SIMS 数据的图的峰, 并且在 SIMS 数据中不存在对应于模型 3 的峰。由此可知, 模型 2 ~ 模型 4 的影响比模型 1 及模型 5 小。如果考虑到离子的动能为 keV 的数量级而 H-H 键能只不过大约为数 eV, 则认为模型 2 及模型 4 的影响小是由于与 Si 的碰撞, 大部分的 H_2^+ 和 H_3^+ 分离成 H^+ 或 H 的缘故。

[0282] 因此, 在下述观察中不考虑模型 2 ~ 模型 4。下面, 说明在使用模型 1 及模型 5 以 80kV、60kV 及 40kV 的加速电压将氢离子种照射到 Si 基板的情况 (以 H 换算照射 10 万个时) 的模拟结果。

[0283] 图 20 ~ 图 22 示出 Si 基板中氢 (H) 沿深度方向的分布的计算结果。图 20、图 21 及图 22 分别示出在加速电压为 80kV、60kV 及 40kV 时的计算结果。再者, 图 20 ~ 图 22 还示出作为实测值的 SIMS 数据以及根据 SIMS 数据拟合的图 (下面称为拟合函数)。通过 SIMS 进行测量的试样是以 80kV、60kV 或 40kV 的加速电压将在测量图 17 的数据的条件下产生的氢离子种 (H^+ 、 H_2^+ 、 H_3^+) 加速而照射了的 Si 基板。另外, 采用模型 1 及模型 5 的计算值的图的纵轴为右纵轴的氢原子的个数。SIMS 数据及拟合函数的图的纵轴为左纵轴的氢原子的浓度。各图的横轴表示离 Si 基板的表面的深度。

[0284] 这里, 拟合函数通过考虑模型 1 及模型 5 使用下面的计算式 (b1) 算出。计算式 (b1) 中, X、Y 为拟合涉及的参数, V 为体积。

[0285] [拟合函数] = $X/V \times [\text{模型 1 的数据}] + Y/V \times [\text{模型 5 的数据}] \cdots (b1)$

[0286] 如果考虑实际上照射的离子种的比例 (大约为 $H^+ : H_2^+ : H_3^+ = 1 : 1 : 8$, 参照图 17) 时, 确定拟合函数时也应该顾及 H_2^+ 的影响 (即, 模型 3), 但是因为下面所示的理由, 在此排除 H_2^+ 的影响。

[0287] • 由于通过模型 3 所示的照射过程而引入的氢与模型 5 的照射过程相比极少, 因此即使排除也没有大的影响 (在 SIMS 数据中没有出现对应于模型 3 的峰, 参照图 19)。

[0288] • 基于模型 3 的 Si 基板中氢沿深度方向的分布的峰位置与模型 5 的沿深度方向的

分布接近(参照图 19),因此模型 3 的影响很可能由于在模型 5 的照射过程中发生的沟道效应(结晶的晶格结构引起的元素移动)而被掩盖。即,估计模型 3 的拟合参数是很困难的。这是因为在本模拟中以非晶 Si 为前提,不考虑结晶性产生的影响的缘故。

[0289] 在图 23 中示出计算式 (b1) 的拟合参数。在上述所有的加速电压下,引入到 Si 基板中的 H 的数量的比例大约为 [模型 1] : [模型 5] = 1 : 42 ~ 1 : 45 (当模型 1 中的 H 的个数设为 1 的情况下,在模型 5 中的 H 的个数大约为 42 ~ 45),照射的离子种的比例大约为 $[H^+(\text{模型 1})] : [H_3^+(\text{模型 5})] = 1 : 14 \sim 1 : 15$ (当模型 1 中的 H^+ 的个数设为 1 的情况下,在模型 5 中的 H_3^+ 的个数大约为 14 ~ 15)。如果考虑到不顾及模型 3 和假设为非晶 Si 进行计算等条件,可以认为图 23 所示的比例与关于实际的照射的氢离子种的比例(大约为 $H^+ : H_2^+ : H_3^+ = 1 : 1 : 8$,参照图 17)接近。

[0290] [使用 H_3^+ 的效果]

[0291] 通过将如图 17 所示的提高了 H_3^+ 的比例的氢离子种照射到基板,可以享有基于 H_3^+ 的多个优点。例如,因为 H_3^+ 分离成 H^+ 或 H 等引入到基板内,与主要照射 H^+ 或 H_2^+ 的情况相比,可以提高离子的引入效率。因此,可以提高 SOI 基板的生产性。另外,同样地, H_3^+ 分离之后的 H^+ 或 H 的动能有变小的倾向,因此适合于薄的半导体层的制造。

[0292] 另外,在本实施例中,为了高效地照射 H_3^+ ,对利用能够照射如图 17 所示的氢离子种的离子掺杂装置的方法进行了说明。离子掺杂装置的价格低廉,大面积处理良好,因而通过利用这种离子掺杂装置照射 H_3^+ ,可以获得半导体特性的提高、SOI 基板的大面积化、低成本化以及生产性的提高等明显的效果。另一方面,如果优先考虑 H_3^+ 的照射,不应被解释为限于利用离子掺杂装置的方式。

[0293] 本申请基于 2007 年 4 月 20 日向日本专利局提交申请的日本专利特愿 2007-112140 号,其所有内容作为参考包含在本申请中。

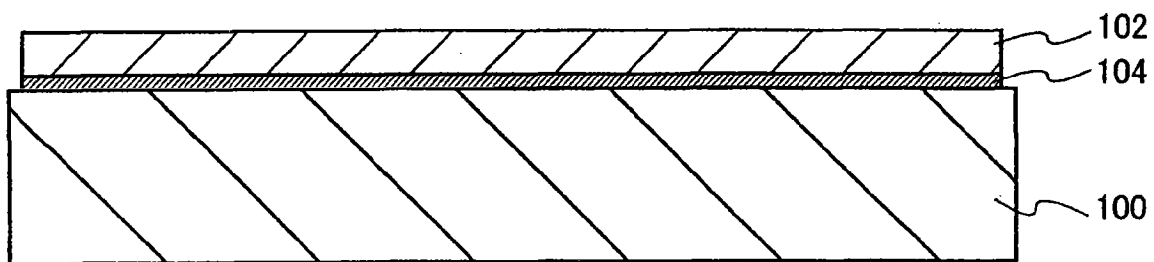


图 1

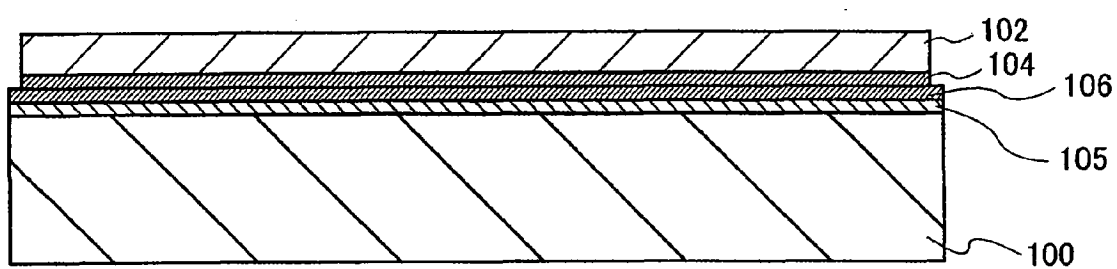


图 2

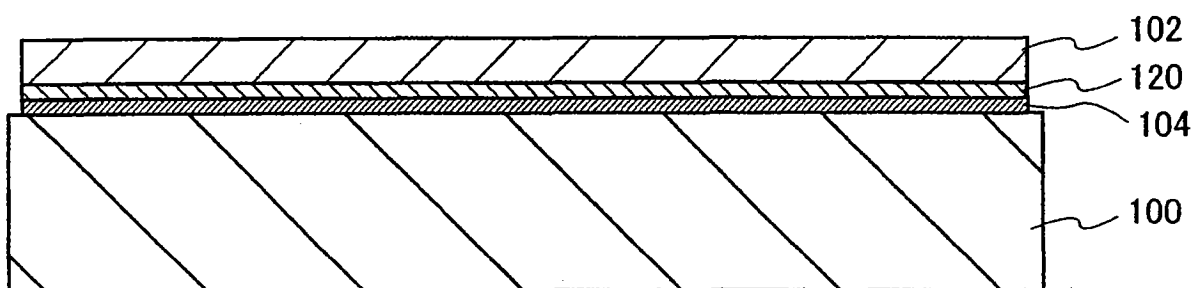


图 3

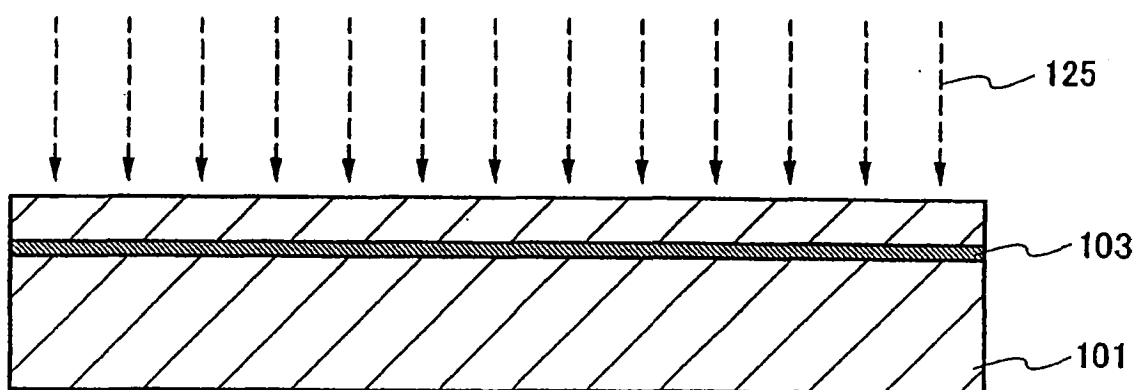


图 4A

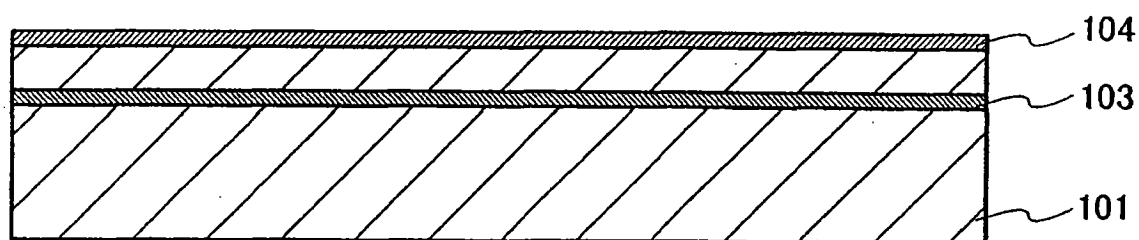


图 4B

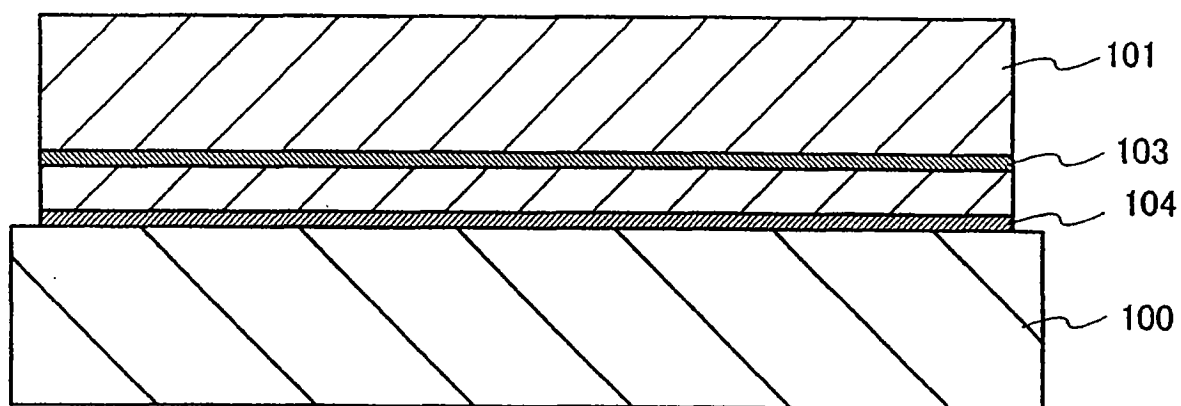


图 4C

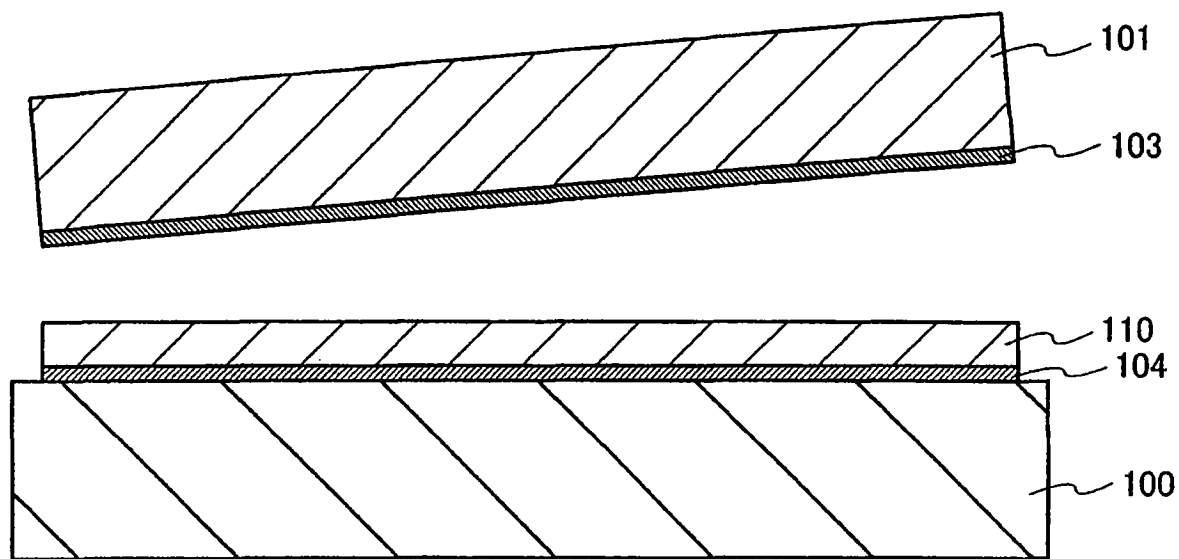


图 5A

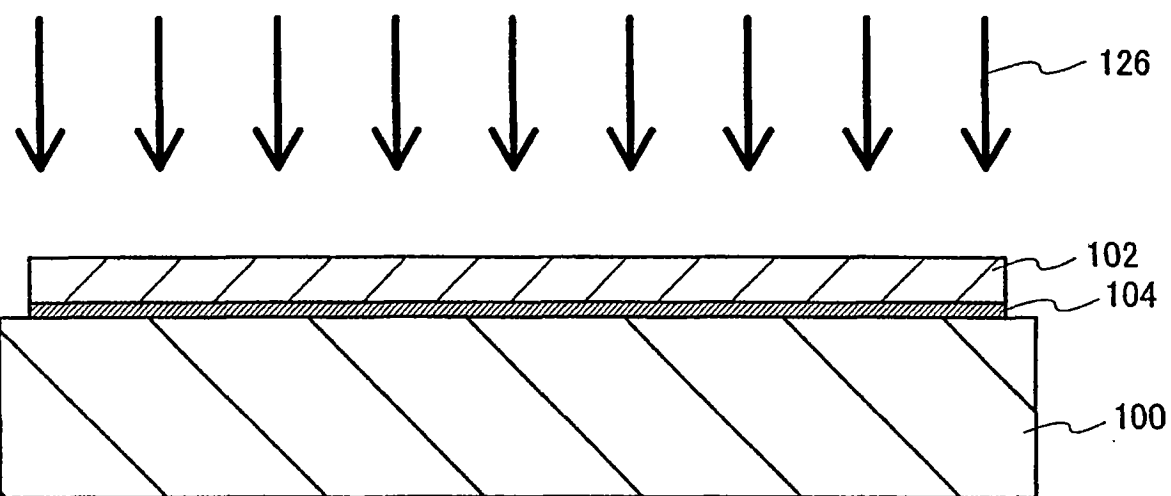


图 5B

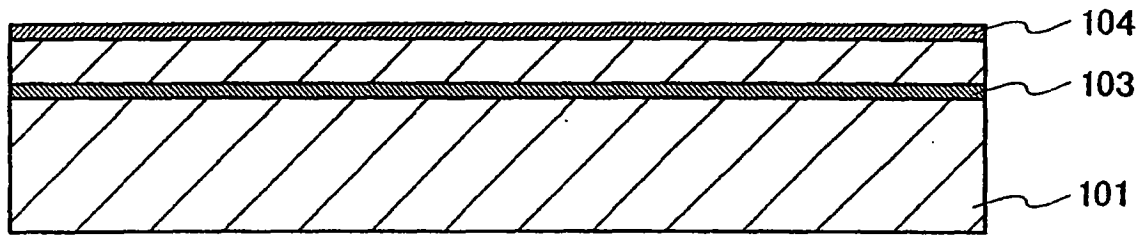


图 6A

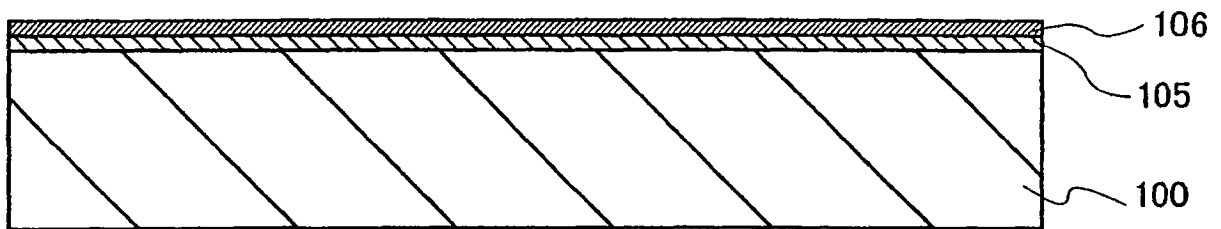


图 6B

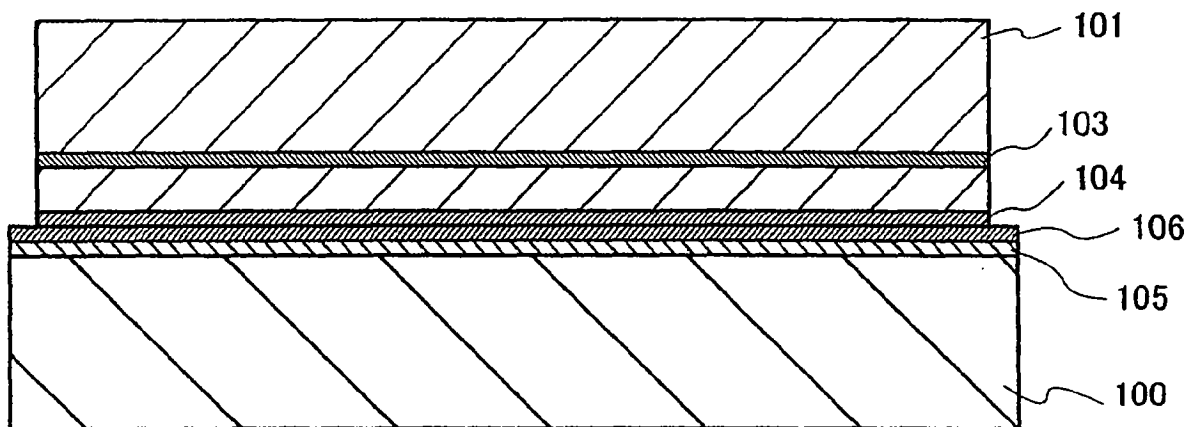


图 6C

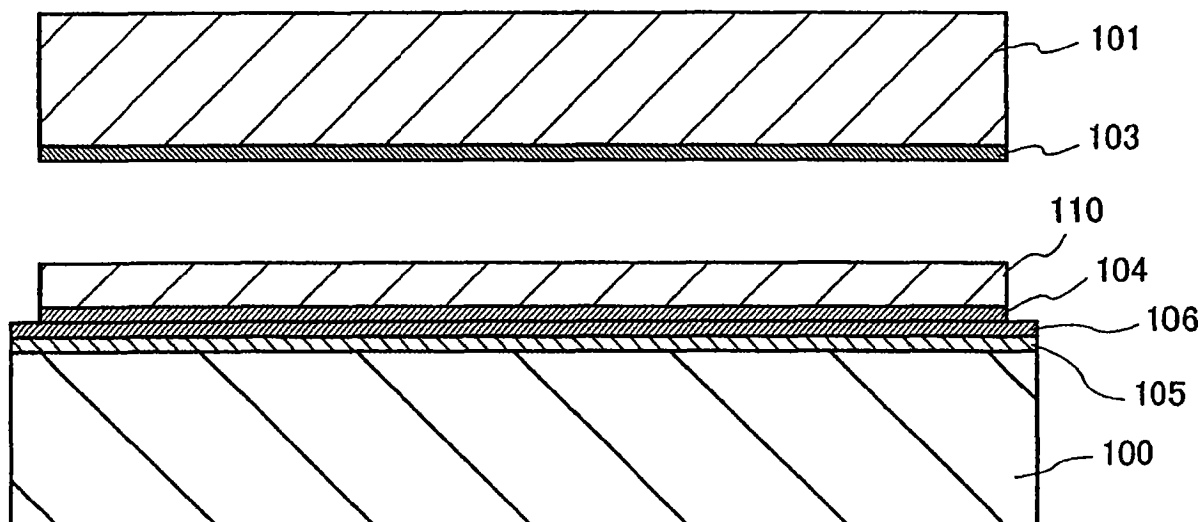


图 7A

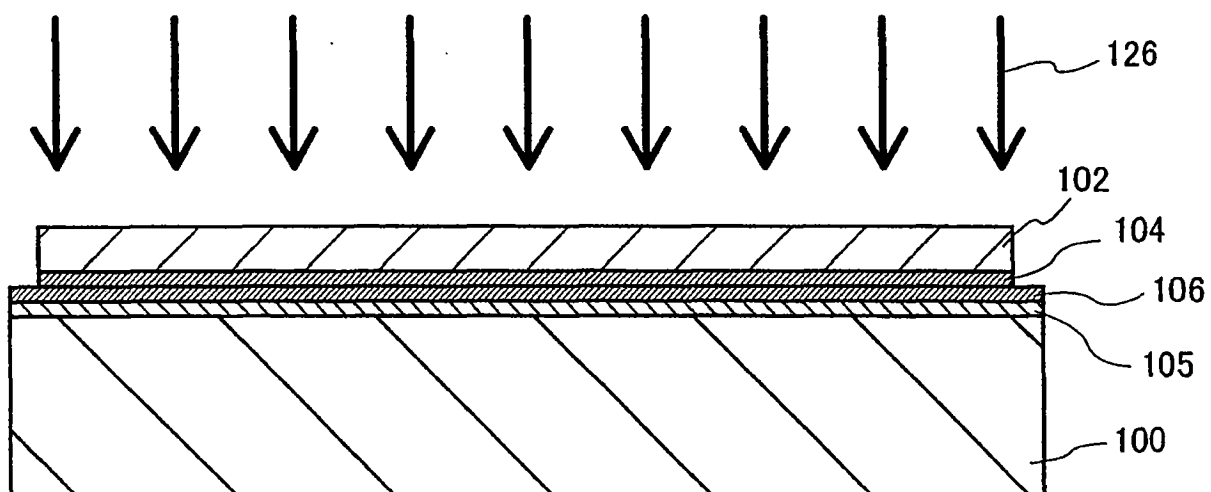


图 7B

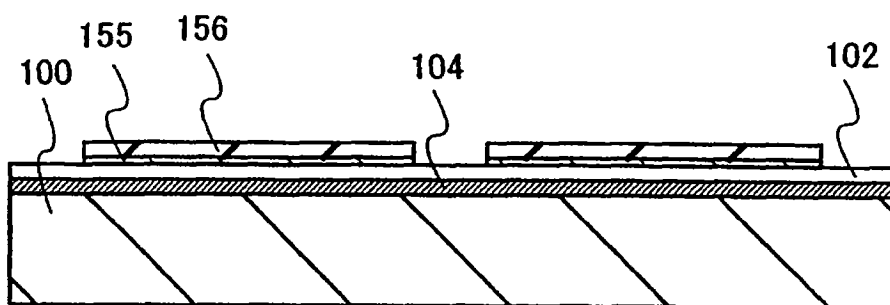


图 8A

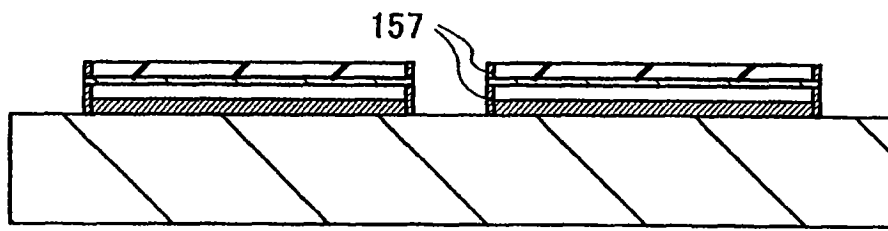


图 8B

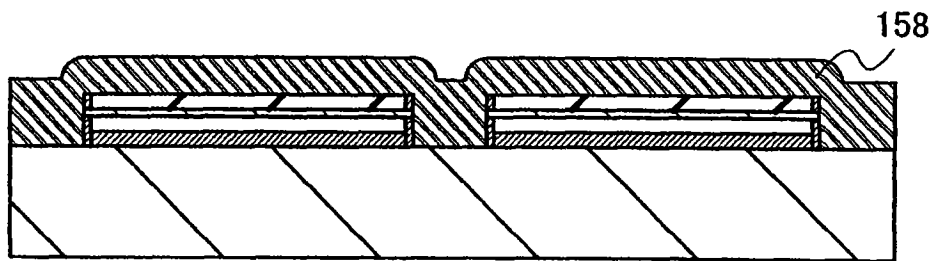


图 8C

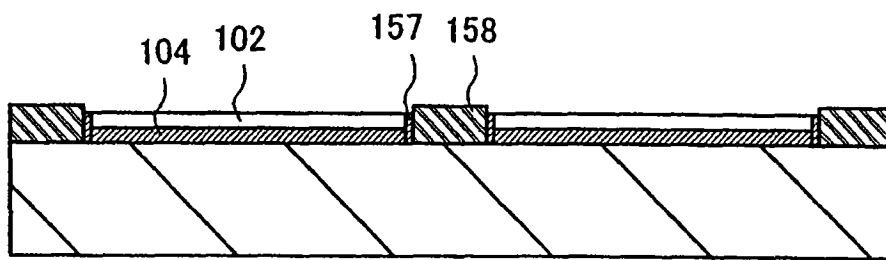


图 8D

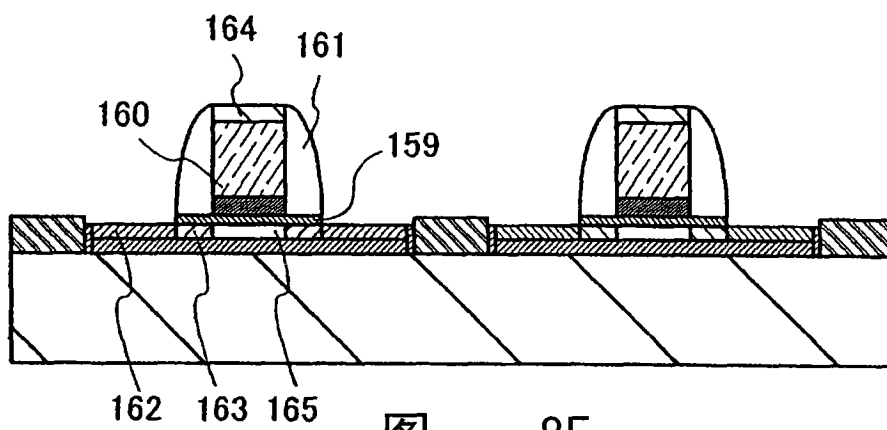


图 8E

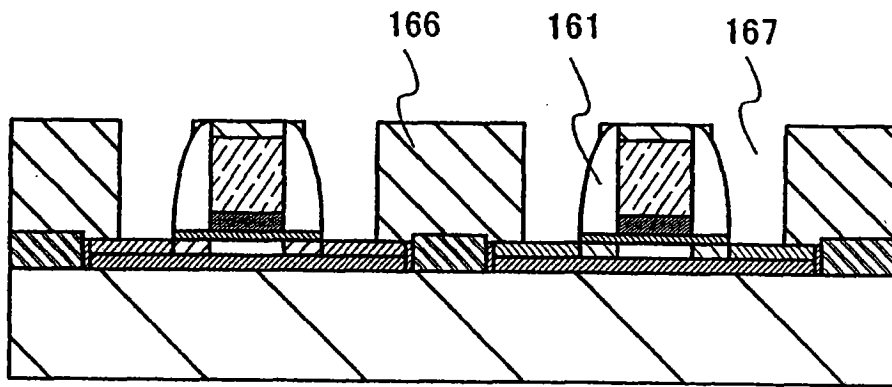


图 9A

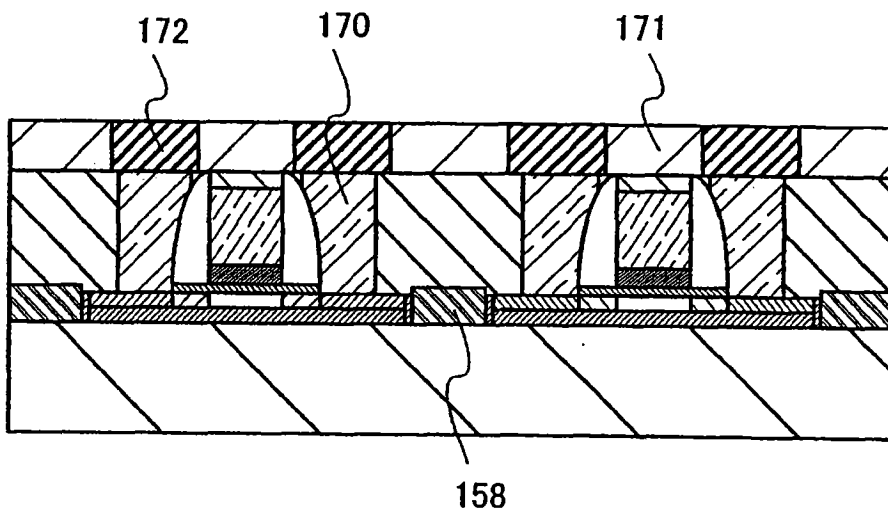


图 9B

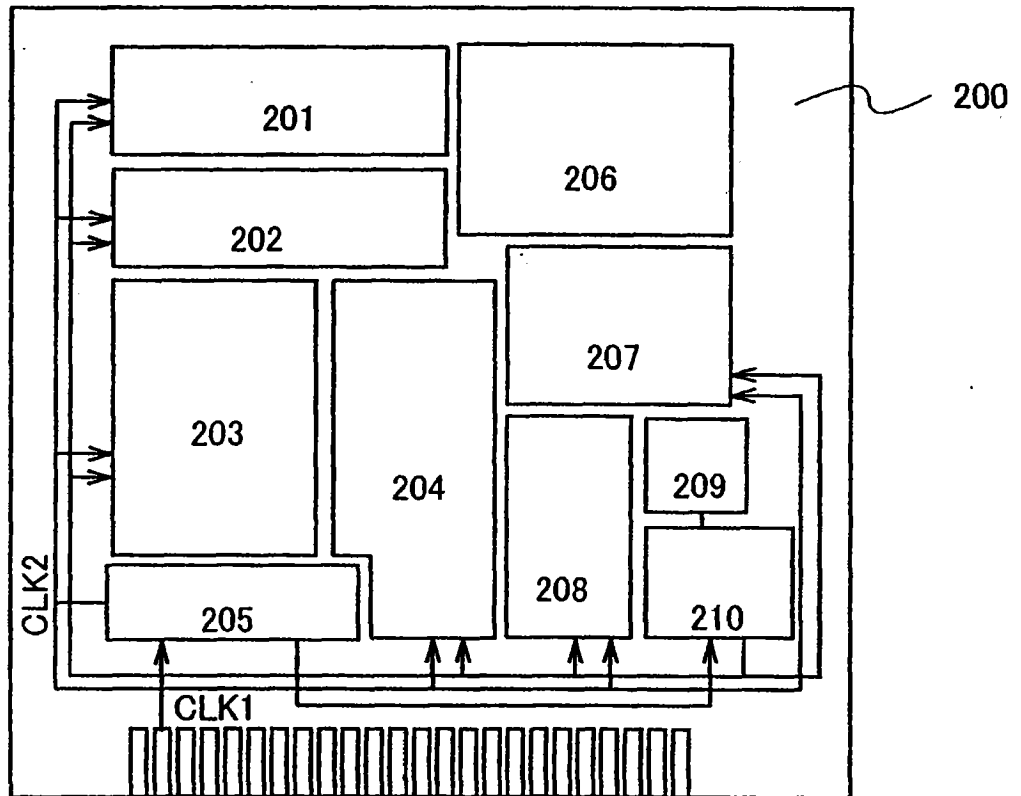


图 10

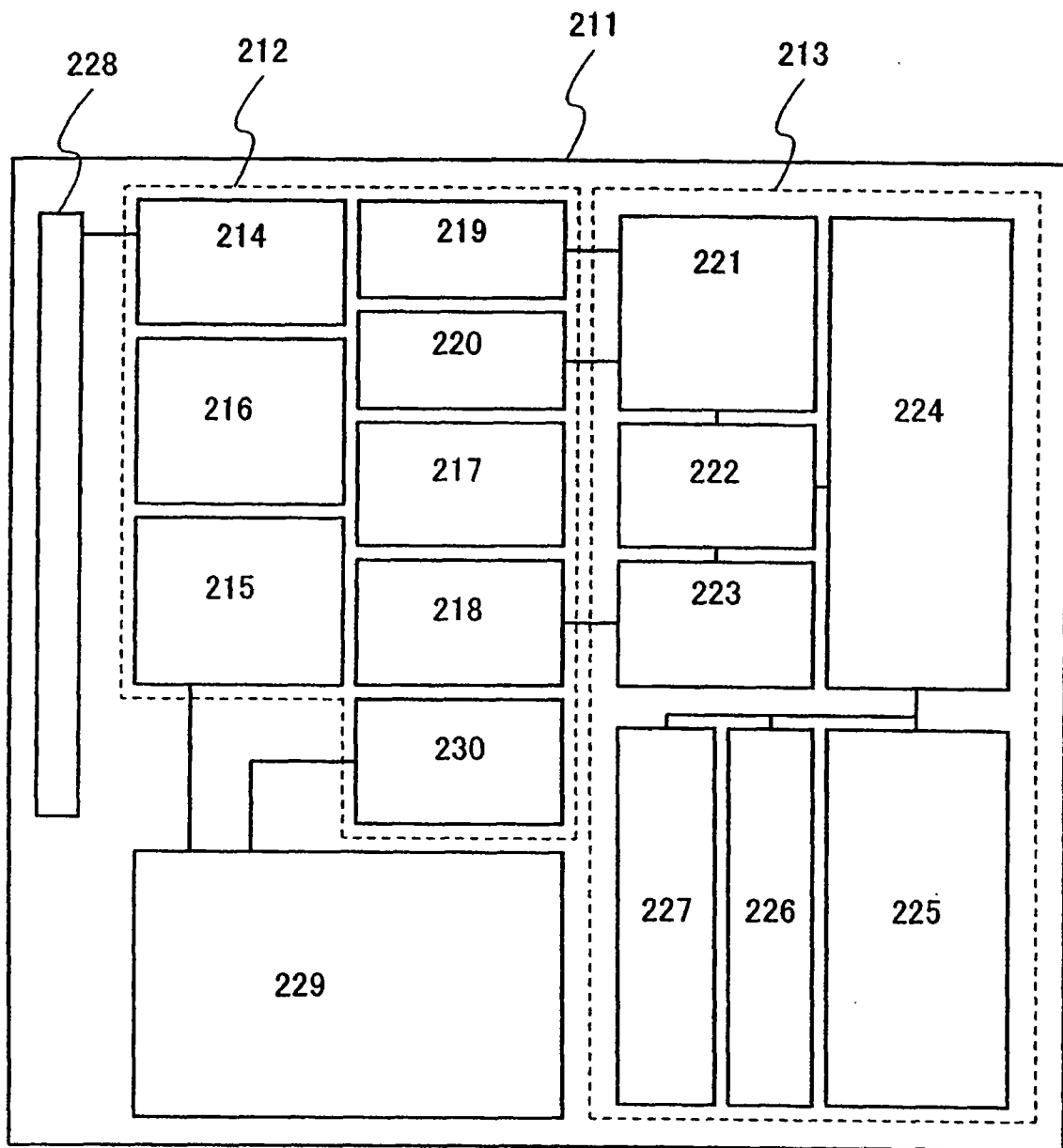
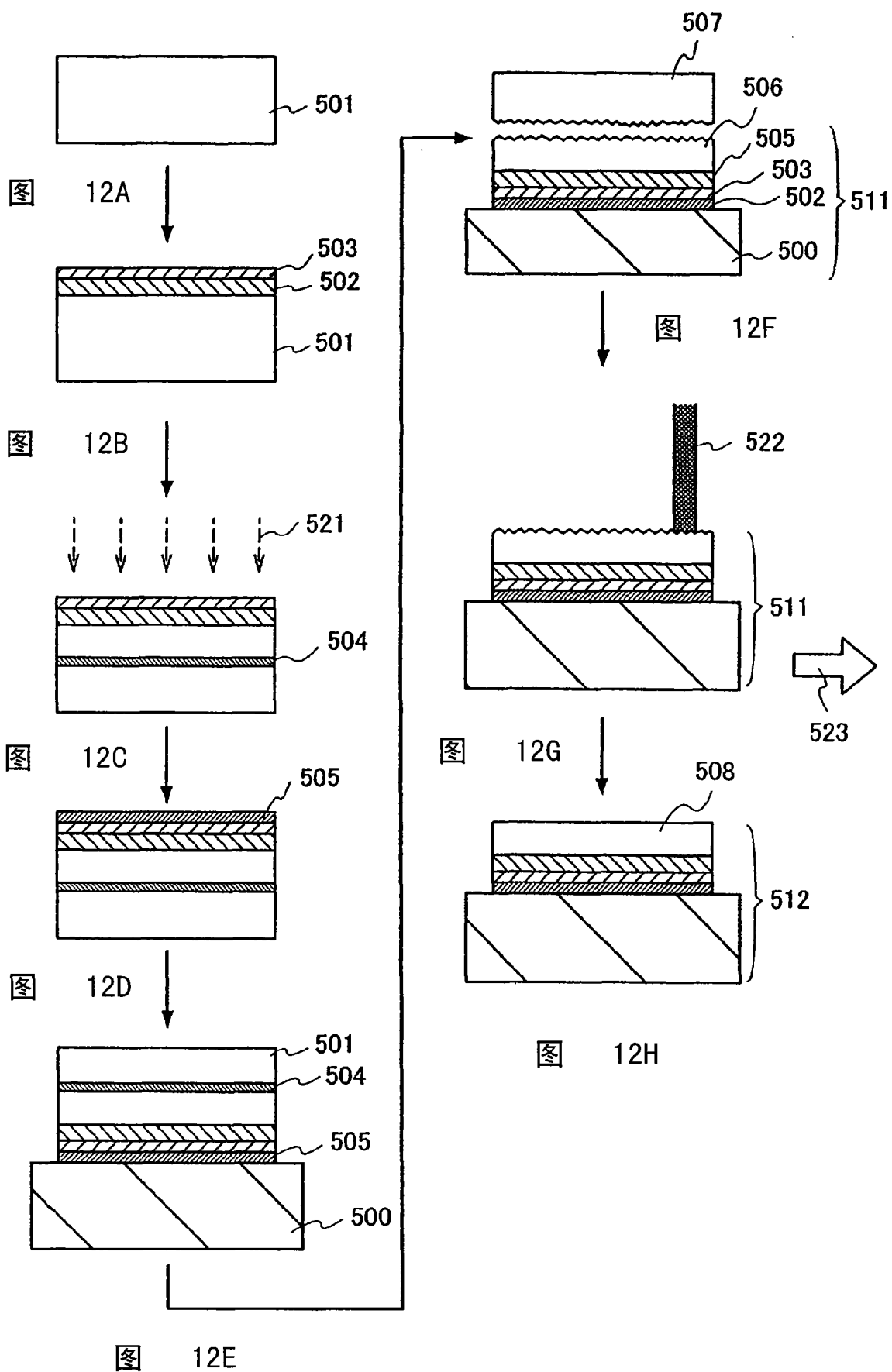


图 11



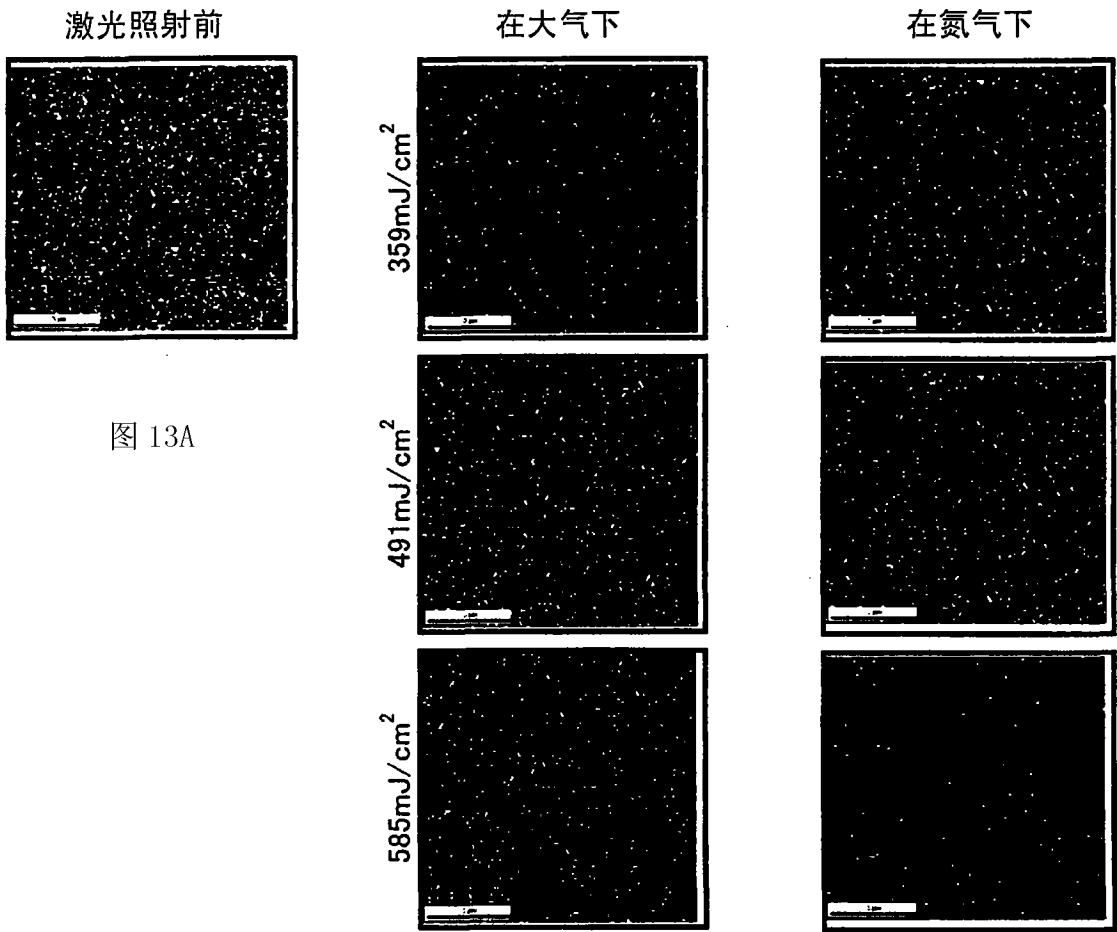


图 13B

图 13C

彩色编码图类型:反极图[001]
硅

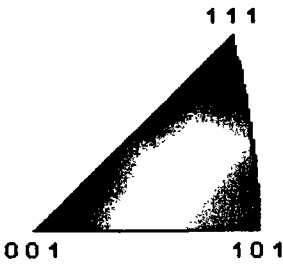


图 13D

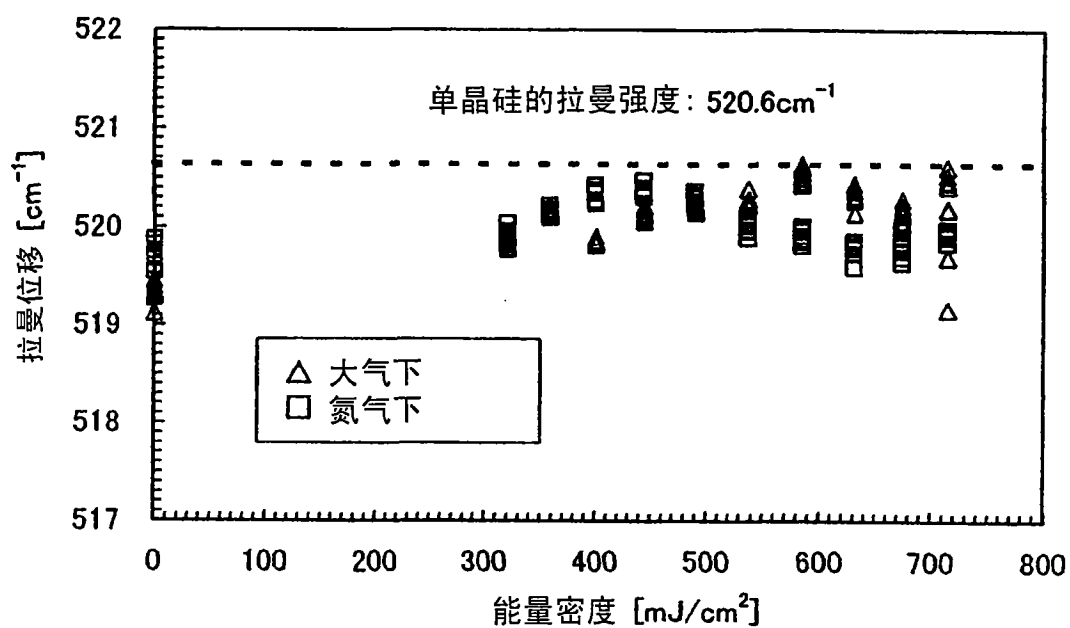


图 14A

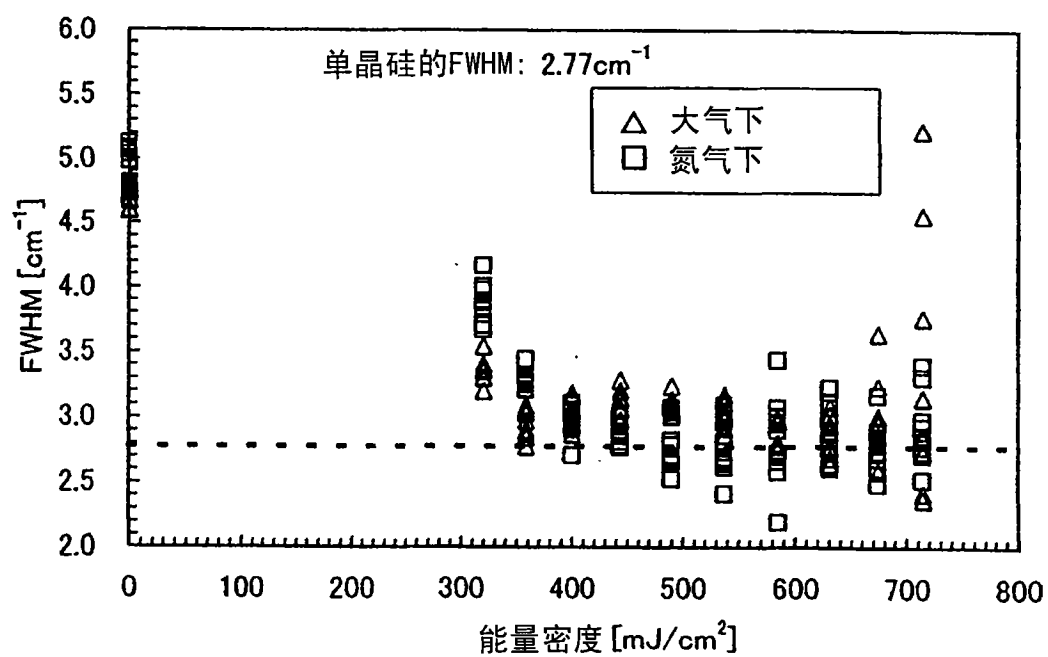


图 14B

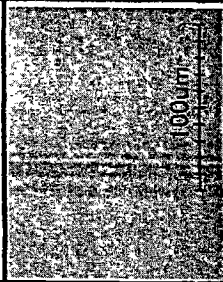
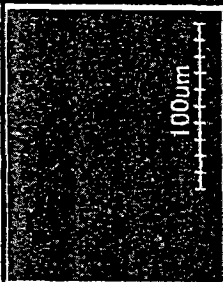
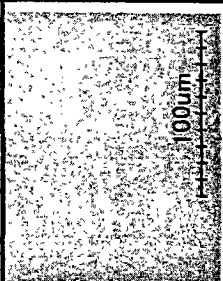
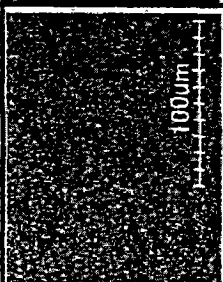
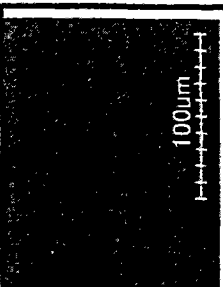
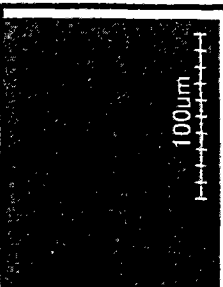
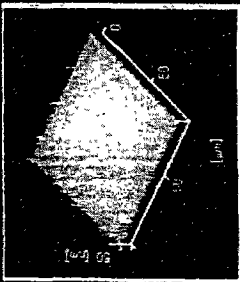
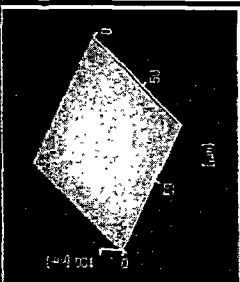
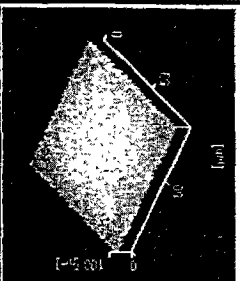
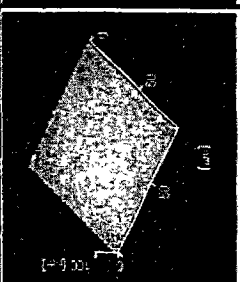
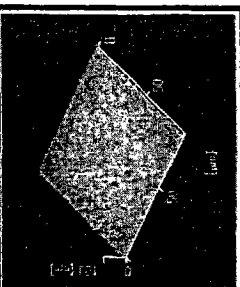
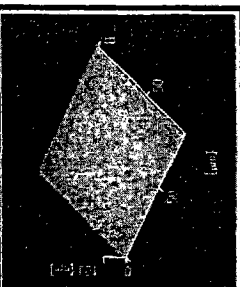
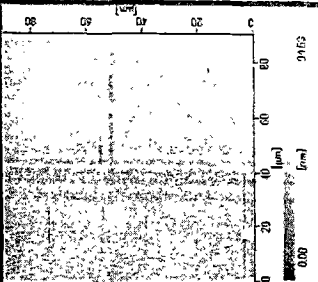
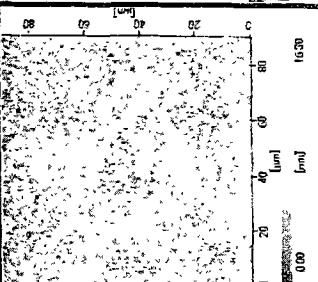
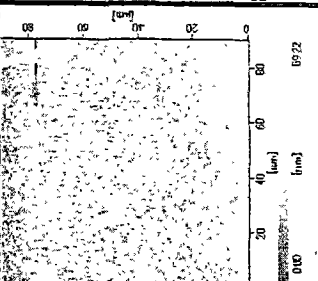
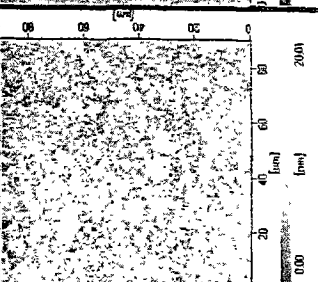
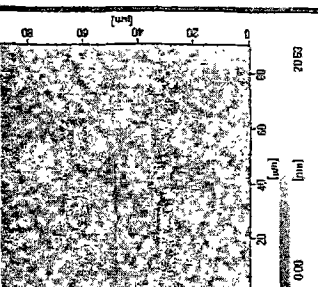
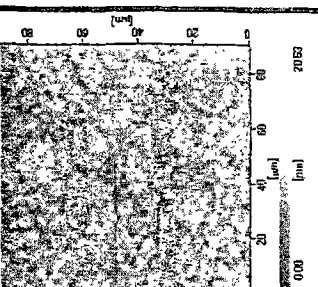
照射時の气氛		激光照射前		大气		氮气		
能量密度		525mJ/cm ²	431mJ/cm ²	525mJ/cm ²	431mJ/cm ²	525mJ/cm ²	619mJ/cm ²	
暗視野图像								
								
								
Ra [nm]		7.2	1.9	5.4	2.3	1.9	1.9	
Rms [nm]		11.5	2.5	7.0	3.0	2.8	2.8	
P-V[nm]		349.2	33.7	202.8	38.1	145.7	145.7	

图 15

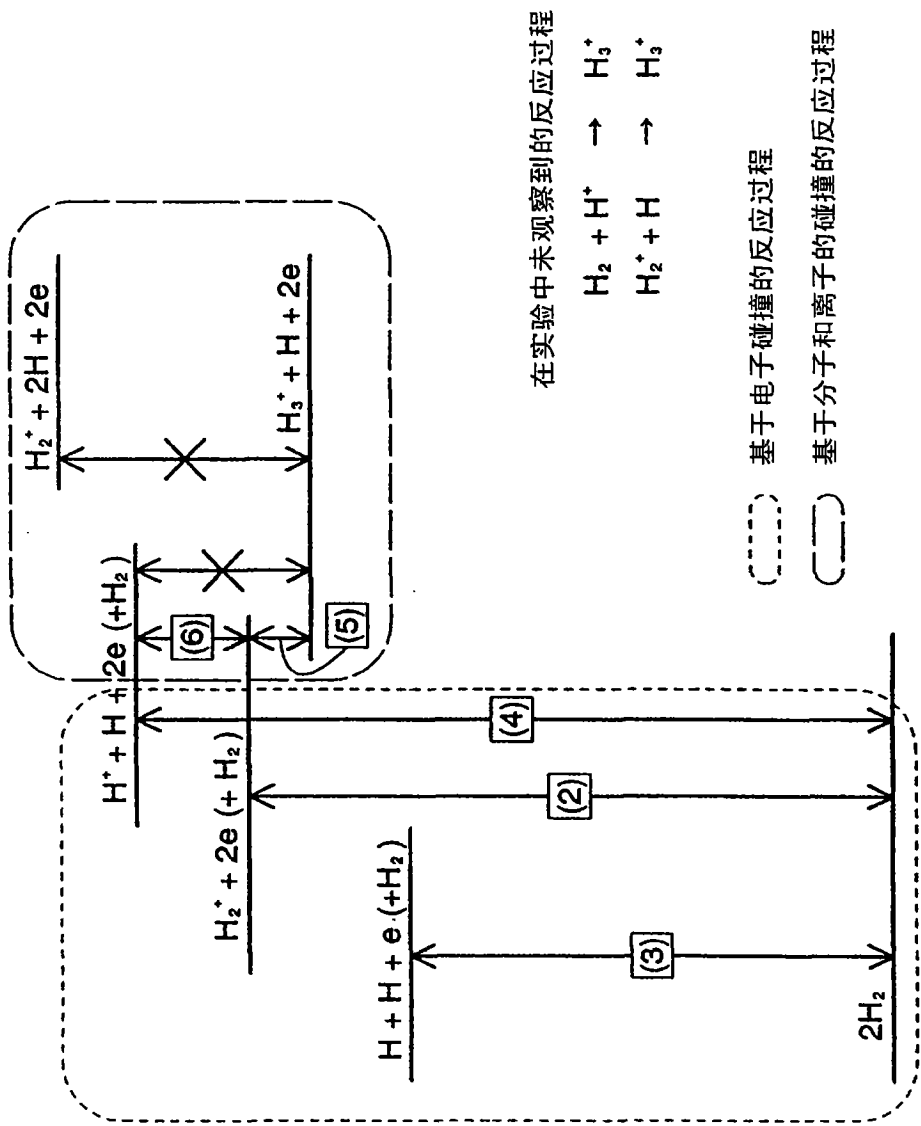


图 16

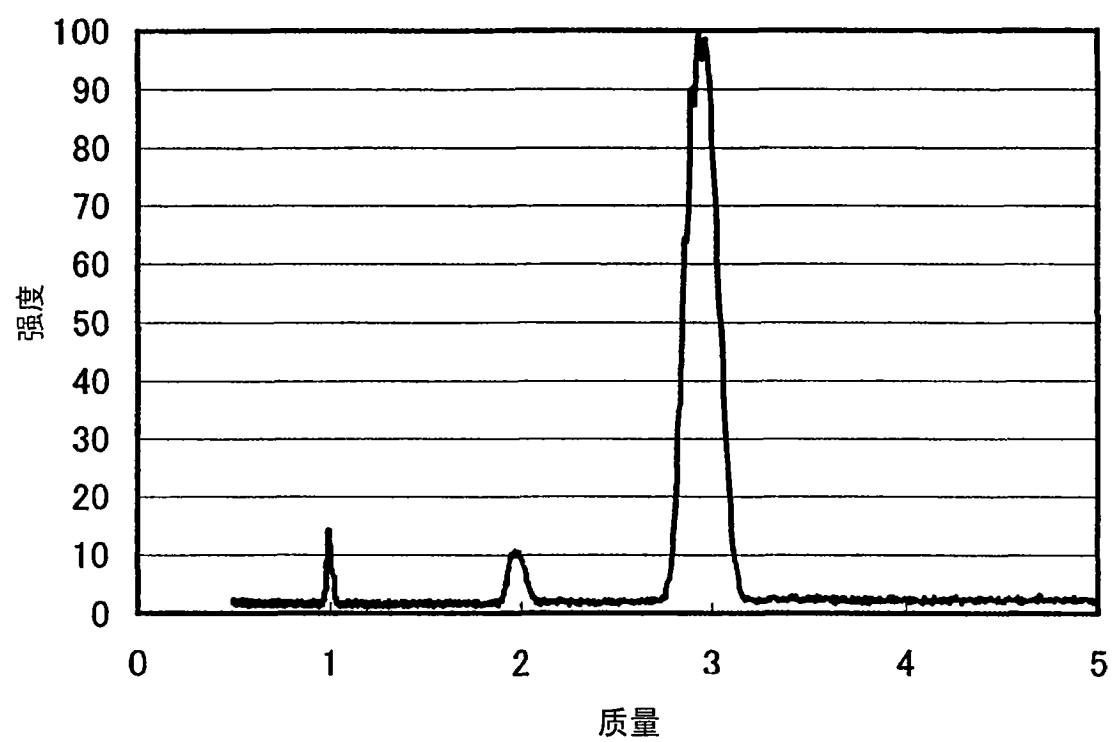


图 17

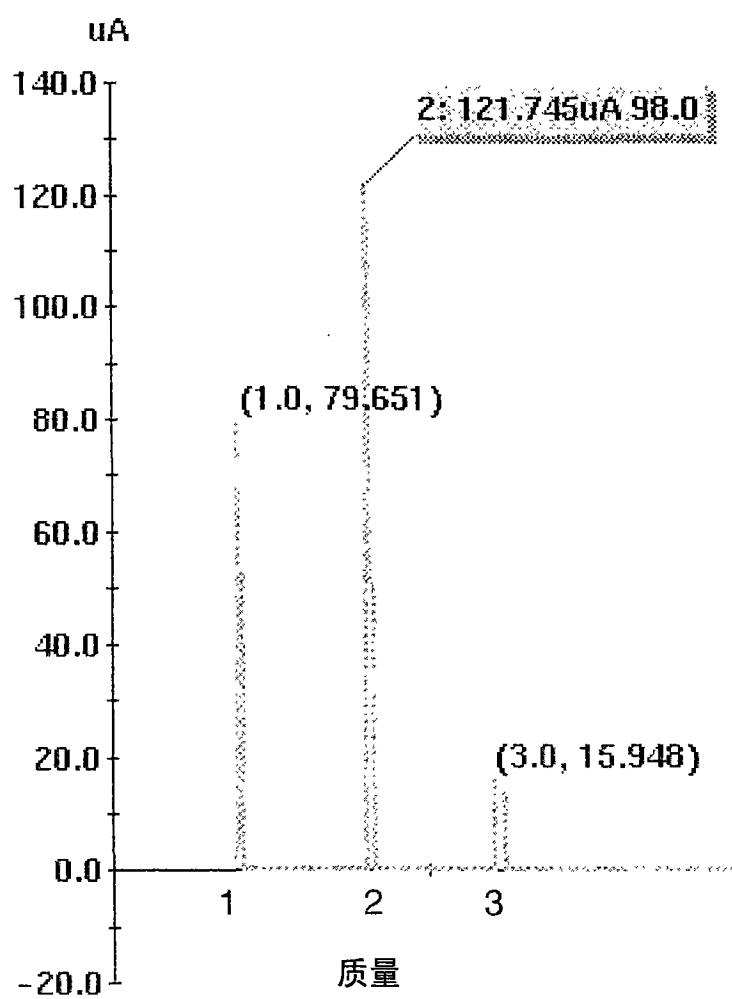
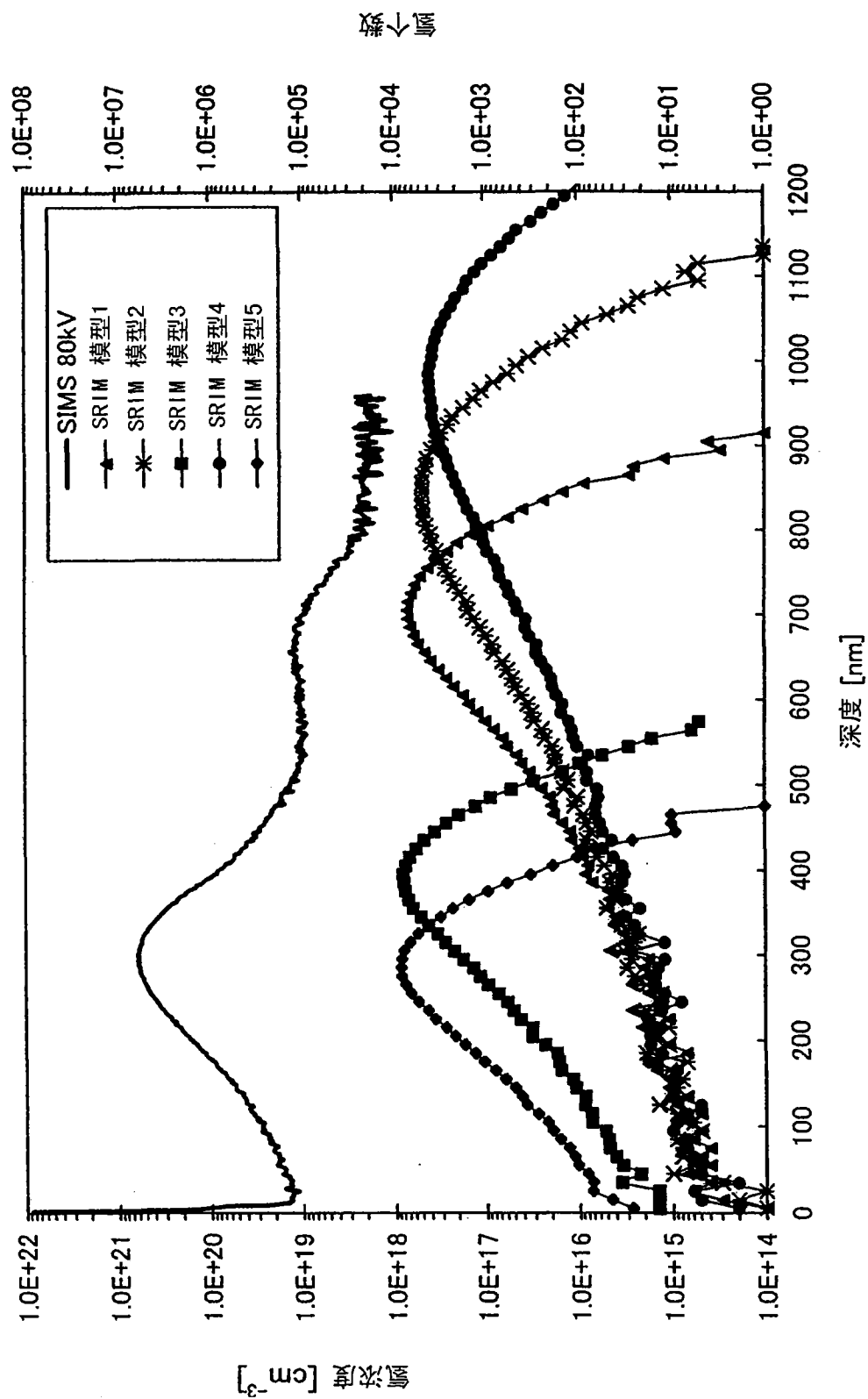


图 18



19

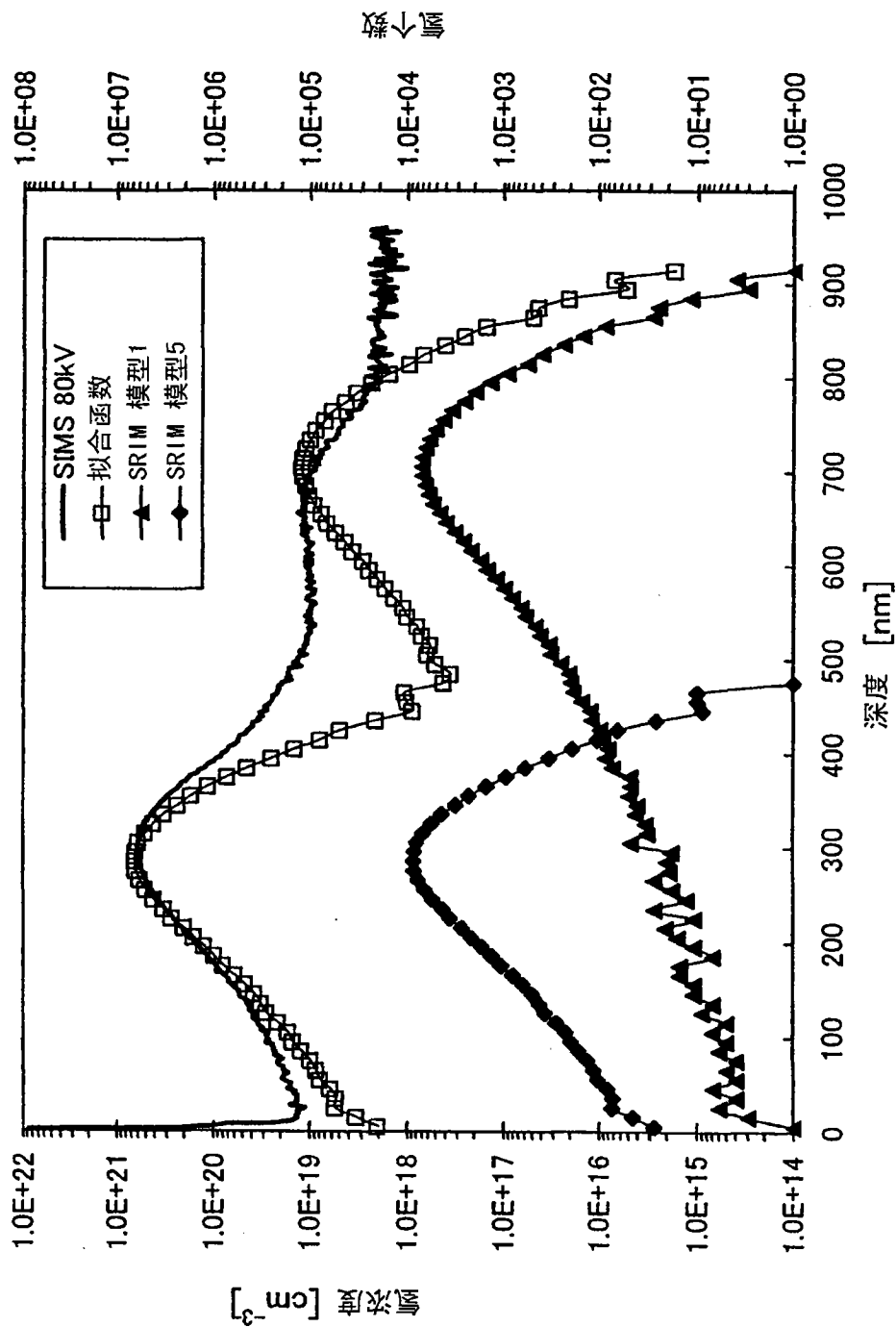


图 20

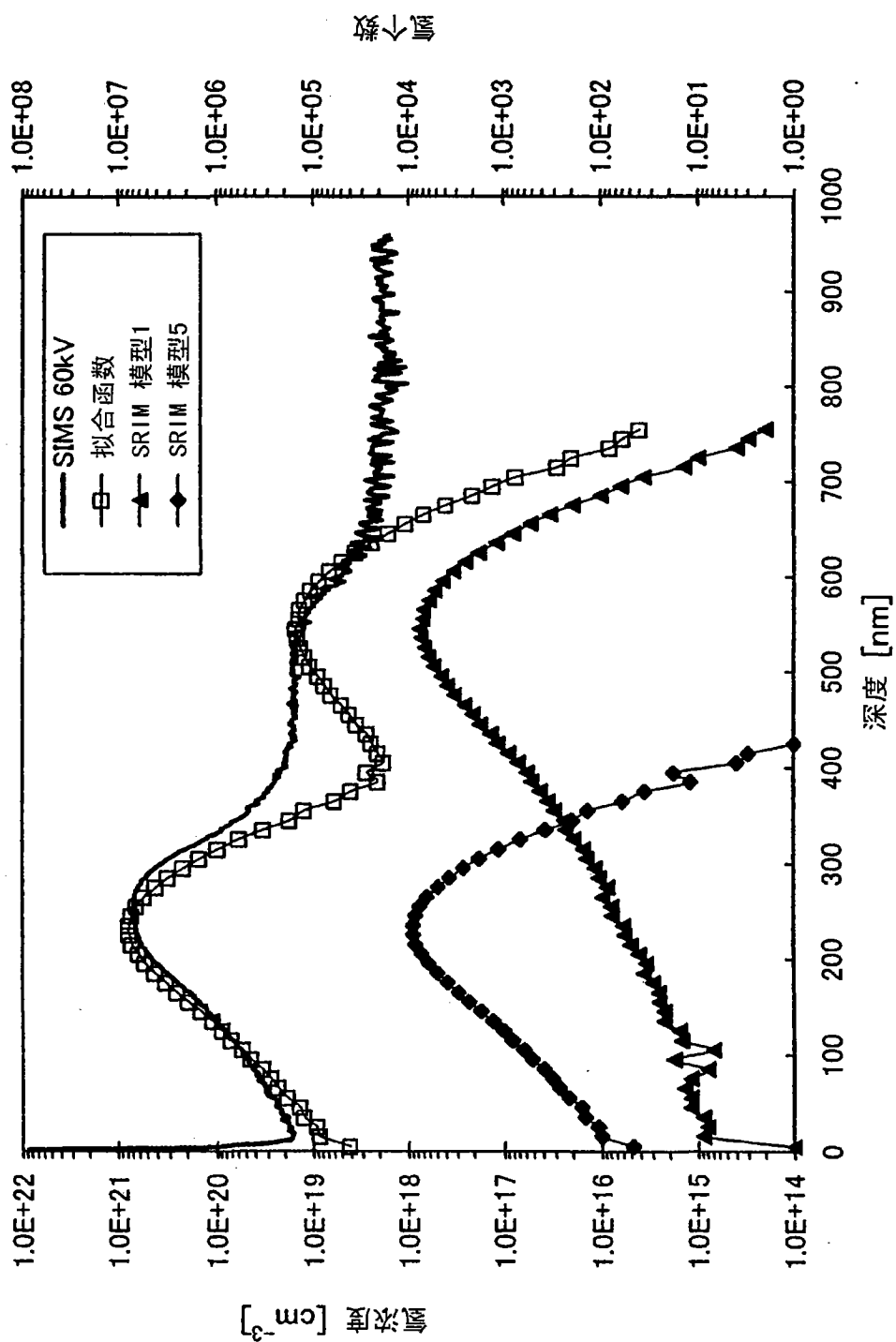


图 21

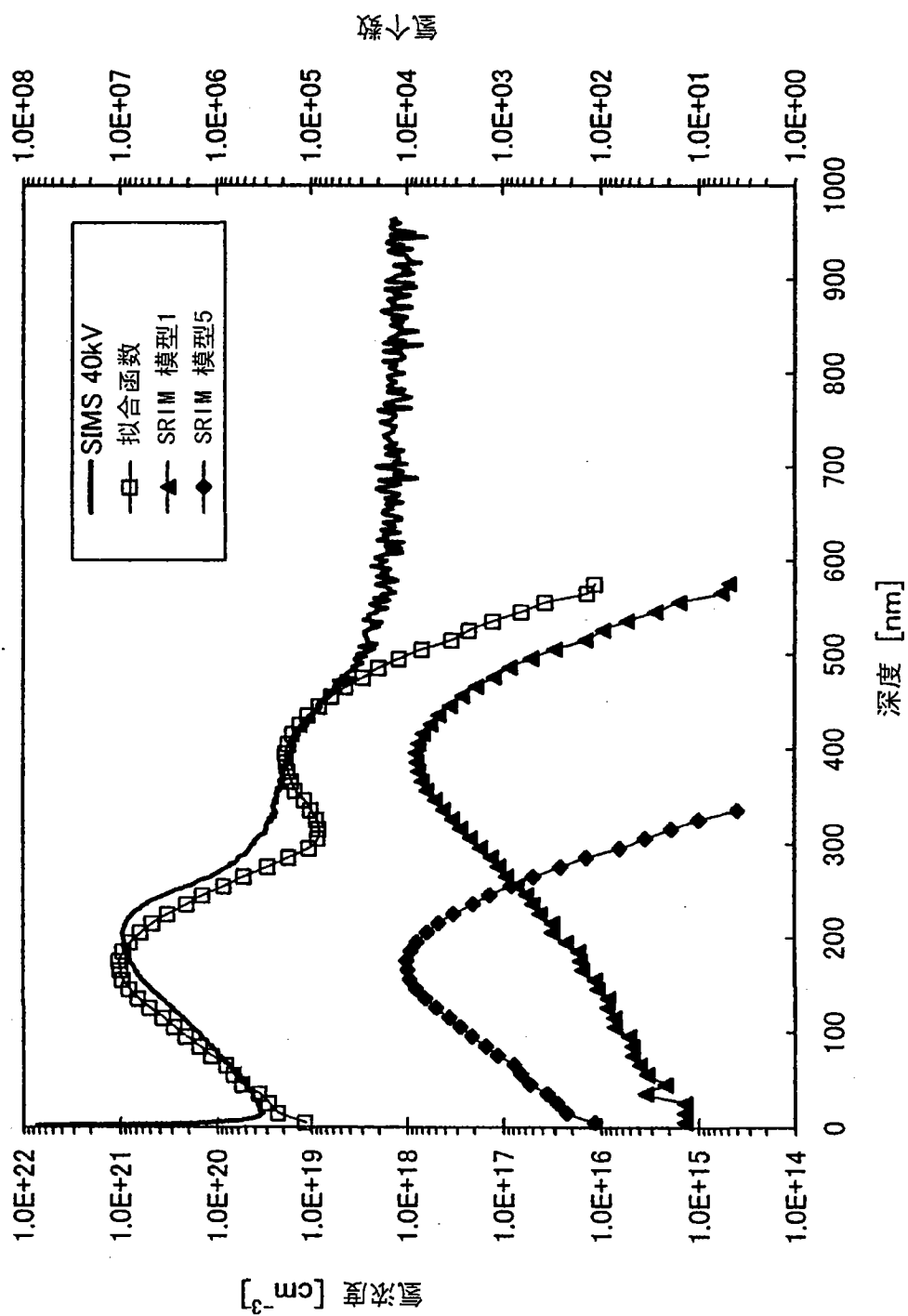


图 22

加速电压	氢元素比 (H) (X : Y)	氢离子种比 (X : Y / 3)
80 kV	1 : 44.1	1 : 14.7
60 kV	1 : 42.5	1 : 14.2
40 kV	1 : 43.5	1 : 14.5

图 23