



СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

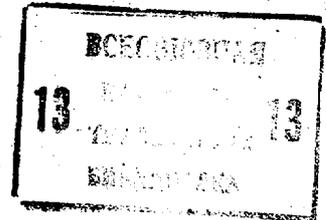
(19) **SU** (11) **1160563** **A**

4(51) Н 03 К 27/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3623894/24-21

(22) 10.06.83

(46) 07.06.85. Бюл. № 21

(72) В.Л. Баранов

(71) Ордена Ленина институт кибер-  
нетики им. В.М. Глушкова

(53) 621.374.32(088.8)

(56) 1. Авторское свидетельство СССР  
№ 508938, кл. Н 03 К 23/00, 1974.

2. Авторское свидетельство СССР  
№ 809258, кл. G 06 М 3/08, 1979  
(прототип).

(54) (57) УСТРОЙСТВО ДЛЯ СЧЕТА ИМ-  
ПУЛЬСОВ, содержащее блок синхрони-  
зации, регистр результата, регистр  
приема, первый S-триггер, первый,  
второй и третий элементы И, эле-  
мент ИЛИ, элемент НЕ и элемент  
задержки, первый выход блока синхро-  
низации соединен с первым входом пер-  
вого элемента И, выход которого сое-  
динен с единичным входом первого  
S-триггера, прямой выход которого  
соединен с входом элемента задержки,  
выход регистра приема соединен  
с первым входом второго элемента И,  
выход и второй вход которого соеди-  
нены соответственно с информаци-  
онным входом регистра приема и с выхо-  
дом элемента НЕ, вход которого сое-  
динен с первым выходом блока синхро-  
низации, который содержит генератор  
тактовых импульсов, первый и второй  
делители, вспомогательный генератор  
одиночных импульсов, вспомогательный  
S-триггер, коммутатор и инвертор,  
вход которого соединен с первым вхо-  
дом коммутатора и общей шиной, выход  
инвертора соединен с вторым входом  
коммутатора, выход которого соеди-

нен с управляющим входом вспомога-  
тельного генератора одиночных импуль-  
сов, вход и выход которого соедине-  
ны соответственно с нулевым и еди-  
ничным входами вспомогательного  
S-триггера, нулевой вход которого  
соединен с выходом второго делителя,  
вход которого является первым выхо-  
дом блока синхронизации и соединен  
с выходом первого делителя частоты,  
вход которого является вторым  
входом блока синхронизации и соеди-  
нен с выходом генератора тактовых  
импульсов, третий и четвертый вы-  
ходы блока синхронизации соединены  
соответственно с выходом второго де-  
лителя и прямым выходом вспомога-  
тельного S-триггера, а регистр прие-  
ма импульсов содержит дополнитель-  
ные элементы ИЛИ, выход каждого из  
которых соединен с первым входом  
следующего через вспомогательные  
элементы задержки, тактовые входы  
которых соединены с тактовым входом  
регистра приема, информационный вход  
которого соединен с первым входом пер-  
вого дополнительного элемента ИЛИ,  
а вторые входы дополнительных элемен-  
тов ИЛИ являются входами регистра  
приема, выход которого соединен с вы-  
ходом последнего дополнительного  
элемента ИЛИ, о т л и ч а ю щ е е с я  
тем, что, с целью расширения функци-  
ональных возможностей путем многока-  
нального разностного счета, в него  
введен дополнительный регистр приема,  
2K генераторов одиночных импульсов,  
где K количество суммирующих и вычи-  
тающих входов устройства, второй  
S-триггер, четвертый элемент И, пер-  
вый, второй и третий элементы ИСКЛЮ-

(19) **SU** (11) **1160563** **A**

ЧАЮЩЕЕ ИЛИ, информационный вход регистра результата соединен с выходом первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, первый и второй входы которого соединены соответственно с выходом регистра результата и выходом элемента задержки, нулевой вход первого S-триггера соединен с выходом элемента ИЛИ, первый вход которого соединен с выходом второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, первый и второй входы которого соединены соответственно с выходом регистра результата и инверсным выходом второго S-триггера, выход дополнительного регистра приема соединен с первыми входами третьего и четвертого элементов И и третьего элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, выход и второй вход которого соединены соответственно с вторым входом первого элемента И и с выходом регистра приема, информационный вход дополнительного регистра приема соединен с выходом четвертого элемента И, второй вход которого соединен с выходом элемента НЕ, первый выход блока синхронизации соединен с вторыми вхо-

дами третьего элемента И, элемента ИЛИ и с нулевым входом второго S-триггера, единичный вход которого соединен с выходом третьего элемента И, второй выход блока синхронизации соединен с входами синхронизации регистра результата, регистра приема и дополнительного регистра приема, третий выход блока синхронизации соединен с тактовыми входами с первого по 2K-й генераторов одиночных импульсов, четвертый выход блока синхронизации соединен с входом управления регистра результата, вход ввода данных которого соединен с нулевой шиной устройства, входы суммирования с первого по K-й соединены с входами управления с первого по K-й генераторов одиночных импульсов, выходы которых соединены с соответствующими входами регистра приема, входы вычитания с первого по K-й соединены соответственно с входами управления с (K+1)-го по 2K-й генераторов одиночных импульсов, выходы которых соединены соответственно с входами дополнительного регистра приема.

## 1

Изобретение относится к автоматике и вычислительной технике и может быть использовано в различных областях техники и промышленности для раздельной регистрации входных воздействий любой физической природы, поступающих одновременно по нескольким параллельным каналам, например для раздельной регистрации количества производимой продукции различных типов и т.п.

Известно устройство счета импульсов, содержащее регистры приема, элемент памяти и сумматор, выход которого соединен с информационными входами регистров приема, выходы которых через анализаторы соединены с входами сумматора, а также с входами элемента памяти, выходы которого соединены с управляющими входами регистров приема и анализаторов [1].

Недостатками этого устройства являются ограниченные функциональные

## 2

возможности и необходимость сравнительно больших аппаратных затрат на их реализацию.

Наиболее близким к предложенному является устройство для счета импульсов, содержащее блок синхронизации, регистр результата, регистр приема, первый S-триггер, первый, второй и третий элементы И, элемент ИЛИ, элемент НЕ и элемент задержки, первый выход блока синхронизации соединен с первым входом первого элемента И, выход которого соединен с единичным входом первого S-триггера, прямой выход которого соединен с входом элемента задержки, выход регистра приема соединен с первым входом второго элемента И, выход и второй вход которого соединены соответственно с информационным входом регистра приема и с выходом элемента НЕ, вход которого соединен с первым выходом блока синхронизации, который содер-

жит генератор тактовых импульсов, первый и второй делители, вспомогательный генератор одиночных импульсов, вспомогательный S-триггер, коммутатор и инвертор, вход которого соединен с первым входом коммутатора и общей шиной, выход инвертора соединен с вторым входом коммутатора, выход которого соединен с управляющим входом вспомогательного генератора одиночных импульсов, вход и выход которого соединены соответственно с нулевым и единичным входами вспомогательного S-триггера, нулевой вход которого соединен с выходом второго делителя, вход которого является первым выходом блока синхронизации и соединен с выходом первого делителя частоты, вход которого является вторым входом блока синхронизации и соединен с выходом генератора тактовых импульсов, третий и четвертый выходы блока синхронизации соединены соответственно с выходом второго делителя и прямым выходом вспомогательного S-триггера, а регистр приема импульсов содержит дополнительные элементы ИЛИ, выход каждого из которых соединен с первым входом следующего через вспомогательные элементы задержки, тактовые входы которых соединены с тактовым входом регистра приема, информационный вход которого соединен с первым входом первого дополнительного элемента ИЛИ, а вторые входы дополнительных элементов ИЛИ являются входами регистра приема, выход которого соединен с выходом последнего дополнительного элемента ИЛИ [2].

Недостатком известного устройства для счета импульсов являются ограниченные функциональные возможности, поскольку оно не обеспечивает работы в режиме сложения и вычитания.

Цель изобретения - расширение функциональных возможностей путем многоканального разностного счета.

Поставленная цель достигается тем, что в устройство для счета импульсов, содержащее блок синхронизации, регистр результата, регистр приема, первый S-триггер, первый, второй и третий элементы И, элемент ИЛИ, элемент НЕ и элемент задержки, первый выход блока синхронизации соединен с первым входом первого элемента И, выход которого соединен

с единичным входом первого S-триггера, прямой выход которого соединен с входом элемента задержки, выход регистра приема соединен с первым входом второго элемента И, выход и второй вход которого соединены соответственно с информационным входом регистра приема и с выходом элемента НЕ, вход которого соединен с первым выходом блока синхронизации, который содержит генератор тактовых импульсов, первый и второй делители, вспомогательный генератор одиночных импульсов, вспомогательный S-триггер, коммутатор и инвертор, вход которого соединен с первым входом коммутатора и общей шиной, выход инвертора соединен с вторым входом коммутатора, выход которого соединен с управляющим входом вспомогательного генератора одиночных импульсов, вход и выход которого соединены соответственно с нулевым и единичным входами вспомогательного S-триггера, нулевой вход которого соединен с выходом второго делителя, вход которого является первым выходом блока синхронизации и соединен с выходом первого делителя частоты, вход которого является вторым входом блока синхронизации и соединен с выходом генератора тактовых импульсов, третий и четвертый выходы блока синхронизации соединены соответственно с выходом второго делителя и прямым выходом вспомогательного S-триггера, а регистр приема импульсов содержит дополнительные элементы ИЛИ, выход каждого из которых соединен с первым входом следующего через вспомогательные элементы задержки, тактовые входы которых соединены с тактовым входом регистра приема, информационный вход которого соединен с первым входом первого дополнительного элемента ИЛИ, а вторые входы дополнительных элементов ИЛИ являются входами регистра приема, выход которого соединен с выходом последнего дополнительного элемента ИЛИ, введен дополнительный регистр приема, 2K генераторов одиночных импульсов, где K количество суммирующих и вычитающих входов устройства, второй S-триггер, четвертый элемент И, первый, второй и третий элементы ИСКЛЮЧАЮЩЕЕ ИЛИ, информационный вход регистра результата соединен с выходом первого элемента

ИСКЛЮЧАЮЩЕЕ ИЛИ, первый и второй входы которого соединены соответственно с выходом регистра результата и выходом элемента задержки, нулевой вход первого S-триггера соединен с выходом элемента ИЛИ, первый вход которого соединен с выходом второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, первый и второй входы которого соединены соответственно с выходом регистра результата и инверсным выходом второго S-триггера, выход дополнительного регистра приема соединен с первыми входами третьего и четвертого элементов И и третьего элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, выход и второй вход которого соединены соответственно с вторым входом первого элемента И и с выходом регистра приема, информационный вход дополнительного регистра приема соединен с выходом четвертого элемента И, второй вход которого соединен с выходом элемента НЕ, первый выход блока синхронизации соединен с вторыми входами третьего элемента И, 25 элемента ИЛИ и с нулевым входом второго S-триггера, единичный вход которого соединен с выходом третьего элемента И, второй выход блока синхронизации соединен с входами синхронизации 30 регистра результата, регистра приема и дополнительного регистра приема, третий выход блока синхронизации соединен с тактовыми входами с первого по 2K-й генераторов одиночных импульсов, четвертый выход блока синхронизации соединен с входом управления регистра результата, вход ввода данных которого соединен с нулевой шиной 40 устройства, входы суммирования с первого по K-й соединены с входами управления с первого по K-й генераторов одиночных импульсов, выходы которых соединены с соответствующими входами регистра приема, входы вычитания 45 с первого по K-й соединены соответственно с входами управления с (K+1)-го по 2K-й генераторов одиночных импульсов, выходы которых соединены соответственно с входами дополнительного регистра приема. 50

На фиг. 1 показана структурная схема устройства для счета импульсов; на фиг. 2 - структурная схема блока синхронизации; на фиг. 3 - структурная 55 схема регистра приема.

Устройство для счета импульсов содержит блок 1 синхронизации, ре-

гистр 2 результата, регистр 3 приема, дополнительный регистр 4 приема, 2K генераторов 5 и 6 одиночных импульсов, где K - число входов суммирования 7 и вычитания 8, первый 9 и второй 10 S-триггеры, первый 11, второй 12, третий 13 и четвертый 14 элементы И, элемент ИЛИ 15, элемент НЕ 16, элемент 17 задержки, первый 18, второй 19 и третий 20 элементы ИСКЛЮЧАЮЩЕЕ ИЛИ.

Первый выход блока 1 синхронизации соединен с первым входом первого элемента И 11, выход которого соединен с единичным входом первого S-триггера 9, прямой выход которого соединен с входом элемента 17 задержки, выход регистра 3 приема соединен с первым входом второго элемента И 12, выход и второй вход которого соединены соответственно с информационным входом регистра 3 приема и с выходом элемента НЕ 16, вход которого соединен с первым выходом блока 1 синхронизации, который содержит генератор 21 тактовых импульсов, первый 22 и второй 23 делителя, вспомогательный генератор 24 одиночных импульсов, вспомогательный S-триггер 25, коммутатор 26 и инвертор 27, вход которого соединен с первым входом коммутатора 26 и общей шиной 28, выход инвертора 27 соединен с вторым входом коммутатора 26, выход которого соединен с управляющим входом вспомогательного генератора 24 одиночных импульсов, вход и выход которого соединены соответственно с нулевым и единичным входами вспомогательного S-триггера 25, нулевой вход которого соединен с выходом второго делителя 23, вход которого является первым выходом блока синхронизации и соединен с выходом первого делителя 22 частоты, вход которого является вторым входом блока синхронизации и соединен с выходом генератора 21 тактовых импульсов, третий и четвертый выходы блока 1 синхронизации соединены соответственно с выходом второго делителя 23 и прямым выходом вспомогательного S-триггера 25, а регистры 3 и 4 приема импульсов содержат дополнительные элементы ИЛИ 29, выход каждого из которых соединен с первым входом следующего через вспомогательные элементы 30 задержки, тактовые входы которых

соединены с тактовым входом регистра 3 или 4 приема, информационный вход которого соединен с первым входом первого дополнительного элемента ИЛИ, а вторые входы дополнительных элементов ИЛИ являются входами регистра приема, выход которого соединен с выходом последнего дополнительного элемента ИЛИ, информационный вход регистра 2 результата соединен с выходом первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 18, первый и второй входы которого соединены соответственно с выходом регистра 2 результата и выходом элемента 17 задержки, нулевой вход первого S-триггера 9 соединен с выходом элемента ИЛИ 15, первый вход которого соединен с выходом второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 19, первый и второй входы которого соединены соответственно с выходом регистра 2 результата и инверсным выходом второго S-триггера 10, выход дополнительного регистра 4 приема соединен с первыми входами третьего 13 и четвертого 14 элементов И и третьего элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 20, выход и второй вход которого соединены соответственно с вторым входом первого элемента И и с выходом регистра 3 приема, информационный вход дополнительного регистра 4 приема соединен с выходом четвертого элемента И, второй вход которого соединен с выходом элемента НЕ 16, первый выход блока 1 синхронизации соединен с вторыми входами третьего элемента И 13, элемента ИЛИ 15 и с нулевым входом второго S-триггера 10, единичный вход которого соединен с выходом третьего элемента И 13, второй выход блока 1 синхронизации соединен с входами синхронизации регистра 2 результата, регистра 3 приема и дополнительного регистра 4 приема, третий выход блока 1 синхронизации соединен с тактовыми входами с первого по 2K-й генераторов 5 и 6 одиночных импульсов, четвертый выход блока 1 синхронизации соединен с входом управления регистра 2 результата, вход ввода данных которого соединен с нулевой шиной устройства, входы 7 суммирования с первого по n-й соединены с входами управления с первого по K-й генераторов 5 одиночных импульсов, выходы которых соединены

с соответствующими входами регистра 3 приема, входы 8 вычитания с первого по K-й соединены соответственно с входами управления с (K+1)-го по 2K-й генераторов 6 одиночных импульсов, выходы которых соединены соответственно с входами дополнительного регистра 4 приема.

Устройство для счета импульсов работает следующим образом.

В исходном состоянии триггеры 9 и 10 находятся в нулевом состоянии, в которое их устанавливает последовательность импульсов, действующая на первом выходе блока 1 синхронизации. Регистр 2 результата устанавливается в нулевое состояние по единичному сигналу, формируемому на четвертом выходе блока 1 синхронизации, по которому осуществляется запись нулевого кода, действующего на входе ввода данных регистра 2 результата.

Генератор 21 тактовых импульсов (фиг. 2) вырабатывает последовательность тактовых импульсов частоты  $f$ , которая поступает на второй выход блока 1 синхронизации. Делитель 22 частоты формирует из выходных сигналов генератора 21 тактовых импульсов последовательность импульсов частоты  $f/n$ , которая поступает на первый выход блока 1 синхронизации. Делитель 23 частоты формирует из выходных сигналов делителя 22 частоты последовательность импульсов частоты  $f/n \cdot K$ , где  $K$  - количество входных каналов устройства, которая поступает на третий выход блока 1 синхронизации.

Установка регистра 2 результата в нулевое состояние осуществляется с помощью коммутатора 26, выполненного, например, в виде кнопочного переключателя. Коммутатор 26 подключает сигнал логической единицы, действующий на выходе элемента инвертора 27, к входу управления генератора 24 одиночных импульсов, который выделяет одиночный импульс из последовательности выходных импульсов делителя 23 частоты. Выходной импульс генератора 24 одиночных импульсов устанавливает триггер 25 в единичное состояние, в котором он находится  $nK$  тактов и сбрасывается в нулевое состояние следующим импульсом делителя 23 частоты. Сигнал прямого

выхода триггера 25 поступает на четвертый выход блока 1 синхронизации и вход управления регистра 2 результата, обеспечивая установку его в нулевое состояние.

Регистр 2 результата имеет возможность хранить динамическим способом  $K$  двоичных кодов по  $n$  разрядов в каждом. Количество входных каналов  $K$  устройства, равное коэффициенту деления делителя 23 частоты, выбирается равным  $n$  - коэффициенту деления делителя 22 частоты.

Количество разрядов регистра 3 приема положительных импульсов и регистра 4 приема отрицательных импульсов выбирается равным  $K-1$  (или  $n-1$ ).

В исходном состоянии триггер 9 поддерживает через элемент 17 задержки на такт на втором входе элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 18 нулевой логический сигнал. Это обеспечивает подключение (через элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 18) выхода регистра 2 результата к его информационному входу. Регистр 3 приема положительных импульсов и регистр 4 приема отрицательных импульсов устанавливаются в нулевое состояние последовательностью импульсов первого выхода блока 1 синхронизации, которая через элемент НЕ 16 блокирует элементы И 12 и 14.

Исходное состояние устройства для счета импульсов сохраняется до поступления по входам 7 и 8 устройства последовательностей положительных и отрицательных импульсов соответственно.

Если на входы 7 устройства начнут поступать последовательности положительных импульсов по  $K$  параллельным каналам, то устройство осуществляет независимый счет положительных импульсов по каждому каналу следующим образом.

Импульсы последовательностей, действующих на входах 7 устройства, запускают соответствующие генераторы 5 одиночных импульсов, которые пропускают на входы ввода данных регистра 3 приема положительных импульсов одиночные счетные импульсы из последовательности, действующей на третьем выходе блока 1 синхронизации. Счетный импульс первого канала с выхода генератора 5 одиноч-

ных импульсов поступает через элемент ИЛИ 29 на выход регистра 3 приема положительных импульсов и через элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 20 открывает элемент И 11, через который импульсный сигнал первого выхода блока 1 синхронизации проходит на единичный вход триггера 9. В это время элемент И 12 блокирован импульсным сигналом первого выхода блока 1 синхронизации, действующим через элемент НЕ 16, что обеспечивает стирание счетного импульса первого канала.

Установка триггера 9 в единичное состояние приводит к формированию на его прямом выходе единичного сигнала, который задерживается элементом 17 задержки на такт и начинает действовать на втором входе элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 18 в момент сдвига младшего разряда начального нулевого кода первого канала с выхода регистра 2 результата. Сдвиг кодов в регистре 2 результата осуществляется под действием последовательности тактовых импульсов второго выхода блока 1 синхронизации. Элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 18 формирует единичный логический сигнал, который записывается в младший разряд кода первого канала регистра 2 результата. В это время на выходе элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 19 также формируется единичный сигнал, так как триггер 10 находится в нулевом состоянии. Выходной сигнал элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 19 через элемент ИЛИ 15 поступает на нулевой вход триггера 9 и устанавливает его в нулевое состояние. Спустя такт в момент сдвига второго разряда кода первого канала с выхода регистра 2 результата на выходе элемента 17 задержки сформируется нулевой логический сигнал, который обеспечивает перезапись кодов через элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 18 с выхода регистра 2 результата на его информационный вход.

Во время перезаписи  $n$ -разрядного кода первого канала с выхода регистра 2 результата на его вход через элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 18 в регистре 3 приема положительных импульсов под действием тактовых импульсов второго выхода блока 1 синхронизации происходит перезапись счетных импульсов всех каналов, кроме первого,

с выхода регистра 3 приема положительных импульсов на его информационный вход через элемент И 12. Поскольку регистр 3 приема положительных импульсов содержит и-1 элементов 30 задержки на такт, то на его выходе в момент сдвига из регистра 2 результата младшего разряда кода второго канала действует счетный импульс второго канала, который через элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 20 открывает элемент И 11 и вновь установит триггер 9 в единичное состояние. Установка триггера 9 в единичное состояние приведет к формированию в младшем разряде кода второго канала единичного логического сигнала аналогично процессу формирования кода первого канала.

Если на все входы 7 устройства одновременно поступили счетные положительные импульсы, то за время тактов в регистре 2 результата сформируется K кодов, в младших разрядах которых записывается единичный сигнал аналогично процессу формирования кода первого канала.

Вторые импульсы последовательностей, действующих на входах 7 устройства, вновь запускают генераторы 5 одиночных импульсов, которые формируют счетные импульсы, поступающие в регистр 3 приема положительных импульсов. Второй импульс последовательности, действующий на выходе генератора 5 одиночных импульсов первого канала, через элемент ИЛИ 29 поступает на выход регистра 3 приема положительных импульсов и через элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 20 открывает элемент И 11, выходной сигнал которого устанавливает триггер 9 в единичное состояние. Единичный логический сигнал с прямого выхода триггера 9 через элемент 17 задержки начинает действовать на втором входе элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 18 в момент сдвига младшего разряда кода первого канала. Элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 18 инвертирует, начиная с младшего разряда, двоичный код первого канала, сдвигаемый с выхода регистра 2 результата, до первого нулевого сигнала на выходе регистра 2 результата, который приведет к формированию на выходе элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 19 единичного логического сигнала, который через элемент ИЛИ 15

вернет триггер 9 в нулевое состояние. В рассматриваемом случае первый нулевой сигнал на выходе регистра 2 результата сформируется во время сдвига второго разряда кода первого канала. Спустя такт после установки триггера 9 в нулевое состояние на выходе элемента 17 задержки сформируется нулевой логический сигнал, который обеспечивает перезапись следующих разрядов кода через элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 18 без изменения. Таким образом, второй счетный положительный импульс первого канала приведет к формированию кода 00...010 первого канала в регистре 2 результата.

Аналогичным образом формируются коды второго и всех последующих каналов в регистре 2 результата под действием счетных импульсов на выходе регистра 3 приема положительных импульсов.

Если на входы 8 устройства поступают последовательности отрицательных импульсов, то генераторы 6 одиночных импульсов пропускают счетные импульсы третьего выхода блока 1 синхронизации на входы ввода данных регистра 4 приема отрицательных импульсов, в котором осуществляется сдвиг счетных импульсов под действием тактовых импульсов второго выхода блока 1 синхронизации. Счетный импульс отрицательной последовательности первого канала, сдвигаемый на выход регистра 4 приема отрицательных импульсов открывает элемент И 13, через который импульсный сигнал первого выхода блока 1 синхронизации устанавливает триггер 10 в единичное состояние. Одновременно счетный отрицательный импульс первого канала стирается благодаря блокировке элемента И 14 импульсным сигналом первого выхода блока 1 синхронизации, действующим через элемент НЕ 16.

Если на входы 7 и 8 первого канала поступили одновременно импульсы положительной и отрицательной последовательности, то одновременный сдвиг положительных и отрицательных импульсов с выходов регистров 3 и 4 соответственно приведет к блокировке элемента И 11 нулевым логическим сигналом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 20. Триггер 9 в этом случае

сохранит нулевое состояние, и двоичный код первого канала переписывается без изменения через элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 18 с выхода регистра 2 результата на его информационный вход.

Если в момент поступления отрицательного импульса на вход 8 первого канала на входе 7 первого канала отсутствует импульс положительной последовательности, то на выходе элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 20 формируется единичный логический сигнал, который открывает элемент И 11 и приводит к установке триггера 9 в единичное состояние. К моменту сдвига младшего разряда кода первого канала из регистра 2 результата на выходе элемента 17 задержки начнет действовать единичный логический сигнал прямого выхода триггера 9. Элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 18 инвертирует, начиная с младшего разряда, двоичный код первого канала до первого единичного сигнала, сдвигаемого из регистра 2 результата, который обеспечивает формирование на выходе элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 19 единичного сигнала, так как на инверсном выходе триггера 10 действует нулевой логический сигнал. Единичный логический сигнал с выхода элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 19 через элемент ИЛИ 15 устанавливает триггер 9 в нулевое состояние и в следующем такте на выходе элемента 17 задержки формируется нулевой логический сигнал прямого выхода триггера 9. Таким образом, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 18 после первого, начиная с младшего разряда, единичного логического сигнала кода первого канала переходит из режима инвертирования двоичного кода в режим повторения выходных сигналов регистра 2 результата. В результате код первого канала уменьшается на единицу младшего разряда. Например, код 0...01000, сдвигаемый из регист-

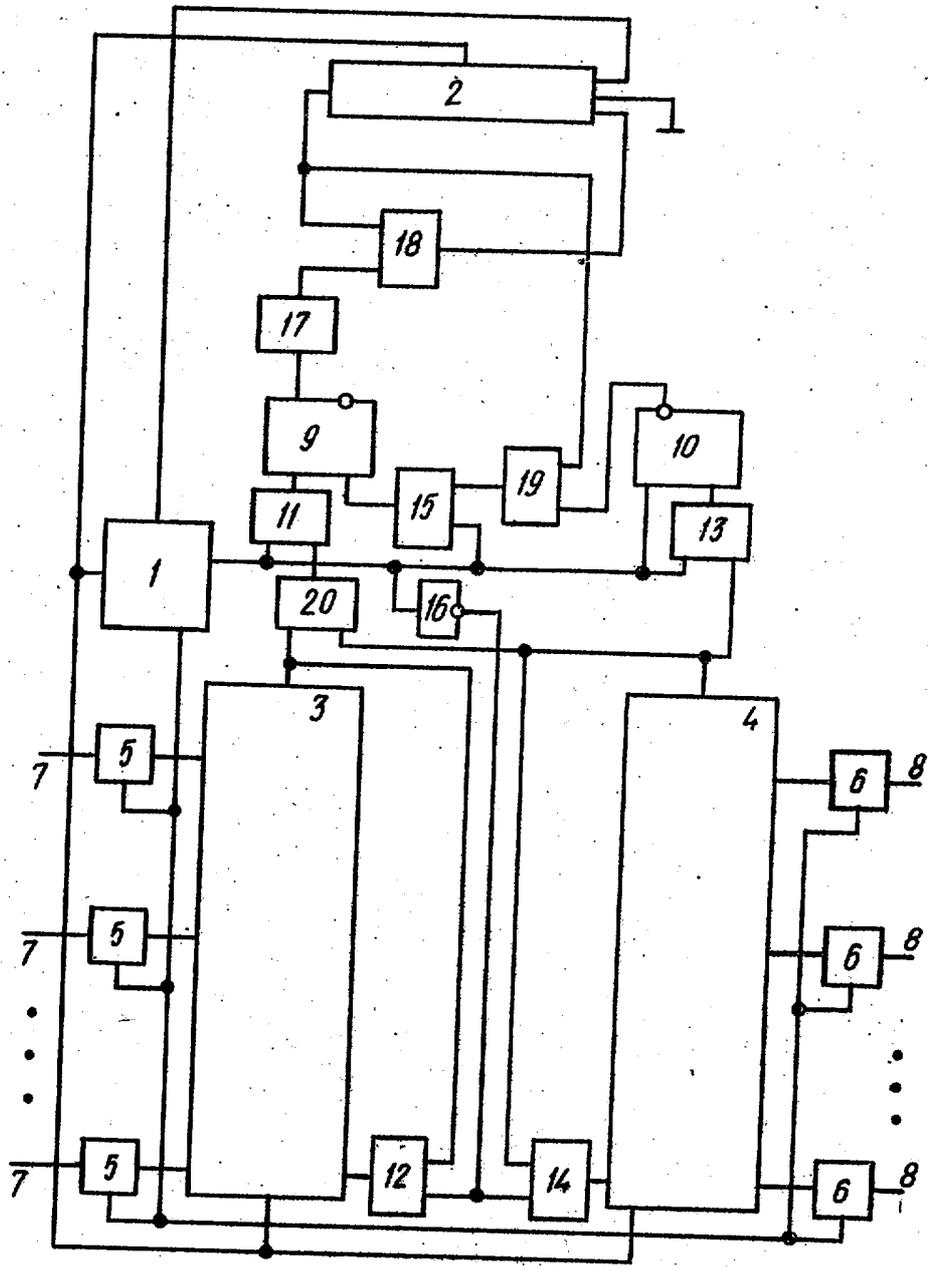
ра 2 результата, преобразуется элементом ИСКЛЮЧАЮЩЕЕ ИЛИ 18 в код 0...00111, который поступает на информационный вход регистра 2 результата и записывается в него.

Спустя  $nK$  тактов после формирования на выходе регистра 4 приема отрицательных импульсов счетного отрицательного импульса первого канала на выходе регистра 4 приема отрицательных импульсов сформируется отрицательный импульс второго канала, который уменьшит двоичный код второго канала, сдвигаемый из регистра 2 результата, на единицу младшего разряда таким же образом, как и счетный отрицательный импульс первого канала.

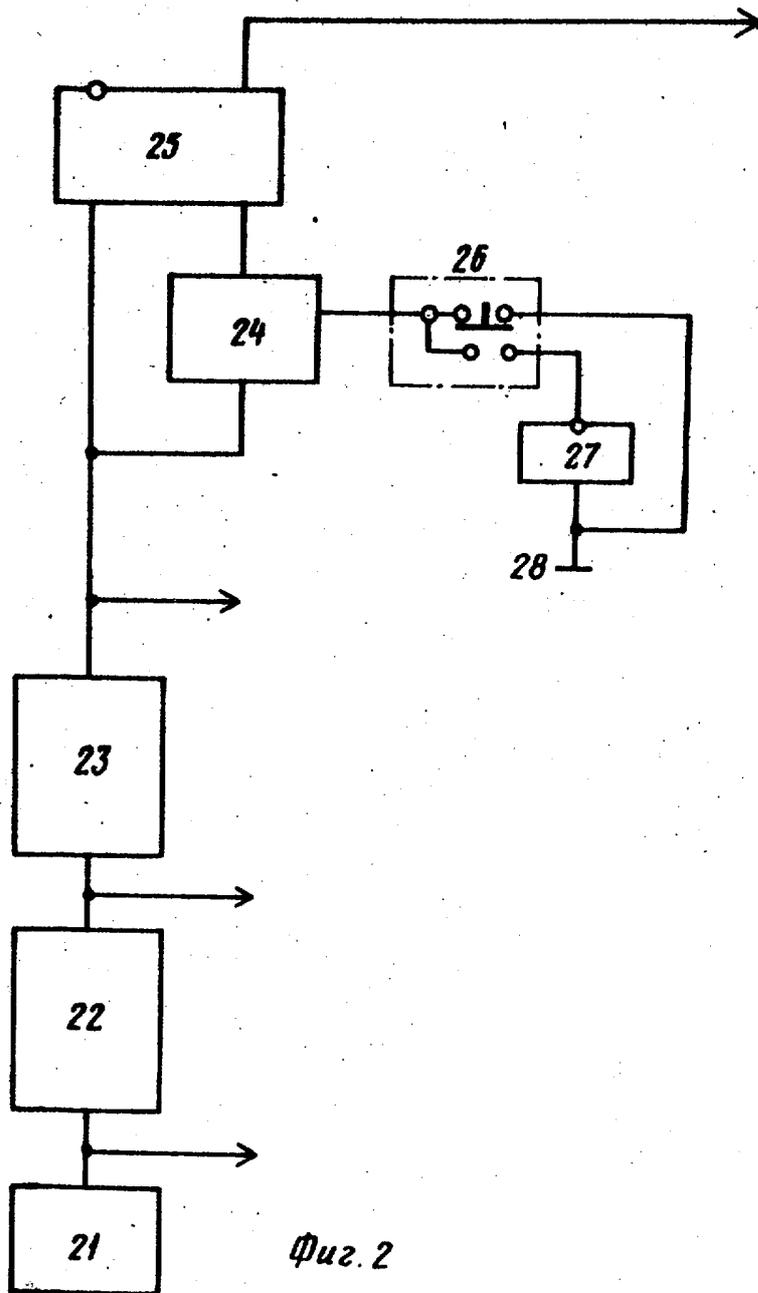
Операция вычитания счетных отрицательных импульсов, действующих на выходе регистра 4 приема отрицательных импульсов, из двоичных кодов регистра 2 результата во всех последующих каналах осуществляется аналогичным образом. За время  $nK$  тактов счетные отрицательные импульсы, действующие одновременно на входах 8 устройства, уменьшают на единицу младшего разряда коды всех  $K$  каналов в регистре 2 результата, а регистр 4 приема отрицательных импульсов устанавливается в нулевое состояние.

Дальнейший счет положительных и отрицательных импульсов, поступающих по входам 7 и 8 соответственно, устройство для счета импульсов осуществляет аналогичным образом, а в регистре 2 результата фиксируется динамическим способом  $K$  двоичных кодов по  $n$  разрядов в каждом результате реверсивного счета по параллельным каналам.

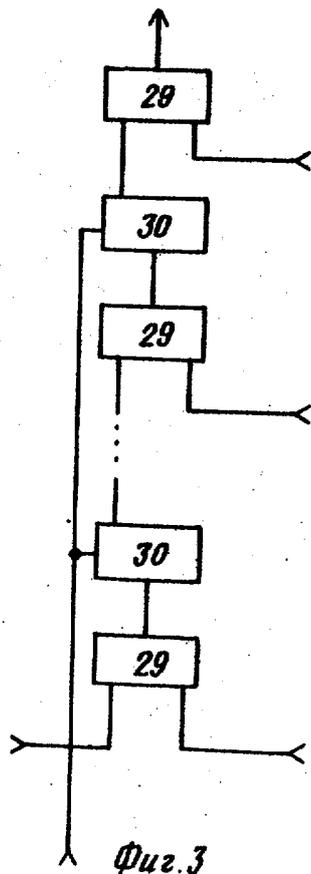
Таким образом, обеспечивается одновременный многоканальный счет разности входных импульсов, что расширяет функциональные возможности устройства.



*Qua.1*



Фиг. 2



Фиг. 3

Составитель О. Скворцов  
 Редактор Р. Цицика    Техред А. Кикемезей    Корректор Г. Решетник

Заказ 3842/54    Тираж 872    Подписное  
 ВНИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4