

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7615059号
(P7615059)

(45)発行日 令和7年1月16日(2025.1.16)

(24)登録日 令和7年1月7日(2025.1.7)

(51)国際特許分類		F I		
H 0 4 N	25/771 (2023.01)	H 0 4 N	25/771	
H 0 4 N	25/77 (2023.01)	H 0 4 N	25/77	
H 1 0 F	39/18 (2025.01)	H 0 1 L	27/146	A
G 0 1 S	7/4914(2020.01)	G 0 1 S	7/4914	
G 0 1 S	17/894(2020.01)	G 0 1 S	17/894	
請求項の数 19 (全57頁)				
(21)出願番号	特願2021-574008(P2021-574008)	(73)特許権者	316005926	
(86)(22)出願日	令和3年1月25日(2021.1.25)		ソニーセミコンダクタソリューションズ株式会社	
(86)国際出願番号	PCT/JP2021/002376		神奈川県厚木市旭町四丁目1 4 番1 号	
(87)国際公開番号	WO2021/153480	(74)代理人	100121131	
(87)国際公開日	令和3年8月5日(2021.8.5)		弁理士 西川 孝	
審査請求日	令和5年12月8日(2023.12.8)	(74)代理人		
(31)優先権主張番号	特願2020-12436(P2020-12436)		稲本 義雄	
(32)優先日	令和2年1月29日(2020.1.29)	(74)代理人	100168686	
(33)優先権主張国・地域又は機関	日本国(JP)		弁理士 三浦 勇介	
		(72)発明者	荒井 英樹	
			神奈川県厚木市旭町四丁目1 4 番1 号	
			ソニーセミコンダクタソリューションズ株式会社内	
		(72)発明者	大竹 悠介	
				最終頁に続く

(54)【発明の名称】 撮像素子、撮像装置、測距装置

(57)【特許請求の範囲】

【請求項1】

光電変換を行う光電変換部と、
前記光電変換部により得られた電荷を蓄積する電荷蓄積部と、
前記光電変換部から前記電荷蓄積部に電荷を転送する転送部と、
前記電荷蓄積部をリセットするリセット部と、
前記リセット部に印加される電圧の制御を行うリセット電圧制御部と、
前記電荷蓄積部への容量の付加を制御する付加制御部と
を備え、
前記電荷蓄積部は、2領域であり、一方の領域は第1の画素に設けられ、他方の領域は
前記第1の画素に隣接する第2の画素に設けられている

撮像素子。

【請求項2】

前記電荷蓄積部を構成する2領域のうちの1領域は、前記転送部に接続され、他の1領域は前記付加制御部に接続されている

請求項1に記載の撮像素子。

【請求項3】

前記光電変換部が設けられている基板に前記電荷蓄積部を構成する前記2領域が設けられ、

前記基板に積層されている配線層に、前記2領域を接続する配線が設けられている

請求項 1 に記載の撮像素子。

【請求項 4】

光電変換を行う光電変換部と、

前記光電変換部により得られた電荷を蓄積する複数の電荷蓄積部と、

前記光電変換部から前記複数の電荷蓄積部のそれぞれに電荷を転送する複数の転送部と、

前記複数の電荷蓄積部のそれぞれをリセットする複数のリセット部と、

前記複数のリセット部にそれぞれ印加される電圧の制御を行う複数のリセット電圧制御部と、

前記複数の電荷蓄積部への容量の付加をそれぞれ制御する複数の付加制御部と

を備え、

前記複数の電荷蓄積部のそれぞれの電荷蓄積部は、複数の領域から構成され、

前記光電変換部が設けられている基板に前記電荷蓄積部を構成する複数の領域が設けられ、

前記基板に積層されている配線層に、前記複数の領域を接続する配線が設けられ、

前記複数の領域を接続する前記配線が設けられている層とは異なる層に、前記電荷蓄積部の一部をなす配線が設けられている

撮像素子。

【請求項 5】

前記電荷蓄積部を構成する複数の領域のうちの 1 領域は、前記転送部に接続され、他の 1 領域は前記付加制御部に接続されている

請求項 4 に記載の撮像素子。

【請求項 6】

前記配線層には、前記リセット電圧制御部に接続され、寄生容量として機能する配線が設けられている

請求項 4 に記載の撮像素子。

【請求項 7】

前記複数の電荷蓄積部、前記複数の転送部、前記複数のリセット部、前記複数のリセット電圧制御部、前記複数の付加制御部は、線対称に配置されている

請求項 4 に記載の撮像素子。

【請求項 8】

前記光電変換部により得られた電荷を排出する排出部をさらに備え、

前記排出部も線対称に配置されている

請求項 7 に記載の撮像素子。

【請求項 9】

前記排出部は、前記転送部と直角をなす位置に配置されている

請求項 8 に記載の撮像素子。

【請求項 10】

前記排出部と前記転送部は、前記光電変換部の 1 辺に並んで配置されている

請求項 8 に記載の撮像素子。

【請求項 11】

前記転送部は、縦型ゲートを備える

請求項 4 に記載の撮像素子。

【請求項 12】

前記転送部は、前記縦型ゲートを複数備え、

前記縦型ゲートの深さは異なる

請求項 11 に記載の撮像素子。

【請求項 13】

前記転送部は、第 1 のゲートと第 2 のゲートを備え、

前記第 1 のゲートは、前記光電変換部と前記電荷蓄積部との間に配置され、前記第 2 のゲートは、前記光電変換部に重畳される位置に配置されている

10

20

30

40

50

請求項 4 に記載の撮像素子。

【請求項 1 4】

前記第 1 のゲートまたは前記第 2 のゲートの少なくとも一方は、縦型ゲートである
請求項 1 3 に記載の撮像素子。

【請求項 1 5】

前記第 1 のゲートと前記第 2 のゲートは、同時に駆動される
請求項 1 4 に記載の撮像素子。

【請求項 1 6】

光電変換を行う光電変換部と、
前記光電変換部により得られた電荷を蓄積する電荷蓄積部と、
前記光電変換部から前記電荷蓄積部に電荷を転送する転送部と、
前記電荷蓄積部をリセットするリセット部と、
前記リセット部に印加される電圧の制御を行うリセット電圧制御部と、
前記電荷蓄積部への容量の付加を制御する付加制御部と
を備え、

前記電荷蓄積部は、2 領域であり、一方の領域は第 1 の画素に設けられ、他方の領域は
前記第 1 の画素に隣接する第 2 の画素に設けられている

撮像素子と、
前記撮像素子からの信号を処理する処理部と
を備える撮像装置。

【請求項 1 7】

光電変換を行う光電変換部と、
前記光電変換部により得られた電荷を蓄積する複数の電荷蓄積部と、
前記光電変換部から前記複数の電荷蓄積部のそれぞれに電荷を転送する複数の転送部と、
前記複数の電荷蓄積部のそれぞれをリセットする複数のリセット部と、
前記複数のリセット部にそれぞれ印加される電圧の制御を行う複数のリセット電圧制御
部と、

前記複数の電荷蓄積部への容量の付加をそれぞれ制御する複数の付加制御部と
を備え、

前記複数の電荷蓄積部のそれぞれの電荷蓄積部は、複数の領域から構成され、
前記光電変換部が設けられている基板に前記電荷蓄積部を構成する複数の領域が設けら
れ、

前記基板に積層されている配線層に、前記複数の領域を接続する配線が設けられ、
前記複数の領域を接続する前記配線が設けられている層とは異なる層に、前記電荷蓄積
部の一部をなす配線が設けられている

撮像素子と、
前記撮像素子からの信号を処理する処理部と
を備える撮像装置。

【請求項 1 8】

照射光を発光する発光部と、
前記発光部からの光が物体に反射された反射光を受光する受光素子と
を備え、
前記受光素子は、
光電変換を行う光電変換部と、
前記光電変換部により得られた電荷を蓄積する電荷蓄積部と、
前記光電変換部から前記電荷蓄積部に電荷を転送する転送部と、
前記電荷蓄積部をリセットするリセット部と、
前記リセット部に印加される電圧の制御を行うリセット電圧制御部と、
前記電荷蓄積部への容量の付加を制御する付加制御部と
を備え、

前記電荷蓄積部は、2領域であり、一方の領域は第1の画素に設けられ、他方の領域は前記第1の画素に隣接する第2の画素に設けられている

測距装置。

【請求項19】

照射光を発光する発光部と、

前記発光部からの光が物体に反射された反射光を受光する受光素子と

を備え、

前記受光素子は、

光電変換を行う光電変換部と、

前記光電変換部により得られた電荷を蓄積する複数の電荷蓄積部と、

前記光電変換部から前記複数の電荷蓄積部のそれぞれに電荷を転送する複数の転送部と、

前記複数の電荷蓄積部のそれぞれをリセットする複数のリセット部と、

前記複数のリセット部にそれぞれ印加される電圧の制御を行う複数のリセット電圧制御部と、

前記複数の電荷蓄積部への容量の付加をそれぞれ制御する複数の付加制御部と

を備え、

前記複数の電荷蓄積部のそれぞれの電荷蓄積部は、複数の領域から構成され、

前記光電変換部が設けられている基板に前記電荷蓄積部を構成する複数の領域が設けられ、

前記基板に積層されている配線層に、前記複数の領域を接続する配線が設けられ、

前記複数の領域を接続する前記配線が設けられている層とは異なる層に、前記電荷蓄積部の一部をなす配線が設けられている

測距装置。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は撮像素子、撮像装置、測距装置に関し、例えば、ノイズを低減するようにした撮像素子、撮像装置、測距装置に関する。

【背景技術】

【0002】

従来、デジタルスチルカメラやデジタルビデオカメラなどの撮像機能を備えた電子機器においては、例えば、CCD (Charge Coupled Device) やCMOS (Complementary Metal Oxide Semiconductor) イメージセンサなどの撮像素子が使用されている。

【0003】

撮像素子は、光電変換を行うPD (photodiode: フォトダイオード) と複数のトランジスタとが組み合わされた画素を有しており、平面的に配置された複数の画素から出力される画素信号に基づいて画像が構築される。また、画素から出力される画素信号は、例えば、画素の列毎に配置された複数のAD (Analog to Digital) 変換器によって並列的にAD変換されて出力される。

【0004】

特許文献1では、画素毎のkTCノイズを含めてキャンセルを実施するための手法として、露光開始の前後に2度の読み出しを実施することが提案されている。この提案では、まず露光開始前にリセットがかけられ、画素毎のリセット信号が、全有効画素に対して取得され、デジタルデータとしてメモリ等に保存される。露光完了後に取得された蓄積信号から、それらが差し引かれてCDSが実施される。

【先行技術文献】

【特許文献】

【0005】

【文献】特開2004-140149号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

撮像素子において、kTCノイズなどのノイズのさらなる低減が望まれている。

【0007】

本技術は、このような状況に鑑みてなされたものであり、ノイズを低減することができるようにするものである。

【課題を解決するための手段】

【0008】

本発明の一側面の第1の撮像素子は、光電変換を行う光電変換部と、前記光電変換部により得られた電荷を蓄積する電荷蓄積部と、前記光電変換部から前記電荷蓄積部に電荷を転送する転送部と、前記電荷蓄積部をリセットするリセット部と、前記リセット部に印加される電圧の制御を行うリセット電圧制御部と、前記電荷蓄積部への容量の付加を制御する付加制御部とを備え、前記電荷蓄積部は、2領域であり、一方の領域は第1の画素に設けられ、他方の領域は前記第1の画素に隣接する第2の画素に設けられている。

【0009】

本発明の一側面の第2の撮像素子は、光電変換を行う光電変換部と、前記光電変換部により得られた電荷を蓄積する複数の電荷蓄積部と、前記光電変換部から前記複数の電荷蓄積部のそれぞれに電荷を転送する複数の転送部と、前記複数の電荷蓄積部のそれぞれをリセットする複数のリセット部と、前記複数のリセット部にそれぞれ印加される電圧の制御を行う複数のリセット電圧制御部と、前記複数の電荷蓄積部への容量の付加をそれぞれ制御する複数の付加制御部とを備え、前記複数の電荷蓄積部のそれぞれの電荷蓄積部は、複数の領域から構成され、前記光電変換部が設けられている基板に前記電荷蓄積部を構成する複数の領域が設けられ、前記基板に積層されている配線層に、前記複数の領域を接続する配線が設けられ、前記複数の領域を接続する前記配線が設けられている層とは異なる層に、前記電荷蓄積部の一部をなす配線が設けられている。

【0010】

本発明の一側面の第1の撮像装置は、光電変換を行う光電変換部と、前記光電変換部により得られた電荷を蓄積する電荷蓄積部と、前記光電変換部から前記電荷蓄積部に電荷を転送する転送部と、前記電荷蓄積部をリセットするリセット部と、前記リセット部に印加される電圧の制御を行うリセット電圧制御部と、前記電荷蓄積部への容量の付加を制御する付加制御部とを備え、前記電荷蓄積部は、2領域であり、一方の領域は第1の画素に設けられ、他方の領域は前記第1の画素に隣接する第2の画素に設けられている撮像素子と、前記撮像素子からの信号を処理する処理部とを備える。

本発明の一側面の第2の撮像装置は、光電変換を行う光電変換部と、前記光電変換部により得られた電荷を蓄積する複数の電荷蓄積部と、前記光電変換部から前記複数の電荷蓄積部のそれぞれに電荷を転送する複数の転送部と、前記複数の電荷蓄積部のそれぞれをリセットする複数のリセット部と、前記複数のリセット部にそれぞれ印加される電圧の制御を行う複数のリセット電圧制御部と、前記複数の電荷蓄積部への容量の付加をそれぞれ制御する複数の付加制御部とを備え、前記複数の電荷蓄積部のそれぞれの電荷蓄積部は、複数の領域から構成され、前記光電変換部が設けられている基板に前記電荷蓄積部を構成する複数の領域が設けられ、前記基板に積層されている配線層に、前記複数の領域を接続する配線が設けられ、前記複数の領域を接続する前記配線が設けられている層とは異なる層に、前記電荷蓄積部の一部をなす配線が設けられている撮像素子と、前記撮像素子からの信号を処理する処理部とを備える。

【0011】

本発明の一側面の第1の測距装置は、照射光を発光する発光部と、前記発光部からの光が物体に反射された反射光を受光する受光素子とを備え、前記受光素子は、光電変換を行う光電変換部と、前記光電変換部により得られた電荷を蓄積する電荷蓄積部と、前記光電変換部から前記電荷蓄積部に電荷を転送する転送部と、前記電荷蓄積部をリセットするリセット部と、前記リセット部に印加される電圧の制御を行うリセット電圧制御部と、前記

電荷蓄積部への容量の付加を制御する付加制御部とを備え、前記電荷蓄積部は、2領域であり、一方の領域は第1の画素に設けられ、他方の領域は前記第1の画素に隣接する第2の画素に設けられている。

本発明の一側面の第2の測距装置は、照射光を発光する発光部と、前記発光部からの光が物体に反射された反射光を受光する受光素子とを備え、前記受光素子は、光電変換を行う光電変換部と、前記光電変換部により得られた電荷を蓄積する複数の電荷蓄積部と、前記光電変換部から前記複数の電荷蓄積部のそれぞれに電荷を転送する複数の転送部と、前記複数の電荷蓄積部のそれぞれをリセットする複数のリセット部と、前記複数のリセット部にそれぞれ印加される電圧の制御を行う複数のリセット電圧制御部と、前記複数の電荷蓄積部への容量の付加をそれぞれ制御する複数の付加制御部とを備え、前記複数の電荷蓄積部のそれぞれの電荷蓄積部は、複数の領域から構成され、前記光電変換部が設けられている基板に前記電荷蓄積部を構成する複数の領域が設けられ、前記基板に積層されている配線層に、前記複数の領域を接続する配線が設けられ、前記複数の領域を接続する前記配線が設けられている層とは異なる層に、前記電荷蓄積部の一部をなす配線が設けられている。

10

【0012】

本発明の一側面の第1の撮像素子においては、光電変換を行う光電変換部と、光電変換部により得られた電荷を蓄積する電荷蓄積部と、光電変換部から電荷蓄積部に電荷を転送する転送部と、電荷蓄積部をリセットするリセット部と、リセット部に印加される電圧の制御を行うリセット電圧制御部と、電荷蓄積部への容量の付加を制御する付加制御部とが備えられている。また電荷蓄積部は、2領域であり、一方の領域は第1の画素に設けられ、他方の領域は第1の画素に隣接する第2の画素に設けられている。

20

【0013】

本発明の一側面の第2の撮像素子においては、光電変換を行う光電変換部と、光電変換部により得られた電荷を蓄積する複数の電荷蓄積部と、光電変換部から複数の電荷蓄積部のそれぞれに電荷を転送する複数の転送部と、複数の電荷蓄積部のそれぞれをリセットする複数のリセット部と、複数のリセット部にそれぞれ印加される電圧の制御を行う複数のリセット電圧制御部と、複数の電荷蓄積部への容量の付加をそれぞれ制御する複数の付加制御部とが備えられている。複数の電荷蓄積部のそれぞれの電荷蓄積部は、複数の領域から構成され、光電変換部が設けられている基板に電荷蓄積部を構成する複数の領域が設けられ、基板に積層されている配線層に、複数の領域を接続する配線が設けられ、複数の領域を接続する配線が設けられている層とは異なる層に、電荷蓄積部の一部をなす配線が設けられている。

30

【0014】

本発明の一側面の第1の撮像装置においては、前記第1の撮像素子が備えられた構成とされている。

本発明の一側面の第2の撮像装置においては、前記第2の撮像素子が備えられた構成とされている。

【0015】

本発明の一側面の第1の測距装置においては、前記第1の撮像素子が備えられた構成とされている。

40

本発明の一側面の第2の測距装置においては、前記第2の撮像素子が備えられた構成とされている。

【0016】

なお、撮像装置や測距装置は、独立した装置であっても良いし、1つの装置を構成している内部ブロックであっても良い。

【図面の簡単な説明】

【0017】

【図1】本技術を適用した撮像装置の一実施の形態における構成を示す図である。

【図2】画素の回路構成例を示す図である。

【図3】画素の平面構成例を示す図である。

50

- 【図 4】複数の画素の平面構成例を示す図である。
- 【図 5】測距装置の一実施の形態の構成を示す図である。
- 【図 6】受光部の構成例を示す図である。
- 【図 7】画素の回路構成例を示す図である。
- 【図 8】画素における電荷の振り分けを説明する図である。
- 【図 9】信号の読み出しについて説明するための図である。
- 【図 10】第 2 の実施の形態における画素の他の平面構成例を示す図である。
- 【図 11】画素の断面構成例を示す図である。
- 【図 12】画素の配線の配置例を示す図である。
- 【図 13】画素の配線の配置例を示す図である。
- 【図 14】第 3 の実施の形態における画素の平面構成例を示す図である。
- 【図 15】第 4 の実施の形態における画素の平面構成例を示す図である。
- 【図 16】画素の平面構成例を示す図である。
- 【図 17】第 5 の実施の形態における画素の平面構成例を示す図である。
- 【図 18】第 6 の実施の形態における画素の平面構成例を示す図である。
- 【図 19】第 7 の実施の形態における画素の平面構成例を示す図である。
- 【図 20】第 8 の実施の形態における画素の平面構成例を示す図である。
- 【図 21】第 9 の実施の形態における画素の平面構成例を示す図である。
- 【図 22】ゲートの形状について説明するための図である。
- 【図 23】ゲートの形状について説明するための図である。
- 【図 24】電荷の転送方向について説明するための図である。
- 【図 25】画素の断面構成例を示す図である。
- 【図 26】第 10 の実施の形態における画素の平面構成例を示す図である。
- 【図 27】第 10 の実施の形態における画素の断面構成例を示す図である。
- 【図 28】第 11 の実施の形態における画素の平面構成例を示す図である。
- 【図 29】第 11 の実施の形態における画素の他の平面構成例を示す図である。
- 【図 30】第 11 の実施の形態における画素の断面構成例を示す図である。
- 【図 31】縦型ゲートの形成時の径の大きさについて説明するための図である。
- 【図 32】第 11 の実施の形態における画素の平面構成例を示す図である。
- 【図 33】第 11 の実施の形態における画素の断面構成例を示す図である。
- 【図 34】第 11 の実施の形態における画素の他の平面構成例を示す図である。
- 【図 35】第 11 の実施の形態における画素の他の断面構成例を示す図である。
- 【図 36】第 12 の実施の形態における画素の平面構成例を示す図である。
- 【図 37】第 12 の実施の形態における画素の断面構成例を示す図である。
- 【図 38】第 13 の実施の形態における画素の平面構成例を示す図である。
- 【図 39】第 13 の実施の形態における画素の断面構成例を示す図である。
- 【図 40】電子機器の一例の構成を示す図である。
- 【図 41】内視鏡手術システムの概略的な構成の一例を示す図である。
- 【図 42】カメラヘッド及び C C U の機能構成の一例を示すブロック図である。
- 【図 43】車両制御システムの概略的な構成の一例を示すブロック図である。
- 【図 44】車外情報検出部及び撮像部の設置位置の一例を示す説明図である。
- 【発明を実施するための形態】

【0018】

以下に、本技術を実施するための形態（以下、実施の形態という）について説明する。

【0019】

＜撮像装置の構成＞

図 1 は、本技術の一実施の形態に係る撮像装置 10 の機能の構成例を示すブロック図である。

【0020】

撮像装置 10 は、例えば CMOS（Complementary Metal Oxide Semiconductor）

10

20

30

40

50

イメージセンサなどの、いわゆるグローバルシャッタ方式の裏面照射型イメージセンサである。撮像装置 10 は、被写体からの光を受光して光電変換し、画像信号を生成することで画像を撮像するものである。

【0021】

グローバルシャッタ方式とは、基本的には全画素同時に露光を開始し、全画素同時に露光を終了するグローバル露光を行う方式である。ここで、全画素とは、画像に現れる部分の画素の全てということであり、ダミー画素等は除外される。また、時間差や画像の歪みが問題にならない程度に十分小さければ、全画素同時ではなく、複数行（例えば、数十行）単位でグローバル露光を行いながら、グローバル露光を行う領域を移動する方式もグローバルシャッタ方式に含まれる。また、画像に表れる部分の画素の全てでなく、所定領域の画素に対してグローバル露光を行う方式もグローバルシャッタ方式に含まれる。

10

【0022】

裏面照射型イメージセンサとは、被写体からの光を受光して電気信号に変換するフォトダイオード等の光電変換部が、被写体からの光が入射する受光面と、各画素を駆動させるトランジスタ等の配線が設けられた配線層との間に設けられている構成のイメージセンサをいう。

【0023】

撮像装置 10 は、例えば、画素アレイ部 21、垂直駆動部 22、カラム信号処理部 23、データ格納部 29、水平駆動部 24、システム制御部 25、および信号処理部 28 を備えている。

20

【0024】

撮像装置 10 では、半導体基板 11（後出）上に画素アレイ部 21 が形成される。垂直駆動部 22、カラム信号処理部 23、データ格納部 29、水平駆動部 24、システム制御部 25、および信号処理部 28 などの周辺回路は、例えば、画素アレイ部 21 と同じ半導体基板 11 上に形成される。

【0025】

画素アレイ部 21 は、被写体から入射した光の量に応じた電荷を生成して蓄積する光電変換部（後出）を含む画素 20 を複数有する。画素 20 は、図 1 に示したように、横方向（行方向）および縦方向（列方向）のそれぞれに配列される。画素アレイ部 21 では、行方向に一行に配列された画素 20 からなる画素行ごとに、画素駆動線 26 が行方向に沿って配線され、列方向に一行に配列された画素 20 からなる画素列ごとに、垂直信号線（VSL）28 が列方向に沿って配線されている。

30

【0026】

垂直駆動部 22 は、シフトレジスタやアドレスデコーダなどからなる。垂直駆動部 22 は、複数の画素駆動線 26 を介して複数の画素 20 に対し信号等をそれぞれ供給することにより、画素アレイ部 21 における複数の画素 20 の全てを同時に駆動させ、または画素行単位で駆動させる。

【0027】

垂直駆動部 22 は、例えば読み出し走査系と掃き出し走査系との 2 つの走査系を有する。読み出し走査系は、単位画素から信号を読み出すために、画素アレイ部 21 の単位画素を行単位で順に選択走査する。掃き出し走査系は、読み出し走査系によって読み出し走査が行われる読み出し行に対し、その読み出し走査よりもシャッタスピードの時間分だけ先行して掃き出し走査を行う。

40

【0028】

この掃き出し走査系による掃き出し走査により、読み出し行の単位画素の光電変換部 51（後出）から不要な電荷が掃き出される。これをリセットという。そして、この掃き出し走査系による不要電荷の掃き出し、すなわちリセットにより、いわゆる電子シャッタ動作が行われる。ここで、電子シャッタ動作とは、光電変換部 51 の光電荷を捨てて、新たに露光を開始する、すなわち光電荷の蓄積を新たに開始する動作のことをいう。

【0029】

50

読み出し走査系による読み出し動作によって読み出される信号は、その直前の読み出し動作または電子シャッタ動作以降に入射した光量に対応する。直前の読み出し動作による読み出しタイミングまたは電子シャッタ動作による掃き出しタイミングから、今回の読み出し動作による読み出しタイミングまでの期間が、単位画素における光電荷の蓄積時間、すなわち露光時間となる。

【0030】

垂直駆動部22によって選択走査された画素行の各单位画素から出力される信号は、垂直信号線27の各々を通してカラム信号処理部23に供給されるようになっている。カラム信号処理部23は、画素アレイ部21の画素列ごとに、選択行の各单位画素からVSL27を通して出力される信号に対して所定の信号処理を行うとともに、信号処理後の画素信号を一時的に保持するようになっている。

10

【0031】

具体的には、カラム信号処理部23は、例えばシフトレジスタやアドレスデコーダなどからなり、ノイズ除去処理、相関二重サンプリング処理、アナログ画素信号のA/D(Analog/Digital)変換A/D変換処理等を行い、デジタル画素信号を生成する。カラム信号処理部23は、生成した画素信号を信号処理部28に供給する。

【0032】

水平駆動部24は、シフトレジスタやアドレスデコーダなどによって構成され、カラム信号処理部23の画素列に対応する単位回路を順番に選択するようになっている。この水平駆動部24による選択走査により、カラム信号処理部23において単位回路ごとに信号処理された画素信号が順番に信号処理部28に出力されるようになっている。

20

【0033】

システム制御部25は、各種のタイミング信号を生成するタイミングジェネレータ等からなる。システム制御部25は、タイミングジェネレータで生成されたタイミング信号に基づいて、垂直駆動部22、カラム信号処理部23、および水平駆動部24の駆動制御を行なうものである。

【0034】

信号処理部28は、必要に応じてデータ格納部29にデータを一時的に格納しながら、カラム信号処理部23から供給された画素信号に対して演算処理等の信号処理を行ない、各画素信号からなる画像信号を出力するものである。

30

【0035】

データ格納部29は、信号処理部28での信号処理にあたり、その信号処理に必要なデータを一時的に格納するようになっている。

【0036】

<画素の回路構成例>

次に、図2を参照して、図1の画素アレイ部21に設けられた画素20の回路構成例について説明する。図2は、画素アレイ部21に設けられた複数の画素20のうちの任意の1つの画素20における回路構成例を示している。図2に示した画素20は、第1の実施の形態における画素20であるとし、他の実施の形態の画素と区別をつけるために画素20aと記述する。

40

【0037】

図2に示した例では、画素20aは、FD型のグローバルシャッタを実現している。図2の例では、画素アレイ部21における画素20aは、例えば、光電変換部(PD)51、電荷転送部(TG)52、電荷保持部および電荷電圧変換部としてのフローティングディフュージョン(FD)53、リセットトランジスタ(RST)54、フィードバックインーブルトランジスタ(FBEN)55、排出トランジスタ(OFG)56、増幅トランジスタ(AMP)57、選択トランジスタ(SEL)58、変換効率切替用トランジスタ(FDG)59、および付加容量部60などを含んでいる。

【0038】

また、この例では、TG52、FD53、RST54、FBEN55、OFG56、A

50

MP57、およびSEL58は、いずれもN型のMOSトランジスタである。これらTG52、FD53、RST54、FBEN55、OFG56、AMP57、およびSEL58の各ゲート電極には、駆動信号がそれぞれ供給されるようになっている。各駆動信号は、高レベルの状態がアクティブ状態、すなわちオン状態となり、低レベルの状態が非アクティブ状態、すなわちオフ状態となるパルス信号である。なお、以下、駆動信号をアクティブ状態にすることを、駆動信号をオンするとも称し、駆動信号を非アクティブ状態にすることを、駆動信号をオフするとも称する。

【0039】

PD51は、例えばPN接合のフォトダイオードからなる光電変換素子であり、被写体からの光を受光して、その受光量に応じた電荷を光電変換により生成し、蓄積する光電変換部として機能する。

10

【0040】

TG52は、PD51とFD53との間に接続されており、TG52のゲート電極に印加される駆動信号に応じて、PD51に蓄積されている電荷をFD53に転送する転送部として機能する。

【0041】

FD53は、グローバルシャッタ機能を実現するために、PD51に蓄積された電荷を一時的に保持する電荷保持部として機能する。また、FD53は、TG52を介してPD51から転送されてきた電荷を電気信号（例えば、電圧信号）に変換して出力する浮遊拡散領域でもある。FD53には、RST54が接続されるとともに、AMP57およびSEL58を介してVSL28が接続されている。

20

【0042】

さらに、FD53には、FDG59を介して、電荷を電気信号、例えば、電圧信号に変換する浮遊拡散領域（FD）である付加容量部60も接続されている。なお、付加容量部60は、浮遊拡散領域（FD）ではあるが、FD53と同じく容量での動作となるため、キャパシタの回路記号を用いて表現するものとする。

【0043】

FDG59は、駆動信号FDGに応じてオン、オフされることで、FD53と付加容量部60とが、電氣的に接続された状態または電氣的に切り離された状態の何れかの状態に接続状態を切り替える。FDG59は、付加容量部60の付加を制御する付加制御部として機能する。

30

【0044】

FDG59を構成するゲート電極には、駆動信号FDGが供給され、この駆動信号FDGがオンされると、FDG59の直下のポテンシャルが深くなり、FD53と付加容量部60とが電氣的に接続される。

【0045】

これに対して、駆動信号FDGがオフされると、FDG59の直下のポテンシャルが浅くなり、FD53と付加容量部60とが電氣的に切り離される。したがって、駆動信号FDGをオン、オフすることで、FD53に容量を付加し、画素の感度を変化させることができる。具体的には、蓄積される電荷の変化量を ΔQ とし、そのときの電圧の変化を ΔV とし、容量値をCとすると、 $\Delta V = \Delta Q / C$ の関係が成立する。

40

【0046】

いま、FD53の容量値をCFDとし、付加容量部60の容量値をCFD2とすると、駆動信号FDGがオンされている状態では、信号レベルの読み出しが行なわれる画素の領域における容量値Cは、 $CFD + CFD2$ である。これに対して、駆動信号FDGがオフされると、容量値CはCFDに変化するため、電荷の変化量に対する電圧の感度（電圧の変化量：FD変換効率）が上がることになる。

【0047】

このように、画素20aでは、駆動信号FDGをオン、オフさせることで、画素の感度が適宜変更される。例えば、駆動信号FDGがオンされると、付加容量部60は電氣的に

50

F D 5 3 に接続されるので、F D 5 3 だけでなく付加容量部 6 0 にも、P D 6 1 から F D 5 3 に転送されてきた電荷の一部が蓄積される。

【 0 0 4 8 】

R S T 5 4 は、F B E N 5 5 に接続されたドレインと、F D 5 3 に接続されたソースとを有している。R S T 5 4 は、そのゲート電極に印加される駆動信号に応じて、F D 5 3 を初期化、すなわちリセットするリセット部として機能する。なお、図 2 に示したように、R S T 5 4 のドレインは、接地との間に寄生容量 C _ST を形成し、A M P 5 7 のゲート電極との間に寄生容量 C _FB を形成している。

【 0 0 4 9 】

F B E N 5 5 は、R S T 5 4 に印加されるリセット電圧の制御を行うリセット電圧制御部として機能する。

【 0 0 5 0 】

O F G 5 6 は、電源 V D D に接続されたドレインと、P D 5 1 に接続されたソースとを有している。P D 5 1 のカソードは、O F G 5 6 のソースおよび T G 5 2 のソースに対し共通に接続されている。O F G 5 6 は、そのゲート電極に印加される駆動信号に応じて、P D 5 1 を初期化、すなわちリセットする。P D 5 1 をリセットする、とは、P D 5 1 を空乏化するという意味である。

【 0 0 5 1 】

A M P 5 7 は、F D 5 3 に接続されたゲート電極と、電源 V D D に接続されたドレインとを有しており、P D 5 1 での光電変換によって得られる電荷を読み出すソースフォロワ回路の入力部となる。すなわち、A M P 5 7 は、そのソースが S E L 5 8 を介して V S L 2 8 に接続されることにより、V S L 2 8 の一端に接続される定電流源と共にソースフォロワ回路を構成する。

【 0 0 5 2 】

S E L 5 8 は、A M P 5 7 のソースと V S L 2 8 との間に接続されており、S E L 5 8 のゲート電極には、選択信号が供給される。S E L 5 8 は、その選択信号がオンすると導通状態となり、S E L 5 8 が設けられている画素 2 0 a が選択状態となる。画素 2 0 a が選択状態になると、A M P 5 7 から出力される画素信号が V S L 2 8 を介してカラム信号処理部 2 3 によって読み出されるようになっている。

【 0 0 5 3 】

また、画素アレイ部 2 1 では、複数の画素駆動線 2 6 が、例えば画素行毎に配線される。そして、垂直駆動部 2 2 から複数の画素駆動線 2 6 を通して、選択された画素 2 0 a に対し各駆動信号が供給されるようになっている。

【 0 0 5 4 】

なお、図 2 に示した画素回路は、画素アレイ部 2 1 に用いることが可能な画素回路の一例であり、他の構成の画素回路を用いることも可能である。

【 0 0 5 5 】

＜画素の平面構成例＞

図 3 は、第 1 の実施の形態における画素 2 0 a の構成を示す平面図である。図 3、および以下の説明においては、図中左右方向を X 軸方向とし、図中上下方向を Y 軸方向とする。また、図 3 における X 方向は、図 2 の行方向（水平方向）に対応し、Y 方向は図 2 の列方向（垂直方向）に対応するとして説明を続ける。

【 0 0 5 6 】

図 3 に示されるように、矩形の画素 2 0 a の中央部の領域に、P D 5 1 が設けられている。P D 5 1 の図中左上側に、T G 5 2 が設けられている。T G 5 2 は、転送トランジスタ 5 2 のゲート部分である。

【 0 0 5 7 】

T G 5 2 の上側には、F D 5 3 - 1 が設けられている。F D 5 3 は、F D 5 3 - 1 と F D 5 3 - 2 の 2 つの領域から形成され、F D 5 3 - 1 と F D 5 3 - 2 は、下層の配線層（不図示）で接続され、1 つの F D 5 3 として機能するように構成されている。また、同一

10

20

30

40

50

画素20a内に形成されているFD53-1とFD53-2が接続されているように構成することも可能であるし、図4を参照して説明するように、他画素20aに形成されているFD53-1とFD53-2が接続されているように構成することも可能である。

【0058】

FD53-1とFD53-2の2つの領域は、PD51が形成されている基板（例えばシリコン基板）内に形成されている領域である。以下の説明において、領域とは、特に断りがない場合、PD51が形成されている基板内の領域であることを示すとする。

【0059】

FD53は、基板内の異なる領域に形成されているFD53-1とFD53-2とから構成されている。換言すれば、FD53は、基板内に分散して設けられている複数の領域が、配線により接続されることで形成されている。以下の説明において、異なる領域とは、基板内の複数の領域や、基板内に分散して設けられている領域であることを示すとする。

【0060】

FD53-2は、FDG59と接する位置に形成されている。図3では、PD51の図中右側にFDG59が設けられ、FDG59の上側にFD53-2が形成されている。またFDG59の図中下側には、付加容量部（FDext）60が形成されている。FD53が、FD53-1とFD53-2の2領域で形成されているため、FD53自体の容量を大きくすることができる。また、FDG59と付加容量部60を設けることで、さらにFD53の容量を大きくすることができる。

【0061】

PD51の図中右上側には、RST54が形成されている。RST54の図中左側には、FBEN55が形成されている。FD53からの信号量を増幅するAMP55（のゲート）は、PD51の図中左下側に形成されている。また、AMP55の図中右側には、SEL58が形成されている。

【0062】

SEL58の図中右側であり、画素20aの図中右下側には、ウェルコンタクト61が設けられている。PD51の図中左側には、OFG56が設けられている。

【0063】

図3および以下に示す配置は、一例であり、限定を示す記載ではない。また、図3および以下に示す例では、OFG56を設けた構成を示すが、OFG56がない構成とすることもできる。

【0064】

図3に示した配置は、図4に示すように隣接する画素20aに配置されているFD53-1とFD53-2を接続する構成の場合に適した配置であり、同一画素20a内のFD53-1とFD53-2を接続するような場合などには、他の配置として、より適切な配置とすることができる。

【0065】

図4を参照する。図4は、画素アレイ部21に配置されている2×2の4画素20aを示している。図中左上の画素を画素20a-1とし、図中右上の画素を画素20a-2とし、図中右下の画素を画素20a-3とし、図中左下の画素を画素20a-4とする。図4では、説明に必要な箇所に符号を付し、適宜符号を省略してある。

【0066】

画素20a-4に形成されているFD53-2-4と、画素20a-3に形成されているFD53-1-3が、配線65により接続されている。配線65は、PD51が形成されている層に積層されている配線層（不図示）に形成されている。

【0067】

画素20a-4と画素20a-3は、横方向で隣接する画素20aであり、隣接する画素20aの一方の画素20aに形成されているFD53-1と他方の画素20aに形成されている画素20aのFD53-2が接続され、1つのFD53として機能するように形成されている。

10

20

30

40

50

【0068】

また、FD53-2-4とFD53-1-3から構成されるFD53から読み出しを行うAMP57は、画素20a-2に形成されているAMP57-2とされている。画素20a-3に形成されているFD53-1-3と画素20a-2のAMP57-2は、配線66により接続されている。

【0069】

この場合、画素20a-3に形成されているPD51-3からの信号は、同画素20a-3内に形成されているTG52-3により読み出され、同画素20a-3内のFD53-1-3に転送される。FD53-1-3は、隣接する画素20a-4に形成されているFD53-2-4と配線65により接続されているため、PD51-3からの信号は、FD53-1-3とFD53-2-4から構成されているFD53に転送されることになる。

10

【0070】

また、FD53-2-4に接続されているFDG59-4がオンにされると、FD53-2-4と付加容量60-4が接続された状態となり、FD53-1-3、FD53-2-4、および付加容量60-4からFD53が形成されている状態となる。

【0071】

FD53-2-4とFD53-1-3から構成されるFD53に転送された電荷（信号）は、画素20a-3の上側に配置されている画素20a-2に形成されているAMP57-2により読み出され、増幅される構成とされている。また、AMP57-2で増幅された信号は、AMP57-2が形成されている画素20a-2内に形成されているSEL58-2を介して図4では図示していないVSL27に出力される。

20

【0072】

FD53を、FD53-1とFD53-2とに分散して設けることで、FD53自体の容量、換言すれば、FDとして用いられる領域を大きな領域として形成することが可能となる。また、FD53を、FD53-1とFD53-2とに分散することで、FD53の配置する位置（形成する領域）の自由度を増すことができ、例えば、図4に示したように、隣接する2つの画素20aに配置されているFD53-1とFD53-2が接続される構成とすることができる。

【0073】

また、FD53の容量を大きくしても、FD53の配置する位置（形成する領域）の自由度を増すことができることで、FBEN55を配置する領域を確保することができる。FBEN55を設けることで、ノイズを低減させることができる。

30

【0074】

このように、本実施の形態によれば、FDの容量を大きくし、かつノイズを低減することができる。

【0075】

<測距を行う撮像装置に適用した場合について>

上記した画素20aのように、容量が大きいFDを有し、ノイズを低減する機能（FBEN55）を有する構成を有する画素を、測距を行う撮像装置に適用した場合について、以下に説明を加える。まず、測距を行う撮像装置について説明を加える。

40

【0076】

本技術は、例えば間接TOF方式により測距を行う測距システムを構成する受光素子や、そのような受光素子を有する撮像装置などに適用することが可能である。

【0077】

例えば測距システムは、車両に搭載され、車外にある対象物までの距離を測定する車載用のシステムや、ユーザの手等の対象物までの距離を測定し、その測定結果に基づいてユーザのジェスチャを認識するジェスチャ認識用のシステムなどに適用することができる。この場合、ジェスチャ認識の結果は、例えばカーナビゲーションシステムの操作等に用いることができる。

【0078】

50

＜測距装置の構成例＞

図 5 は、本技術を適用した測距装置の一実施の形態の構成例を示している。

【0079】

測距装置 210 は、レンズ 211、受光部 212、信号処理部 213、発光部 214、および発光制御部 215 を備える。信号処理部 213 は、パターン切替部 221 と距離画像生成部 222 を備える。図 5 の測距装置 210 は、物体に対して光を照射し、その光（照射光）が物体で反射した光（反射光）を受光して、物体までの距離を測定する。

【0080】

測距装置 210 の発光系は、発光部 214 と発光制御部 215 から成る。発光系においては、発光制御部 215 が、信号処理部 213 からの制御に従い、発光部 214 により赤外光（IR）を照射させる。レンズ 211 と受光部 212 の間に IR バンドフィルタを設け、IR バンドパスフィルタの透過波長帯に対応する赤外光を発光部 214 が発光する構成とするようにしても良い。

【0081】

発光部 214 は、測距装置 210 の筐体内に配置してもよいし、測距装置 210 の筐体外に配置してもよい。発光制御部 215 は、発光部 214 を、所定のパターンで発光させる。このパターンは、パターン切替部 221 により設定され、所定のタイミングで切り替えられるように構成されている。

【0082】

パターン切替部 221 を設け、例えば、他の測距装置 210 のパターンと重ならないように発光パターンを切り替えるように構成することができる。また、このようなパターン切替部 221 を設けない構成とすることも可能である。

【0083】

信号処理部 213 は、例えば、受光部 212 から供給される画像信号に基づいて、測距装置 210 から物体までの距離を算出する算出部として機能する。算出された距離を画像として出力する場合、信号処理部 213 の距離画像生成部 222 は、物体までの距離が画素毎に表された距離画像を生成し、出力する。

【0084】

＜撮像素子の構成＞

図 6 は、受光部 212 の構成例を示すブロック図である。受光部 212 は、CMOS（Complementary Metal Oxide Semiconductor）イメージセンサとすることができる。

【0085】

受光部 212 は、画素アレイ部 241、垂直駆動部 242、カラム処理部 243、水平駆動部 244、およびシステム制御部 245 を含んで構成される。画素アレイ部 241、垂直駆動部 242、カラム処理部 243、水平駆動部 244、およびシステム制御部 245 は、図示しない半導体基板（チップ）上に設けられている。

【0086】

画素アレイ部 241 には、入射光量に応じた電荷量の光電荷を発生して内部に蓄積する光電変換素子を有する単位画素（例えば、図 7 の画素 250）が行列状に 2 次元配置されている。

【0087】

画素アレイ部 241 にはさらに、行列状の画素配列に対して行毎に画素駆動線 246 が図の左右方向（画素行の画素の配列方向）に沿って設けられ、列毎に垂直信号線 247 が図の上下方向（画素列の画素の配列方向）に沿って設けられている。画素駆動線 246 の一端は、垂直駆動部 242 の各行に対応した出力端に接続されている。

【0088】

垂直駆動部 242 は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部 241 の各画素を、全画素同時あるいは行単位等で駆動する画素駆動部である。垂直駆動部 242 によって選択走査された画素行の各単位画素から出力される画素信号は、垂直信号線 247 の各々を通してカラム処理部 243 に供給される。カラム処理部 24

10

20

30

40

50

3は、画素アレイ部241の画素列毎に、選択行の各单位画素から垂直信号線247を通して出力される画素信号に対して所定の信号処理を行うとともに、信号処理後の画素信号を一時的に保持する。

【0089】

具体的には、カラム処理部243は、信号処理として少なくとも、ノイズ除去処理、例えばCDS（Correlated Double Sampling; 相関二重サンプリング）処理を行う。このカラム処理部243による相関二重サンプリングにより、リセットノイズや増幅トランジスタの閾値ばらつき等の画素固有の固定パターンノイズが除去される。なお、カラム処理部243にノイズ除去処理以外に、例えば、AD（アナログデジタル）変換機能を持たせ、信号レベルをデジタル信号で出力することも可能である。

10

【0090】

水平駆動部244は、シフトレジスタやアドレスデコーダなどによって構成され、カラム処理部243の画素列に対応する単位回路を順番に選択する。この水平駆動部244による選択走査により、カラム処理部243で信号処理された画素信号が順番に信号処理部248に出力される。

【0091】

システム制御部245は、各種のタイミング信号を生成するタイミングジェネレータ等によって構成され、タイミングジェネレータで生成された各種のタイミング信号を基に垂直駆動部242、カラム処理部243、および水平駆動部244などの駆動制御を行う。

【0092】

20

画素アレイ部241において、行列状の画素配列に対して、画素行毎に画素駆動線246が行方向に沿って配線され、各画素列に2つの垂直信号線247が列方向に沿って配線されている。例えば画素駆動線246は、画素から信号を読み出す際の駆動を行うための駆動信号を伝送する。なお、図6では、画素駆動線246について1本の配線として示しているが、1本に限られるものではない。画素駆動線246の一端は、垂直駆動部242の各行に対応した出力端に接続されている。

【0093】

<単位画素の構造>

次に、画素アレイ部241に行列状に配置されている画素250の具体的な構造について説明する。

30

【0094】

画素250は、光電変換素子であるフォトダイオード261（以下、PD261と記述する）を備え、PD261で発生した電荷がタップ251Aおよびタップ251Bに振り分けられるように構成されている。そして、PD261で発生した電荷のうち、タップ251Aに振り分けられた電荷が垂直信号線247Aから読み出されて検出信号SIG1として出力される。また、タップ251Bに振り分けられた電荷が垂直信号線247Bから読み出されて検出信号SIG2として出力される。

【0095】

画素250の基本的な構成は、図2に示した画素20aを2画素分組み合わせたような構成とされている。タップ251Aとタップ251Bは、それぞれ画素20aとほぼ同様な構成を有している。

40

【0096】

タップ251Aは、転送トランジスタ252A、FD253A、リセットトランジスタ254A、フィードバックイネーブルトランジスタ（FBEN）255A、排出トランジスタ（OFG）256、増幅トランジスタ257A、選択トランジスタ258A、変換効率切替用トランジスタ（FDG）259A、および付加容量部260Aにより構成される。

【0097】

同様に、タップ251Bは、転送トランジスタ252B、FD253B、リセットトランジスタ254B、FBEN255B、増幅トランジスタ257B、選択トランジスタ258B、FDG259B、および付加容量部260Bにより構成される。

50

【0098】

なお、図7に示したようにリセットトランジスタ254を、FD253AとFD253Bのそれぞれに設けられている構成としても良いし、FD253AとFD253Bで共用する構成としても良い。

【0099】

図7に示したようにFD253AとFD253Bのそれぞれにリセットトランジスタ254A、254Bを設ける構成とした場合、リセットのタイミングを、FD253AとFD253Bをそれぞれ個別に制御できるため、細かな制御を行うことが可能となる。FD253AとFD253Bに共通したリセットトランジスタ254を設ける構成とした場合、リセットのタイミングを、FD253AとFD253Bで同一にすることができ、制御が簡便になり、回路構成も簡便化することができる。

10

【0100】

以下の説明においては、FD253AとFD253Bのそれぞれにリセットトランジスタ254を設ける構成を例に挙げて説明する。

【0101】

図8を参照して、画素250における電荷の振り分けについて説明する。ここで、振り分けとは、画素250(PD251)に蓄積された電荷を異なるタイミングで読み出すことで、タップ毎に読み出しを行うことを意味する。

【0102】

図8に示すように、照射時間Tで照射のオン／オフを繰り返すように変調(1周期=T_p)された照射光が発光部214から出力され、物体までの距離に応じた遅延時間T_dだけ遅れて、PD251において反射光が受光される。また、転送制御信号TRT1は、転送トランジスタ252Aのオン／オフを制御し、転送制御信号TRT2は、転送トランジスタ252Bのオン／オフを制御する。図示するように、転送制御信号TRT1が、照射光と同一の位相である一方で、転送制御信号TRT2は、転送制御信号TRT1を反転した位相となっている。

20

【0103】

従って、PD251が反射光を受光することにより発生する電荷は、転送制御信号TRT1に従って転送トランジスタ252Aがオンとなっている間ではFD253Aに転送される。また転送制御信号TRT2に従って転送トランジスタ252Bのオンとなっている間ではFD253Bに転送される。これにより、照射時間Tの照射光の照射が周期的に行われる所定の期間において、転送トランジスタ252Aを介して転送された電荷はFD253Aに順次蓄積され、転送トランジスタ252Bを介して転送された電荷はFD253Bに順次蓄積される。FD253は、このように、PD251で発生した電荷を蓄積する電荷蓄積部として機能する。

30

【0104】

そして、電荷を蓄積する期間の終了後、選択信号SELm1に従って選択トランジスタ258Aがオンとなると、FD253Aに蓄積されている電荷が垂直信号線247Aを介して読み出され、その電荷量に応じた検出信号SIG1が受光部212から出力される。同様に、選択信号SELm2に従って選択トランジスタ258Bがオンとなると、FD253Bに蓄積されている電荷が垂直信号線247Bを介して読み出され、その電荷量に応じた検出信号SIG2が受光部212から出力される。

40

【0105】

FD253Aに蓄積されている電荷とFD253Bに蓄積されている電荷は、リセット信号RSTに従ってリセットトランジスタ254がオンになると排出される。

【0106】

このように、画素50は、PD251が受光した反射光により発生する電荷を、遅延時間T_dに応じてタップ251Aおよびタップ251Bに振り分けて、検出信号SIG1および検出信号SIG2を出力することができる。そして、遅延時間T_dは、発光部214で発光した光が物体まで飛行し、物体で反射した後に受光部212まで飛行する時間に

50

じたもの、即ち、物体までの距離に応じたものである。従って、測距装置 210 は、検出信号 SIG1 および検出信号 SIG2 に基づき、遅延時間 T_d に従って物体までの距離（デプス）を求めることができる。

【0107】

＜間接 TOF 方式の測距方法＞

上記したように、1つの PD251 に蓄積された電荷を 2つのタップ 251 を用いて読み出す 2タップ方式における間接 TOF 方式による距離の算出について、図 9 を参照して説明する。図 9 を参照して測距方法について説明を加える。図 9 を参照した説明においては、2つのタップと 4つのフェーズ（Phase）を用いた検出方法である 2Tap-4Phase 方式を例に挙げて説明する。

【0108】

距離画像を生成する 1フレーム期間は、Aフレーム（A frame）と Bフレーム（B frame）との 2つの信号検出期間に分割される。距離画像を生成する 1フレーム期間は、例えば、約 $1/30$ 秒に設定されている。よって、Aフレームの期間と Bフレームの期間は、それぞれ約 $1/60$ 秒となる。

【0109】

発光部 214（図 5）から、照射時間 T_p で照射のオン／オフを繰り返すように変調（1周期 = T_p ）された照射光が出力される。照射時間 T_p は、例えば、210 ns 程度にすることができる。受光部 212 では、物体までの距離に応じた遅延時間 T_d だけ遅れて、反射光が受光される。

【0110】

4Phase 方式において受光部 212 は、タップ 251 A またはタップ 251 B のいずれかで、照射光と同一の位相（Phase0）、90度ずらした位相（Phase90）、180度ずらした位相（Phase180）、270度ずらした位相（Phase270）の 4つのタイミングで受光する。なお、ここでの受光とは、PD251 で発生した電荷を、転送トランジスタ 252 をオンにし、FD253 に転送するまでの処理を含むとする。

【0111】

図 9 では、Aフレームにおいて、転送制御信号 TRT1 が、照射光と同一の位相（Phase0）のタイミングでオンにされ、タップ 251 A により受光が開始される。また、Aフレームにおいて、転送制御信号 TRT2 が、照射光と 180度ずらした位相（Phase180）のタイミングでオンにされ、タップ 251 B により受光が開始される。

【0112】

また、Bフレームにおいて、転送制御信号 TRT1 が、照射光と 90度ずらした位相（Phase90）のタイミングでオンにされ、タップ 251 A により受光が開始される。また、Bフレームにおいて、転送制御信号 TRT2 が、照射光と 270度ずらした位相（Phase270）のタイミングでオンにされ、タップ 251 B により受光が開始される。

【0113】

この場合、タップ 251 A とタップ 251 B は、180度位相反転されたタイミングで受光を行う。Aフレーム期間において、照射時間 T_p で Phase0 のタイミングでタップ 251 A の FD253 A に蓄積される電荷を電荷 Q_1 とすると、Aフレーム期間では、Aフレーム期間内での照射時間 T_p の累積時間に応じた電荷 Q_1' が FD253 A に蓄積される。そして、FD253 A に蓄積された電荷 Q_1' が、読み出し期間において、FD253 A から検出信号 SIG1 に該当する信号として読み出される。この電荷 Q_1' に対応した検出信号 SIG1 の信号値を、信号値 I1 とする。

【0114】

Aフレーム期間において、照射時間 T_p で Phase180 のタイミングでタップ 251 B の FD253 B に蓄積される電荷を電荷 Q_2 とすると、Aフレーム期間では、Aフレーム期間内での照射時間 T_p の累積時間に応じた電荷 Q_2' が FD253 B に蓄積される。そして、FD253 B に蓄積された電荷 Q_2' が、読み出し期間において、FD253 B から検出信号 SIG2 に該当する信号として読み出される。この電荷 Q_2' に対応した検出信号 SI

10

20

30

40

50

G 2 の信号値を、信号値 I 2 とする。

【 0 1 1 5 】

B フレーム期間において、照射時間 T p で Phase 90 のタイミングでタップ 2 5 1 A の F D 2 5 3 A に蓄積される電荷を電荷 Q 3 とすると、B フレーム期間では、B フレーム期間内での照射時間 T p の累積時間に応じた電荷 Q 3 ' が F D 2 5 3 A に蓄積される。そして、F D 2 5 3 A に蓄積された電荷 Q 3 ' が、読み出し期間において、F D 2 5 3 A から検出信号 S I G 1 に該当する信号として読み出される。この電荷 Q 3 ' に対応した検出信号 S I G 1 の信号値を、信号値 I 3 とする。

【 0 1 1 6 】

B フレーム期間において、照射時間 T p で Phase 270 のタイミングでタップ 2 5 1 B の F D 2 5 3 A に蓄積される電荷を電荷 Q 4 とすると、B フレーム期間では、B フレーム期間内での照射時間 T p の累積時間に応じた電荷 Q 4 ' が F D 2 5 3 B に蓄積される。そして、F D 2 5 3 B に蓄積された電荷 Q 4 ' が、読み出し期間において、F D 2 5 3 B から検出信号 S I G 2 に該当する信号として読み出される。この電荷 Q 4 ' に対応した検出信号 S I G 2 の信号値を、信号値 I 4 とする。

【 0 1 1 7 】

これらの信号値 I 1、信号値 I 2、信号値 I 3、信号値 I 4 の配分比で遅延時間 T d に対応するずれ量 θ を検出することができる。すなわち、位相ずれ量 θ に基づいて遅延時間 T d が求められるので、遅延時間 T d により対象物までの距離が求められる。

【 0 1 1 8 】

位相ずれ量 θ は、次式 (1) により求められ、対象物までの距離 D は、次式 (2) により演算される。式 (2) において、C は光速であり、T p はパルス幅を表す。

【 0 1 1 9 】

【数 1】

$$\theta = \arctan \left(\frac{I_1 - I_2}{I_3 - I_4} \right) \quad \dots (1)$$

【 0 1 2 0 】

【数 2】

$$D = \frac{\theta}{2\pi} \times \left(\frac{T_p C}{2} \right) \quad \dots (2)$$

【 0 1 2 1 】

このようにして、所定の対象物までの距離を算出することができる。このような測距方式によると、環境光による影響を低減した測距を行える。上記および以下の説明においては、発光パルス光の反射光のみを受光することを前提としているが、実際には、発光パルス光以外にも、さまざまな環境光も同時に受光される。よって、P D 2 5 1 で蓄積される電荷は、発光パルス光と環境光によるものとなる。

【 0 1 2 2 】

しかしながら、環境光は、パルス周期に対して定常と見なすことができ、定常光である場合、信号値 I 1、信号値 I 2、信号値 I 3、信号値 I 4 に同等なオフセットとして重畳されていることになる。よって、式 (1) の演算において環境光による成分 (オフセット成分) は、キャンセルされ、測距結果には影響を及ぼさない。

【 0 1 2 3 】

ここでは 2Tap-4Phase 方式の T O F 型センサの場合を例に挙げて説明をしたが、本技術は、他の方式の T O F 型センサにも適用できる。例えば、4Tap-4Phase 方式の T O F 型センサに適用することもできる。

【 0 1 2 4 】

10

20

30

40

50

＜画素の平面構成例＞

図 7 に示した回路構成例に対応する画素 250 の平面構成例を図 10 に示す。図 10 に示した画素 250 b は、第 2 の実施の形態における画素 250 b として説明を続ける。

【0125】

図 10 に示されるように、矩形の画素 250 a の中央付近の領域に、PD261 が設けられている。PD261 の図中上側（上辺）に、TG252A と TG252B が設けられている。TG252A は、転送トランジスタ 252A のゲート部分であり、TG252B は、転送トランジスタ 252B のゲート部分である。

【0126】

TG252A と TG252B のそれぞれは、PD261 の 4 辺の内の 1 辺に隣接するように設けられている。図 10 に示した例では、TG252A と TG252B は、PD261 の上辺の X 軸方向に、横並びで配置されている。

【0127】

TG252A の上側には、FD253A-1 が設けられている。この FD253A-1 は、タップ 251A に含まれる FD253A の一部を構成している。すなわち、画素 250 b においても、第 1 の実施の形態における画素 20 a（図 3）と同じく、FD253 は、2 つの領域から構成されている。

【0128】

タップ 251A に含まれる FD253A は、FD253A-1 と FD253A-2 から構成されている。この FD253A-1 と FD253A-2 は、異なる領域に形成されている。FD253A-1 は、TG252A の図中上側に形成され、FD253A-2 は、FD253A-1 とは離れた位置であり、FD253A-1 の右斜め上側の位置に形成されている。後述するように、FD253A-1 と FD253A-2 は、配線層における配線で接続され、1 領域として扱えるように構成されている。

【0129】

FD253A-2 の図中上側には、FDG259A が形成されている。また、FDG259A の図中上側には、付加容量部 260A が形成されている。FDG259A がオンにされると、FD253A-1、FD253A-2、および付加容量部 260A の 3 領域が接続された状態となる。

【0130】

タップ 251A に含まれる増幅トランジスタ 257A（のゲート部分）は、図中、TG252A の左側に形成されている。また、TG252A の図中上側には、選択トランジスタ 258A（のゲート部分）が形成されている。さらに、タップ 251A には、FBEN255A も設けられており、この FBEN255A は、リセットトランジスタ 254A の図中上側に形成されている。

【0131】

このように、FD253A は、FD253A-1 と FD253A-2 の 2 つの領域に分散されて形成されている。FD253A-1 には、RST254A が接続され、この RST254A には、FBEN255A が接続されている。また FD253A-2 には、FDG259A が接続されている。このように、FD253A を、FD253A-1 と FD253A-2 の 2 領域に分けて配置することで、一方に、RST254A を介して FBEN255A を接続し、他方に、FDG259A を接続することができる。

【0132】

タップ 251A の図中右側には、タップ 251B を形成する各部が配置されている。タップ 251B も、タップ 251A と同様の構成を有している。

【0133】

タップ 251B に含まれる TG252B は、PD261 の図中右上側に形成されている。TG252B の図中上側には、FD253B-1 が設けられている。タップ 251B に含まれる FD253B は、FD253B-1 と FD253B-2 から構成されている。FD253B-1 は、TG252B の図中上側に形成され、FD253B-2 は、FD25

10

20

30

40

50

3 B-1とは離れた位置であり、FD 2 5 3 B-1の左斜め上側の位置に形成されている。後述するように、FD 2 5 3 B-1とFD 2 5 3 B-2は、配線層における配線で接続され1領域として扱えるように構成されている。

【0134】

FD 2 5 3 B-2の図中上側には、FDG 2 5 9 Bが形成されている。また、FDG 2 5 9 Bの図中上側には、付加容量部260 Bが形成されている。FDG 2 5 9 Bがオンにされると、FD 2 5 3 B-1、FD 2 5 3 B-2、および付加容量部260 Bの3領域が接続された状態となる。

【0135】

タップ251 Bに含まれる増幅トランジスタ257 B（のゲート部分）は、図中、TG 2 5 2 Bの右側に形成されている。また、TG 2 5 2 Bの図中上側には、選択トランジスタ258 B（のゲート部分）が形成されている。さらに、タップ251 Bには、FBEN 2 5 5 Bも設けられており、このFBEN 2 5 5 Bは、リセットトランジスタ254 Bの図中上側に形成されている。

【0136】

PD 2 6 1の上側には、ウェルコンタクト265が設けられている。PD 2 6 1の下側には、排出トランジスタ（OFG）256（のゲート部分）が設けられている。排出トランジスタ256は、ブルーミング防止用のオーバーフローゲートであり、タップ251 Aとタップ251 Bで共有された構成のため、図10に示したように画素250 b内に、1つのOFD 2 5 6が形成されている。

【0137】

図10および以下に示す配置は、一例であり、限定を示す記載ではない。また、図10および以下に示す例では、排出トランジスタ256を設けた構成を示すが、排出トランジスタ256がない構成とすることもできる。

【0138】

図10に示した例では、画素250 bの中央線L1（図中点線で示した線L1）を基準として、タップ251 Aを構成する各部と、タップ251 Bを構成する各部は、線対称に配置されている。

【0139】

すなわち、タップ251 Aを構成するTG 2 5 2 A、FD 2 5 3 A-1、FD 2 5 3 A-2、リセットトランジスタ254 A、FBEN 2 5 5 A、増幅トランジスタ257 A、選択トランジスタ258 A、FDG 2 5 9 A、および付加容量部260 Aと、タップ251 Bを構成するTG 2 5 2 B、FD 2 5 3 B-1、FD 2 5 3 B-2、リセットトランジスタ254 B、FBEN 2 5 5 B、増幅トランジスタ257 B、選択トランジスタ258 B、FDG 2 5 9 B、および付加容量部260 Bは、それぞれ線対称に配置されている。

【0140】

図10では、配線は図示していないが、FD 2 5 3 A-1と増幅トランジスタ257 Aは接続されており、FD 2 5 3 A-1からの信号量が、増幅トランジスタ257 Aに供給されるように構成されている。また、FD 2 5 3 B-1と増幅トランジスタ257 Bも接続されており、FD 2 5 3 B-1からの信号量が、増幅トランジスタ257 Bに供給されるように構成されている。

【0141】

上記したように、線対称に構成することで、FD 2 5 3 A-1と増幅トランジスタ257 A間の配線の長さ、FD 2 5 3 B-1と増幅トランジスタ257 B間の配線の長さを、略同一にすることができる。また、他の配線も、左右対象の配線とすることで、同一の長さとする事ができる。

【0142】

＜画素の断面構成例＞

図11は、図7、図10に示した2つのタップ251を有する画素250 bの断面構成例を示す図である。

10

20

30

40

50

【0143】

画素250bは、半導体基板341と、その表面側（図中下側）に形成された多層配線層342とを備える。

【0144】

半導体基板341は、例えばシリコン（Si）で構成され、例えば数 μm 程度の厚みを有して形成されている。半導体基板341では、例えば、P型（第1導電型）の半導体領域351に、N型（第2導電型）の半導体領域352が画素単位に形成されることにより、フォトダイオード261が画素単位に形成されている。半導体基板341の表裏両面に設けられているP型の半導体領域351は、暗電流抑制のための正孔電荷蓄積領域を兼ねている。

10

【0145】

図11において上側となる半導体基板341の上面が、半導体基板341の裏面であり、光が入射される光入射面となる。半導体基板341の裏面側上面には、反射防止膜343が形成されている。

【0146】

反射防止膜343は、固定電荷膜および酸化膜が積層された積層構造とされ、例えば、ALD（Atomic Layer Deposition）法による高誘電率（High-k）の絶縁薄膜を用いることができる。具体的には、酸化ハフニウム（ HfO_2 ）や、酸化アルミニウム（ Al_2O_3 ）、酸化チタン（ TiO_2 ）、STO（Strontium Titan Oxide）などを用いることができる。図11の例では、反射防止膜343は、酸化ハフニウム膜353、酸化アルミニウム膜354、および酸化シリコン膜355が積層されて構成されている。

20

【0147】

反射防止膜343の上面であって、半導体基板341の隣接する画素250bの境界部344（以下、画素境界部344とも称する。）には、入射光の隣接画素への入射を防止する画素間遮光膜345が形成されている。画素間遮光膜345の材料は、光を遮光する材料であればよく、例えば、タングステン（W）、アルミニウム（Al）又は銅（Cu）などの金属材料を用いることができる。

【0148】

反射防止膜343の上面と、画素間遮光膜345の上面には、平坦化膜346が、例えば、酸化シリコン（ SiO_2 ）、窒化シリコン（ SiN ）、酸窒化シリコン（ SiON ）等の絶縁膜、または、樹脂などの有機材料により形成されている。

30

【0149】

そして、平坦化膜346の上面には、オンチップレンズ347が画素単位に形成されている。オンチップレンズ347は、例えば、スチレン系樹脂、アクリル系樹脂、スチレン-アクリル共重合系樹脂、またはシロキサン系樹脂等の樹脂系材料で形成される。オンチップレンズ347によって集光された光は、PD261に効率良く入射される。

【0150】

また、半導体基板341の裏面側の画素境界部344には、半導体基板341の裏面側（オンチップレンズ347側）から基板深さ方向に所定の深さまで、隣接画素どうしを分離する画素間分離部361が形成されている。画素間分離部361の底面および側壁を含む外周部は、反射防止膜343の一部である酸化ハフニウム膜353で覆われている。画素間分離部361は、入射光が隣の画素250bへ突き抜けることを防止し、自画素内に閉じ込めるとともに、隣接する画素250bからの入射光の漏れ込みを防止する。

40

【0151】

図11の例では、反射防止膜343の最上層の材料である酸化シリコン膜355を、裏面側から掘り込んだトレンチ（溝）に埋め込むことにより酸化シリコン膜355と画素間分離部361を同時形成するため、反射防止膜343としての積層膜の一部である酸化シリコン膜355と、画素間分離部361とが同一の材料で構成されているが、必ずしも同一である必要はない。画素間分離部361として裏面側から掘り込んだトレンチ（溝）に埋め込む材料は、例えば、タングステン（W）、アルミニウム（Al）、チタン（Ti）

50

、窒化チタン（TiN）等の金属材料でもよい。

【0152】

一方、多層配線層342が形成された半導体基板341の表面側には、各画素250bに形成された1つのPD261に対して、2つの転送トランジスタTRG1およびTRG2が形成されている。例えば、転送トランジスタTRG1は、TG252A（図10）に該当し、転送トランジスタTRG2は、TG252B（図10）に該当する。

【0153】

また、半導体基板341の表面側には、PD261から転送された電荷を一時保持する電荷蓄積部としての浮遊拡散領域FD1およびFD2が、高濃度のN型半導体領域（N型拡散領域）により形成されている。例えば、浮遊拡散領域FD1は、FD253A（を構成するFD253A-1またはFD253A-2（図10））に該当し、浮遊拡散領域FD2は、FD253B（を構成するFD253B-1またはFD253B-2（図10））に該当する。

10

【0154】

多層配線層342は、複数の配線層Mと、その間の層間絶縁膜362とで構成される。図11では、配線層M1乃至M4の4層で構成される例が示されている。

【0155】

多層配線層342の複数の配線層Mのそれぞれには、配線371乃至374が形成されている。配線371乃至374は、例えば、銅（Cu）やアルミニウム（Al）、タングステン（W）、チタン（Ti）、窒化チタン（TiN）等などの金属膜で形成されている。ここでは、配線層M1に配置されている配線を配線371とし、配線層M2に配置されている配線を配線372とし、配線層M3に配置されている配線を配線373とし、配線層M4に配置されている配線を配線374とする。

20

【0156】

配線層M1乃至M4に配置されている配線371乃至374は、縦方向に設けられているビア366により、必要な箇所において接続されている。

【0157】

以上のように、画素250bは、オンチップレンズ347と多層配線層342との間に半導体層である半導体基板341を配置し、オンチップレンズ347が形成された裏面側から入射光をPD261に入射させる裏面照射型の構造を有する。

30

【0158】

また、画素250bは、各画素に設けられたPD261に対して、2つの転送トランジスタTRG1およびTRG2を備え、PD261で光電変換されて生成された電荷（電子）を、浮遊拡散領域FD1またはFD2に振り分け可能に構成されている。

【0159】

<配線について>

上記したように、例えば、タップ251Aに含まれるFD253Aは、FD253A-1とFD253A-2の2領域で形成され、この2領域は配線により接続された構成とされている。この配線について図12、図13を参照して説明する。

【0160】

配線は、PD261が形成されている半導体基板341に積層されている多層配線層342（図11）に形成されている。図12は、図10に示した画素250bの平面図に、配線層M1の配線を追加した図である。図13は、図10に示した画素250bの平面図に、配線層M2の配線を追加した図である。

40

【0161】

図12を参照するに、PD261とTG252Aは、配線層M1に形成されている配線431Aにより接続されている。配線431Aの一端であり、図12では、PD261の下側には、配線層M2と接続されるビア411Aが形成されている。また、配線431Aの他端であり、図12では、TG252Aの下側には、TG251Aと配線431Aを接続するコンタクト412Aが形成されている。

50

【0162】

なお、上記した説明および以下の説明において、接続とは、物理的に接続されていることを含むとともに、物理的に接触していなくても、電荷や信号を読み出すことができるように形成されている場合も含まれる。

【0163】

図13を参照するに、ビア411Aは、配線層M2に形成されている画素駆動線246Aと接続されている。ビア411Aは、配線431A（図12）と接続され、配線431は、TG252Aと接続されているため、画素駆動線246Aは、TG251Aと接続されていることになる。画素駆動線246Aは、転送トランジスタ252Aを駆動させる信号が伝送される配線である。

10

【0164】

図12を参照するに、FD253A-2、FD253A-1、およびAMP257Aは、配線432Aにより接続されている。FD253A-2、FD253A-1、およびAMP257Aのそれぞれには、コンタクト413A、コンタクト414A、およびコンタクト415Aが形成され、これらのコンタクトが、配線432Aに接続されている。

【0165】

この配線432Aも、FD253Aを構成する領域として用いることができる。この配線432Aの配線長を長くすることで、FD253Aの容量を増すことができる。そこで、図13に示すように、配線層M2にも、FD253Aの一部を構成する配線441Aを形成する。配線441Aは、ビア416Aにより配線432Aと接続されている。

20

【0166】

ビア416Aは、図12、図13では、TG252AとAMP257Aとの間に形成されている。このビア416Aと接続されるように、配線432Aが配線層M1に形成され、配線441Aが配線層M2に形成されている。

【0167】

なお、配線441Aは、上記したように、FD253Aの容量を増すために形成されており、接続するための配線ではないため、省略することも可能である。また、ここでは、配線層M2に配線441Aが形成されている例を挙げて説明を続けるが、配線層M2以外の配線層M3や配線層M4に形成されていても良い。

【0168】

図12を参照するに、AMP257AとSEL258Aの下側に該当する領域には、配線433Aが形成されている。この配線433Aは、SEL258Aに形成されているビア417Aと、RST254AとFBEN255Aとの間（リセットトランジスタ254Aのドレインに該当する領域）に形成されているコンタクト418Aと接続されている。

30

【0169】

配線433Aは、図7に示した回路図において、寄生容量C_{ST}に該当する部分である。寄生容量C_{ST}の容量を大きくすることで、KTCノイズをより低減させることができる。そこで、寄生容量C_{ST}に該当する領域として、図12に示すように、配線層M1に配線434Aを設け、図13に示すように、配線層M2に配線442Aを設ける。寄生容量C_{ST}に該当する部分は、配線433A、配線434A、および配線442Aから構成される。

40

【0170】

配線層M1に形成されている配線433Aは、ビア417Aと接続されている。また配線層M1に形成されている配線434Aは、ビア419Aと接続されている。配線層M2に形成されている配線442Aは、ビア417Aとビア419Aに接続されている。よって、配線433A、ビア417A、配線442A、ビア419A、配線434Aは、接続された状態で形成されており、寄生容量C_{ST}を形成している。

【0171】

図12を参照するに、配線434Aは、FD253A-2の図中右側の領域から、ウェルコンタクト265とPD261の下側を通り、OFD256まで伸びている配線として

50

形成されている。

【0172】

これらタップ251Aに関する配線は、タップ251Bに関する配線と線対称の関係をなすように形成されている。タップ251Bに関する配線について、図12と図13を参照して説明する。

【0173】

図12を参照するに、PD261とTG252Bは、配線層M1に形成されている配線431Bにより接続されている。配線431Bの一端であり、図12では、PD261の下側には、配線層M2と接続されるビア411Bが形成されている。また、配線431Bの他端であり、図12では、TG252Bの下側には、TG251Bと配線431Bを接続するコンタクト412Bが形成されている。

10

【0174】

図13を参照するに、ビア411Bは、配線層M2に形成されている画素駆動線246Bと接続されている。よって、画素駆動線246Bは、TG251Bと接続されている。画素駆動線246Bは、転送トランジスタ252Bを駆動させる信号が伝送される配線である。

【0175】

図12を参照するに、FD253B-1、FD253B-2、およびAMP257Bは、配線432Bにより接続されている。FD253B-1、FD253B-2、およびAMP257Bのそれぞれには、コンタクト413B、コンタクト414B、およびコンタクト415Bが形成され、これらのコンタクトが、配線432Bに接続されている。

20

【0176】

また図13に示すように、配線層M2にも、FD253Bの一部を構成する配線441Bが形成されている。配線441Bは、ビア416Bにより配線432Bと接続されている。

【0177】

図12を参照するに、AMP257BとSEL258Bの下側に該当する領域には、配線433Bが形成されている。この配線433Bは、SEL258Bに形成されているビア417Bと、RST254BとFBEN255Bとの間（リセットトランジスタ254Bのドレインに該当する領域）に形成されているコンタクト418Bと接続されている。

30

【0178】

配線層M1に形成されている配線433Bは、ビア417Bと接続されている。また配線層M1に形成されている配線434Bは、ビア419Bと接続されている。配線層M2に形成されている配線442Bは、ビア417Bとビア419Bに接続されている。よって、配線433B、ビア417B、配線442B、ビア419B、配線434Bは、接続された状態で形成されており、寄生容量C_{ST}を形成している。

【0179】

図12を参照するに、配線434Bは、FD253B-2の図中左側の領域から、ウェルコンタクト265とPD261の下側を通り、OFD256まで伸びている配線として形成されている。

40

【0180】

このように、タップ251Bに関する配線は、タップ251Aに関する配線と線対称の関係をなすように形成されている。

【0181】

画素250bに含まれるタップ251Aに含まれるトランジスタや配線などと、画素250bに含まれるタップ251Bに含まれるトランジスタや配線などは、画素250bにおける中央線L1（図10）において線対称となるように配置されている。

【0182】

よって、例えば、ノイズキャンセルに寄与する配線、例えば、寄生容量C_{ST}に該当する配線433や配線434などの長さのばらつきが発生することを抑制することができる

50

。よって、タップ251Aとタップ251Bで、ノイズ低減に関わる性能に差が生じるようなことを防ぐことができ、測距制度を向上させることができる。

【0183】

＜第3の実施の形態における画素の構成例＞

図14を参照し、第3の実施の形態における画素250cの構成について説明する。図14は、第3の実施の形態における画素250cの平面構成例を示す図である。

【0184】

第3の実施の形態における画素250cの回路構成例は、図7に示した画素250の回路構成例と同一である。また第3の実施の形態における画素250cの断面構成例は、図11に示した画素250bの断面構成例と同一とすることができる。ここでは、回路構成と断面構成についての説明は省略する。

【0185】

図14に示した画素250cにおいて、図10に示した第2の実施の形態における画素250bと同一の部分には同一の符号を付し、その説明は適宜省略する。図14に示した画素250cと図10に示した画素250bを比較するに、画素250cは、図中、PD261の下側にFDG259AcとFDG259Bcが設けられている点異なる。

【0186】

またPD261の下側にFDG259AcとFDG259Bcが移動されたことにより、FDG259Acに接続されるFD253A-2cと、FDG259Bcに接続されるFD253B-2cも下側に配置されている。同じく、FDG259Acに接続される付加容量部260Acと、FDG259Bcに接続される付加容量部260Bcも下側に配置されている。

【0187】

FD253A-2c、FDG259Ac、および付加容量部260Acは、図中横並びで配置されている。また、FD253B-2c、FDG259Bc、および付加容量部260Bcも、図中横並びで配置されている。FD253A-2c、FDG259Ac、および付加容量部260Acと、FD253B-2c、FDG259Bc、および付加容量部260Bcは、中央線L1において、線対称となるように配置されている。

【0188】

図14に示した画素250cの構成も、図10に示した画素250bと同じく、タップ251Aを構成する各部と、タップ251Bを構成する各部は、線対称に配置されている。

【0189】

図示はしないが、図14に示した画素250cにおいても、第2の実施の形態における画素250bと同じく、タップ251Aに含まれる配線と、タップ251Bに含まれる配線は、線対称となるように配置されている。

【0190】

よって、画素250cに含まれるタップ251Aに含まれるトランジスタや配線などと、画素250cに含まれるタップ251Bに含まれるトランジスタや配線などは、画素250cにおける中央線L1（図14）において線対称となるように配置することができる。よって、例えば、ノイズキャンセルに寄与する配線、例えば、寄生容量C_{ST}に該当する配線などのばらつきが発生することを抑制することができる。

【0191】

＜第4の実施の形態における画素の構成例＞

図15を参照し、第4の実施の形態における画素250dの構成について説明する。図15は、第4の実施の形態における画素250dの平面構成例を示す図である。

【0192】

第4の実施の形態における画素250dの回路構成例は、図7に示した画素250の回路構成例と同一である。また第4の実施の形態における画素250cの断面構成例は、図11に示した画素250bの断面構成例と同一とすることができる。ここでは、回路構成と断面構成についての説明は省略する。

10

20

30

40

50

【0193】

図15に示した画素250dにおいて、図10に示した第2の実施の形態における画素250bと同一の部分には同一の符号を付し、その説明は適宜省略する。図15に示した画素250dと図10に示した画素250bを比較するに、画素250dは、図中、PD261の下側にFDG259AdとFDG259Bdが設けられている点異なる。

【0194】

図15に示した画素250dと図14に示した画素250cを比較した場合、画素250dは、図中、PD261の下側にFDG259AdとFDG259Bdが設けられている点は同一であるが、FD253A-2d、FDG259Ad、および付加容量部260Adが図中縦方向に配置され、FD253B-2d、FDG259Bd、および付加容量部260Bdが図中縦方向に配置されている点異なる。

【0195】

FD253A-2d、FDG259Ad、および付加容量部260Adを縦方向に配置し、FD253B-2d、FDG259Bd、および付加容量部260Bdを縦方向に配置した場合も、これらの各部は、中央線L1において線対称となるように配置されている。

【0196】

図15に示した画素250dでは、FBEN255の位置も、画素250bや画素250cとは異なる位置に配置されている。画素250dでは、FDG259などを、PD261の下部に配置したことにより、FDG259などが配置されていた領域に、FBEN255などを配置することが可能となる。

【0197】

図15では、FBEN255AとFBEN255Bを図中上側に配置し、FBEN255AとFBEN255Bを横方向に形成した場合を示している。FBEN255Acの位置を、画素250d中の上方の中央側に配置した場合、RST254Aの位置を上方にずらし、RST254AとTG252Aとの間の領域、すなわちFD253A-1に該当する領域を広く形成するようにしても良い。

【0198】

図15に示した画素250dの構成も、図10に示した画素250bと同じく、タップ251Aを構成する各部と、タップ251Bを構成する各部は、線対称に配置されている。

【0199】

図示はしないが、図15に示した画素250dにおいても、第2の実施の形態における画素250bと同じく、タップ251Aに含まれる配線と、タップ251Bに含まれる配線は、線対称となるように配置されている。

【0200】

よって、画素250dに含まれるタップ251Aに含まれるトランジスタや配線などと、画素250dに含まれるタップ251Bに含まれるトランジスタや配線などは、画素250dにおける中央線L1（図15）において線対称となるように配置することができる。よって、例えば、ノイズキャンセルに寄与する配線、例えば、寄生容量D_STに該当する配線などのばらつきが発生することを抑制することができる。

【0201】

ここでは、第2乃至第4の実施の形態として、トランジスタの配置や大きさなどを変更した例を挙げたが、これらの配置や大きさは一例であり、ここであげた例以外の配置や大きさであっても、本技術を適用できる。

【0202】

上記したように、本技術を適用した画素は、FD（浮遊拡散領域）を構成する領域を2領域に分散配置し、その2領域を接続することで、1つのFDとして扱えるように構成されている。FDを2領域に分散配置することで、配置の自由度を増すことが可能となる。また、FDを2領域に分散配置することで、FDを1つの領域で設けた場合よりも大きな領域として形成することも可能となる。

【0203】

なお、上述した実施の形態では、FDを2領域、例えば、図10に示した画素250bにおいてはFD253A-1とFD253A-2でFD253Aが形成されている場合を例に挙げて説明したが、FDは2領域以上に分割されて設けられていても良い。

【0204】

上述したように、本技術を適用した画素は、FDの容量を変換する変換効率切替用トランジスタ(FDG)と付加容量部を設けることにより、さらにFDの容量を増加することができる構成とされている。また、積層される配線層にも、FDの一部をなす配線を設けることで、よりFDの容量を増加することができる構成とされている。これらのことから、本技術を適用した画素によれば、FDの容量を増加させた画素とすることができる。

【0205】

また上記したように、本技術を適用した画素は、フィードバックイネーブルトランジスタ(FBEN)を設け、寄生容量C_{ST}や寄生容量C_{FB}を配線により確保できる構成としたため、KTCノイズなどのノイズを低減させることができる。

【0206】

また上記したように、2タップ構成の画素に対して本技術を適用した場合、タップ内のトランジスタや配線は、画素内で、線対称となるように配置されているため、配線の長さのばらつきをなくすることができる。配線の長さにはばらつきがあると、配線容量に違いが生じ、ノイズを適切に抑制できなくなるなどの問題が発生する可能性があるが、本技術を適用することで、そのようなことが生じる可能性を低減させることができる。

【0207】

<第5の実施の形態>

以下の説明では、TG252、FD253、OFG256、PD261の配置について説明する。他の部分は、第2乃至第4の実施の形態のいずれも適用できるため、その説明は省略する。

【0208】

図16は、第2乃至第4の実施の形態における画素250のうち、TG252、FD253、OFG256、PD261の配置例を示した図である。TG252AとTG252Bのそれぞれは、PD261の4辺の内の1辺に隣接するように設けられている。図16に示した例では、TG252AとTG252Bは、PD261の上辺のX軸方向に、横並びで配置されている。

【0209】

TG252Aの上側には、FD253A-1が設けられ、TG252Bの上側には、FD253B-1が設けられている。PD261のTG252が配置されている辺と逆側の辺には、OFG256が配置されている。

【0210】

図16に示した例においても、画素250の中央線L1を基準として、TG252A、FD253A-1と、TG252B、FD253B-1は線対称に配置されている。OFG256も、中央線L1上に配置され、OFG256の仮に中央線L1の左側と右側とで分けた場合、左側領域と右側領域が、線対称に配置されている。

【0211】

第2乃至第4の実施の形態においては、図16に示したように、TG252、FD253、OFG256が線対称となるように配置されている。TG252、FD253、OFG256の配置や、配置される個数は、図16に示した例以外であっても良く、以下に説明するような配置例や個数であっても良い。

【0212】

図17は、第5の実施の形態における画素250eの構成例を示す図である。図17に示した画素250eと、図16に示した画素250を比較するに、図17に示した画素250eは、OFG256が2個備えられている点が図16に示した画素250と異なる。

【0213】

図17に示した画素250eにおいては、PD261の下辺のX軸方向に横並びでOF

10

20

30

40

50

D 2 5 6 - 1 と O F D 2 5 6 - 2 が配置されている。O F D 2 5 6 - 1 と O F D 2 5 6 - 2 は、画素 2 5 0 の中央線 L 1 を基準として、線対称に配置されている。

【0 2 1 4】

このように、O F D 2 5 6 を複数設けることで、排出能力を向上させることができる。図 1 7 に示したように、O F D 2 5 6 も、T G 2 5 2 と同じように、中央線 L 1 を基準として線対称に配置されている構成とすることで、画素 2 5 0 e における対称性をより高めることができ、光学対称性を向上させることもできる。

【0 2 1 5】

＜第 6 の実施の形態＞

図 1 8 は、第 6 の実施の形態における画素 2 5 0 f の平面構成例を示す図である。

10

【0 2 1 6】

図 1 8 に示した画素 2 5 0 f と、図 1 7 に示した画素 2 5 0 e を比較するに、図 1 8 に示した画素 2 5 0 f においても、O F D 2 5 6 を 2 個備える点は同一であるが、配置されている位置が異なる。

【0 2 1 7】

図 1 8 に示した画素 2 5 0 f は、P D 2 6 1 の左辺に O F D 2 5 6 - 1 が配置され、P D 2 6 1 の右辺に O F D 2 5 6 - 2 が配置されている。画素 2 5 0 f においては、O F D 2 5 6 - 1 と O F D 2 5 6 - 2 が、対辺に配置されている。O F D 2 5 6 - 1 と O F D 2 5 6 - 2 は、画素 2 5 0 f の中央線 L 1 を基準として、線対称に配置されている。

【0 2 1 8】

20

画素 2 5 0 f においては、T G 2 5 2 と O F G 2 5 6 は対面に配置されているのではなく、T G 2 5 2 に近い位置に O F G 2 5 6 が配置されている。具体的には T G 2 5 2 と O F G 2 5 6 は直角をなすように位置に配置されている。このように、T G 2 5 2 と O F G 2 5 6 は対面しない位置に配置することで、電荷の転送方向が対向せず、T G 2 5 2 に電荷が転送される転送速度と、O F G 2 5 6 に電荷が転送される転送速度に差が生じるようなことを防ぐ構成とすることができる。

【0 2 1 9】

＜第 7 の実施の形態＞

図 1 9 は、第 7 の実施の形態における画素 2 5 0 g の平面構成例を示す図である。

【0 2 2 0】

30

図 1 9 に示した画素 2 5 0 g と、図 1 7 に示した画素 2 5 0 e を比較するに、図 1 8 に示した画素 2 5 0 f においても、O F D 2 5 6 を 2 個備える点は同一であるが、配置されている位置が異なる。

【0 2 2 1】

図 1 8 に示した画素 2 5 0 f は、P D 2 6 1 の上辺に、T G 2 5 2 A、T G 2 5 2 B、O F D 2 5 6 - 1、O F D 2 5 6 - 2 が配置されている。画素 2 5 0 f においては、画素 2 5 0 g の中央線 L 1 を基準として、T G 2 5 2 A、F D 2 5 3 A - 1、O F G 2 5 6 - 1 と、T G 2 5 2 B、F D 2 5 3 B - 1、O F G 2 5 6 - 2 は線対称に配置されている。

【0 2 2 2】

40

画素 2 5 0 g においては、T G 2 5 2 と O F G 2 5 6 は P D 2 6 1 の所定の一边に配置されているため、その一边が位置している方向に電荷の転送方向を揃えることができる。電荷の転送方向を一方向に揃えることで、例えば、ポテンシャル勾配を、その方向に向くような勾配とする設計を行いやすくなり、T G 2 5 2 に電荷が転送される転送速度と、O F G 2 5 6 に電荷が転送される転送速度に差が生じるようなことを防ぎ、T G 2 5 2 の電荷の転送能力を向上させ、O F G 2 5 6 の電荷の排出能力を向上させることができる。

【0 2 2 3】

＜第 8 の実施の形態＞

図 2 0 は、第 8 の実施の形態における画素 2 5 0 h の平面構成例を示す図である。

【0 2 2 4】

図 2 0 に示した画素 2 5 0 h は、図 1 9 に示した画素 2 5 0 g と同じく、P D 2 6 1 の

50

1 辺に T G 2 5 3 と O F G 2 5 6 が配置されている点で同一であるが、O F G 2 5 6 が 1 個である点が異なる。

【0 2 2 5】

画素 2 5 0 h は、P D 2 6 1 の上辺の X 軸方向に、T G 2 5 2 A、O F G 2 5 6、T G 2 5 2 B の順で配置されている。O F G 2 5 6 は、画素 2 5 0 h の中央線 L 1 上に位置し、O F G 2 5 6 の両側に T G 2 5 2 A と T G 2 5 2 B が配置されている。

【0 2 2 6】

画素 2 5 0 g においても、1 辺に T G 2 5 2 と O F G 2 5 6 が配置されているため、画素 2 5 0 g (図 1 9) と同じく、T G 2 5 2 の電荷の転送能力を向上させ、O F G 2 5 6 の電荷の排出能力を向上させることができる。

【0 2 2 7】

<第 9 の実施の形態>

図 2 1 は、第 9 の実施の形態における画素 2 5 0 i の平面構成例を示す図である。

【0 2 2 8】

第 1 乃至第 8 の実施の形態における画素 2 5 0 は、2 タップ構成の画素であり、T G 2 5 2 が 2 個備えられている構成を例に挙げて説明したが、4 タップ構成の画素とすることもできる。4 タップ構成にした場合、図 2 1 に示すように、T G 2 5 2 を 4 個備える構成となる。図 2 1 に示した画素 2 5 0 i は、P D 2 6 1 の上辺の X 軸方向に、左から T G 2 5 2 A-2、T G 2 5 2 A-1、T G 2 5 2 B-1、T G 2 5 2 B-2 の順で配置されている。

【0 2 2 9】

T G 2 5 2 A-2 には F D 2 5 3 A-1-2 が設けられ、T G 2 5 2 A-1 には F D 2 5 3 A-1-1 が設けられ、T G 2 5 2 B-1 には F D 2 5 3 B-1-1 が設けられ、T G 2 5 2 B-2 には F D 2 5 3 B-1-2 が設けられている。P D 2 6 1 の下辺の中央には、1 個の O F G 2 5 6 が設けられている。第 5 の実施の形態の画素 2 5 0 e (図 1 7) のように、2 個の O F G 2 5 6 が設けられ構成や、T G 2 5 2 の個数に合わせて 4 個の O F G 2 5 6 が設けられた構成とすることもできる。

【0 2 3 0】

このように、T G 2 5 6 を 4 つ配置する、換言すれば、4 タップ構成とすることで、1 度に 4 つの位相情報を取得することができ、例えば測距画像を取得するのに必要なフレーム数を減らすことができ、動体ブレを抑えることができる。

【0 2 3 1】

<ゲートの平面視における形状について>

図 2 2 は、ゲートの平面視における形状について説明するための図である。

【0 2 3 2】

第 1 乃至第 9 の実施の形態においては、T G 2 5 2 や O F G 2 5 6 といったゲートの形状は四角形状であるとして説明したが、四角形状以外の形状であっても良い。図 2 2 に、図 1 6 に示した画素 2 5 0 の構成において、ゲートの形状を四角形状以外の形状とした構成の一例を示す。

【0 2 3 3】

図 2 2 に示した T G 2 5 2 A、T G 2 5 2 B、および O F G 2 5 6 は、それぞれ六角形状とされている。換言すれば、四角形状のゲートの角を落とした形状となっている。このように、ゲートの形状を、角を落とした形状とすることで、ゲート容量を減らすことができ、転送能力を向上させることができる。

【0 2 3 4】

図 2 2 に示した T G 2 5 2 A、T G 2 5 2 B、および O F G 2 5 6 は、P D 2 6 1 上を跨ぐ位置に配置されている。このように、平面視においてゲートの一部が、P D 2 6 1 上に形成されているように構成することもできる。

【0 2 3 5】

図 2 3 は、図 1 8 に示した画素 2 5 0 f の構成において、ゲートの形状を四角形状以外の形状とした構成の一例を示す。図 2 3 に示したように、ゲートの形状を、角を落とした

10

20

30

40

50

形状とすることで、角を落とした部分同士を近づけることができる。図 23 に示したように、TG252A と OFG256-1、TG252B と OFG256-2 といった直交するゲートの距離を近づけることができ、TG252 と OFG256 のレイアウトや、それら以外のゲートのレイアウトの自由度を増すことができる。

【0236】

TG252 と OFG256 の距離を近づけて配置することで、図 18 の画素 250 f を参照して説明したように、電荷の転送方向を一方向に揃えることができ、TG252 の電荷の転送能力を向上させ、OFG256 の電荷の排出能力を向上させることができる。

【0237】

＜ゲートの断面視における形状＞

次にゲートの断面視における形状について説明を加える。

【0238】

図 24 に、再度図 16 に示した画素 250 の平面視における図を示し、図 25 に、図 24 に示した画素 250 の平面図において、線分 A-A' で切断したときの断面の構成を示す図を示す。

【0239】

図 25 に示すように、Si（シリコン）基板からなる Pwell 領域 401 内に PD261 が設けられている。PD261 は、例えば N 型不純物層（電荷蓄積層）から構成され、その上部に空乏化防止層（ピニング層）をなす高濃度の P 型不純物層が付加された構造とされている。

【0240】

PD261 の図中左側には、PD61 において発生した電荷を蓄積する FD253A-1 が設けられている。図 25 において、PD261 と FD253A-1 との間に TG252A が設けられている。一方、図中右側には、OFG256 が設けられている。

【0241】

図 24 を参照するに、PD261 に発生した電荷は、TG252A または TG252B のオン、オフのタイミングに合わせて、タップ 251A に含まれる TG252A、タップ 251B に含まれる TG252B に振り分けられる。また、排出用の OFG256 により排出されるときもある。すなわち、PD261 に発生した電荷は、ゲートのオン、オフのタイミングで、異なる 3 方向のいずれかに振り分けられる。

【0242】

例えば、TG252A と TG252B の位置的に間にある電荷が、TG252A がオンにされたときに TG252A に全て入らずに、反対側の TG252B に入ってしまうと、Cmod(Contrast between active and inactive tap : 電荷分離効率)が低下してしまい、DNU(Depth Non Uniformity)が発生する可能性があった。

【0243】

TG252 を、縦型ゲートトランジスタとしても良い。縦型ゲートトランジスタとすることで、Si（シリコン）基板からなる Pwell 領域 401 内のポテンシャル変調を大きくすることが可能となり、TG252A、TG252B への電荷の振り分け能力を向上させることができる。

【0244】

OFG256 を加える構成とすることで、PD261 のリセット能力を追加することができ、PD261 内の転送不良などで残存する電荷が、TG252A や TG252B を介して信号成分として検出されるようなことを抑制することができる。このようなことから、電荷分離効率を向上させ、測距精度を高めることができる。

【0245】

以下に、TG252 や OFG256 を、縦型ゲートトランジスタとした場合について説明を加える。以下の実施の形態は、第 1 乃至第 9 の実施の形態と組み合わせ適用することが可能である。

【0246】

10

20

30

40

50

<第10の実施の形態>

図26は、第10の実施の形態における画素250jの構成例を示す平面図であり、図27は、図26の画素250jの平面図において、線分A-A'で切断したときの断面の構成を示す断面図である。

【0247】

図26に示した画素250jは、TG252Aに縦型ゲート部421Aを備え、TG252Bに縦型ゲート部421Bを備え、OFG256に縦型ゲート部422を備える。

【0248】

図27に示した断面図を参照するに、TG252Aは縦型ゲート部421Aを備えた構成とされている。この縦型ゲート部421Aは、縦型トランジスタレンチが開口され、そこにPD261から電荷を読み出すための転送ゲートとして形成されている部分である。TG252Aは、平面ゲート電極と縦型ゲート電極とが一体に形成された転送ゲート電極であり、縦型ゲート電極をここでは縦型ゲート部421Aと記述する。

【0249】

図27には図示していないが、TG252Bも、TG252Aと同じく、平面ゲート電極と縦型ゲート部421Bとから構成されている。同じく、OFG256も、TG252Aと同じく、平面ゲート電極と縦型ゲート部422とから構成されている。

【0250】

このように、TG253を、縦型ゲート部421を有する縦型トランジスタとすることで、PD261の深い部分からの電荷も効率良く読み出すことが可能となる。PD261で光電変換により発生した電荷を、縦型ゲート部422による電位勾配で、高速に振り分ける転送を実現することができる。

【0251】

ゲートに加える印加電圧を変えることにより、容易にバルク内部の電位変調度をコントロールすることも可能となる。これは不純物をドーパントして電位変調する場合よりも効果が大きく、容易に行うことができる。

【0252】

縦型ゲート部421による変調を利用することで、例えば、TG253を形成するとき、マスクパターンの合わせズレが発生し、平面ゲート電極がズレた状態で形成されたとしても、縦型ゲート部421は、その影響を受けずにロバスト化することができる。

【0253】

OFG256を備える構成とすることで、電荷排出機能を追加でき、OFG256も、縦型ゲート部422を備える構成とすることで、PD261内に転送不良などで残存する電荷が、TG252A、TG252Bを介して信号成分として検出されることをより抑制することができ、Cmodを向上させ、測距精度を高めることが可能となる。

【0254】

縦型ゲート部を備えるゲートの構成は、他のトランジスタのゲートに対しても適用することができる。

【0255】

<第11の実施の形態>

図28は、第11の実施の形態における画素250kの構成例を示す平面図である。縦型ゲート部は、1ゲートあたり複数本設けられていても良い。

【0256】

図28は、1ゲートあたり2個の縦型ゲート部を備える画素250kの構成例を示している。画素250kのTG252Aには、縦型ゲート部421A-1と縦型ゲート部421A-2が、図中左右方向(X軸方向)に並んで配置されている。画素250kのTG252Bには、縦型ゲート部421B-1と縦型ゲート部421B-2が、図中左右方向に並んで配置されている。画素250kのOFG256には、縦型ゲート部422-1と縦型ゲート部422-2が、図中左右方向に並んで配置されている。

【0257】

このように、１個のＴＧ２５２に２個の縦型ゲート部４２１を備える構成としても良い。ＴＧ２５２内に配置される２個の縦型ゲート部４２１の並びは、上記したＸ軸方向であっても良いし、Ｙ軸方向（図中上下方向）であっても良い。他のゲートも、ＴＧ２５２と同じく、２個の縦型ゲート部を備える構成とすることができる。

【０２５８】

図２９に示すように、１つのＴＧ２５２に４個の縦型ゲート部４２１を備えた画素２５０ｋ'の構成例を示す。画素２５０ｋのＴＧ２５２Ａには、縦型ゲート部４２１Ａ－１乃至４２１Ａ－４のそれぞれがＴＧ２５２Ａの四隅に配置されている。画素２５０ｋのＴＧ２５２Ｂには、縦型ゲート部４２１Ｂ－１乃至４２１Ｂ－４のそれぞれがＴＧ２５２Ｂの四隅に配置されている。画素２５０ｋのＯＦＧ２５６には、縦型ゲート部４２２－１乃至４２２－４のそれぞれがＯＦＧ２５６の四隅に配置されている。

10

【０２５９】

このように、１個のＴＧ２５２に４個の縦型ゲート部４２１を備える構成としても良い。他のゲートも、ＴＧ２５２と同じく、４個の縦型ゲート部を備える構成とすることができる。

【０２６０】

図示はしないが、１ゲートに２個、４個以外の複数の縦型ゲート部を設ける構成とすることもできる。１ゲートに複数の縦型ゲート部を設けた場合に、その縦型ゲート部の配置は、上記した所定の方法に並んで配置する、ゲートの形状に合わせて例えばゲートの四隅に配置する以外の配置であっても良い。

20

【０２６１】

縦型ゲート部の個数を増やすことで、電位変調の効果を向上させることができる。

【０２６２】

図３０は、図２９の画素２５０ｋ'の平面図において、線分Ａ－Ａ'で切断したときの断面の構成を示す断面図である。図３０では、ＴＧ２５２Ａに設けられている４個の縦型ゲート部４２１Ａ－１乃至４２１Ａ－４のうち、ＦＤ２５３Ａ－１とＰＤ２６１を結ぶ直線上（線分Ａ－Ａ'）に配置されている縦型ゲート部４２１Ａ－２と縦型ゲート部４２１Ａ－４を示す。

【０２６３】

縦型ゲート部４２１は、配置されている位置によらず同一の深さで形成されていても良いし、配置されている位置により深さが異なるように形成されていても良い。配置されている位置により深さを変える場合、図３０に示したように、ＰＤ２６１に近い方に配置されている縦型ゲート部４２１Ａ－４の深さＡが、ＰＤ２６１より遠い方に配置されている縦型ゲート部４２１Ａ－２の深さＢよりも深く形成されているように構成することができる。

30

【０２６４】

このように縦型ゲート部４２１を複数備え、配置されている位置により深さを変えることで、図３０の下図に示したような電位勾配を得ることができる（得るように調整することができる）。図３１に示したように、ＰＤ２６１からＦＤ２５３Ａ－１方にかけて、Ｐwell領域４０１内の電位が下がる電位勾配を、縦型ゲート部４２１Ａ－２，４２１Ａ－４の深さを調整することで作り出すことができる。

40

【０２６５】

このような深さの異なる縦型ゲート部４２１を形成する場合、図３１に示すように、形成時の径を異なる大きさとすることで形成することができる。図３０に示したように、縦型ゲート部４２１Ａ－３（４２１Ａ－４）を、縦型ゲート部４２１Ａ－１（４２１Ａ－２）よりも深く形成する場合、図３１に示すように、縦型ゲート部４２１Ａ－３を形成するときのトレンチの径Ｌ２を、縦型ゲート部４２１Ａ－１を形成するときのトレンチの径Ｌ１よりも大きくする。

【０２６６】

縦型ゲート部４２１Ａ－３を形成するときのトレンチの径Ｌ２＞縦型ゲート部４２１Ａ

50

ー 1 を形成するときのトレンチの径 L 1 とすることで、同一工程で掘り込み量を変化させることができ、径の大きい方を深い位置まで掘り込むことができ、深さの異なる縦型ゲート部 4 2 1 を形成することができる。

【 0 2 6 7 】

このように、複数の縦型ゲート部 4 2 1 を形成し、縦型ゲート部 4 2 1 の深さを異なるように形成することで、所望の電位勾配を形成することができ、電荷の転送効率を向上させることができる。

【 0 2 6 8 】

＜第 1 2 の実施の形態＞

図 3 2 は、第 1 2 の実施の形態における画素 2 5 0 m の構成例を示す平面図であり、図 3 3 は、図 3 2 の画素 2 5 0 m の平面図において、線分 A - A ' で切断したときの断面の構成を示す断面図である。

【 0 2 6 9 】

図 3 2 に示した画素 2 5 0 m は、図 2 6 に示した画素 2 5 0 j に、T G 2 5 2 A - 2、T G 2 5 2 B - 2、O F G 2 5 6 - 2 を追加した構成を有している。

【 0 2 7 0 】

図 3 2、図 3 3 に示した画素 2 5 0 m は、P D 2 6 1 の一辺に、T G 2 5 2 A - 1 と T G 2 5 2 B - 1 を備え、P D 2 6 1 上に T G 2 5 2 A - 2 と T G 2 5 2 B - 2 を備える。T G 2 5 2 A - 1 と T G 2 5 2 A - 2 は、タップ 2 5 1 A に含まれる転送トランジスタのゲートであり、T G 2 5 2 B - 1 と T G 2 5 2 B - 2 は、タップ 2 5 1 B に含まれる転送トランジスタのゲートである。

【 0 2 7 1 】

図 3 3 に示すように、T G 2 5 2 A - 1 は、P D 2 6 1 と F D 2 5 3 A - 1 との間に配置され、T G 2 5 2 A - 2 は、P D 2 6 1 上に配置されている。T G 2 5 2 A - 2 は、平面視において、P D 2 6 1 と重畳する位置に配置されている。T G 2 5 2 B - 1 と T G 2 5 2 B - 2 も、T G 2 5 2 A - 1 と T G 2 5 2 A - 2 と同様な位置関係で配置されている。

【 0 2 7 2 】

このように、P D 2 6 1 と T G 2 5 2 A - 1 の電荷が転送される経路に、T G 2 5 2 A - 2 を設けることで、画素 2 5 0 m の中央付近まで電位勾配をつけることが可能となり、電荷の転送能力を向上させることができる。T G 2 5 2 B 側も同様の構成とすることで、電荷の転送能力を向上させることができる。T G 2 5 2 A と T G 2 5 2 B の両方で、電荷の転送能力を向上させることができることで、電荷の振り分け能力も向上させることができる。

【 0 2 7 3 】

他のゲート、例えば、O F G 2 5 6 も、T G 2 5 2 と同じような構成とすることで、電荷の排出能力を向上させることができる。

【 0 2 7 4 】

ここでは、T G 2 5 2 が、T G 2 5 2 - 1 と T G 2 5 2 - 2 から構成される例を示しているが、P D 2 6 1 上に配置される T G 2 5 2 - 2 は、1 つではなく複数個であっても良い。

【 0 2 7 5 】

T G 2 5 2 A を T G 2 5 2 A - 1 と T G 2 5 2 B - 2 の 2 つのゲートで構成した場合、T G 2 5 2 A - 1 と T G 2 5 2 B - 2 に同時に駆動電圧を加えて、同時にオンの状態にするような駆動を行っても良い。このように同時にオンの状態にする駆動を行う場合、T G 2 5 2 A - 1 と T G 2 5 2 B - 2 に同電圧を加える構成としても良いし、異なる電圧が加えられるようにしても良い。

【 0 2 7 6 】

異なる電圧が加えられるようにする場合、例えば、T G 2 5 2 5 2 A - 1 に加えられる電圧の方が、T G 2 5 2 A - 2 に加えられる電圧よりも大きくなるように制御されるようにしても良い。

10

20

30

40

50

【0277】

TG252A-1とTG252B-2に異なるタイミングで駆動電圧を加えて、オンの状態になるタイミングがずれるような駆動を行っても良い。例えば、TG252A-2を駆動し、その後、TG252A-2が駆動された状態が維持されたままTG252B-1が駆動されるようにしても良い。または、TG252A-2を駆動し、TG252A-2をオフにした後、TG252B-1が駆動されるようにしても良い。

【0278】

TG252A-2やTG252B-2は、図32、33に示したような大きさよりも大きく形成されていても良い。図33、図34に、TG252A-2やTG252B-2を大きくした場合の画素250mの構成例を示す。

10

【0279】

図34は、第12の実施の形態における画素250m（画素250m'とする）の他の構成例を示す平面図であり、図35は、図34の画素250m'の平面図において、線分A-A'で切断したときの断面の構成を示す断面図である。

【0280】

図34を参照するに、平面視で見たとき、PD261上に配置されているTG252A-2'、TG252B-2'、OFG256-2'は、PD261の面積を3分割する大きさで、それぞれ形成されている。図35を参照するに、TG252A-2'は、PD261上に、TG252A-1よりも大きく形成されている。

【0281】

このように、TG252-2'の大きさは、図32、図33に示した例のように、TG252-1と同程度の大きさで形成されていても良いし、図34、35に示した例のように、TG252-1よりも大きく形成されていても良い。

20

【0282】

＜第13の実施の形態＞

図36は、第13の実施の形態における画素250nの構成例を示す平面図であり、図37は、図36の画素250nの平面図において、線分A-A'で切断したときの断面の構成を示す断面図である。

【0283】

図36に示した画素250nは、図32に示した画素250mのTG252A-2、TG252B-2、OFG256-2のそれぞれを縦型ゲートトランジスタで構成した点が異なり、他の構成は同様である。

30

【0284】

TG252A-2には、縦型ゲート部421A-2が設けられ、TG252B-2には、縦型ゲート部421B-2が設けられ、OFG256-2には、縦型ゲート部422-2が設けられている。

【0285】

TG252-1とTG252-2の両方を縦型ゲート部421とした場合、図37のAに示すように深さは同一に形成しても良いし、図37のBに示すように深さは異なるように形成しても良い。

40

【0286】

図37のAに示した例は、TG252A-1の縦型ゲート部421A-1の深さBと、TG252A-2の縦型ゲート部421A-2の深さAは同一の深さで形成されている。

【0287】

図37のBに示した例は、TG252A-1の縦型ゲート部421A-1の深さBと、TG252A-2の縦型ゲート部421A-2の深さAは異なる深さで形成されている。図37のBでは、縦型ゲート部421A-1の深さBが、縦型ゲート部421A-2の深さAよりも浅く形成されている場合を示したが、縦型ゲート部421A-1の深さBが、縦型ゲート部421A-2の深さAよりも深く形成されていても良い。

【0288】

50

このように、PD261上に形成されるTG252-2を、縦型ゲート部421を備える縦型ゲートトランジスタとして形成することで、所望の電位勾配を形成することができ、電荷の転送効率を向上させることができる。

【0289】

＜第14の実施の形態＞

図38は、第14の実施の形態における画素250pの構成例を示す平面図であり、図39は、図38の画素250pの平面図において、線分A-A'で切断したときの断面の構成を示す断面図である。

【0290】

図38、図39に示した画素250pは、図36に示した画素250nのTG252A-1、TG252B-1、OFG256-1のそれぞれを縦型ゲートではない構成、換言すれば平置きゲートとした点が異なり、他の構成は同様である。

【0291】

図38に示した画素250pは、TG252A-1は縦型ゲート部を備えない平置きゲートとされている。同じくTG252B-1は縦型ゲート部を備えない平置きゲートとされている。OFG256-1は縦型ゲート部を備えない平置きゲートとされている。

【0292】

このように、例えばタップ251Aに含まれるTG252A-1とTG252A-2のうちのどちらか一方を縦型ゲートとし、他方を平置きゲートとする構成としても良い。

【0293】

TG252A-2を縦型ゲートとすることで、図39に示すように、深さ方向でPD261に近い位置にゲートを形成することができ、転送能力を向上させることができる。よって、画素250pにおいても、電荷の転送効率を向上させることができる。

【0294】

上記した第1乃至第9の実施の形態のいずれかと、第10乃至第14の実施の形態のいずれかを組み合わせた構成とすることができる。すなわち、第1乃至第9の実施の形態のいずれかの画素250において、その画素250を構成するゲートを、縦型ゲートとすることができる。

【0295】

＜電子機器への適用例＞

本技術は、撮像素子への適用に限られるものではない。即ち、本技術は、デジタルスチルカメラやビデオカメラ等の撮像装置や、撮像機能を有する携帯端末装置や、画像読取部に撮像素子を用いる複写機など、画像取込部（光電変換部）に撮像素子を用いる電子機器全般に対して適用可能である。撮像素子は、ワンチップとして形成された形態であってもよいし、撮像部と信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモジュール状の形態であってもよい。

【0296】

図40は、本技術を適用した電子機器としての、撮像装置の構成例を示すブロック図である。

【0297】

図40の撮像素子1000は、レンズ群などからなる光学部1001、図1の撮像装置10の構成が採用される撮像素子（撮像デバイス）1002、およびカメラ信号処理回路であるDSP(Digital Signal Processor)回路1003を備える。また、撮像素子1000は、フレームメモリ1004、表示部1005、記録部1006、操作部1007、および電源部1008も備える。DSP回路1003、フレームメモリ1004、表示部1005、記録部1006、操作部1007および電源部1008は、バスライン1009を介して相互に接続されている。

【0298】

光学部1001は、被写体からの入射光（像光）を取り込んで撮像素子1002の撮像面上に結像する。撮像素子1002は、光学部1001によって撮像面上に結像された入

10

20

30

40

50

射光の光量を画素単位で電気信号に変換して画素信号として出力する。この撮像素子 1002 として、図 1 の撮像装置 1 を用いることができる。

【0299】

表示部 1005 は、例えば、LCD(Liquid Crystal Display)や有機EL(Electro Luminescence)ディスプレイ等の薄型ディスプレイで構成され、撮像素子 1002 で撮像された動画または静止画を表示する。記録部 1006 は、撮像素子 1002 で撮像された動画または静止画を、ハードディスクや半導体メモリ等の記録媒体に記録する。

【0300】

操作部 1007 は、ユーザによる操作の下に、撮像素子 1000 が持つ様々な機能について操作指令を発する。電源部 1008 は、DSP回路 1003、フレームメモリ 1004、表示部 1005、記録部 1006 および操作部 1007 の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

【0301】

＜内視鏡手術システムへの応用例＞

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、内視鏡手術システムに適用されてもよい。

【0302】

図 41 は、本開示に係る技術（本技術）が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

【0303】

図 41 では、術者（医師）11131 が、内視鏡手術システム 11000 を用いて、患者ベッド 11133 上の患者 11132 に手術を行っている様子が図示されている。図示するように、内視鏡手術システム 11000 は、内視鏡 11100 と、気腹チューブ 11111 やエネルギー処置具 11112 等の、その他の術具 11110 と、内視鏡 11100 を支持する支持アーム装置 11120 と、内視鏡下手術のための各種の装置が搭載されたカート 11200 と、から構成される。

【0304】

内視鏡 11100 は、先端から所定の長さの領域が患者 11132 の体腔内に挿入される鏡筒 11101 と、鏡筒 11101 の基端に接続されるカメラヘッド 11102 と、から構成される。図示する例では、硬性の鏡筒 11101 を有するいわゆる硬性鏡として構成される内視鏡 11100 を図示しているが、内視鏡 11100 は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。

【0305】

鏡筒 11101 の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡 11100 には光源装置 11203 が接続されており、当該光源装置 11203 によって生成された光が、鏡筒 11101 の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者 11132 の体腔内の観察対象に向かって照射される。なお、内視鏡 11100 は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

【0306】

カメラヘッド 11102 の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、RAWデータとしてカメラコントロールユニット（CCU: Camera Control Unit）11201 に送信される。

【0307】

CCU 11201 は、CPU (Central Processing Unit) や GPU (Graphics Processing Unit) 等によって構成され、内視鏡 11100 及び表示装置 11202 の動作を統括的に制御する。さらに、CCU 11201 は、カメラヘッド 11102 から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像

10

20

30

40

50

信号に基づく画像を表示するための各種の画像処理を施す。

【0308】

表示装置11202は、CCU11201からの制御により、当該CCU11201によって画像処理が施された画像信号に基づく画像を表示する。

【0309】

光源装置11203は、例えばLED (light emitting diode) 等の光源から構成され、術部等を撮影する際の照射光を内視鏡11100に供給する。

【0310】

入力装置11204は、内視鏡手術システム11000に対する入力インターフェースである。ユーザは、入力装置11204を介して、内視鏡手術システム11000に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡11100による撮像条件（照射光の種類、倍率及び焦点距離等）を変更する旨の指示等を入力する。

【0311】

処置具制御装置11205は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具11112の駆動を制御する。気腹装置11206は、内視鏡11100による視野の確保及び術者の作業空間の確保の目的で、患者11132の体腔を膨らめるために、気腹チューブ11111を介して当該体腔内にガスを送り込む。レコーダ11207は、手術に関する各種の情報を記録可能な装置である。プリンタ11208は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。

【0312】

なお、内視鏡11100に術部を撮影する際の照射光を供給する光源装置11203は、例えばLED、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。RGBレーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置11203において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、RGBレーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド11102の撮像素子の駆動を制御することにより、RGBそれぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。

【0313】

また、光源装置11203は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド11102の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

【0314】

また、光源装置11203は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察（Narrow Band Imaging）が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニンググリーン（ICG）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置11203は、このような特殊光観察に対応した狭帯域光及び／又は励起光を供給可能に構成され得る。

【0315】

図42は、図41に示すカメラヘッド11102及びCCU11201の機能構成の一

10

20

30

40

50

例を示すブロック図である。

【0316】

カメラヘッド11102は、レンズユニット11401と、撮像部11402と、駆動部11403と、通信部11404と、カメラヘッド制御部11405と、を有する。CCU11201は、通信部11411と、画像処理部11412と、制御部11413と、を有する。カメラヘッド11102とCCU11201とは、伝送ケーブル11400によって互いに通信可能に接続されている。

【0317】

レンズユニット11401は、鏡筒11101との接続部に設けられる光学系である。鏡筒11101の先端から取り込まれた観察光は、カメラヘッド11102まで導光され、当該レンズユニット11401に入射する。レンズユニット11401は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わされて構成される。

【0318】

撮像部11402を構成する撮像素子は、1つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部11402が多板式で構成される場合には、例えば各撮像素子によってRGBそれぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部11402は、3D（dimensional）表示に対応する右目用及び左目用の画像信号をそれぞれ取得するための1対の撮像素子を有するように構成されてもよい。3D表示が行われることにより、術者11131は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部11402が多板式で構成される場合には、各撮像素子に対応して、レンズユニット11401も複数系統設けられ得る。

【0319】

また、撮像部11402は、必ずしもカメラヘッド11102に設けられなくてもよい。例えば、撮像部11402は、鏡筒11101の内部に、対物レンズの直後に設けられてもよい。

【0320】

駆動部11403は、アクチュエータによって構成され、カメラヘッド制御部11405からの制御により、レンズユニット11401のズームレンズ及びフォーカスレンズを光軸に沿って所定の距離だけ移動させる。これにより、撮像部11402による撮像画像の倍率及び焦点が適宜調整され得る。

【0321】

通信部11404は、CCU11201との間で各種の情報を送受信するための通信装置によって構成される。通信部11404は、撮像部11402から得た画像信号をRAWデータとして伝送ケーブル11400を介してCCU11201に送信する。

【0322】

また、通信部11404は、CCU11201から、カメラヘッド11102の駆動を制御するための制御信号を受信し、カメラヘッド制御部11405に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに／又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。

【0323】

なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいてCCU11201の制御部11413によって自動的に設定されてもよい。後者の場合には、いわゆるAE（Auto Exposure）機能、AF（Auto Focus）機能及びAWB（Auto White Balance）機能が内視鏡11100に搭載されていることになる。

【0324】

カメラヘッド制御部11405は、通信部11404を介して受信したCCU11201からの制御信号に基づいて、カメラヘッド11102の駆動を制御する。

【0325】

通信部11411は、カメラヘッド11102との間で各種の情報を送受信するための通信装置によって構成される。通信部11411は、カメラヘッド11102から、伝送ケーブル11400を介して送信される画像信号を受信する。

【0326】

また、通信部11411は、カメラヘッド11102に対して、カメラヘッド11102の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。

【0327】

画像処理部11412は、カメラヘッド11102から送信されたRAWデータである画像信号に対して各種の画像処理を施す。

【0328】

制御部11413は、内視鏡11100による術部等の撮像、及び、術部等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば、制御部11413は、カメラヘッド11102の駆動を制御するための制御信号を生成する。

【0329】

また、制御部11413は、画像処理部11412によって画像処理が施された画像信号に基づいて、術部等が映った撮像画像を表示装置11202に表示させる。この際、制御部11413は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部11413は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具11112の使用時のミスト等を認識することができる。制御部11413は、表示装置11202に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者11131に提示されることにより、術者11131の負担を軽減することや、術者11131が確実に手術を進めることが可能になる。

【0330】

カメラヘッド11102及びCCU11201を接続する伝送ケーブル11400は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれらの複合ケーブルである。

【0331】

ここで、図示する例では、伝送ケーブル11400を用いて有線で通信が行われていたが、カメラヘッド11102とCCU11201との間の通信は無線で行われてもよい。

【0332】

<移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

【0333】

図43は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

【0334】

車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図43に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F（Interface）12053が図示されている。

10

20

30

40

50

【0335】

駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

【0336】

ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

【0337】

車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

【0338】

撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

【0339】

車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

【0340】

マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

【0341】

また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に抛らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

【0342】

また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力す

10

20

30

40

50

ることができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

【０３４３】

音声画像出力部１２０５２は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図４３の例では、出力装置として、オーディオスピーカ１２０６１、表示部１２０６２及びインストルメントパネル１２０６３が例示されている。表示部１２０６２は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

【０３４４】

図４４は、撮像部１２０３１の設置位置の例を示す図である。

【０３４５】

図４４では、撮像部１２０３１として、撮像部１２１０１、１２１０２、１２１０３、１２１０４、１２１０５を有する。

【０３４６】

撮像部１２１０１、１２１０２、１２１０３、１２１０４、１２１０５は、例えば、車両１２１００のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部１２１０１及び車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として車両１２１００の前方の画像を取得する。サイドミラーに備えられる撮像部１２１０２、１２１０３は、主として車両１２１００の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部１２１０４は、主として車両１２１００の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

【０３４７】

なお、図４４には、撮像部１２１０１ないし１２１０４の撮影範囲の一例が示されている。撮像範囲１２１１１は、フロントノーズに設けられた撮像部１２１０１の撮像範囲を示し、撮像範囲１２１１２、１２１１３は、それぞれサイドミラーに設けられた撮像部１２１０２、１２１０３の撮像範囲を示し、撮像範囲１２１１４は、リアバンパ又はバックドアに設けられた撮像部１２１０４の撮像範囲を示す。例えば、撮像部１２１０１ないし１２１０４で撮像された画像データが重ね合わせられることにより、車両１２１００を上方から見た俯瞰画像が得られる。

【０３４８】

撮像部１２１０１ないし１２１０４の少なくとも１つは、距離情報を取得する機能を有していてもよい。例えば、撮像部１２１０１ないし１２１０４の少なくとも１つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

【０３４９】

例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を基に、撮像範囲１２１１１ないし１２１１４内における各立体物までの距離と、この距離の時間的変化（車両１２１００に対する相対速度）を求めることにより、特に車両１２１００の進行路上にある最も近い立体物で、車両１２１００と略同じ方向に所定の速度（例えば、０km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ１２０５１は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

【０３５０】

例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から

10

20

30

40

50

得られた距離情報を元に、立体物に関する立体物データを、２輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ１２０５１は、車両１２１００の周辺の障害物を、車両１２１００のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ１２０５１は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ１２０６１や表示部１２０６２を介してドライバに警報を出力することや、駆動系制御ユニット１２０１０を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

【０３５１】

撮像部１２１０１ないし１２１０４の少なくとも１つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部１２１０１ないし１２１０４の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ１２０５１が、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部１２０５２は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部１２０６２を制御する。また、音声画像出力部１２０５２は、歩行者を示すアイコン等を所望の位置に表示するように表示部１２０６２を制御してもよい。

【０３５２】

なお、本技術は、Indirect ToF方式の中でもContinuous-Wave方式と称する、物体へ投射する光を振幅変調する方式に適用することができる。また、フォトダイオード２６１の構造としては、CAPD（Current Assisted Photonic Demodulator）構造の測距センサや、フォトダイオードの電荷を２つのゲートに交互にパルスを加えるゲート方式の測距センサなど、２つの電荷蓄積部に電荷を振り分ける構造の測距センサに適用することができる。

【０３５３】

また、上述した実施の形態では、画素２５０が、フォトダイオード２６１で生成された電荷を、タップ２５１Ａまたはタップ２５１Ｂの２つのタップに振り分ける２タップ構造である場合について説明したが、本技術は、１タップ構造や、４タップ構造など、その他のタップ数の画素構造にも適用することができる。

【０３５４】

本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

【０３５５】

本明細書において複数説明した本技術は、矛盾が生じない限り、それぞれ独立に単体で実施することができる。もちろん、任意の複数の本技術を併用して実施することもできる。例えば、いずれかの実施の形態において説明した本技術の一部または全部を、他の実施の形態において説明した本技術の一部または全部と組み合わせて実施することもできる。また、上述した任意の本技術の一部または全部を、上述していない他の技術と併用して実施することもできる。

【０３５６】

また、例えば、１つの装置（または処理部）として説明した構成を分割し、複数の装置（または処理部）として構成するようにしてもよい。逆に、以上において複数の装置（または処理部）として説明した構成をまとめて１つの装置（または処理部）として構成されるようにしてもよい。また、各装置（または各処理部）の構成に上述した以外の構成を付加するようにしてももちろんよい。さらに、システム全体としての構成や動作が実質的に同じであれば、ある装置（または処理部）の構成の一部を他の装置（または他の処理部）

の構成に含めるようにしてもよい。

【0357】

さらに、本明細書において、システムとは、複数の構成要素（装置、モジュール（部品）等）の集合を意味し、すべての構成要素が同一筐体中にあるか否かは問わない。したがって、別個の筐体に収納され、ネットワークを介して接続されている複数の装置、及び、1つの筐体の中に複数のモジュールが収納されている1つの装置は、いずれも、システムである。

【0358】

なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、本明細書に記載されたもの以外の効果があってもよい。

10

【0359】

なお、本技術は、以下の構成を取ることができる。

(1)

光電変換を行う光電変換部と、
前記光電変換部により得られた電荷を蓄積する電荷蓄積部と、
前記光電変換部から前記電荷蓄積部に電荷を転送する転送部と、
前記電荷蓄積部をリセットするリセット部と、
前記リセット部に印加される電圧の制御を行うリセット電圧制御部と、
前記電荷蓄積部への容量の付加を制御する付加制御部と
を備え、
前記電荷蓄積部は、複数の領域から構成されている
撮像素子。

20

(2)

前記電荷蓄積部を構成する複数の領域のうちの1領域は、前記転送部に接続され、他の1領域は前記付加制御部に接続されている
前記(1)に記載の撮像素子。

(3)

前記光電変換部が設けられている基板に前記電荷蓄積部を構成する複数の領域が設けられ、
前記基板に積層されている配線層に、前記複数の領域を接続する配線が設けられている
前記(1)または(2)に記載の撮像素子。

30

(4)

前記複数の領域は2領域であり、一方の領域は第1の画素に設けられ、他方の領域は前記第1の画素に隣接する第2の画素に設けられている
前記(1)乃至(3)のいずれかに記載の撮像素子。

(5)

光電変換を行う光電変換部と、
前記光電変換部により得られた電荷を蓄積する複数の電荷蓄積部と、
前記光電変換部から前記複数の電荷蓄積部のそれぞれに電荷を転送する複数の転送部と、
前記複数の電荷蓄積部のそれぞれをリセットする複数のリセット部と、
前記複数のリセット部にそれぞれ印加される電圧の制御を行う複数のリセット電圧制御部と、
前記複数の電荷蓄積部への容量の付加をそれぞれ制御する複数の付加制御部と
を備え、
前記複数の電荷蓄積部のそれぞれの電荷蓄積部は、複数の領域から構成されている
撮像素子。

40

(6)

前記電荷蓄積部を構成する複数の領域のうちの1領域は、前記転送部に接続され、他の1領域は前記付加制御部に接続されている
前記(5)に記載の撮像素子。

50

(7)

前記光電変換部が設けられている基板に前記電荷蓄積部を構成する複数の領域が設けられ、

前記基板に積層されている配線層に、前記複数の領域を接続する配線が設けられている前記 (5) または (6) に記載の撮像素子。

(8)

前記複数の領域を接続する前記配線が設けられている層とは異なる層に、前記電荷蓄積部の一部をなす配線が設けられている

前記 (7) に記載の撮像素子。

(9)

前記配線層には、前記リセット電圧制御部に接続され、寄生容量として機能する配線が設けられている

前記 (8) に記載の撮像素子。

(1 0)

前記複数の電荷蓄積部、前記複数の転送部、前記複数のリセット部、前記複数のリセット電圧制御部、前記複数の付加制御部は、線対称に配置されている

前記 (5) 乃至 (9) のいずれかに記載の撮像素子。

(1 1)

前記光電変換部により得られた電荷を排出する排出部をさらに備え、

前記排出部も線対称に配置されている

前記 (1 0) に記載の撮像素子。

(1 2)

前記排出部は、前記転送部と直角をなす位置に配置されている

前記 (1 1) に記載の撮像素子。

(1 3)

前記排出部と前記転送部は、前記光電変換部の 1 辺に並んで配置されている

前記 (1 1) に記載の撮像素子。

(1 4)

前記転送部は、縦型ゲートを備える

前記 (5) 乃至 (1 3) のいずれかに記載の撮像素子。

(1 5)

前記転送部は、前記縦型ゲートを複数備え、

前記縦型ゲートの深さは異なる

前記 (1 4) に記載の撮像素子。

(1 6)

前記転送部は、第 1 のゲートと第 2 のゲートを備え、

前記第 1 のゲートは、前記光電変換部と前記電荷蓄積部との間に配置され、前記第 2 のゲートは、前記光電変換部に重畳される位置に配置されている

前記 (5) 乃至 (1 5) のいずれかに記載の撮像素子。

(1 7)

前記第 1 のゲートまたは前記第 2 のゲートの少なくとも一方は、縦型ゲートである

前記 (1 6) に記載の撮像素子。

(1 8)

前記第 1 のゲートと前記第 2 のゲートは、同時に駆動される

前記 (1 7) に記載の撮像素子。

(1 9)

光電変換を行う光電変換部と、

前記光電変換部により得られた電荷を蓄積する電荷蓄積部と、

前記光電変換部から前記電荷蓄積部に電荷を転送する転送部と、

前記電荷蓄積部をリセットするリセット部と、

10

20

30

40

50

前記リセット部に印加される電圧の制御を行うリセット電圧制御部と、
前記電荷蓄積部への容量の付加を制御する付加制御部と
を備え、
前記電荷蓄積部は、複数の領域から構成されている
撮像素子と、
前記撮像素子からの信号を処理する処理部と
を備える撮像装置。

(20)

照射光を発光する発光部と、
前記発光部からの光が物体に反射された反射光を受光する受光素子と
を備え、
前記受光素子は、
光電変換を行う光電変換部と、
前記光電変換部により得られた電荷を蓄積する複数の電荷蓄積部と、
前記光電変換部から前記複数の電荷蓄積部のそれぞれに電荷を転送する複数の転送部と、
前記複数の電荷蓄積部のそれぞれをリセットする複数のリセット部と、
前記複数のリセット部にそれぞれ印加される電圧の制御を行う複数のリセット電圧制御
部と、
前記複数の電荷蓄積部への容量の付加をそれぞれ制御する複数の付加制御部と
を備え、
前記複数の電荷蓄積部のそれぞれの電荷蓄積部は、複数の領域から構成されている
測距装置。

【符号の説明】

【0360】

10 撮像装置， 11 半導体基板， 20 画素， 21 画素アレイ部， 22 垂
直駆動部， 23 カラム信号処理部， 24 水平駆動部， 25 システム制御部， 2
6 画素駆動線， 27 垂直信号線， 28 信号処理部， 29 データ格納部， 50
画素， 51 光電変換部， 52 転送トランジスタ， 60 付加容量部， 61 ウェ
ルコンタクト， 62 層間絶縁膜， 65， 66 配線， 210 測距装置， 211
レンズ， 212 受光部， 213 信号処理部， 214 発光部， 215 発光制御
部， 221 パターン切替部， 222 距離画像生成部， 241 画素アレイ部， 2
42 垂直駆動部， 243 カラム処理部， 244 水平駆動部， 245 システム制
御部， 246 画素駆動線， 247 垂直信号線， 248 信号処理部， 250 画
素， 251 タップ， 252 転送トランジスタ， 254 リセットトランジスタ，
256 排出トランジスタ， 257 増幅トランジスタ， 258 選択トランジスタ，
260 付加容量部， 261 フォトダイオード， 265 ウェルコンタクト， 341
半導体基板， 342 多層配線層， 343 反射防止膜， 345 画素間遮光膜， 3
46 平坦化膜， 347 オンチップレンズ， 351 半導体領域， 352 半導体領
域， 353 酸化ハフニウム膜， 354 酸化アルミニウム膜， 355 酸化シリコン
膜， 361 画素間分離部， 366 ビア， 371乃至374 配線， 411 ビア，
412乃至415 コンタクト， 416， 417 ビア， 418 コンタクト， 4
19 ビア， 431乃至434 配線， 441， 442 配線

10

20

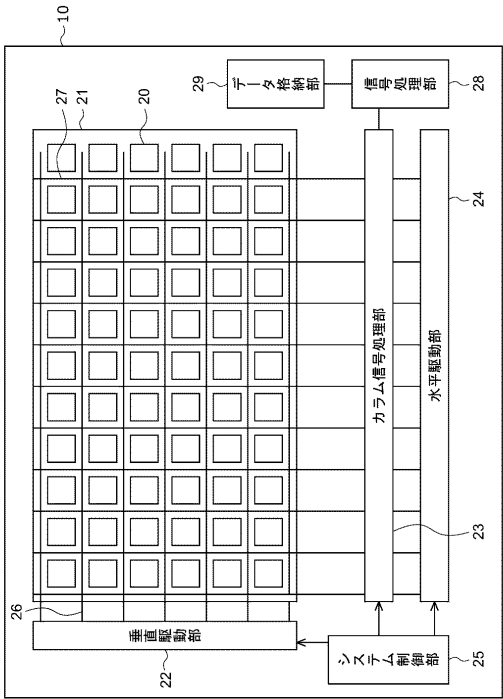
30

40

50

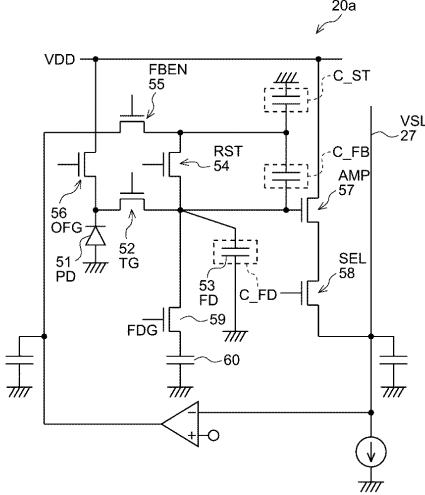
【図面】
【図 1】

FIG.1



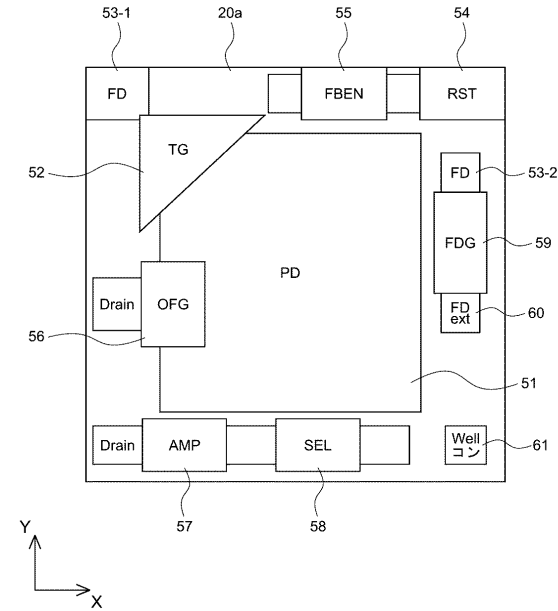
【図 2】

FIG.2



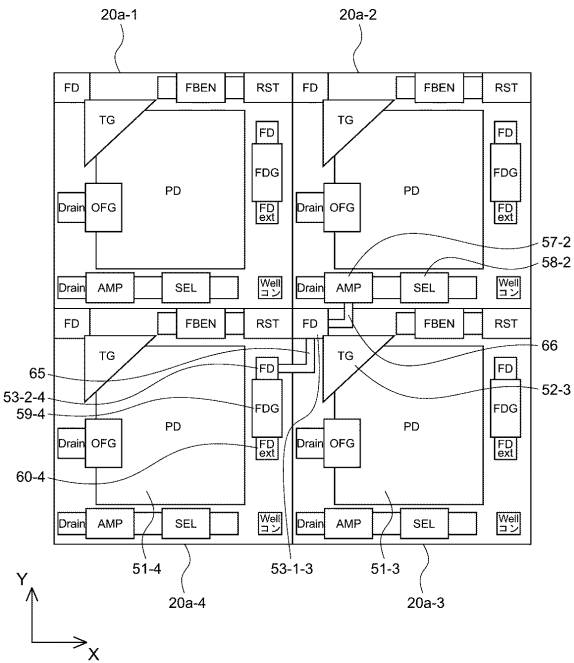
【図 3】

FIG.3



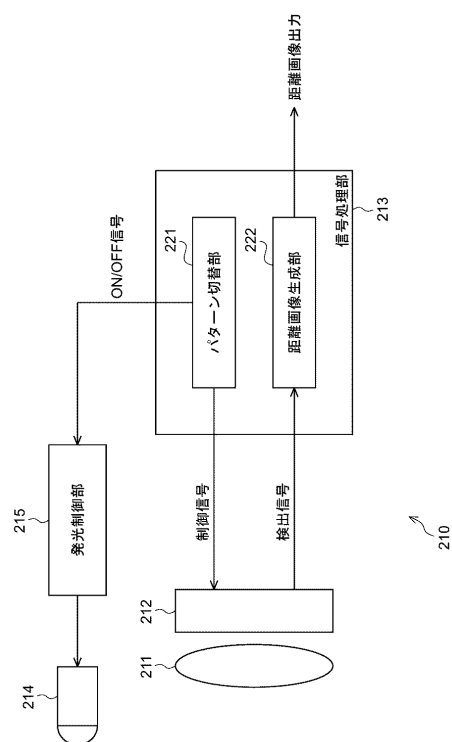
【図 4】

FIG.4



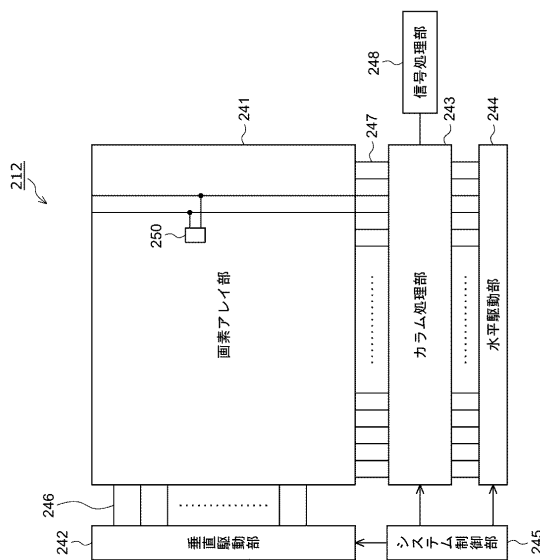
【図 5】

FIG.5



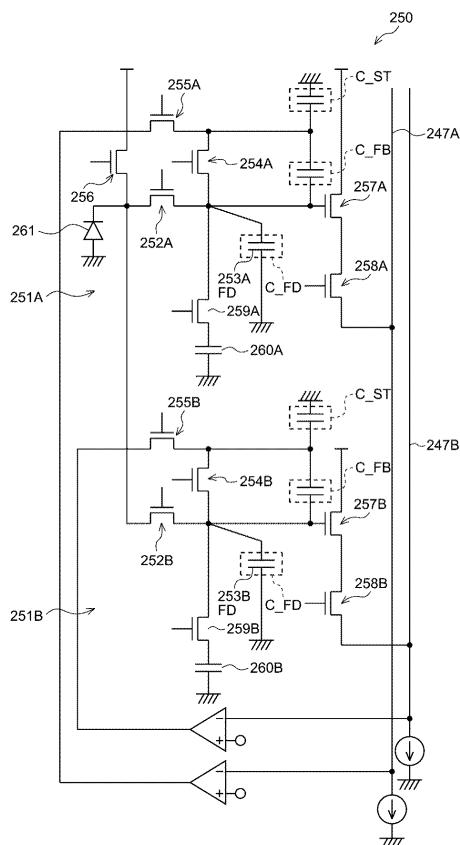
【圖 6】

FIG.6



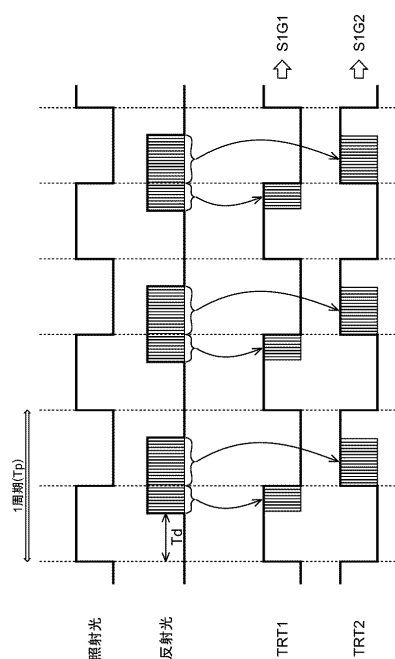
【圖 7】

FIG.7



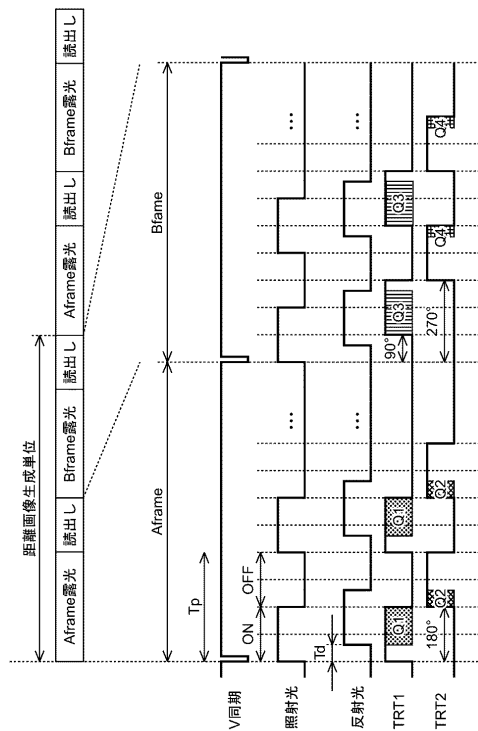
【圖 8】

FIG.8



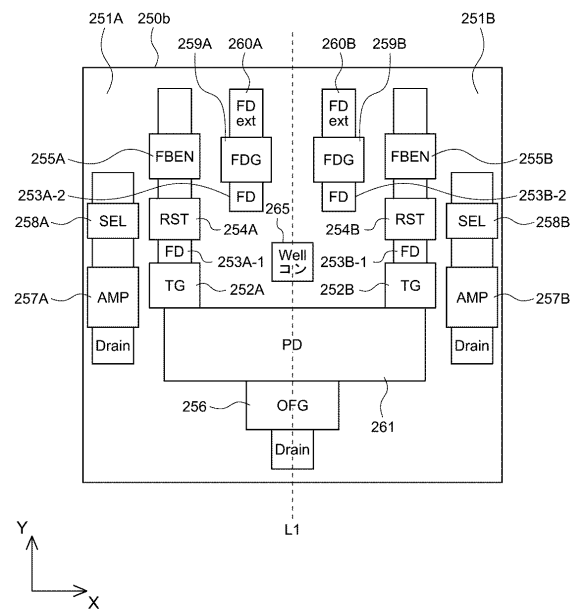
【図 9】

FIG.9



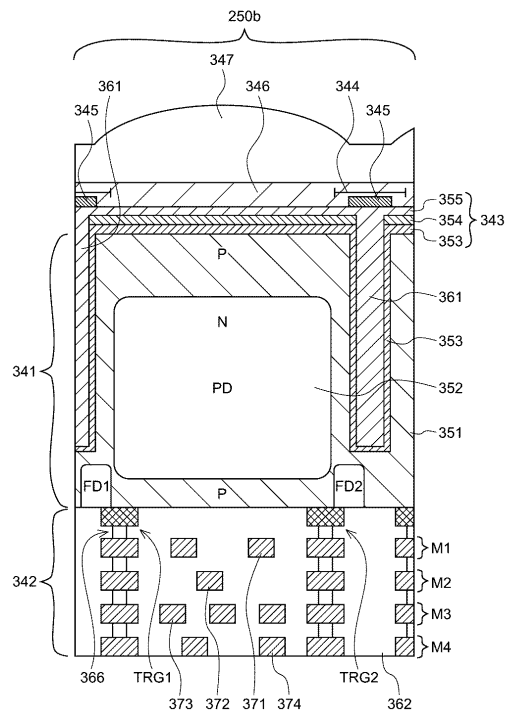
【図 10】

FIG.10



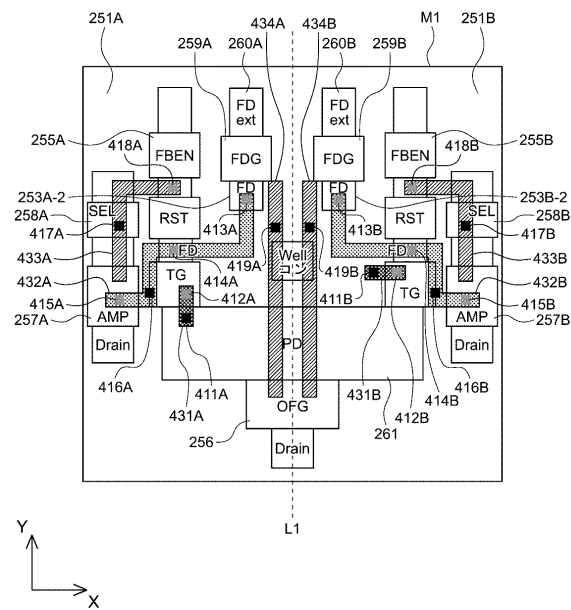
【図 11】

FIG.11



【図 12】

FIG.12



10

20

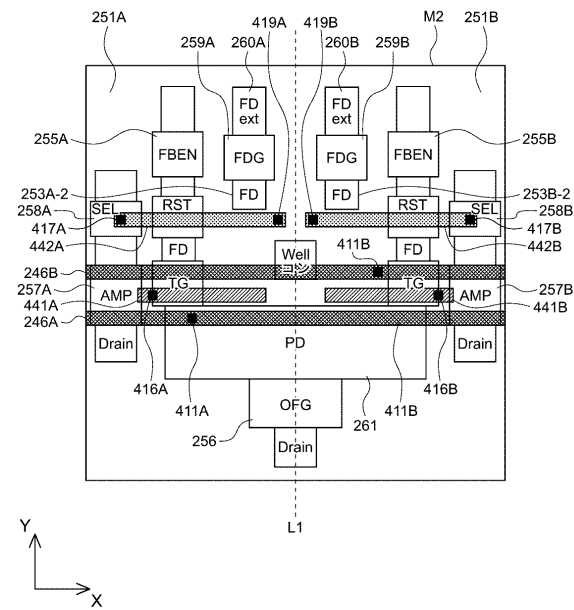
30

40

50

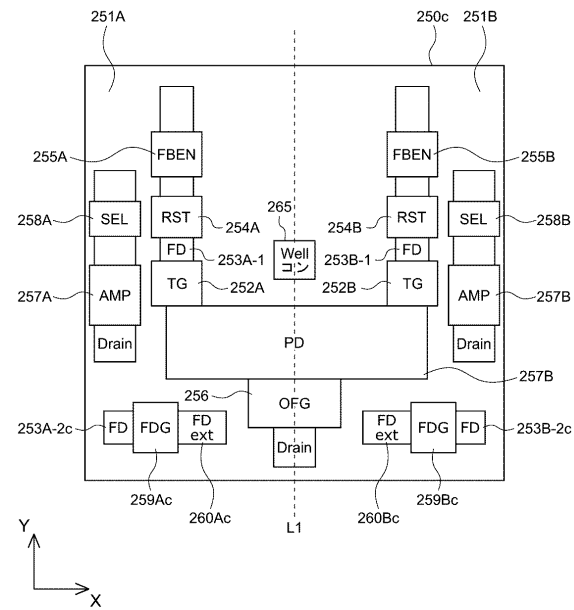
【図 13】

FIG.13



【図 14】

FIG.14

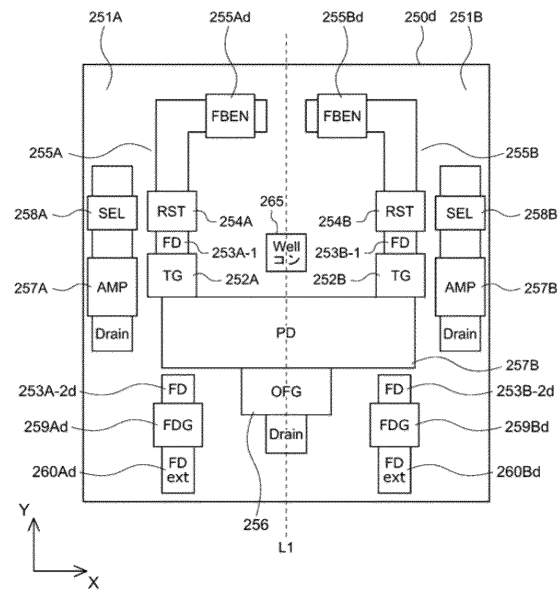


10

20

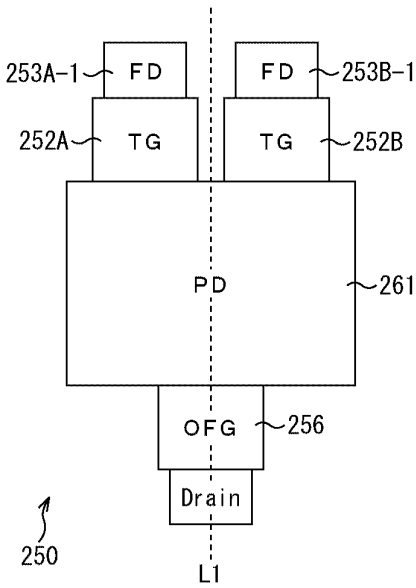
【図 15】

FIG.15



【図 16】

FIG. 16

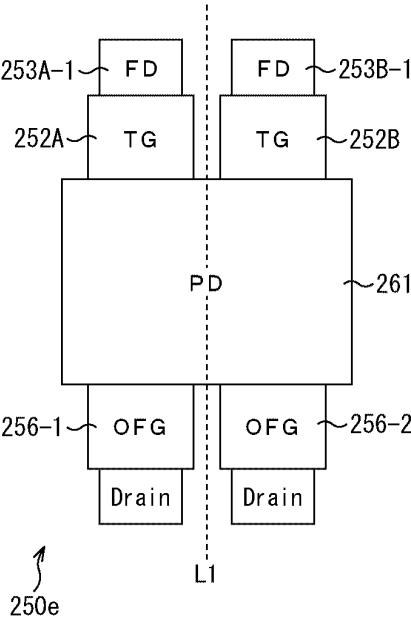


30

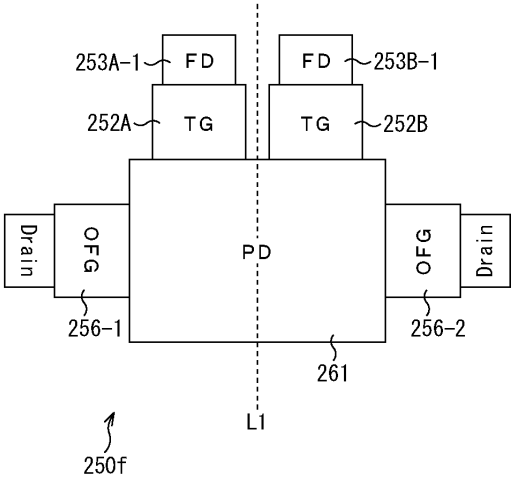
40

50

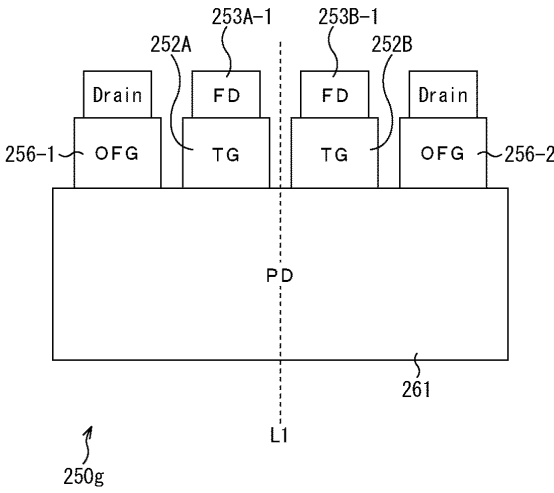
【図 1 7】
FIG. 17



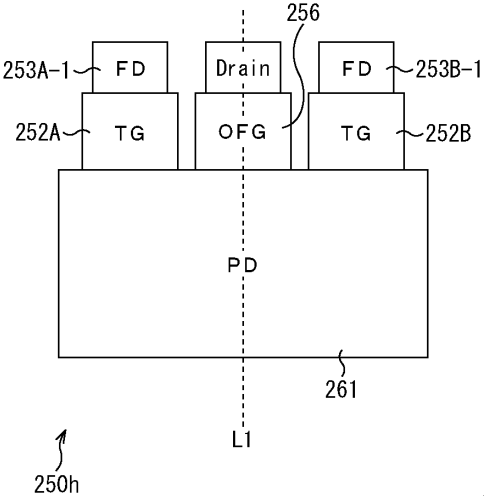
【図 1 8】
FIG. 18



【図 1 9】
FIG. 19



【図 2 0】
FIG. 20



10

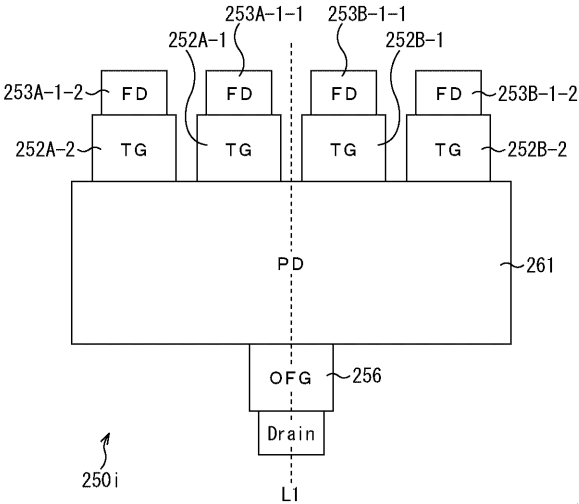
20

30

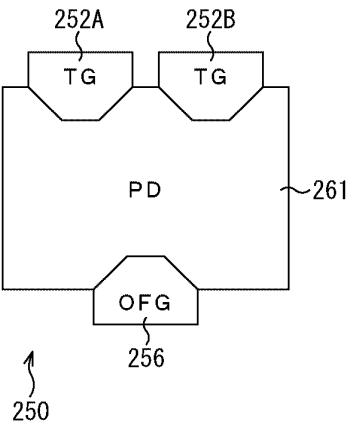
40

50

【図 2 1】
FIG. 21



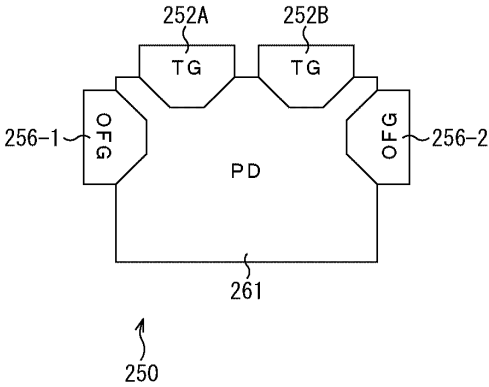
【図 2 2】
FIG. 22



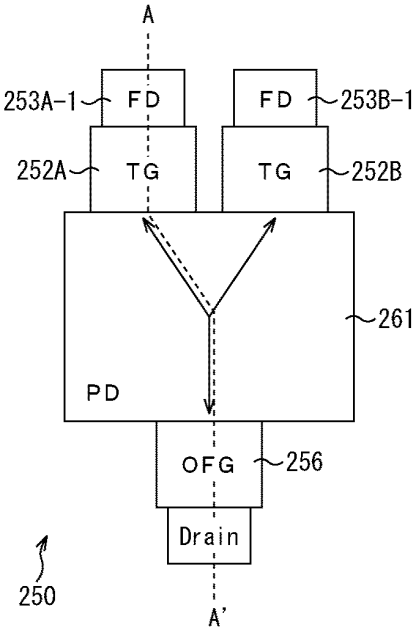
10

20

【図 2 3】
FIG. 23



【図 2 4】
FIG. 24



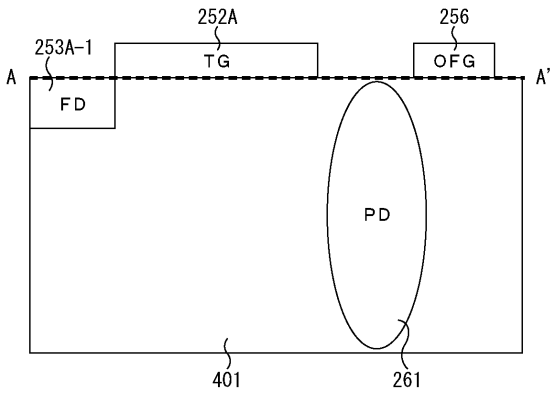
30

40

50

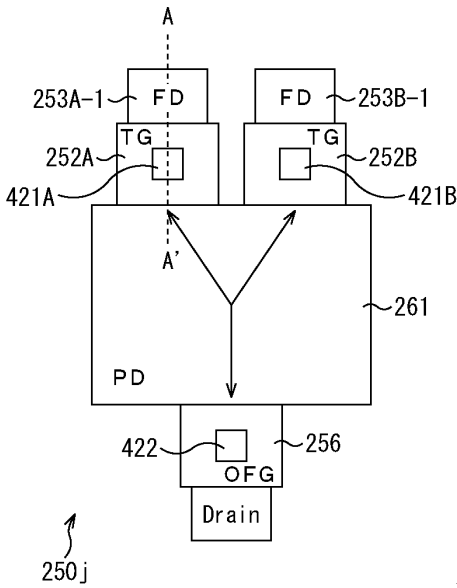
【図 2 5】

FIG. 25



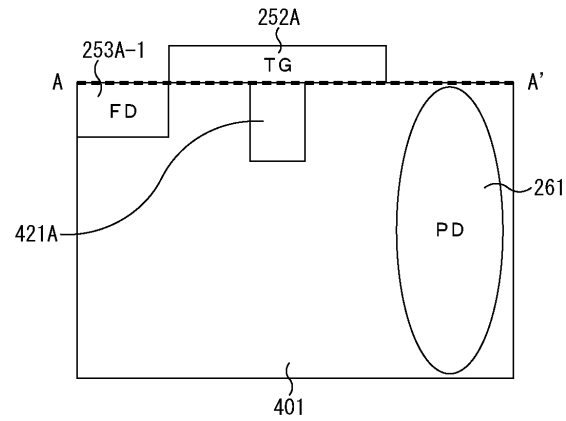
【図 2 6】

FIG. 26



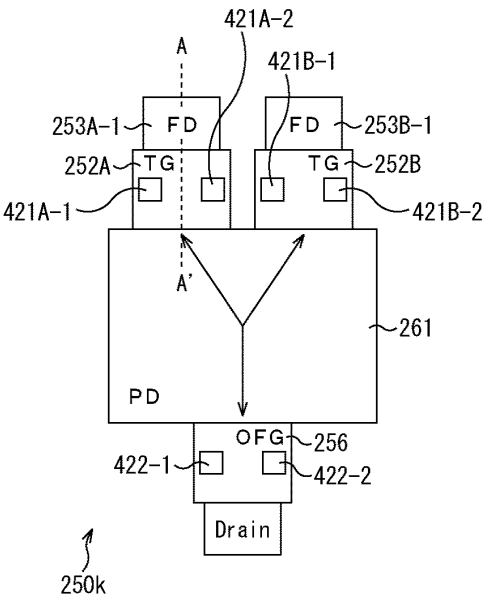
【図 2 7】

FIG. 27



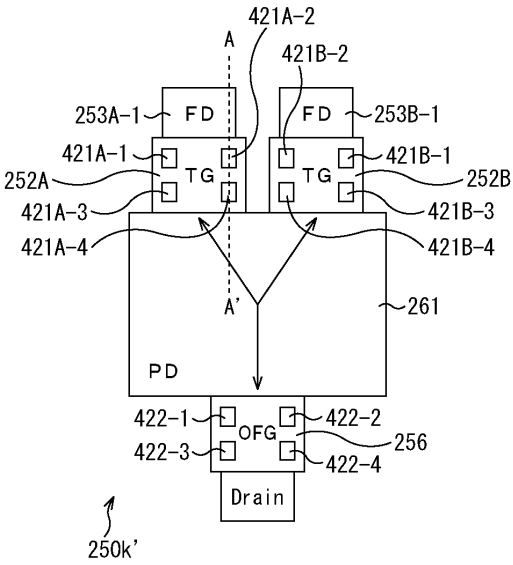
【図 2 8】

FIG. 28



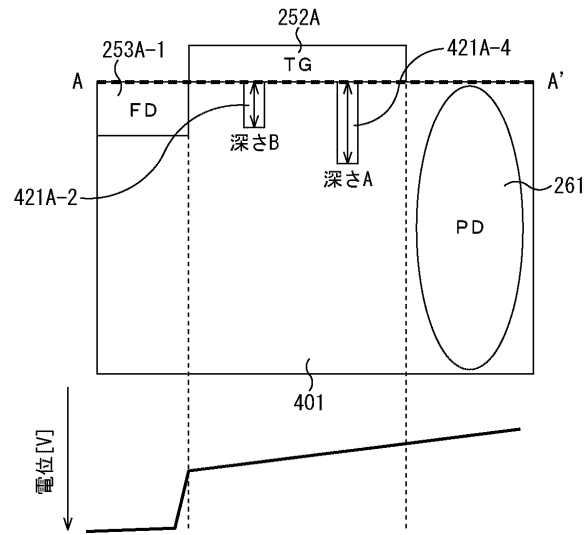
【図 29】

FIG. 29



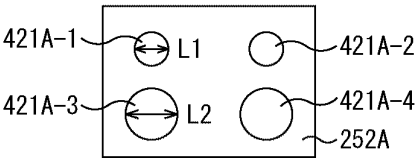
【図 30】

FIG. 30



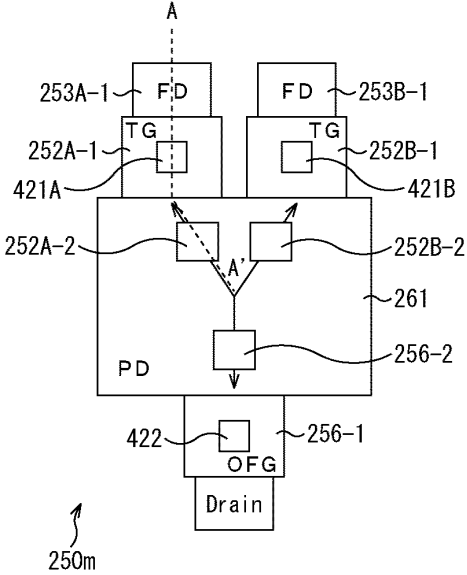
【図 31】

FIG. 31



【図 32】

FIG. 32



10

20

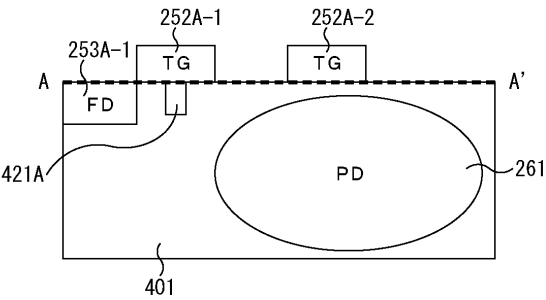
30

40

50

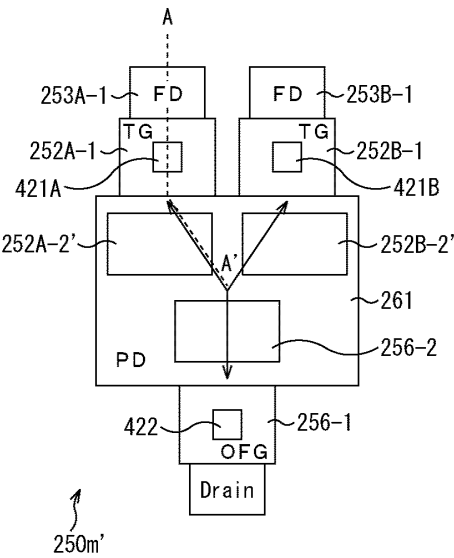
【図 3 3】

FIG. 33



【図 3 4】

FIG. 34

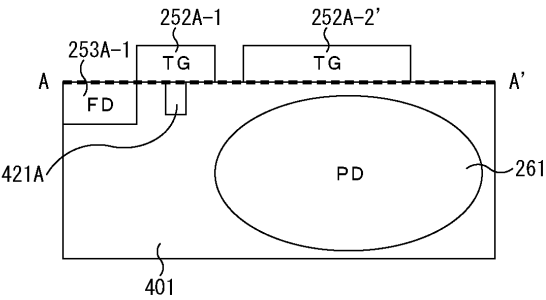


10

20

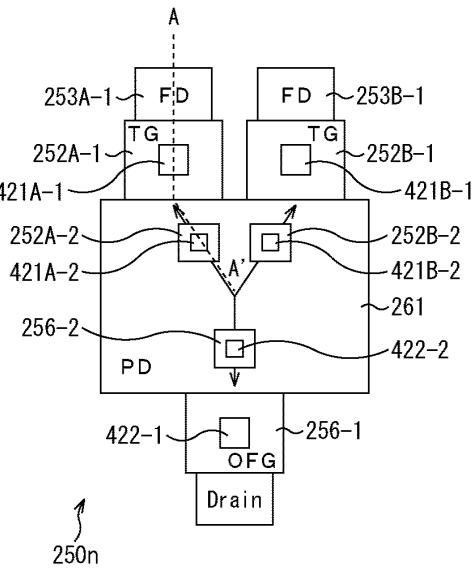
【図 3 5】

FIG. 35



【図 3 6】

FIG. 36



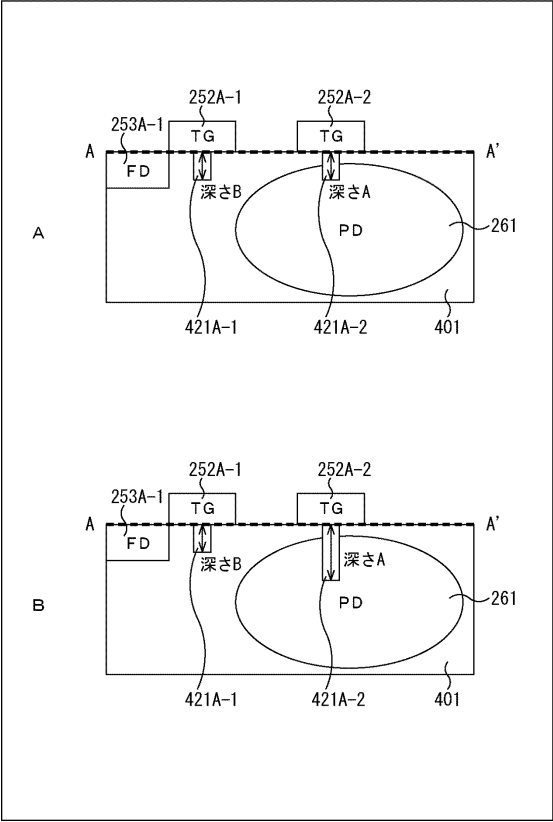
30

40

50

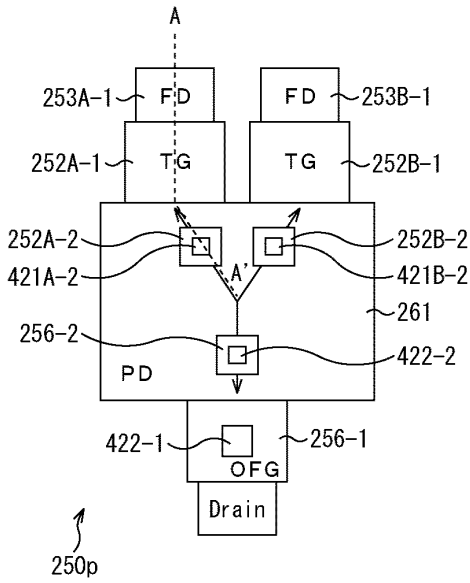
【図 37】

FIG. 37



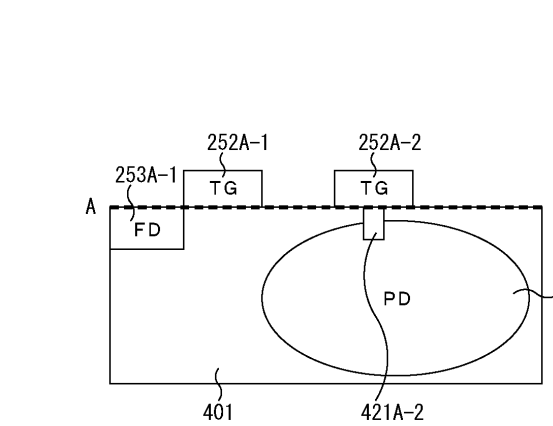
【図 38】

FIG. 38



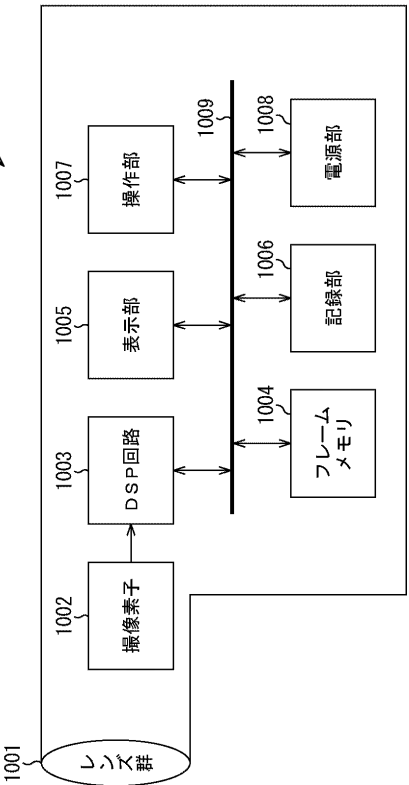
【図 39】

FIG. 39



【図 40】

FIG. 40



10

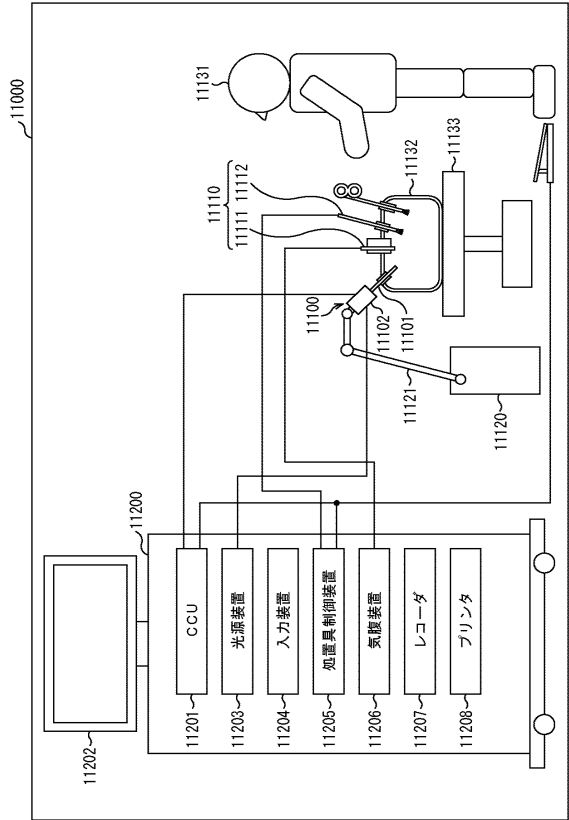
20

30

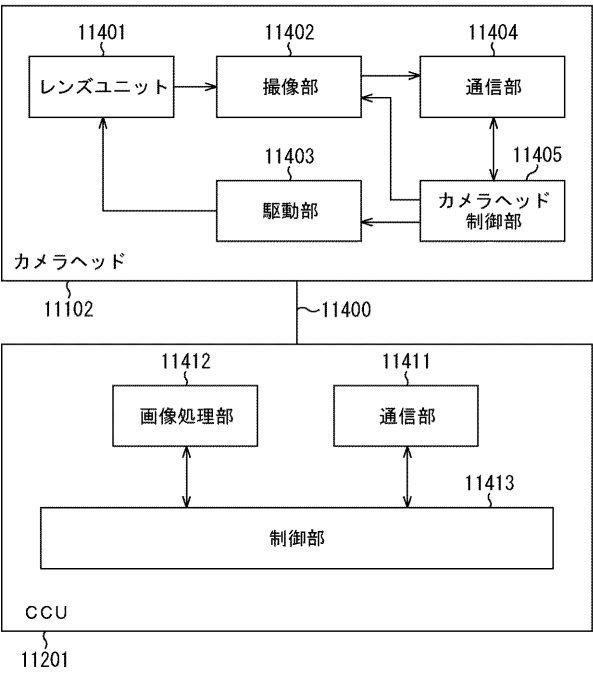
40

50

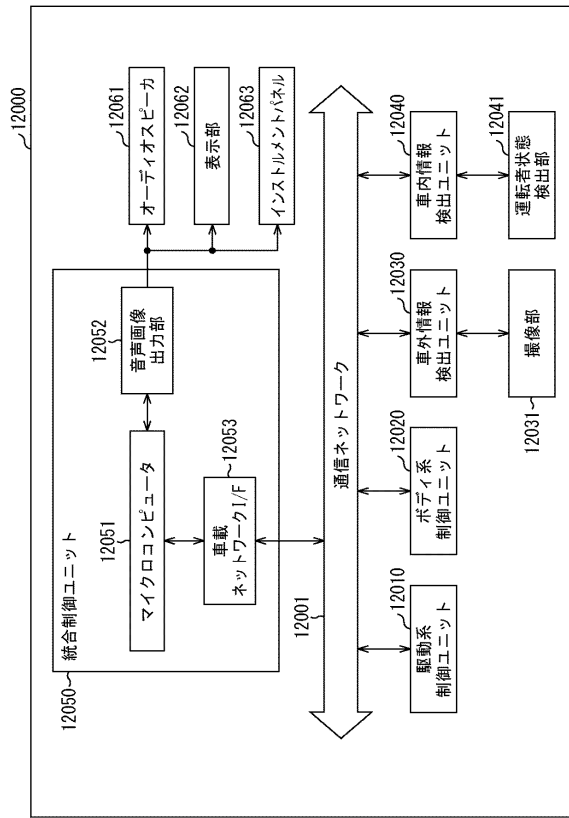
【図 4 1】



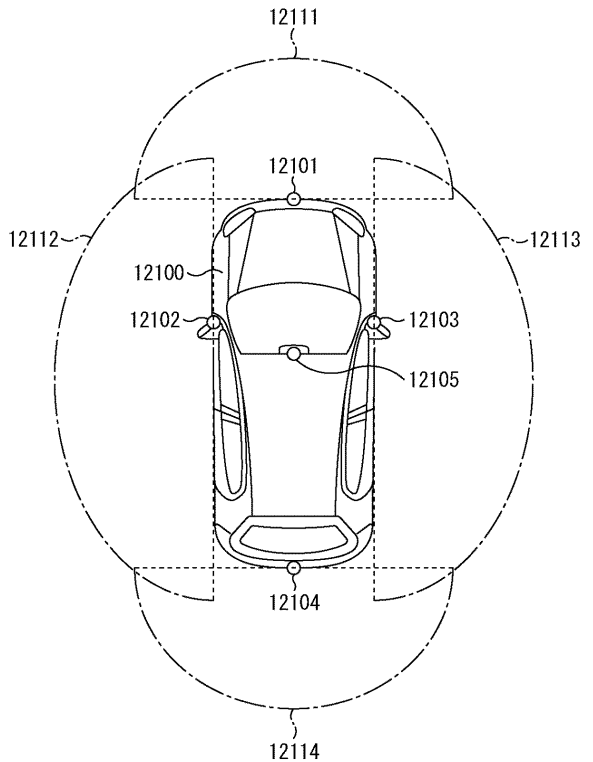
【図 4 2】



【図 4 3】



【図 4 4】



10

20

30

40

50

フロントページの続き

- 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内
(72)発明者 村瀬 拓郎
神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内
(72)発明者 山崎 武
神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内
(72)発明者 諏訪 泰介
神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内
審査官 越河 勉
(56)参考文献 特開2020-013910 (JP, A)
米国特許出願公開第2015/0136955 (US, A1)
特開2019-216379 (JP, A)
(58)調査した分野 (Int.Cl., DB名)
H04N 25/771
H04N 25/77
H01L 27/146
G01S 7/4914
G01S 17/894