



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0112030
(43) 공개일자 2011년10월12일

(51) Int. Cl.

H01L 29/786 (2006.01)

(21) 출원번호 10-2010-0031415

(22) 출원일자 2010년04월06일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

이제훈

서울특별시 양천구 목4동 724-12 번지 대일빌라 401호

김주한

경기도 용인시 기흥구 보정동 삼성 7차 아파트 704-402

(74) 대리인

특허법인가산

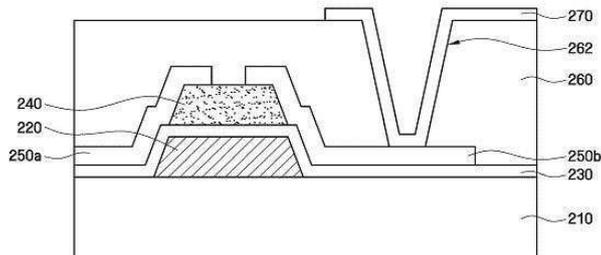
전체 청구항 수 : 총 19 항

(54) 박막 트랜지스터, 그 제조 방법 및 이를 포함하는 액정 표시 장치

(57) 요약

박막 트랜지스터, 그 제조 방법, 및 이를 포함하는 액정 표시 장치가 제공된다. 본 발명의 일실시예에 따른 박막 트랜지스터는, 제1 게이트 전극; 제1 절연층에 의하여 제1 게이트 전극과 절연되면서, 상기 제1 게이트 전극과 중첩되도록 배치되는 결정질 산화물 반도체를 포함하는 액티브층; 및 상기 제1 절연층에 의하여 제1 게이트 전극과 절연되면서, 상기 액티브층과 적어도 일부가 중첩되는 소스 전극, 및 상기 소스 전극과 이격되면서 상기 액티브층과 적어도 일부가 중첩되는 드레인 전극을 포함한다.

대표도 - 도2



특허청구의 범위

청구항 1

제1 게이트 전극;

제1 절연층에 의하여 제1 게이트 전극과 절연되면서, 상기 제1 게이트 전극과 중첩되도록 배치되는 결정질 산화물 반도체를 포함하는 액티브층; 및

상기 제1 절연층에 의하여 제1 게이트 전극과 절연되면서, 상기 액티브층과 적어도 일부가 중첩되는 소스 전극, 및 상기 소스 전극과 이격되면서 상기 액티브층과 적어도 일부가 중첩되는 드레인 전극을 포함하는 박막 트랜지스터.

청구항 2

제1 항에 있어서,

상기 액티브층은, 결정질 산화물 반도체의 단일층으로 이루어지는 박막트랜지스터.

청구항 3

제1 항에 있어서,

상기 액티브층은, 비정질 산화물 반도체층과 결정질 산화물 반도체층이 적층된 이중층으로 이루어지되, 상기 결정질 산화물 반도체층은 상기 제1 절연층과 인접한 쪽에 배치되는 박막 트랜지스터.

청구항 4

제3 항에 있어서,

상기 비정질 산화물 반도체층의 두께는 상기 결정질 산화물 반도체층의 두께보다 큰 박막 트랜지스터.

청구항 5

제1 항에 있어서,

상기 액티브층 및 상기 소스/드레인 전극을 사이에 두고 상기 제1 게이트 전극과 반대편에 배치되면서, 제2 절연층에 의하여 상기 액티브층 및 상기 소스/드레인 전극과 절연되는 제2 게이트 전극을 더 포함하는 박막 트랜지스터.

청구항 6

제5 항에 있어서,

상기 액티브층은, 제1 결정질 산화물 반도체층, 비정질 산화물 반도체층 및 제2 결정질 산화물 반도체층이 적층된 삼중층으로 이루어지되, 상기 제1 결정질 산화물 반도체층은 상기 제1 절연층과 인접한 쪽에 배치되고, 상기 제2 결정질 산화물 반도체층은 상기 제2 절연층과 인접한 쪽에 배치되는 박막 트랜지스터.

청구항 7

제6 항에 있어서,

상기 비정질 산화물 반도체층의 두께는 상기 제1 결정질 산화물 반도체층의 두께 또는 상기 제2 결정질 산화물 반도체층의 두께보다 큰 박막 트랜지스터.

청구항 8

제1 항에 있어서,

상기 결정질 산화물 반도체는 Zn, In, Ga, Sn, Hf 및 이들의 조합에서 선택된 물질의 산화물을 포함하는 박막 트랜지스터.

청구항 9

제1 항에 있어서,
 상기 결정질 산화물 반도체의 에너지 밴드갭은 비정질 산화물 반도체의 에너지 밴드갭보다 큰 박막 트랜지스터.

청구항 10

제1 항에 있어서,
 상기 결정질 산화물 반도체의 광의 흡수 계수는 비정질 산화물 반도체의 광의 흡수 계수보다 작은 박막 트랜지스터.

청구항 11

제1 항에 있어서,
 상기 결정질 산화물 반도체의 전하 이동도는 비정질 산화물 반도체의 전하 이동도보다 작은 박막 트랜지스터.

청구항 12

제1 항에 있어서,
 상기 결정질 산화물 반도체의 광 조사에 의한 문턱 전압 변동 정도는 비정질 산화물 반도체의 문턱 전압 변동 정도보다 작은 박막 트랜지스터.

청구항 13

제1 게이트 전극을 형성하는 단계;
 제1 절연층에 의하여 제1 게이트 전극과 절연되면서, 상기 제1 게이트 전극과 중첩되도록 배치되는 결정질 산화물 반도체를 포함하는 액티브층을 형성하는 단계; 및
 상기 제1 절연층에 의하여 제1 게이트 전극과 절연되면서, 상기 액티브층과 적어도 일부가 중첩되는 소스 전극, 및 상기 소스 전극과 이격되면서 상기 액티브층과 적어도 일부가 중첩되는 드레인 전극을 형성하는 단계를 포함하는 박막 트랜지스터의 제조 방법.

청구항 14

제13 항에 있어서,
 상기 액티브층 형성 단계는,
 아르곤 가스와 산소 가스를 이용하는 반응성 스퍼터링을 이용하되, 온도 및 산소 가스에 대한 아르곤 가스의 분압비를 조절하여 산화물 반도체의 결정화 정도를 조절하는 박막 트랜지스터의 제조 방법.

청구항 15

제13 항에 있어서,
 상기 액티브층 형성 단계는, 결정질 산화물 반도체의 단일층을 형성하는 단계를 포함하는 박막 트랜지스터의 제조 방법.

청구항 16

제13 항에 있어서,
 상기 액티브층 형성 단계는, 비정질 산화물 반도체층과 결정질 산화물 반도체층이 적층된 이중층을 형성하되, 상기 결정질 산화물 반도체층이 상기 제1 절연층과 인접한 쪽에 배치되게 하는 단계를 포함하는 박막 트랜지스터의 제조 방법.

청구항 17

제13 항에 있어서,

상기 액티브층 및 상기 소스/드레인 전극을 사이에 두고 상기 제1 게이트 전극과 반대편에 배치되면서, 제2 절연층에 의하여 상기 액티브층 및 상기 소스/드레인 전극과 절연되는 제2 게이트 전극을 형성하는 단계를 더 포함하는 박막 트랜지스터의 제조 방법.

청구항 18

제17 항에 있어서,

상기 액티브층 형성 단계는, 제1 결정질 산화물 반도체층, 비정질 산화물 반도체층 및 제2 결정질 산화물 반도체층이 적층된 삼중층을 형성하되, 상기 제1 결정질 산화물 반도체층은 상기 제1 절연층과 인접한 쪽에 배치되고, 상기 제2 결정질 산화물 반도체층은 상기 제2 절연층과 인접한 쪽에 배치되게 하는 단계를 포함하는 박막 트랜지스터의 제조 방법.

청구항 19

제16 항 또는 제18 항에 있어서,

상기 결정질 산화물 반도체층 및 상기 비정질 산화물 반도체층의 형성은 아르곤 가스와 산소 가스를 이용한 반응성 스퍼터링을 이용하되,

상기 결정질 산화물 반도체층의 형성 단계의 온도는 상기 비정질 산화물 반도체층 형성 단계에 비하여 높고,

상기 결정질 산화물 반도체층의 형성 단계의 산소 가스에 대한 아르곤 가스의 분압비는 상기 비정질 산화물 반도체층 형성 단계에 비하여 낮은 박막 트랜지스터의 제조 방법.

명세서

기술분야

[0001] 본 발명은 박막 트랜지스터, 그 제조 방법, 및 이를 포함하는 액정 표시 장치에 관한 것으로, 보다 상세하게는 액티브층으로 산화물 반도체를 이용하는 박막 트랜지스터, 그 제조 방법, 및 이를 포함하는 액정 표시 장치에 관한 것이다.

배경기술

[0002] 액정 표시 장치(Liquid Crystal Display)는 현재 가장 널리 사용되고 있는 평판 표시 장치(Flat Panel Display) 중 하나로서, 전극이 형성되어 있는 두 장의 기판과 그 사이에 개재되어 있는 액정층으로 이루어지는 표시 패널을 포함하여 영상을 표시하는 장치이다.

[0003] 이러한 표시 패널에 포함되는 두 장의 기판 중 제1 기판에는 복수의 화소 전극이 매트릭스(matrix) 형태로 배열되어 있고 제2 기판에는 하나의 공통 전극이 기판 전면을 덮고 있으며, 각 화소 전극에 별도의 전압이 인가되어 화상이 표시된다. 이를 위해서 제1 기판 상에는 화소 전극에 인가되는 전압을 스위칭하기 위한 소자로서 각 화소 전극에 연결되는 박막 트랜지스터와 이 박막 트랜지스터를 제어하기 위한 신호를 전달하는 게이트선과 화소 전극에 인가될 전압을 전달하는 데이터선을 포함하는 다수의 배선이 형성된다. 여기서, 스위칭 소자로서 사용되는 박막 트랜지스터는 게이트 전극, 소스/드레인 전극 및 액티브층을 포함하고, 게이트 전극에 일정 값 이상의 전압이 인가되면 액티브층이 도통되어 소스 전극과 드레인 전극 사이에 전류가 흐르게 된다.

[0004] 한편, 액정 표시 장치는 자체적으로 발광하지 못하는 비발광성 소자이기 때문에, 표시 패널로 광을 공급하는 백라이트 유닛(Backlight Unit)을 더 포함하여야 한다. 그런데, 이러한 광은 표시 패널의 제1 기판에 형성된 박막 트랜지스터에 스트레스로 작용하여 박막 트랜지스터의 특성을 변동시키는 요인이 된다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하고자 하는 기술적 과제는 박막 트랜지스터에 광이 조사되더라도 광에 의한 영향을 최소화하여 박막 트랜지스터의 특성을 안정적으로 확보할 수 있는 구조를 갖는 박막 트랜지스터, 그 제조 방법, 및 이를 포

함하는 액정 표시 장치를 제공하는 것이다.

[0006] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0007] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 박막 트랜지스터는, 제1 게이트 전극; 제1 절연층에 의하여 제1 게이트 전극과 절연되면서, 상기 제1 게이트 전극과 중첩되도록 배치되는 결정질 산화물 반도체를 포함하는 액티브층; 및 상기 제1 절연층에 의하여 제1 게이트 전극과 절연되면서, 상기 액티브층과 적어도 일부가 중첩되는 소스 전극, 및 상기 소스 전극과 이격되면서 상기 액티브층과 적어도 일부가 중첩되는 드레인 전극을 포함한다.

[0008] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 박막 트랜지스터의 제조 방법은, 제1 게이트 전극을 형성하는 단계; 제1 절연층에 의하여 제1 게이트 전극과 절연되면서, 상기 제1 게이트 전극과 중첩되도록 배치되는 결정질 산화물 반도체를 포함하는 액티브층을 형성하는 단계; 및 상기 제1 절연층에 의하여 제1 게이트 전극과 절연되면서, 상기 액티브층과 적어도 일부가 중첩되는 소스 전극, 및 상기 소스 전극과 이격되면서 상기 액티브층과 적어도 일부가 중첩되는 드레인 전극을 형성하는 단계를 포함한다.

[0009] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

- [0010] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 개략적인 분해 사시도이다.
- 도 2는 본 발명의 제1 실시예에 따른 박막 트랜지스터 기관의 단면도이다.
- 도 3a는 결정질 HfInZnO층을 포함하는 박막 트랜지스터의 단면 일부를 나타내는 TEM 사진이고, 도 3b는 비정질 HfInZnO층을 포함하는 박막 트랜지스터의 단면 일부를 나타내는 TEM 사진이다.
- 도 4는 산소 가스 및 아르곤 가스의 분압에 따른 산화물 반도체층의 에너지 밴드갭을 측정한 그래프이다.
- 도 5는 LED 광원에서 생성되는 광의 에너지 분포를 나타내는 그래프이다.
- 도 6은 박막 트랜지스터에 조사되는 광의 에너지에 따른 산화물 반도체층의 흡수 계수를 측정한 그래프이다.
- 도 7은 본 발명의 제2 실시예에 따른 박막 트랜지스터 기관의 단면도이다.
- 도 8은 본 발명의 제3 실시예에 따른 박막 트랜지스터 기관의 단면도이다.
- 도 9는 본 발명의 제4 실시예에 따른 박막 트랜지스터 기관의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0011] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 따라서, 몇몇 실시예에서, 잘 알려진 공정 단계들, 잘 알려진 소자 구조 및 잘 알려진 기술들은 본 발명이 모호하게 해석되는 것을 피하기 위하여 구체적으로 설명되지 않는다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0012] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있고, 이에 따라 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.

[0013] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명

세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다 (comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

- [0014] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않은 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0015] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 개략적인 분해 사시도이다.
- [0016] 도 1을 참조하면, 액정 표시 장치(100)는 크게 영상을 나타내는 표시 패널(110)과, 표시 패널(110)에 광을 제공하는 백라이트 유닛(120)을 포함한다.
- [0017] 구체적으로는, 표시 패널(110)은 박막 트랜지스터와 화소 전극 등이 형성된 하부 기판(112)과, 하부 기판(112)에 대향하고 컬러 필터와 공통 전극 등이 형성된 상부 기판(114)과, 하부 기판(112) 및 상부 기판(114) 사이에 개재되는 액정층(미도시됨)을 포함하여 형성된다. 하부 기판(112)에 형성된 화소 전극과 상부 기판(114)에 형성된 공통 전극에 소정 전압을 인가하여 액정층을 구동시킴으로써 표시 패널(110)을 통하여 영상이 표시될 수 있다. 하부 기판(112)은 박막 트랜지스터를 포함하기 때문에 박막 트랜지스터 기판이라고도 칭하여지며, 그 상세한 구조에 대하여는 이하의 도 2, 및 도 7 내지 도 9를 참조하여 후술하기로 한다.
- [0018] 백라이트 유닛(120)은 표시 패널(110)의 하부에 위치하고, 복수개의 광원(미도시됨)을 포함하여 광원으로부터 생성된 광을 표시 패널(110)로 제공한다. 여기서, 백라이트 유닛(120)의 광원으로서 LED(Light Emitting Diode)를 이용할 수 있다.
- [0019] 백라이트 유닛(120)에서 표시 패널(110)로 제공된 광은 특히 하부 기판(112)에 형성된 박막 트랜지스터의 전기적 특성을 변동시키는 요인이 될 수 있다. 따라서, 본 발명에서는 광에 의한 영향을 감소시킬 수 있는 박막 트랜지스터 구조를 제공하여 박막 트랜지스터의 전기적 특성을 안정적으로 확보하고자 한다. 이러한 박막 트랜지스터의 구조 및 특성에 대하여는 이하의 도 2 내지 도 9를 참조하여 후술하기로 한다.
- [0020] 본 도면에는 도시되지 않았으나, 표시 패널(110)과 백라이트 유닛(120) 사이에는 백라이트 유닛(120)으로부터 제공되는 광을 제어하기 위한 복수개의 광학 시트들이 배치될 수 있고, 또한 표시 패널(110) 또는 백라이트 유닛(120)을 고정 또는 수납하기 위한 프레임 등이 더 구비될 수 있다.
- [0021] 이하, 첨부된 도면들을 참조하여 상기 액정 표시 장치(100)에 포함되는 박막 트랜지스터 기판의 실시예들을 살펴보기로 한다.
- [0022] 도 2는 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판의 단면도로서, 이하에서는 도 2를 참조하여 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판의 구조 및 그 제조 방법에 대하여 설명하기로 한다.
- [0023] 먼저 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판의 구조에 대하여 설명한다.
- [0024] 도 2를 참조하면, 박막 트랜지스터 기판은 절연 기판(210) 상에 배치되고 게이트 전극(220), 소스/드레인 전극(250a, 250b) 및 결정질 산화물 반도체층(240)을 포함하는 박막 트랜지스터와, 이 박막 트랜지스터에 의하여 스워칭되는 화소 전극(270)을 포함한다.
- [0025] 구체적으로는, 절연 기판(210) 상에 게이트 전극(220)이 배치된다. 게이트 전극(220)은 일 방향으로 뻗어 있는 게이트선(미도시됨)을 통하여 게이트 신호를 전달받는다. 여기서, 절연 기판(210)은 투명한 유리 또는 플라스틱 등으로 이루어질 수 있고, 게이트 전극(220)은 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 은(Ag), 티타늄(Ti), 니오브(Nb), 텅스텐(W), 크롬(Cr), 탄탈륨(Ta) 또는 이들의 합금을 포함하는 단일층 또는 다중층으로 이루어질 수 있다. 단일층의 예로서 게이트 전극(220)은 몰리브덴의 단일 금속으로 이루어진 층일 수 있고, 다중층의 예로서 게이트 전극(220)은 Cr/Al의 이중층, Ti/Cu의 이중층이나, Mo/Al/Mo의 삼중층일 수 있다.
- [0026] 절연 기판(210) 및 게이트 전극(220) 상에는 게이트 절연막(230)이 배치된다. 게이트 절연막(230)은 실리콘 산화물(SiO_x) 또는 실리콘 질화물(SiN_x)로 이루어질 수 있다. 또는 게이트 절연막(230)은 산화 알루미늄, 산화 티타늄, 산화 탄탈륨 또는 산화 지르코늄을 포함할 수 있다.
- [0027] 게이트 절연막(230) 상에는 박막 트랜지스터의 채널 영역을 형성하기 위한 액티브층으로서 결정질 산화물 반도체층(240)이 배치되며, 이러한 결정질 산화물 반도체층(240)은 적어도 게이트 전극(220)과 중첩되도록

배치된다. 본 실시예에서 결정질 산화물 반도체층(240)을 이용하는 것은, 결정질 산화물 반도체가 비정질 산화물 반도체에 비하여 에너지 밴드갭(energy band gap)이 크고 광의 흡수가 적어 결국 박막 트랜지스터에 대한 광의 영향을 감소시킬 수 있기 때문이다. 이에 대한 상세한 설명은 후술하기로 한다. 이러한 결정질 산화물 반도체층(240)은 Zn, In, Ga, Sn, Hf 및 이들의 조합에서 선택된 물질의 산화물을 포함한다. 또한 상기 조성에 제3 원소를 추가로 더 포함할 수 있다. 상기 제3 원소로는 Ta, La, Nd, Ce, Sc, Cr, Co, Nb, Mo, Ba, Gd, Ti, W, Pd, Ru, Ni, Mn, Si 등이 포함된다. 예를 들어 결정질 산화물 반도체층(240)은 ZnO, InZnO, InGaO, InSnO, ZnSnO, GaSnO, GaZnO, GaZnSnO, GaInZnO, HfInZnO, TaInSnO, SiGaInZnO, HfGaInZnO 등의 물질로 이루어질 수 있다.

[0028] 게이트 절연막(230) 및 결정질 산화물 반도체층(240) 상에는 결정질 산화물 반도체층(240)과 적어도 일부가 중첩되는 소스 전극(250a)과, 소스 전극(250a)과 이격되고 결정질 산화물 반도체층(240)의 채널 영역을 중심으로 소스 전극(250a)과 대향하면서 결정질 산화물 반도체층(240)과 적어도 일부가 중첩되는 드레인 전극(250b)이 배치된다. 소스 전극(250a)은 상기 게이트 선과 교차하는 방향으로 뻗어 있는 데이터선(미도시됨)을 통하여 데이터 신호를 전달받는다. 여기서, 소스 전극(250a) 및 드레인 전극(250b)은 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 은(Ag), 티타늄(Ti), 니오브(Nb), 텅스텐(W), 크롬(Cr), 탄탈륨(Ta) 또는 이들의 합금을 포함하는 단일층 또는 다중층으로 이루어질 수 있다. 예를 들어, 소스 전극(250a) 및 드레인 전극(250b)은 Ti/Cu의 이중층으로 형성될 수 있다.

[0029] 본 도면에는 도시되지 않았으나, 소스 전극(250a)과 결정질 산화물 반도체층(240) 사이 및 드레인 전극(250b)과 결정질 산화물 반도체층(240) 사이에는 각각 접촉 저항을 낮추기 위하여 옴릭 콘택(ohmic contact)을 형성하는 물질이 개재될 수도 있다.

[0030] 소스/드레인 전극(250a, 250b) 및 이에 의하여 노출되는 결정질 산화물 반도체층(240) 상에는 보호막(260)이 배치된다. 보호막(260)은 예를 들어, 실리콘 산화물, 실리콘 질화물, 감광성(photosensitivity)의 유기물 또는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질 등을 포함하는 단일막 또는 다중막 구조를 가질 수 있다. 보호막(260)에는 드레인 전극(250b)의 일부 예컨대 드레인 전극(250b)의 끝단을 드러내는 콘택홀(262)이 형성되어 있다.

[0031] 보호막(260) 상에는 콘택홀(262)을 통하여 드레인 전극(250b)과 전기적으로 연결되는 화소 전극(270)이 배치된다. 화소 전극(270)은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등의 투명 도전체로 이루어질 수 있다.

[0032] 다음으로, 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판의 제조 방법에 대하여 설명한다.

[0033] 다시 도 2를 참조하면, 절연 기판(210) 상에 게이트 전극용 금속층을 증착하고 이를 패터닝함으로써 게이트 전극(220)을 형성한다. 여기서, 게이트 전극용 금속층의 증착은 스퍼터링(sputtering)에 의하여 수행될 수 있고, 게이트 전극용 금속층의 패터닝은 사진 식각 공정에 의하여 수행될 수 있다. 사진 식각 공정은, 게이트 전극용 금속층 상에 포토레지스트를 도포하고 마스크를 이용하여 포토레지스트를 노광 및 현상하는 사진 공정과, 사진 공정에 의하여 형성된 포토레지스트의 패터닝에 의하여 드러나는 게이트 전극용 금속층을 건식 또는 습식 방식으로 제거하는 식각 공정을 일괄하여 칭하는 것이다.

[0034] 이어서, 절연 기판(210) 및 게이트 전극(220) 상에 스퍼터링이나 CVD(Chemical Vapor Deposition) 등의 방식을 이용하여 게이트 절연막(230)을 형성한다.

[0035] 이어서, 게이트 절연막(230) 상에 결정질의 산화물 반도체 물질을 형성하고 이를 패터닝함으로써 결정질 산화물 반도체층(240)을 형성한다. 여기서, 결정질 산화물 반도체 물질의 형성은 아르곤(Ar) 가스와 산소(O₂) 가스를 이용한 반응성 스퍼터링(reactive sputtering)에 의하여 수행될 수 있으며, 특히 온도와, 산소 가스에 대한 아르곤 가스의 분압비(Ar/O₂)를 조절하여 산화물 반도체 물질을 결정화한다. 다시 말하면, 온도를 소정 값 이상으로 상승시키고 산소 가스에 대한 아르곤 가스의 분압비를 소정 값 이하로 감소시킨 상태에서 반응성 스퍼터링을 수행함으로써 결정질의 산화물 반도체 물질을 형성한다. 여기서, 상기 온도는 예를 들어, 200도 이상일 수 있고 상기 산소 가스에 대한 아르곤 가스의 분압비는 예를 들어 0.65 이하일 수 있으나, 본 발명이 이에 한정되는 것은 아니며, 상기 온도 및 분압비는 산화물 반도체 물질이 완전히 결정화되는 것을 기준으로 조절될 수 있다.

[0036] 이어서, 게이트 절연막(230) 및 결정질 산화물 반도체층(240) 상에 소스/드레인 전극용 금속층을 증착하고 이를 패터닝함으로써 소스/드레인 전극(250a, 250b)을 형성한다.

[0037] 이어서, 소스/드레인 전극(250a, 250b)을 포함하는 결과물의 전체 구조 상에 보호막(260)을 증착한 후, 사진 식

각 공정으로 보호막(260)을 패터닝함으로써 드레인 전극(250b)의 일부 예컨대 드레인 전극(250b)의 끝단을 드러내는 콘택홀(262)을 형성한다.

- [0038] 이어서, 콘택홀(262)을 포함하는 보호막(260) 상에 화소 전극용 도전층 예컨대, ITO 또는 IZO 물질을 형성하고 이를 패터닝함으로써 콘택홀(262)을 통하여 드레인 전극(250b)과 전기적으로 연결되는 화소 전극(270)을 형성한다.
- [0039] 이하, 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판에 있어서, 박막 트랜지스터의 액티브층으로 이용되는 결정질 산화물 반도체층의 특성을 살펴보고, 그에 따른 박막 트랜지스터의 전기적 특성에 대하여 설명하기로 한다.
- [0040] 우선, 결정질 산화물 반도체층의 특성을 살펴보기 위한 실험예로서 결정질 HfInZnO층을 포함하는 박막 트랜지스터를 형성하였으며, 이에 대한 비교예로서 비정질 HfInZnO층을 포함하는 박막 트랜지스터를 형성하였다. 이는 도 3a 및 도 3b에 잘 나타나 있다.
- [0041] 도 3a는 결정질 HfInZnO층을 포함하는 박막 트랜지스터의 단면 일부를 나타내는 TEM 사진이고, 도 3b는 비정질 HfInZnO층을 포함하는 박막 트랜지스터의 단면 일부를 나타내는 TEM 사진이다.
- [0042] 도 3a를 참조하면, 본 실험예의 결정질 HfInZnO층은 하부의 게이트 절연막(도 3a의 GI 참조)과의 계면에서부터 상부의 보호막(도 3a의 Passi. 참조)과의 계면까지 전체적으로 결정화되어 있는 것을 알 수 있다.
- [0043] 이와 같은 결정질 HfInZnO층은 아르곤(Ar) 가스와 산소(O₂) 가스를 이용한 반응성 스퍼터링(reactive sputtering)을 이용하여 제조된 것으로서, 특히 200도의 증착 온도에서 산소 가스에 대한 아르곤 가스의 분압비(Ar/O₂)를 35/63 또는 55/90으로 하여 제조된 것이다.
- [0044] 반면, 도 3b를 참조하면, 비교예의 비정질 HfInZnO층은 하부의 게이트 절연막(도 3b의 GI 참조)과의 계면에서부터 상부의 보호막(3b의 Passi. 참조)과의 계면까지 전체적으로 비정질임을 알 수 있다.
- [0045] 이와 같은 비정질 HfInZnO층은 상기 결정질 HfInZnO층의 제조 방법과 동일하게 아르곤(Ar) 가스와 산소(O₂) 가스를 이용한 반응성 스퍼터링을 이용하여 제조된 것으로서, 특히 100도의 증착 온도에서 산소 가스에 대한 아르곤 가스의 분압비(Ar/O₂)를 35/7 또는 55/10으로 하여 제조된 것이다. 다시 말하면, 비정질 HfInZnO층은 결정질 HfInZnO층에 비하여 온도가 낮고, 산소 가스에 대한 아르곤 가스의 분압비가 높은 공정 조건에서 제조된 것이다.
- [0046] 다음으로, 결정질 산화물 반도체층의 특성 중 우선 에너지 밴드갭을 살펴보기로 하며, 이를 위하여 실험예의 결정질 HfInZnO층과 비교예의 비정질 HfInZnO층의 에너지 밴드갭을 측정하였다. 이는 도 4에 나타나 있다.
- [0047] 도 4는 산소 가스 및 아르곤 가스의 분압에 따른 산화물 반도체층의 에너지 밴드갭을 측정한 그래프로서, 본 그래프에는 특히 결정질 HfInZnO층의 에너지 밴드갭 및 비정질 HfInZnO층의 에너지 밴드갭이 나타나 있다.
- [0048] 도 4를 참조하면, 산소 가스에 대한 아르곤 가스의 분압비가 35/7인 상태에서 형성된 산화물 반도체층 즉, 비정질 HfInZnO층의 에너지 밴드갭이 약 3.07eV인 반면, 산소 가스에 대한 아르곤 가스의 분압비가 35/63인 상태에서 형성된 산화물 반도체층 즉, 결정질 HfInZnO층의 에너지 밴드갭이 3.19eV로서 상대적으로 더 큰 값을 가짐을 알 수 있다.
- [0049] 결정질 산화물 반도체층의 에너지 밴드갭이 비정질 산화물 반도체층의 에너지 밴드갭에 비하여 더 크다는 것은 박막 트랜지스터의 전기적 특성과 관련하여 다음과 같은 의미를 갖는다.
- [0050] 액티브층으로서 산화물 반도체층을 갖는 박막 트랜지스터에 광이 조사되면 광의 에너지에 의하여 산화물 반도체층의 밴드갭 내의 전자가 여기하게 되고 그에 따라 생성되는 정공들이 산화물 반도체층과 인접하는 막 즉, 게이트 절연막이나 보호막에 트랩(trap)된다. 여기서 특히 게이트 절연막에 정공들이 트랩되면 박막 트랜지스터의 문턱 전압이 변동되기 때문에 결과적으로 박막 트랜지스터의 특성을 안정적으로 확보할 수 없다.
- [0051] 그런데, 이러한 산화물 반도체층의 에너지 밴드갭이 크다는 것은 광이 조사되더라도 전자가 여기하는 것이 어렵다는 것을 의미하고, 그에 따라 박막 트랜지스터에서 정공이 게이트 절연막에 트랩되는 현상이 감소하여 박막 트랜지스터의 문턱 전압 변동 등 광에 의하여 전기적 특성이 변화하는 현상이 감소한다.
- [0052] 따라서, 박막 트랜지스터의 액티브층으로서 에너지 밴드갭이 상대적으로 큰 결정질 산화물 반도체층을 이용하면 비정질 산화물 반도체층을 이용하는 경우에 비하여 광에 의한 영향을 덜 받는다고 할 수 있다. 즉, 광에 의한

전기적 특성 변화가 감소한다.

- [0053] 다음으로, 결정질 산화물 반도체층의 특성 중 DOS(Density of state)를 살펴보기로 하며, 이를 위하여 본 실시예에서 백라이트 유닛의 광원으로 사용되는 LED에서 생성되는 광의 에너지 분포와, 실험예의 결정질 HfInZnO층 및 비교예의 비정질 HfInZnO층의 흡수 계수(energy bandgap)를 측정하였다. 이는 도 5 및 도 6에 각각 나타나 있다.
- [0054] 도 5는 LED 광원에서 생성되는 광의 에너지 분포를 나타내는 그래프이다.
- [0055] 도 5를 참조하면, LED 광원에서 50% 이상의 강도(intensity)를 나타내는 광의 에너지 영역은 약 2.75~2.85eV 범위에 해당한다. 이는 LED 광원에서 생성되는 광이 표시 패널의 박막 트랜지스터에 조사되었을 때, 약 2.75~2.85eV 에너지 영역을 갖는 광에 의한 영향이 가장 큼을 나타낸다. 이를 전체로 이하의 도 6의 그래프를 살펴본다.
- [0056] 도 6은 박막 트랜지스터에 조사되는 광의 에너지에 따른 산화물 반도체층의 흡수 계수를 측정한 그래프로서, 본 그래프에는 특히 결정질 HfInZnO층 및 비정질 HfInZnO층의 흡수 계수가 나타나 있다.
- [0057] 도 6을 참조하면, LED 광원에서 50% 이상의 강도(intensity)를 나타내는 광의 에너지 영역 즉, 약 2.75~2.85eV 범위에서, 산소 가스에 대한 아르곤 가스의 분압비가 35/7인 상태에서 형성된 산화물 반도체층 즉, 비정질 HfInZnO층의 흡수 계수는 산소 가스에 대한 아르곤 가스의 분압비가 35/63인 상태에서 형성된 산화물 반도체층 즉, 결정질의 HfInZnO층의 흡수 계수에 비하여 더 큰 값을 가짐을 알 수 있다.
- [0058] 결정질 산화물 반도체층의 흡수 계수가 비정질 산화물 반도체층의 흡수 계수에 비하여 더 작은 값을 갖는다는 것은 결정질 산화물 반도체층의 DOS 특성 및 박막 트랜지스터의 전기적 특성과 관련하여 다음과 같은 의미를 갖는다.
- [0059] DOS란 소정 반도체의 에너지 밴드갭 내에 해당하는 에너지 준위를 갖는 양자 예컨대, 전자의 밀도를 나타내는 값을 나타낸다. DOS가 크다는 것은 에너지 밴드갭 내의 전자 밀도가 크기 때문에 광이 조사되었을 때 광 에너지에 의하여 여기될 수 있는 전자가 많다는 것을 의미하며, 이는 곧 광 반응성이 크다는 것을 의미한다. 에너지 밴드갭 내의 전자 밀도가 크면 전자의 여기에 따라 생성되는 정공들이 많기 때문에 산화물 반도체층과 인접하는 게이트 절연막에 트랩(trap)되어 박막 트랜지스터의 문턱 전압 등의 특성 변동을 심화시킨다.
- [0060] 이러한 DOS를 직접적으로 측정하는 것은 어렵기 때문에 본 실시예에서는 흡수 계수를 이용하여 산화물 반도체층의 DOS를 간접적으로 측정한다. 다시 말하면, 산화물 반도체층의 흡수 계수가 작다는 것은 광을 덜 흡수한다는 것 즉, 광에 덜 반응한다는 것을 의미하며, 이를 통하여 산화물 반도체층의 DOS가 작다는 것을 알 수 있는 것이다.
- [0061] 따라서, 결정질 산화물 반도체층의 흡수 계수가 비정질 산화물 반도체층의 흡수 계수에 비하여 더 작은 값을 갖는다는 것은 결정질 산화물 반도체층의 DOS가 작고 그에 따라 광에 의한 영향을 덜 받는다는 것을 나타낸다. 따라서, 이러한 결정질 산화물 반도체층을 액티브층으로 이용하는 박막 트랜지스터의 전기적 특성 변화는 비정질 산화물 반도체층을 액티브층으로 이용하는 박막 트랜지스터에 비하여 감소한다.
- [0062] 전술한 도 3 내지 도 6의 실험 결과를 참조하여 본 발명의 제1 실시예의 특징을 요약하자면, 결정질 산화물 반도체층은 비정질 산화물 반도체층에 비하여 에너지 밴드갭이 더 크고 DOS 및 흡수 계수가 더 작기 때문에 광 반응성이 더 작음을 알 수 있다. 그에 따라 결정질 산화물 반도체층을 액티브층으로 이용하는 박막 트랜지스터는 문턱 전압 등의 전기적 특성을 안정적으로 확보할 수 있다.
- [0063] 한편, 전술한 본 발명의 제1 실시예에서는 게이트 전극이 게이트 절연막 하부에 위치하고 결정질의 산화물 반도체로 이루어지는 액티브층 및 소스/드레인 전극이 게이트 절연막 상부에 위치하는 바텀 게이트(bottom gate) 구조를 갖는 박막 트랜지스터에 대하여 설명하였으나, 본 발명이 이에 한정되는 것은 아니다. 즉, 본 발명은 게이트 전극이 게이트 절연막 상부에 위치하고 결정질의 산화물 반도체로 이루어지는 액티브층 및 소스/드레인 전극이 게이트 절연막 하부에 위치하는 탑 게이트(top gate) 구조를 갖는 박막 트랜지스터나, 또는, 결정질의 산화물 반도체로 이루어지는 액티브층 및 소스/드레인 전극이 중간 층에 배치되고 그 상부 및 하부에 각각 게이트 절연막을 사이에 두고 게이트 전극이 배치되는 더블 게이트(double gate) 구조를 갖는 박막 트랜지스터에도 적용될 수 있다.
- [0064] 상기의 탑 게이트 구조를 갖는 박막 트랜지스터 또는 더블 게이트 구조를 갖는 박막 트랜지스터의 상세한 구성

은 이하의 도 8 및 도 9에 도시되어 있으므로 여기서는 상세한 설명을 하지 않기로 한다.

- [0065] 도 7은 본 발명의 제2 실시예에 따른 박막 트랜지스터 기관의 단면도로서, 이하에서는 도 7을 참조하여 본 발명의 제2 실시예에 따른 박막 트랜지스터 기관의 구조 및 그 제조 방법에 대하여 설명하기로 한다. 본 도면에 도시된 박막 트랜지스터 기관은 박막 트랜지스터의 액티브층이 결정질 산화물 반도체층 및 비정질 산화물 반도체층의 2층 구조로 되어 있다는 점을 제외하고는 도 2에 도시된 제1 실시예와 실질적으로 동일하다. 따라서, 이하에서는 도 2에서 설명한 구성 요소와 실질적으로 동일한 구성 요소에 대하여는 그 상세한 설명을 생략하기로 한다.
- [0066] 먼저 본 발명의 제2 실시예에 따른 박막 트랜지스터 기관의 구조에 대하여 설명한다.
- [0067] 도 7을 참조하면, 박막 트랜지스터 기관은 절연 기관(710) 상에 배치되고 게이트 전극(720), 소스/드레인 전극(750a, 750b), 및 결정질 산화물 반도체층(740a)과 비정질 산화물 반도체층(740b)이 적층된 액티브층(740)을 포함하는 박막 트랜지스터와, 이 박막 트랜지스터에 의하여 스위칭되는 화소 전극(770)을 포함한다.
- [0068] 구체적으로는, 절연 기관(710) 상에 게이트 전극(720)이 배치된다.
- [0069] 절연 기관(710) 및 게이트 전극(720) 상에는 게이트 절연막(730)이 배치된다.
- [0070] 게이트 절연막(730) 상에는 결정질 산화물 반도체층(740a)과 비정질 산화물 반도체층(740b)이 적층된 액티브층(740)이 배치된다. 여기서, 결정질 산화물 반도체층(740a)은 게이트 절연막(730)과 인접하도록 액티브층(740)의 하부 층을 구성하고, 비정질 산화물 반도체층(740b)은 게이트 절연막(730)과 인접하지 않도록 액티브층(740)의 상부 층을 구성한다.
- [0071] 상기 결정질 산화물 반도체층(740a) 및 상기 비정질 산화물 반도체층(740b)은 Zn, In, Ga, Sn, Hf 및 이들의 조합에서 선택된 물질의 산화물을 포함한다. 또한 상기 조성에 제3 원소를 추가로 더 포함할 수 있다. 상기 제3 원소로는 Ta, La, Nd, Ce, Sc, Cr, Co, Nb, Mo, Ba, Gd, Ti, W, Pd, Ru, Ni, Mn, Si 등이 포함될 수 있다. 예를 들어 결정질 산화물 반도체층(740a) 및 상기 비정질 산화물 반도체층(740b)은 ZnO, InZnO, InGaO, InSnO, ZnSnO, GaSnO, GaZnO, GaZnSnO, GaInZnO, HfInZnO, TaInSnO, SiGaInZnO, HfGaInZnO 등의 물질로 이루어질 수 있다. 상기 결정질 산화물 반도체층(740a)의 산소를 제외한 금속 원소 간의 함량(원자 %) 비율과 상기 비정질 산화물 반도체층(740b)의 산소를 제외한 금속 원소 간의 함량(원자 %) 비율은 실질적으로 동일할 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 예를 들어, 상기 결정질 산화물 반도체층(740a) 및 상기 비정질 산화물 반도체층(740b)의 조성이 GaInZnO인 경우 산소 원자를 제외하고 금속 원자간의 비율만 볼 때 Ga:In:Zn의 비율은 각각 x:y:z로 같을 수 있다(x,y,z는 0 이상의 정수). 상기 비율이 1:1:1인 경우는 산화물 반도체층 내에서 Ga, In, Zn가 전체 금속 원소 중에서 각각 33 at%씩 포함되어 있는 경우이다.
- [0072] 본 실시예에서 이러한 액티브층(740)을 이용하는 것은, 결정질 산화물 반도체가 비정질 산화물 반도체에 비하여 전하 이동도가 작기 때문이다. 다시 말하면, 결정질 산화물 반도체를 포함하는 박막 트랜지스터는 광에 의한 영향을 덜 받는 대신에 요구되는 이동도를 만족시키지 못할 수 있다. 따라서, 본 실시예에서는 광에 의한 영향을 덜 받으면서도 요구되는 이동도를 만족시킬 수 있도록 결정질 산화물 반도체층(740a) 및 비정질 산화물 반도체층(740b)을 모두 포함하는 액티브층(740)을 제안하고 있다. 나아가, 본 실시예에서 게이트 절연막(730)과 인접하도록 결정질 산화물 반도체층(740a)을 배치하는 것은 광이 조사되었을 때에 정공이 특히 게이트 절연막(730)에 트랩되면 박막 트랜지스터의 특성이 변동되기 때문에, 이를 방지하기 위함이다.
- [0073] 게이트 절연막(730) 및 액티브층(740) 상에는 액티브층(740)과 적어도 일부가 중첩되는 소스 전극(750a)과, 소스 전극(750a)과 이격되고 액티브층(740)의 채널 영역을 중심으로 소스 전극(750a)과 대향하면서 액티브층(740)과 적어도 일부가 중첩되는 드레인 전극(750b)이 배치된다.
- [0074] 소스/드레인 전극(750a, 750b) 및 이에 의하여 노출되는 액티브층(740) 상에는 보호막(760)이 배치되고, 보호막(760)에는 드레인 전극(750b)의 일부를 드러내는 콘택홀(762)이 형성되어 있다.
- [0075] 보호막(760) 상에는 콘택홀(762)을 통하여 드레인 전극(750b)과 전기적으로 연결되는 화소 전극(770)이 배치된다.
- [0076] 다음으로, 본 발명의 제2 실시예에 따른 박막 트랜지스터 기관의 제조 방법에 대하여 설명한다.
- [0077] 다시 도 7을 참조하면, 절연 기관(710) 상에 게이트 전극(720) 및 게이트 절연막(730)을 형성한다.
- [0078] 이어서, 게이트 절연막(730) 상에 결정질 산화물 반도체 물질과 비정질 산화물 반도체 물질을 순차적으로 형성

하고 이를 패터닝함으로써, 결정질 산화물 반도체층(740a) 및 비정질 산화물 반도체층(740b)이 적층된 액티브층(740)을 형성한다.

[0079] 여기서, 결정질 산화물 반도체 물질 및 비정질 산화물 반도체 물질의 형성은 아르곤(Ar) 가스와 산소(O₂) 가스를 이용한 반응성 스퍼터링(reactive sputtering)에 의하여 수행될 수 있으며, 특히 온도와, 산소 가스에 대한 아르곤 가스의 분압비(Ar/O₂)를 조절함으로써 결정질 산화물 반도체 물질과 비정질 산화물 반도체 물질을 순차적으로 형성할 수 있다. 다시 말하면, 소정 기준값 이상의 제1 온도 및 소정 기준값 이하의 산소 가스에 대한 아르곤 가스의 제1 분압비 조건에서 반응성 스퍼터링을 수행함으로써 결정질의 산화물 반도체 물질을 형성한 후, 상기 제1 온도보다 낮은 제2 온도 및 상기 제1 분압비보다 큰 제2 분압비 조건에서 반응성 스퍼터링을 수행함으로써 비정질의 산화물 반도체 물질을 형성한다. 예를 들어, 제1 온도는 200도 이상이고 상기 제1 분압비는 0.65 이하일 수 있고, 이에 대하여 제2 온도는 100도이고 제2 분압비는 5 이상일 수 있으나 본 발명이 이에 한정되는 것은 아니며, 상기 제1 및 제2 온도와 제1 및 제2 분압비는 산화물 반도체 물질을 완전히 결정화하거나 비정질화하는 것을 기준으로 조절될 수 있다.

[0080] 이어서, 게이트 절연막(730) 및 액티브층(740) 상에 소스/드레인 전극(750a, 750b)과, 드레인 전극(750b)을 노출시키는 콘택홀(762)을 갖는 보호막(760)과, 콘택홀(762)을 통하여 드레인 전극(750b)과 전기적으로 연결되는 화소 전극(770)을 형성한다.

[0081] 이하, 본 발명의 제2 실시예에 따른 박막 트랜지스터 기판에 있어서, 결정질 산화물 반도체층 및 비정질 산화물 반도체층이 적층된 액티브층을 포함하는 박막 트랜지스터의 전기적 특성으로서 이동도 및 문턱 전압에 대하여 살펴보기로 한다. 이를 위하여 결정질 HfInZnO층 및 비정질 HfInZnO층이 순차적으로 적층된 액티브층을 포함하는 바텀 게이트 구조의 박막 트랜지스터를 형성하고 이 박막 트랜지스터의 이동도 및 문턱 전압을 측정하였다. 특히 결정질 HfInZnO층 및 비정질 HfInZnO층의 두께비를 변화시키면서 이동도 및 문턱 전압을 측정하였으며, 이는 아래의 [표 1] 및 [표 2]에 각각 나타나 있다.

표 1

결정질 두께/비정질 두께	이동도		
	1차	2차	평균
0/500	6.76	8.62	7.69
50/450	9.7	8.84	9.27
100/400	7.65	9.66	8.655
200/300	7.8		7.8
300/200	3.84		3.84

[0082]

표 2

결정질 두께/비정질 두께	문턱전압		
	1차	2차	평균
0/500	0.73	-1.18	-0.225
50/450	1.05	1.05	1.05
100/400	1.27	1.14	1.205
200/300	1.27		1.27
300/200	2.09		2.09

[0083]

[0084] 상기 [표 1]을 참조하면, 결정질 산화물 반도체층의 두께가 비정질 산화물 반도체층의 두께에 비하여 작은 경우에는 박막 트랜지스터의 이동도 감소가 크지 않으나, 결정질 산화물 반도체층의 두께가 비정질 산화물 반도체층의 두께보다 커지면(결정질 두께/비정질 두께가 300/200인 경우 참조) 박막 트랜지스터의 이동도가 급격히 감소하는 것을 알 수 있다. 따라서, 박막 트랜지스터에 요구되는 이동도를 만족시키기 위하여 결정질 산화물 반도체층과 함께 상대적으로 두꺼운 두께를 갖는 비정질 산화물 반도체층을 이용하는 것이 바람직하다는 것을 알 수

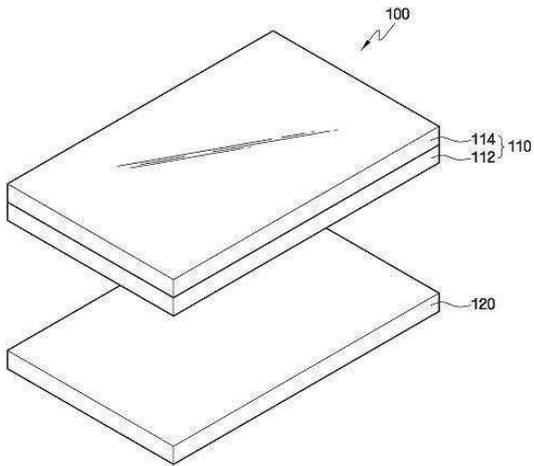
있다.

- [0085] 상기 [표 2]를 참조하면, 결정질 산화물 반도체층의 두께가 비정질 산화물 반도체층의 두께보다 커질수록 박막 트랜지스터의 문턱 전압이 증가함을 알 수 있다. 이는 박막 트랜지스터의 턴온 동작을 용이하게 제어할 수 있게 한다.
- [0086] 결과적으로, [표 1] 및 [표 2]의 실험 결과를 참조하면, 박막 트랜지스터의 액티브층으로서 결정질 산화물 반도체층과 비정질 산화물 반도체층을 함께 이용하면서 두께를 적절히 제어하면 요구되는 이동도 및 문턱전압을 확보할 수 있는 장점이 있다. 나아가, 결정질 산화물 반도체층을 게이트 절연막과 인접하도록 예컨대, 바텀 게이트 구조에서 하부에 배치하면 박막 트랜지스터에 대한 광에 의한 영향을 감소시킬 수 있음은 진술하였다.
- [0087] 도 8은 본 발명의 제3 실시예에 따른 박막 트랜지스터 기관의 단면도로서, 이하에서는 도 8을 참조하여 본 발명의 제3 실시예에 따른 박막 트랜지스터 기관의 구조 및 그 제조 방법에 대하여 설명하기로 한다. 본 도면에 도시된 박막 트랜지스터 기관은 박막 트랜지스터의 게이트 절연막을 사이에 두고 게이트 전극이 상부에 위치하고 액티브층 및 소스/드레인 전극이 하부에 위치하는 탑 게이트 구조를 갖는다는 점과, 그에 따라 액티브층의 하부층이 비정질 산화물 반도체층이고 상부층이 결정질 산화물 반도체층인 점을 제외하고는 도 7에 도시된 제2 실시예와 실질적으로 동일하다. 따라서, 이하에서는 도 7에서 설명한 구성 요소와 실질적으로 동일한 구성 요소에 대하여는 그 상세한 설명을 생략하기로 한다.
- [0088] 먼저 본 발명의 제3 실시예에 따른 박막 트랜지스터 기관의 구조에 대하여 설명한다.
- [0089] 도 8을 참조하면, 박막 트랜지스터 기관은 절연 기관(810) 상에 배치되고 소스/드레인 전극(820a, 820b), 비정질 산화물 반도체층(830a)과 결정질 산화물 반도체층(830b)이 순차적으로 적층된 액티브층(830), 및 게이트 전극(850)을 포함하는 박막 트랜지스터와, 이 박막 트랜지스터에 의하여 스위칭되는 화소 전극(870)을 포함한다.
- [0090] 구체적으로는, 절연 기관(810) 상에 소스 전극(820a)과, 소스 전극(820a)과 이격되고 후술하는 액티브층(830)의 채널 영역을 중심으로 소스 전극(820a)과 대향하는 드레인 전극(820b)이 배치된다.
- [0091] 소스 전극(820a)과 드레인 전극(820b) 상에는, 소스 전극(820a)과 드레인 전극(820b) 사이의 이격된 공간을 덮으면서 소스 전극(820a)과 적어도 일부가 중첩되고 드레인 전극(820b)과 적어도 일부가 중첩되는 액티브층(830)이 배치된다.
- [0092] 여기서, 액티브층(830)은 비정질 산화물 반도체층(830a)과 결정질 산화물 반도체층(830b)이 순차적으로 적층된 구조를 갖는다. 제2 실시예와 달리 결정질 산화물 반도체층(830b)을 비정질 산화물 반도체층(830a)의 상부에 배치하는 것은 후술하는 게이트 절연막(840)이 액티브층(830)의 상부에 위치하기 때문이다. 즉, 결정질 산화물 반도체층(830b)은 게이트 절연막(840)과 인접하도록 배치됨으로써 광이 조사되더라도 게이트 절연막(840)에 정공이 트랩되는 현상이 감소한다.
- [0093] 소스/드레인 전극(820a, 820b) 및 액티브층(830) 상에는 게이트 절연막(840)이 배치되고, 게이트 절연막(840) 상에는 적어도 액티브층(830)과 중첩되는 게이트 전극(850)이 배치된다.
- [0094] 게이트 절연막(840) 및 게이트 전극(850) 상에는 보호막(860)이 배치된다. 여기서, 보호막(860) 및 게이트 절연막(840)에는 드레인 전극(820b)을 드러내는 콘택홀(862)이 형성되어 있다.
- [0095] 보호막(860) 상에는 콘택홀(862)을 통하여 드레인 전극(820b)과 전기적으로 연결되는 화소 전극(870)이 배치된다.
- [0096] 다음으로, 본 발명의 제3 실시예에 따른 박막 트랜지스터 기관의 제조 방법에 대하여 설명한다.
- [0097] 다시 도 8을 참조하면, 절연 기관(810) 상에 소스/드레인 전극용 금속층을 증착하고 이를 패터닝하여 소스 전극(820a)과 드레인 전극(820b)을 형성한다.
- [0098] 이어서, 절연 기관(810) 및 소스/드레인 전극(820a, 820b) 상에 비정질 산화물 반도체 물질과 결정질 산화물 반도체 물질을 순차적으로 형성하고 이를 패터닝함으로써, 비정질 산화물 반도체층(830a) 및 결정질 산화물 반도체층(830b)이 적층된 액티브층(830)을 형성한다. 여기서, 본 실시예의 비정질 산화물 반도체 물질 및 결정질 산화물 반도체 물질의 형성 방법은 제2 실시예에서 설명한 것과 동일하되 그 형성 순서 즉, 비정질 산화물 반도체 물질을 먼저 형성하고 결정질 산화물 반도체 물질을 나중에 형성하는 것만 상이하다.
- [0099] 이어서, 소스/드레인 전극(820a, 820b) 및 액티브층(830) 상에 게이트 절연막(840)을 형성한다.

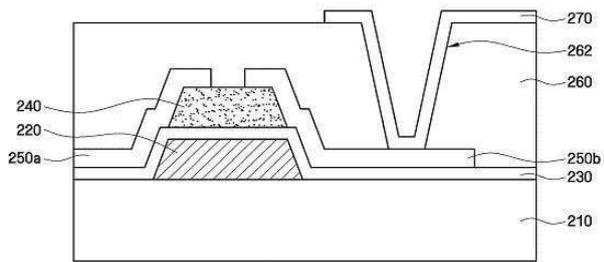
- [0100] 이어서, 게이트 절연막(840) 상에 게이트 전극용 금속층을 증착하고 이를 패터닝하여 게이트 전극(850)을 형성한다.
- [0101] 이어서, 게이트 절연막(840) 및 게이트 전극(850) 상에는 보호막(860)을 형성한 후, 사진 식각 공정으로 보호막(860) 및 게이트 절연막(840)을 일괄 식각하여 드레인 전극(820b)을 드러내는 콘택홀(862)을 형성하고, 보호막(860) 상에 콘택홀(862)을 통하여 드레인 전극(820b)과 전기적으로 연결되는 화소 전극(870)을 형성한다.
- [0102] 본 발명의 제3 실시예에 따른 박막 트랜지스터는 전술한 제2 실시예에 따른 박막 트랜지스터와 실질적으로 동일한 특징을 갖는다. 즉, 게이트 절연막과 인접한 액티브층이 결정질 산화물 반도체층이어서 광에 의한 영향이 적고, 액티브층에 결정질 산화물 반도체층 및 비정질 산화물 반도체층이 모두 포함되어 요구되는 이동도 및 문턱 전압 특성을 만족시킬 수 있다.
- [0103] 한편, 제3 실시예에서는 소스/드레인 전극이 하부에 위치하고 액티브층이 상부에 위치하는 탑 게이트 구조를 도시하였으나, 본 발명이 이에 한정되는 것은 아니며 액티브층이 하부에 위치하고 소스/드레인 전극이 상부에 위치하는 탑 게이트 구조에도 적용될 수 있음은 당업자에게 자명하다.
- [0104] 도 9는 본 발명의 제4 실시예에 따른 박막 트랜지스터 기관의 단면도로서, 이하에서는 도 9를 참조하여 본 발명의 제4 실시예에 따른 박막 트랜지스터 기관의 구조 및 그 제조 방법에 대하여 설명하기로 한다. 본 도면에 도시된 박막 트랜지스터 기관은, 액티브층 및 소스/드레인 전극이 중간 층에 배치되고 그 상부 및 하부에 각각 게이트 절연막을 사이에 두고 2 개의 게이트 전극이 배치되는 더블 게이트 구조를 갖는다는 점과, 그에 따라 액티브층이 결정질 산화물 반도체층/비정질 산화물 반도체층/결정질 산화물 반도체층의 3층 구조를 갖는다는 점을 제외하고는 도 8에 도시된 제3 실시예와 실질적으로 동일하다. 따라서, 이하에서는 도 8에서 설명한 구성 요소와 실질적으로 동일한 구성 요소에 대하여는 그 상세한 설명을 생략하기로 한다.
- [0105] 먼저 본 발명의 제4 실시예에 따른 박막 트랜지스터 기관의 구조에 대하여 설명한다.
- [0106] 도 9를 참조하면, 박막 트랜지스터 기관은 절연 기관(910) 상에 배치되고 소스/드레인 전극(940a, 940b)과, 하부 결정질 산화물 반도체층(950a), 비정질 산화물 반도체층(950b) 및 상부 결정질 산화물 반도체층(950c)이 순차적으로 적층된 액티브층(950)과, 하부 및 상부 게이트 전극(920, 970)을 포함하는 박막 트랜지스터와, 이 박막 트랜지스터에 의하여 스위칭되는 화소 전극(990)을 포함한다.
- [0107] 구체적으로는, 절연 기관(910) 상에 하부 게이트 전극(920)과, 하부 게이트 전극(920)을 덮는 하부 게이트 절연막(930)이 배치된다. 하부 게이트 전극(920)은 후술하는 액티브층(950)과 중첩되도록 배치된다.
- [0108] 하부 게이트 절연막(930) 상에는 소스 전극(940a)과, 소스 전극(940a)과 이격되고 후술하는 액티브층(950)의 채널 영역을 중심으로 소스 전극(940a)과 대향하는 드레인 전극(940b)이 배치된다.
- [0109] 소스 전극(940a)과 드레인 전극(940b) 상에는, 소스 전극(940a)과 드레인 전극(940b) 사이의 이격된 공간을 덮으면서 소스 전극(940a)과 적어도 일부가 중첩되고 드레인 전극(940b)과 적어도 일부가 중첩되는 액티브층(950)이 배치된다.
- [0110] 여기서, 액티브층(950)은 하부 결정질 산화물 반도체층(950a), 비정질 산화물 반도체층(950b) 및 상부 결정질 산화물 반도체층(950c)이 순차적으로 적층된 구조를 갖는다. 제2 및 제3 실시예와 달리 결정질 산화물 반도체층(950a, 950c)이 비정질 산화물 반도체층(950b)을 사이에 두고 상 하부에 배치되는 것은 게이트 절연막(930, 960)이 액티브층(950)의 상부 및 하부에 위치하기 때문이다. 즉, 하부 게이트 절연막(930)과 인접하도록 하부 결정질 산화물 반도체층(950a)이 배치되고 상부 게이트 절연막(960)과 인접하도록 상부 결정질 산화물 반도체층(950c)이 배치됨으로써, 게이트 절연막(930, 960)에 정공이 트랩되는 것을 방지한다.
- [0111] 소스/드레인 전극(940a, 940b) 및 액티브층(950) 상에는 상부 게이트 절연막(960)이 배치되고, 상부 게이트 절연막(960) 상에는 적어도 액티브층(950)과 중첩되는 상부 게이트 전극(970)이 배치된다.
- [0112] 본 도면에는 도시되지 않았으나, 하부 게이트 전극(920)과 상부 게이트 전극(970)은 도전성의 플러그에 의하여 서로 연결될 수도 있다.
- [0113] 상부 게이트 절연막(960) 및 상부 게이트 전극(970) 상에는 보호막(980)이 배치된다. 여기서, 보호막(980) 및 상부 게이트 절연막(960)에는 드레인 전극(940b)의 일부를 드러내는 콘택홀(982)이 형성되어 있다.
- [0114] 보호막(980) 상에는 콘택홀(982)을 통하여 드레인 전극(940b)과 전기적으로 연결되는 화소 전극(990)이 배치된

도면

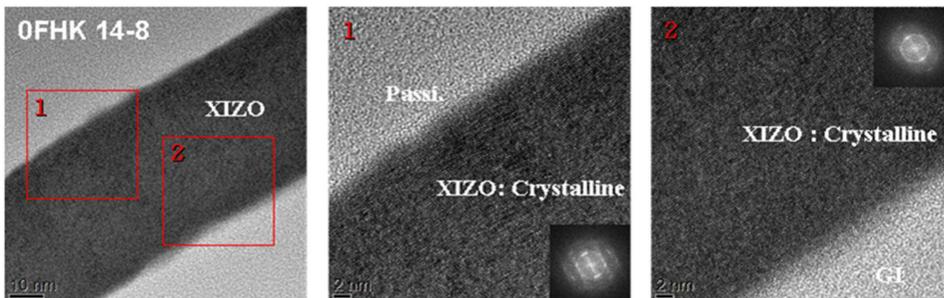
도면1



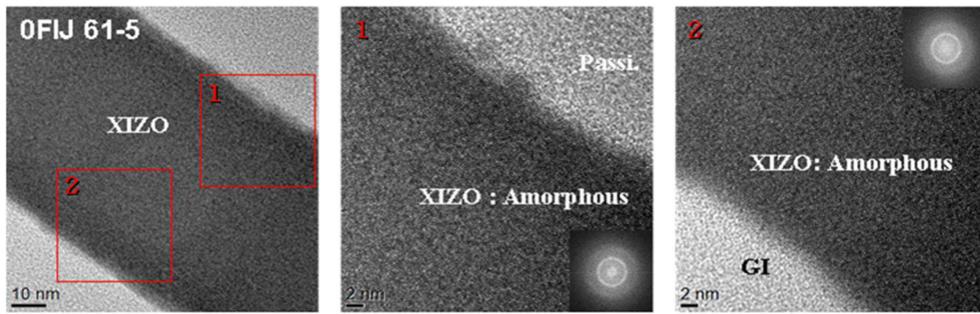
도면2



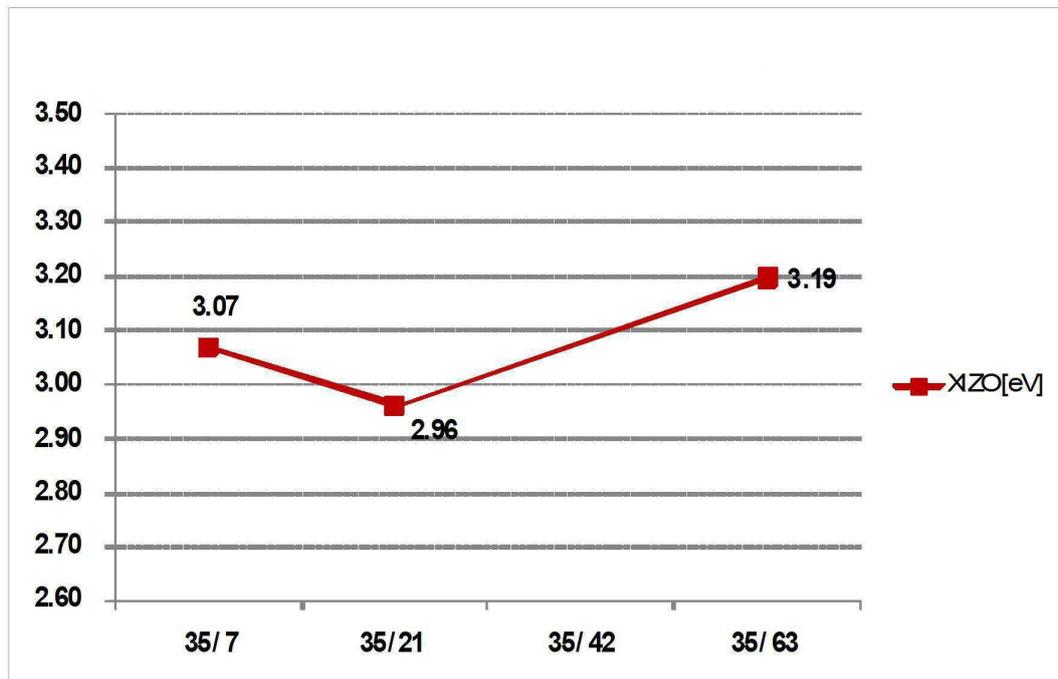
도면3a



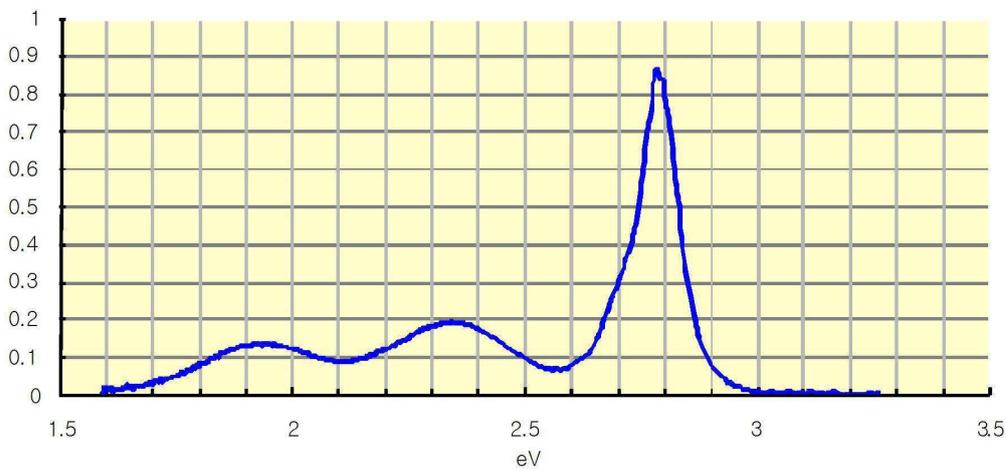
도면3b



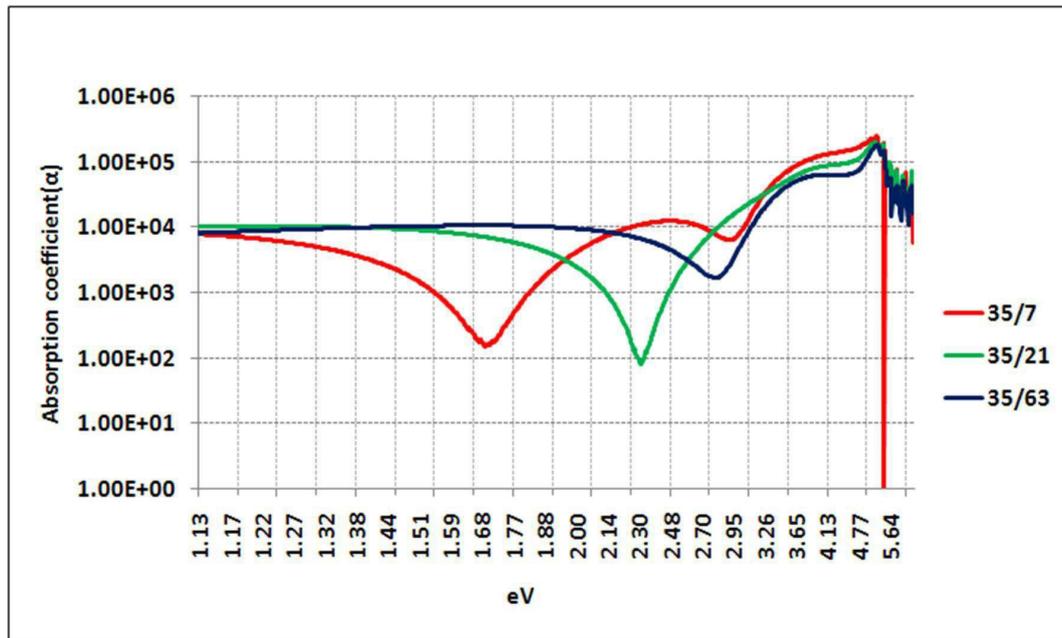
도면4



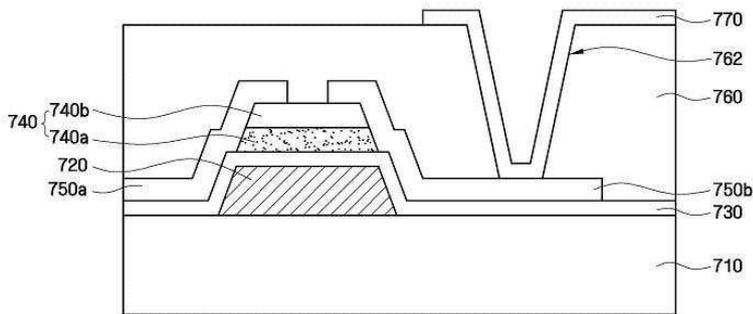
도면5



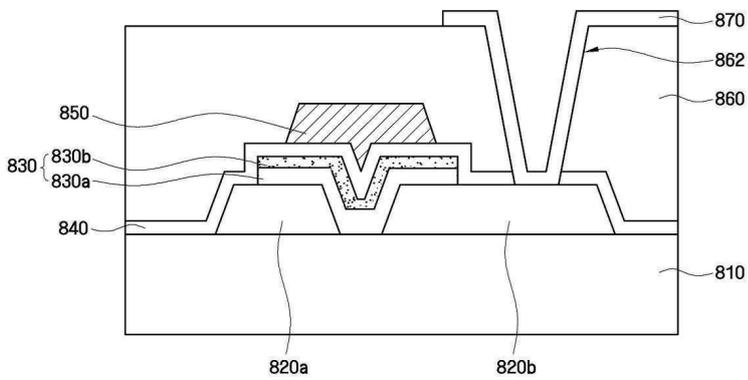
도면6



도면7



도면8



도면9

