

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2022년 1월 13일 (13.01.2022) **WIPO | PCT**



(10) 국제공개번호
WO 2022/010194 A1

(51) 국제특허분류:

H01L 27/11582 (2017.01) *G11C 16/34* (2006.01)
H01L 27/1157 (2017.01) *G11C 16/26* (2006.01)
H01L 27/11556 (2017.01) *G11C 16/10* (2006.01)
H01L 27/11524 (2017.01) *G11C 16/04* (2006.01)

(21) 국제출원번호: PCT/KR2021/008446

(22) 국제출원일: 2021년 7월 2일 (02.07.2021)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:

10-2020-0084539 2020년 7월 9일 (09.07.2020) KR
10-2020-0175351 2020년 12월 15일 (15.12.2020) KR
10-2020-0175352 2020년 12월 15일 (15.12.2020) KR

(71) 출원인: 한양대학교 산학협력단 (**IUCF-HYU (INDUSTRY-UNIVERSITY COOPERATION FOUNDATION HANYANG UNIVERSITY)**) [KR/KR]; 04763 서울시 성동구 왕십리로 222, Seoul (KR).

(72) 발명자: 송윤홍 (**SONG, Yun Heub**); 04763 서울시 성동구 왕십리로 222, Seoul (KR). 최선준 (**CHOI, Sun Jun**); 04763 서울시 성동구 왕십리로 222, Seoul (KR). 심재민

(**SHIM, Jea Min**); 04763 서울시 성동구 왕십리로 222, Seoul (KR).

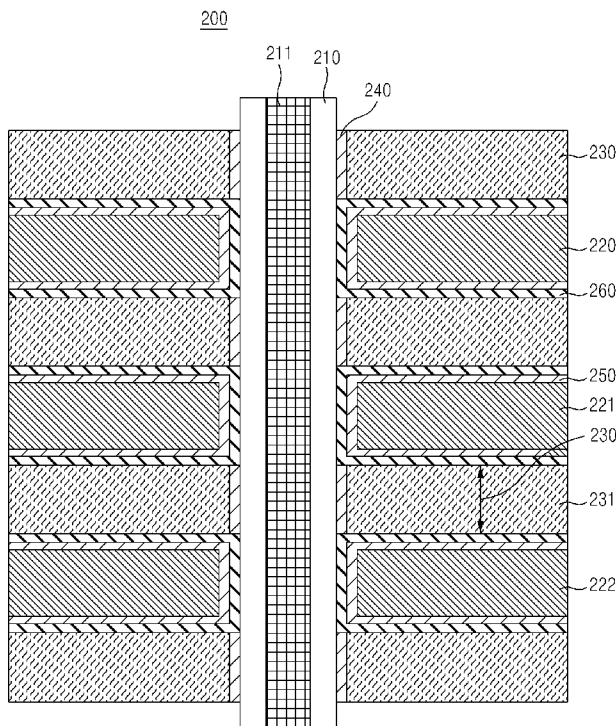
(74) 대리인: 김정훈 (**KIM, Jeong Hoon**); 06099 서울시 강남구 선릉로125길 14 삼성빌딩 2층 피엔티특허법률사무소, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

(54) Title: THREE-DIMENSIONAL FLASH MEMORY HAVING IMPROVED MEMORY OPERATION

(54) 발명의 명칭: 메모리 동작을 개선한 3차원 플래시 메모리



(57) Abstract: Disclosed is a three-dimensional flash memory having an improved memory operation. The three-dimensional flash memory comprises: at least one channel layer extending in the vertical direction on a substrate; multiple word lines extending in the horizontal direction to be connected to the at least one channel layer; multiple horizontal charge storage layers which are alternately interposed between the multiple word lines and extend in the horizontal direction so as to store the charges moved from the at least one channel layer by the voltages applied to the multiple word lines; and multiple tunnel oxide films interposed between the multiple horizontal charge storage layers and the at least one channel layer.

(57) 요약서: 메모리 동작을 개선한 3차원 플래시 메모리가 개시된다. 상기 3차원 플래시 메모리는, 기판 상 수직 방향으로 연장 형성되는 적어도 하나의 채널층; 상기 적어도 하나의 채널층에 연결되도록 수평 방향으로 연장 형성되는 복수의 워드라인들; 상기 복수의 워드라인들 사이에 교번하며 개재되며 수평 방향으로 연장 형성된 채, 상기 복수의 워드라인들에 인가되는 전압에 의해 상기 적어도 하나의 채널층으로부터 이동되는 전하를 저장하는 복수의 수평 전하 저장층들; 및 상기 복수의 수평 전하 저장층들과 상기 적어도 하나의 채널층 사이에 개재되는 복수의 터널 산화막들을 포함한다.

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 메모리 동작을 개선한 3차원 플래시 메모리 기술분야

- [1] 아래의 실시예들은 3차원 플래시 메모리 및 그 제조 방법에 관한 것이다.

배경기술

- [2] 플래시 메모리는 전기적으로 소거가능하며 프로그램 가능한 판독 전용 메모리(Electrically Erasable Programmable Read Only Memory; EEPROM)로서, FN 터널링(Fowler-Nordheim tunneling) 또는 열전자 주입(Hot electron injection)에 의해 전기적으로 데이터의 입출력을 제어한다.
- [3] 특히, 플래시 메모리와 관련하여, 최근 반도체 공정 기술의 발달로 인하여 저장 능력이 대용량화되고 있으며, 2차원을 벗어나 수직으로 메모리 셀들이 적층되는 3차원 구조에 대한 연구가 활발히 진행되고 있다.
- [4] 기존의 3차원 플래시 메모리를 나타낸 측면 단면도인 도 1을 참조하면, 현재 연구 개발된 3차원 구조의 플래시 메모리(100)는 수직 방향으로 연장 형성되는 채널층(110), 채널층(110)을 감싸며 수직 방향으로 연장 형성되는 ONO(Oxide-Nitride-Oxide) 구조의 전하 저장층(120), 복수의 워드라인들(130) 및 복수의 워드라인들(130)의 사이에 개재되는 복수의 절연층들(140)을 포함하고 있다.
- [5] 이처럼 수직 방향의 ONO 구조를 갖는 전하 저장층(120) 기반의 3차원 플래시 메모리(100)에서는, 고집적을 위해 스케일이 다운된 수직 홀 내에 수직 방향의 ONO 구조를 갖는 전하 저장층(120)이 형성되는 경우, 채널층(110)의 평면상 단면적이 줄어 채널 저항이 증가하게 되고 채널 동작 전류 및 속도가 감소하는 문제가 발생할 수 있다.
- [6] 반면, 스케일이 증가된 수직 홀 내에 채널층(110)의 평면상 단면적을 증가시키도록 수직 방향의 ONO 구조를 갖는 전하 저장층(120)이 형성되는 경우, 수직 방향의 ONO 구조를 갖는 전하 저장층(120) 기반의 3차원 플래시 메모리(100)는 메모리 셀 스트링의 집적도가 증가되는 단점을 갖게 된다.
- [7] 이에, 상기 문제점 및 단점을 해결하고 방지하기 위한 새로운 구조의 3차원 플래시 메모리가 제안될 필요가 있다.
- [8] 또한, 수직 방향의 ONO 구조를 갖는 기존의 3차원 플래시 메모리는, 선택된 메모리 셀에 대한 판독 동작 시 상하부에 인접한 비선택된 메모리 셀에 인가되는 패스 전압(V_{read})에 의한 간섭 현상으로, 선택된 메모리 셀의 문턱 전압(V_{th})이 영향을 받는 문제점이 발생할 수 있다.
- [9] 이에, 셀간 간섭으로 인한 문제점을 해결하기 위한 기술이 요구된다.

발명의 상세한 설명

기술적 과제

- [10] 일 실시예들은 수직 방향으로 연장 형성되는 ONO 구조를 갖는 전하 저장층 기반의 3차원 플래시 메모리가 야기하는 문제점 및 단점을 방지 및 극복하는 3차원 플래시 메모리 및 그 제조 방법을 제안하고자 한다.
- [11] 보다 상세하게, 일 실시예들은 수직 방향으로 연장 형성되는 ONO 구조를 갖는 전하 저장층 기반의 3차원 플래시 메모리와 동일한 수직 홀 크기를 갖는 경우 채널층의 평면상 단면적이 증가되어 채널 저항을 감소시키고 채널 동작 전류 및 속도를 증가시키는 3차원 플래시 메모리 및 그 제조 방법을 제안하고자 한다.
- [12] 또한, 일 실시예들은 수직 방향으로 연장 형성되는 ONO 구조를 갖는 전하 저장층 기반의 3차원 플래시 메모리와 채널층의 평면상 단면적이 동일한 경우 메모리 셀 스트링의 평면상 스케일이 현저하게 줄어 고집적을 가능하게 하는 3차원 플래시 메모리 및 그 제조 방법을 제안하고자 한다.
- [13] 또한, 일 실시예들은 메모리 동작에서의 효율을 향상시키고자, 워드라인에 인가되는 전압이 채널층에 보다 강하게 전달되도록 하는 3차원 플래시 메모리 및 그 제조 방법을 제안하고자 한다.
- [14] 또한, 일 실시예들은 수평 전하 저장층의 프로그램 동작 시 전압이 인가되는 워드라인을 최소화하는 3차원 플래시 메모리를 제안하고자 한다.
- [15] 또한, 일 실시예들은 복수의 워드라인들과 적어도 하나의 채널층 사이의 브레이크다운을 방지하는 3차원 플래시 메모리를 제안하고자 한다.
- [16] 또한, 일 실시예들은 선택된 메모리 셀에 대한 판독 동작 시 상하부에 인접한 비선택된 인접 메모리 셀에 인가되는 패스 전압에 의한 셀간 간섭 현상을 완화하기 위하여, 복수의 메모리 셀들 중 선택된 메모리 셀에 대한 판독 동작을 수행할 때, 복수의 메모리 셀들에서 비선택된 메모리 셀들 중 선택된 메모리 셀의 상하부에 인접한 비선택된 인접 메모리 셀들을 제외한 비선택된 나머지 메모리 셀들에 인가되는 패스 전압과 상이한 값의 패스 전압들을 비선택된 인접 메모리 셀들에 각각 인가하는 3차원 플래시 메모리 및 그 동작 방법을 제안한다.
- [17] 일측에 따르면, 복수의 메모리 셀들 중 선택된 메모리 셀에 대한 판독 동작을 수행할 때, 복수의 메모리 셀들에서 비선택된 메모리 셀들 중 선택된 메모리 셀의 상하부에 인접한 비선택된 인접 메모리 셀들에 비대칭적인 패스 전압들을 각각 인가하는 3차원 플래시 메모리 및 그 동작 방법이 제안된다.
- [18] 다른 일측에 따르면, 복수의 메모리 셀들 중 선택된 메모리 셀에 대한 판독 동작을 수행할 때, 복수의 메모리 셀들에서 비선택된 메모리 셀들 중 선택된 메모리 셀의 상하부에 인접한 비선택된 인접 메모리 셀들을 제외한 비선택된 나머지 메모리 셀들에 인가되는 패스 전압과 상이한 값의 패스 전압을 비선택된 인접 메모리 셀들에 대칭적으로 각각 인가하는 3차원 플래시 메모리 및 그 동작 방법이 제안된다.

기술적 해결방법

- [19] 일 실시예에 따르면, 3차원 플래시 메모리는, 기판 상 수직 방향으로 연장

형성되는 적어도 하나의 채널층; 상기 적어도 하나의 채널층에 연결되도록 수평 방향으로 연장 형성되는 복수의 워드라인들; 상기 복수의 워드라인들 사이에 교번하며 개재되며 수평 방향으로 연장 형성된 채, 상기 복수의 워드라인들에 인가되는 전압에 의해 상기 적어도 하나의 채널층으로부터 이동되는 전하를 저장하는 복수의 수평 전하 저장층들; 및 상기 복수의 수평 전하 저장층들과 상기 적어도 하나의 채널층 사이에 개재되는 복수의 터널 산화막들을 포함한다.

[20] 일 측면에 따르면, 상기 복수의 수평 전하 저장층들은, 상기 복수의 워드라인들 사이의 공간들을 각각 가득 채우도록 형성되는 것을 특징으로 할 수 있다.

[21] 다른 일 측면에 따르면, 상기 복수의 수평 전하 저장층들 각각은, 상기 복수의 워드라인들 사이의 이격 거리에 대응하는 두께로 형성되는 것을 특징으로 할 수 있다.

[22] 또 다른 일 측면에 따르면, 상기 3차원 플래시 메모리는, 상기 복수의 워드라인들의 상하면 및 측면을 감싸도록 형성되는 복수의 산화막들을 더 포함할 수 있다.

[23] 또 다른 일 측면에 따르면, 상기 3차원 플래시 메모리는, 상기 복수의 산화막들의 상하면 및 측면을 감싸도록 형성되는 복수의 유전막들을 더 포함할 수 있다.

[24] 일 실시예에 따르면, 3차원 플래시 메모리는, 기판 상 수직 방향으로 연장 형성되는 적어도 하나의 채널층; 상기 적어도 하나의 채널층에 연결되도록 수평 방향으로 연장 형성되는 복수의 워드라인들; 및 상기 복수의 워드라인들의 상면 또는 하면 중 일면에 각각 접촉하며 수평 방향으로 연장 형성된 채, 상기 복수의 워드라인들에 인가되는 전압에 의해 상기 적어도 하나의 채널층으로부터 이동되는 전하를 저장하는 복수의 수평 전하 저장층들을 포함한다.

[25] 일 측면에 따르면, 상기 3차원 플래시 메모리는, 상기 복수의 워드라인들의 상면 또는 하면 중 상기 복수의 수평 전하 저장층들이 각각 접촉되는 일면과 반대되는 면에 각각 형성되는 복수의 에어 갭들을 더 포함하는 것을 특징으로 할 수 있다.

[26] 다른 일 측면에 따르면, 상기 복수의 에어 갭들은, 상기 복수의 워드라인들과 상기 적어도 하나의 채널층 사이의 브레이크다운을 방지하는 용도로 사용되는 것을 특징으로 할 수 있다.

[27] 또 다른 일 측면에 따르면, 상기 복수의 수평 전하 저장층들 각각은, 상기 복수의 워드라인들 중 접촉되는 워드라인에 인가되는 전압에 의해 메모리 동작을 수행하는 것을 특징으로 할 수 있다.

[28] 또 다른 일 측면에 따르면, 상기 3차원 플래시 메모리는, 상기 적어도 하나의 채널층을 감싸도록 연장 형성된 채 상기 복수의 워드라인들 및 상기 복수의 수평 전하 저장층들과의 사이에 배치되는 적어도 하나의 산화막을 더 포함하는 것을 특징으로 할 수 있다.

[29] 일 실시예에 따르면, 3차원 플래시 메모리는, 기판 상 일 방향으로 연장

형성되는 적어도 하나의 채널층; 상기 적어도 하나의 채널층에 대해 수직 방향으로 적층되는 복수의 전극층들; 및 상기 적어도 하나의 채널층을 둘러싸며 상기 적어도 하나의 채널층과 상기 복수의 전극층들 사이에 상기 일 방향으로 개재된 채, 상기 복수의 전극층들과 맞닿는 영역들로 복수의 메모리 셀들을 구현하여 데이터 저장소로 사용되는 적어도 하나의 전하 저장막을 포함하고, 상기 복수의 메모리 셀들 중 선택된 메모리 셀에 대한 판독 동작을 수행할 때, 상기 복수의 메모리 셀들에서 비선택된 메모리 셀들 중 상기 선택된 메모리 셀의 상하부에 인접한 비선택된 인접 메모리 셀들에 비대칭적인 패스 전압들을 각각 인가하는 것을 특징으로 한다.

[30] 일측에 따르면, 상기 3차원 플래시 메모리는, 상기 비선택된 메모리 셀들 중 상기 비선택된 인접 메모리 셀들을 제외한 비선택된 나머지 메모리 셀들에 인가되는 패스 전압보다 높은 값의 패스 전압을 상기 비선택된 인접 메모리 셀들 중 어느 하나의 비선택된 인접 메모리 셀에 인가하고, 상기 비선택된 나머지 메모리 셀들에 인가되는 패스 전압보다 낮은 값의 패스 전압을 상기 비선택된 인접 메모리 셀들 중 나머지 비선택된 인접 메모리 셀에 인가하는 것을 특징으로 할 수 있다.

[31] 다른 일측에 따르면, 상기 3차원 플래시 메모리는, 상기 어느 하나의 비선택된 인접 메모리 셀에서의 전기장을 저하시키거나, 상기 어느 하나의 비선택된 인접 메모리 셀에서의 이동성 저하를 완화시키기 위하여, 상기 비선택된 나머지 메모리 셀들에 인가되는 패스 전압보다 높은 값의 패스 전압을 상기 어느 하나의 비선택된 인접 메모리 셀에 인가하는 것을 특징으로 할 수 있다.

[32] 또 다른 일측에 따르면, 상기 3차원 플래시 메모리는, 상기 비선택된 나머지 메모리 셀들에 인가되는 패스 전압보다 높은 값의 패스 전압이 상기 어느 하나의 비선택된 인접 메모리 셀에 인가됨에 따른 상기 채널층 표면에서의 전자 농도 증가분을 보상하기 위하여, 상기 비선택된 나머지 메모리 셀들에 인가되는 패스 전압보다 낮은 값의 패스 전압을 상기 나머지 비선택된 인접 메모리 셀에 인가하는 것을 특징으로 할 수 있다.

[33] 또 다른 일측에 따르면, 상기 어느 하나의 비선택된 인접 메모리 셀에 인가되는 패스 전압 및 상기 나머지 비선택된 인접 메모리 셀에 인가되는 패스 전압의 값은, 상기 선택된 메모리 셀 및 상기 비선택된 인접 메모리 셀들 각각의 프로그램 상태에 따른 상기 선택된 메모리 셀의 문턱 전압에 기초하여 결정되는 것을 특징으로 할 수 있다.

발명의 효과

[34] 일 실시예들은 수직 방향으로 연장 형성되는 ONO 구조를 갖는 전하 저장층 기반의 3차원 플래시 메모리가 야기하는 문제점 및 단점을 방지 및 극복하는 3차원 플래시 메모리 및 그 제조 방법을 제안할 수 있다.

[35] 보다 상세하게, 일 실시예들은 수직 방향으로 연장 형성되는 ONO 구조를 갖는

전하 저장층 기반의 3차원 플래시 메모리와 동일한 수직 홀 크기를 갖는 경우 채널층의 평면상 단면적이 증가되어 채널 저항을 감소시키고 채널 동작 전류 및 속도를 증가시키는 3차원 플래시 메모리 및 그 제조 방법을 제안할 수 있다.

[36] 또한, 일 실시예들은 수직 방향으로 연장 형성되는 ONO 구조를 갖는 전하 저장층 기반의 3차원 플래시 메모리와 채널층의 평면상 단면적이 동일한 경우 메모리 셀 스트링의 평면상 스케일이 현저하게 줄어 고집적을 가능하게 하는 3차원 플래시 메모리 및 그 제조 방법을 제안 할 수 있다.

[37] 또한, 일 실시예들은 메모리 동작에서의 효율을 향상시키고자, 워드라인에 인가되는 전압이 채널층에 보다 강하게 전달되도록 하는 3차원 플래시 메모리 및 그 제조 방법을 제안 할 수 있다.

[38] 또한, 일 실시예들은 수평 전하 저장층의 프로그램 동작 시 전압이 인가되는 워드라인을 최소화하는 3차원 플래시 메모리를 제안할 수 있다.

[39] 또한, 일 실시예들은 복수의 워드라인들과 적어도 하나의 채널층 사이의 브레이크다운을 방지하는 3차원 플래시 메모리를 제안할 수 있다.

[40] 또한, 일 실시예들은 복수의 메모리 셀들 중 선택된 메모리 셀에 대한 판독 동작을 수행할 때, 복수의 메모리 셀들에서 비선택된 메모리 셀들 중 선택된 메모리 셀의 상하부에 인접한 비선택된 인접 메모리 셀들을 제외한 비선택된 나머지 메모리 셀들에 인가되는 패스 전압과 상이한 값의 패스 전압들을 비선택된 인접 메모리 셀들에 각각 인가함으로써, 선택된 메모리 셀에 대한 판독 동작 시 상하부에 인접한 비선택된 인접 메모리 셀에 인가되는 패스 전압에 의한 셀간 간섭 현상을 완화하는 3차원 플래시 메모리 및 그 동작 방법을 제안할 수 있다.

[41] 일측에 따르면, 복수의 메모리 셀들 중 선택된 메모리 셀에 대한 판독 동작을 수행할 때, 복수의 메모리 셀들에서 비선택된 메모리 셀들 중 선택된 메모리 셀의 상하부에 인접한 비선택된 인접 메모리 셀들에 비대칭적인 패스 전압들을 각각 인가하는 3차원 플래시 메모리 및 그 동작 방법이 제안될 수 있다.

[42] 다른 일측에 따르면, 복수의 메모리 셀들 중 선택된 메모리 셀에 대한 판독 동작을 수행할 때, 복수의 메모리 셀들에서 비선택된 메모리 셀들 중 선택된 메모리 셀의 상하부에 인접한 비선택된 인접 메모리 셀들을 제외한 비선택된 나머지 메모리 셀들에 인가되는 패스 전압과 상이한 값의 패스 전압을 비선택된 인접 메모리 셀들에 대칭적으로 각각 인가하는 3차원 플래시 메모리 및 그 동작 방법이 제안될 수 있다.

도면의 간단한 설명

[43] 도 1은 기존의 3차원 플래시 메모리를 나타낸 측면 단면도이다.

[44] 도 2는 일 실시예에 따른 3차원 플래시 메모리를 나타낸 측면 단면도이다.

[45] 도 3 내지 4는 일 실시예에 따른 3차원 플래시 메모리와 기존의 3차원 플래시 메모리를 비교 설명하기 위한 평면도이다.

- [46] 도 5는 일 실시예에 따른 3차원 플래시 메모리의 제조 방법을 나타낸 플로우 차트이다.
- [47] 도 6a 내지 6e는 도 5에 도시된 제조 방법을 설명하기 위해 3차원 플래시 메모리를 나타낸 측면 단면도이다.
- [48] 도 7은 일 실시예에 따른 3차원 플래시 메모리를 나타낸 측면 단면도이다.
- [49] 도 8은 다른 일 실시예에 따른 3차원 플래시 메모리를 나타낸 측면 단면도이다.
- [50] 도 9는 일 실시예에 따른 3차원 플래시 메모리의 프로그램 동작 방법을 나타낸 플로우 차트이다.
- [51] 도 10은 일 실시예에 따른 3차원 플래시 메모리의 프로그램 동작 방법을 설명하기 위한 측면 단면도이다.
- [52] 도 11은 일 실시예에 따른 3차원 플래시 메모리의 제조 방법을 나타낸 플로우 차트이다.
- [53] 도 12a 내지 12d는 일 실시예에 따른 3차원 플래시 메모리의 제조 방법을 설명하기 위해 3차원 플래시 메모리를 나타낸 측면 단면도이다.
- [54] 도 13은 일 실시예에 따른 3차원 플래시 메모리의 판독 동작을 설명하기 위한 Y-Z 단면도이다.
- [55] 도 14a 내지 14c는 일 실시예에 따른 3차원 플래시 메모리의 판독 동작을 설명하기 위한 그래프이다.
- [56] 도 15는 일 실시예에 따른 3차원 플래시 메모리의 판독 동작 방법을 나타낸 플로우 차트이다.
- [57] 도 16은 다른 일 실시예에 따른 3차원 플래시 메모리의 판독 동작 방법을 나타낸 플로우 차트이다.

발명의 실시를 위한 최선의 형태

- [58] 이하, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 그러나 본 발명이 실시예들에 의해 제한되거나 한정되는 것은 아니다. 또한, 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [59] 또한, 본 명세서에서 사용되는 용어(terminology)들은 본 발명의 바람직한 실시예를 적절히 표현하기 위해 사용된 용어들로서, 이는 사용자, 운용자의 의도 또는 본 발명이 속하는 분야의 관례 등에 따라 달라질 수 있다. 따라서, 본 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- [60]
- [61] 도 2는 일 실시예에 따른 3차원 플래시 메모리를 나타낸 측면 단면도이다.
- [62] 도 2를 참조하면, 일 실시예에 따른 3차원 플래시 메모리(200)는, 적어도 하나의 채널층(210), 복수의 워드라인들(220), 복수의 수평 전하 저장층들(230) 및 복수의 터널 산화막들(240)을 포함한다.
- [63] 적어도 하나의 채널층(210)은 기판(미도시) 상 수직 방향으로 연장 형성되어,

복수의 워드라인들(220)의 인가 전압에 따른 전하를 복수의 수평 전하 저장층들(230)로 공급하는 역할을 한다. 따라서, 적어도 하나의 채널층(210)은 단결정 실리콘 또는 다결정 실리콘과 같은 반도체 물질로 형성될 수 있으며, 도면과 같이 내부가 빈 튜브 형태로 형성되어 내부에 매립막(211)을 더 포함할 수 있다. 그러나 적어도 하나의 채널층(210)은 이에 제한되거나 한정되지 않고 내부가 비어있지 않은 원기둥 형태로 형성될 수 있다.

[64] 이와 같은 적어도 하나의 채널층(210)은 복수의 수평 전하 저장층들(230)에 각각 대응하는 영역들로 복수의 메모리 셀들을 형성하는 바, 적어도 하나의 채널층(210)을 포함하는 수직 방향의 구성요소는 메모리 셀 스트링으로 명명될 수 있다.

[65] 복수의 워드라인들(220)은 적어도 하나의 채널층(210)에 연결되도록 수평 방향으로 연장 형성되며, 적어도 하나의 채널층(210)에 전압을 인가하는 역할을 한다. 이 때, 복수의 워드라인들(220) 각각은 도전성 물질층으로 형성될 수 있다. 일례로, 도전성 물질층은 W(텅스텐), Ti(티타늄), Ta(탄탈륨), Cu(구리) 또는 Au(금) 중 적어도 하나를 포함할 수 있다.

[66] 이하, 복수의 워드라인들(220)이 적어도 하나의 채널층(210)과 연결된다는 것은, 도면과 같이 같이 복수의 워드라인들(220)과 적어도 하나의 채널층(210) 사이에 배치되는 복수의 산화막들(250) 및 복수의 유전막들(260)을 통해 간접적으로 연결되는 것은 물론 복수의 워드라인들(220)이 적어도 하나의 채널층(210)과 직접적으로 연결되는 것 모두를 의미할 수 있다.

[67] 여기서, 복수의 산화막들(250)은 복수의 워드라인들(220)의 상하면 및 측면을 감싸도록 형성된 채널링 절연막으로 사용될 수 있다. 복수의 유전막들(260)은 복수의 산화막들(250)의 상하면 및 측면을 감싸도록 형성된 채널 게이트 절연막으로 사용될 수 있다.

[68] 여기서, 복수의 유전막들(260)은 고유전율(High-K) 특성을 갖는 절연 물질(예컨대, Al_2O_3 , HfO_2 , TiO_2 , La_2O_3 , BaZrO_3 , Ta_2O_5 , ZrO_2 , Gd_2O_3 또는 Y_2O_3 와 같은 절연 물질)로 구성됨으로써, 복수의 워드라인들(220)에 인가되는 전압을 적어도 하나의 채널층(210)에 보다 강하게 전달되도록 할 수 있다. 이에, 일 실시예에 따른 3차원 플래시 메모리(200)는 채널 저항을 감소시켜 메모리 동작 속도 및 효율을 향상시키거나, 수직 방향의 ONO 구조를 갖는 전하 저장층 기반의 3차원 플래시 메모리에 비해 복수의 워드라인들(220)에 인가되는 전압의 크기를 줄여 전력 소모를 향상시킬 수 있다.

[69] 복수의 수평 전하 저장층들(230)은 복수의 워드라인들(220) 사이에 교번하여 개재되며 수평 방향으로 연장 형성된 채, 복수의 워드라인들(220)에 인가되는 전압에 의해 적어도 하나의 채널층(210)으로부터 이동되는 전하를 저장하는 데이터 저장소의 기능을 갖는다. 복수의 수평 전하 저장층들(230)이 데이터 저장소의 기능을 갖는다는 것은, 전하 또는 홀(Hole)을 트랩 및 저장하는 것 이외에도 전하들의 상태(예컨대, 전하들의 분극 상태)를 유지함으로써, 트랩 및

저장된 전하들로 데이터를 표현하는 것 또는 전하들의 상태로 데이터를 표현하는 것을 의미한다.

- [70] 이 때, 복수의 수평 전하 저장층들(230)은, 복수의 워드라인들(220) 사이의 공간들을 각각 가득 채우도록 형성될 수 있다. 구체적으로, 복수의 수평 전하 저장층들(230) 각각은, 복수의 워드라인들(220) 사이의 이격 거리(보다 정확하게, 수평 전하 저장층(231)은 상하부에 위치하는 상하부 워드라인들(221, 222) 각각에 대응하는 유전막(260) 사이의 이격 거리)에 대응하는 두께(230-1)로 형성될 수 있다.
- [71] 또한, 복수의 수평 전하 저장층들(230) 각각은 양자점 형태 또는 특정 막질 형태를 가질 수 있다. 예를 들어, 복수의 수평 전하 저장층들(230) 각각은 반도체 물질, 금속 물질 또는 자성 물질 중 적어도 하나를 포함하는 나노 입자의 양자점 형태를 가질 수 있다. 복수의 수평 전하 저장층들(230) 각각이 반도체 물질의 나노 입자로 구성되는 경우 이를 형성하는 양자점은 C, Si, SiGe, SiN, GaN 또는 ZnO의 나노 입자로 구성될 수 있으며, 복수의 수평 전하 저장층들(230) 각각이 금속 물질 또는 자성 물질의 나노 입자로 구성되는 경우, 이를 형성하는 양자점은 W, Co, Ti 또는 Pd의 나노 입자로 구성될 수 있다. 다른 예를 들면, 복수의 수평 전하 저장층들(230) 각각은 실리콘 질화물 또는 다결정 실리콘 중 적어도 하나를 포함하는 막질 형태일 수 있다.
- [72] 복수의 터널 산화막들(240)은 복수의 수평 전하 저장층들(230)과 적어도 하나의 채널층(210) 사이에 개재되어, 적어도 하나의 채널층(210)으로부터 전하가 복수의 수평 전하 저장층들(230)로 이동 및 전달되도록 하는 역할을 담당할 수 있다.
- [73] 이처럼 3차원 플래시 메모리(200)는 복수의 수평 전하 저장층들(230) 및 복수의 터널 산화막들(240)이 복수의 워드라인들(220) 사이에 교번하며 개재되는 구조를 통해 기존의 3차원 플래시 메모리가 갖는 문제점 및 단점을 해결할 수 있다.
- [74] 예를 들어, 3차원 플래시 메모리(200)는, 도 2 및 3과 같이 수직 방향으로 연장 형성되는 ONO 구조를 갖는 전하 저장층 기반의 3차원 플래시 메모리와 채널층(210)의 평면상 단면적이 동일한 경우, 메모리 셀 스트링의 평면상 스케일을 현저하게 줄여 고집적을 가능하게 할 수 있다.
- [75] 다른 예를 들면, 3차원 플래시 메모리(200)는, 도 4와 같이 수직 방향으로 연장 형성되는 ONO 구조를 갖는 전하 저장층 기반의 3차원 플래시 메모리와 동일한 수직 홀 크기를 갖는 경우, 채널층(210)의 평면상 단면적을 증가시켜 채널 저항을 감소시키고 채널 동작 전류 및 속도를 증가시킬 수 있다.
- [76] 또한 설명된 예시들 모두에서, 3차원 플래시 메모리(200)는 수직 방향으로 연장 형성되는 ONO 구조를 갖는 전하 저장층 기반의 3차원 플래시 메모리가 야기하는 메모리 셀의 문턱 전압의 균일도가 저하되는 문제를 해결할 수도 있다.
- [77] 이와 같은 구조의 3차원 플래시 메모리(200)는, 복수의 수평 전하

저장층들(230) 각각을 사이에 두는 상하 워드라인들에 전압을 인가함으로써 프로그램, 판독, 소거 등의 메모리 동작을 수행할 수 있다. 예를 들어, 복수의 수평 전하 저장층들(230) 중 어느 하나의 수평 전하 저장층(231)에 대한 프로그램 동작은, 수평 전하 저장층(231)을 사이에 두는 상하 워드라인들(221, 222)에 전압이 인가됨에 따라 수행될 수 있다.

[78] 이상 설명된 바와 같은 3차원 플래시 메모리(200)의 제조 방법에 대한 상세한 설명은 도 5, 6a 내지 6e를 참조하여 기재하기로 한다.

[79]

[80] 도 5는 일 실시예에 따른 3차원 플래시 메모리의 제조 방법을 나타낸 플로우 차트이고, 도 6a 내지 6e는 도 5에 도시된 제조 방법을 설명하기 위해 3차원 플래시 메모리를 나타낸 측면 단면도이다. 이하, 제조 방법의 주체는 자동화 및 기계화된 시스템이며, 제조 방법이 수행된 결과 제조 완료되는 것은 도 2 내지 4를 참조하여 설명된 3차원 플래시 메모리(200)일 수 있다.

[81] 단계(S510)에서 시스템은, 도 6a와 같이 반도체 구조체(600)를 준비할 수 있다.

[82] 여기서, 반도체 구조체(600)는 기판(미도시) 상 수평 방향으로 연장 형성된 복수의 수평 전하 저장층들(610), 복수의 수평 전하 저장층들(610) 사이에 교번하며 개재되며 수평 방향으로 연장 형성된 복수의 산화물층들(620), 복수의 수평 전하 저장층들(610) 및 복수의 산화물층들(620)을 관통하며 수직 방향으로 연장 형성된 적어도 하나의 채널층(630)과, 복수의 수평 전하 저장층들(610) 및 적어도 하나의 채널층(630) 사이에 수직 방향으로 연장 형성되며 개재된 적어도 하나의 터널 산화막(640)을 포함할 수 있다.

[83] 이어서, 단계(S520)에서 시스템은, 도 6b와 같이 복수의 산화물층들(620)을 제거할 수 있다.

[84] 보다 상세하게, 단계(S520)에서 시스템은, 복수의 산화물층들(620)이 제거된 공간들(621)을 통해 적어도 하나의 채널층(630)이 노출되도록 적어도 하나의 터널 산화막(640) 중 복수의 산화물층들(620)과 맞닿는 영역들(641)을 제거하고, 적어도 하나의 터널 산화막(640) 중 복수의 수평 전하 저장층들(610)에 맞닿는 영역들(642)을 잔여시킴으로써, 복수의 수평 전하 저장층들(620)과 적어도 하나의 채널층(630) 사이에 개재되는 복수의 터널 산화막들(642)을 형성할 수 있다.

[85] 그 후, 단계(S530)에서 시스템은, 복수의 산화물층들(620)이 제거된 공간들(621)에 각각 복수의 워드라인들(650)을 형성할 수 있다.

[86] 보다 상세하게, 단계(S530)에서 시스템은, 도 6c와 같이 복수의 산화물층들(620)이 제거된 공간들(621)의 내벽에 각각 복수의 유전막들(651)을 증착하고, 도 6d와 같이 복수의 유전막들(651)이 갖는 공간들(651-1)의 내벽에 각각 복수의 산화막들(652)을 증착한 뒤, 도 6e와 같이 복수의 산화막들(652)이 갖는 공간들(652-1)에 각각 복수의 워드라인들(650)을 형성할 수 있다.

[87]

- [88] 도 7은 일 실시예에 따른 3차원 플래시 메모리를 나타낸 측면 단면도이다.
- [89] 도 7을 참조하면, 일 실시예에 따른 3차원 플래시 메모리(700)는, 적어도 하나의 채널층(710), 복수의 워드라인들(720) 및 복수의 수평 전하 저장층들(730)을 포함한다.
- [90] 적어도 하나의 채널층(710)은 기판(미도시) 상 수직 방향으로 연장 형성되어, 복수의 워드라인들(720)의 인가 전압에 따른 전하를 복수의 수평 전하 저장층들(730)로 공급하는 역할을 한다. 따라서, 적어도 하나의 채널층(710)은 단결정 실리콘 또는 다결정 실리콘과 같은 반도체 물질로 형성될 수 있으며, 도면과 같이 내부가 빈 튜브 형태로 형성되어 내부에 매립막(711)을 더 포함할 수 있다. 그러나 적어도 하나의 채널층(710)은 이에 제한되거나 한정되지 않고 내부가 비어있지 않은 원기둥 형태로 형성될 수 있다.
- [91] 이와 같은 적어도 하나의 채널층(710)은 복수의 수평 전하 저장층들(730)에 각각 대응하는 영역들로 복수의 메모리 셀들을 형성하는 바, 적어도 하나의 채널층(710)을 감싸도록 연장 형성되는 적어도 하나의 산화막(712)과 함께 메모리 셀 스트링으로 명명될 수 있다.
- [92] 여기서, 적어도 하나의 산화막(712)은 적어도 하나의 채널층(710)과 복수의 워드라인들(720) 및 복수의 수평 전하 저장층들(730) 사이에 배치되어 적어도 하나의 채널층(710)을 둘러싸는 구성요소로서, 고유전율(High-k) 특성을 갖는 산화물(일례로 Al_2O_3 , HfO_2 , TiO_2 , La_2O_5 , BaZrO_3 , Ta_2O_5 , ZrO_2 , Gd_2O_3 또는 Y_2O_3 와 같은 산화물)로 구성될 수 있다. 이에, 적어도 하나의 산화막(712)은 고유전율 특성을 통하여, ONO 구조에 비해 복수의 워드라인들(720)에 인가되는 전압을 적어도 하나의 채널층(710)에 보다 강하게 전달되도록 함으로써, 채널 저항을 감소시켜 메모리 동작 속도 및 효율을 향상시키거나, 복수의 워드라인들(720)에 인가되는 전압의 크기를 줄여 전력 소모를 향상시킬 수 있다.
- [93] 복수의 워드라인들(720)은 적어도 하나의 채널층(710)에 연결되도록 수평 방향으로 연장 형성되며, 적어도 하나의 채널층(710)에 전압을 인가하는 역할을 한다. 이 때, 복수의 워드라인들(720) 각각은 도전성 물질로 형성될 수 있다. 일례로, 도전성 물질은 W(텅스텐), Ti(티타늄), Ta(탄탈륨), Cu(구리) 또는 Au(금) 중 적어도 하나를 포함할 수 있다.
- [94] 이하, 복수의 워드라인들(720)이 적어도 하나의 채널층(710)과 연결된다는 것은, 도면과 같이 복수의 워드라인들(720)과 적어도 하나의 채널층(710) 사이에 배치되는 적어도 하나의 산화막(712)을 통해 간접적으로 연결되는 것은 물론 복수의 워드라인들(720)이 적어도 하나의 채널층(710)과 직접적으로 연결되는 것 모두를 의미할 수 있다.
- [95] 복수의 수평 전하 저장층들(730)은 각각 복수의 워드라인들(720)의 상면 또는 하면 중 일면에 각각 접촉하며 수평 방향으로 연장 형성된 채(예컨대, 복수의 수평 전하 저장층들(730)은 도면과 같이 각각 복수의 워드라인들(720)의 상면에 접촉하며 연장 형성됨), 복수의 워드라인들(720)에 인가되는 전압에 의해 적어도

하나의 채널층(710)으로부터 이동되는 전하를 저장하는 데이터 저장소의 기능을 갖는다. 이를 위해 복수의 수평 전하 저장층들(730) 각각은 전하 저장 가능성이 높도록 질화물로 형성될 수 있으며, 더 나아가 양자점 형태 또는 특정 막질 형태를 가질 수 있다. 예를 들어, 복수의 수평 전하 저장층들(730) 각각은 반도체 물질, 금속 물질 또는 자성 물질 중 적어도 하나를 포함하는 나노 입자의 양자점 형태를 가질 수 있다. 복수의 수평 전하 저장층들(730) 각각이 반도체 물질의 나노 입자로 구성되는 경우 이를 형성하는 양자점은 C, Si, SiGe, SiN, GaN 또는 ZnO의 나노 입자로 구성될 수 있으며, 복수의 수평 전하 저장층들(730) 각각이 금속 물질 또는 자성 물질의 나노 입자로 구성되는 경우, 이를 형성하는 양자점은 W, Co, Ti 또는 Pd의 나노 입자로 구성될 수 있다. 다른 예를 들면, 복수의 수평 전하 저장층들(730) 각각은 실리콘 질화물 또는 다결정 실리콘 중 적어도 하나를 포함하는 막질 형태일 수 있다.

- [96] 따라서, 복수의 수평 전하 저장층들(730)은 복수의 수평 전하 저장층들(730)에 각각 대응하는 적어도 하나의 채널층(710)의 영역들과 함께 복수의 메모리 셀들을 형성할 수 있다.
- [97] 이하, 복수의 수평 전하 저장층들(730)이 데이터 저장소의 기능을 갖는다는 것은, 전하 또는 홀(Hole)을 트랩 및 저장하는 것 이외에도 전하들의 상태(예컨대, 전하들의 분극 상태)를 유지함으로써, 트랩 및 저장된 전하들로 데이터를 표현하는 것 또는 전하들의 상태로 데이터를 표현하는 것을 의미한다.
- [98] 이와 같은 구조의 복수의 수평 전하 저장층들(730) 각각은 복수의 워드라인들(720) 중 접촉되는 워드라인에 인가되는 전압에 의해 메모리 동작(이하, 메모리 동작은 프로그램 동작, 소거 동작 또는 판독 동작을 포함함)을 수행할 수 있다. 이에 대한 상세한 설명은 도 9 내지 10을 참조하여 기재하기로 한다.
- [99] 복수의 에어 갭들(740)은 복수의 워드라인들(720)의 상면 또는 하면 중 복수의 수평 전하 저장층들(730)이 각각 접촉되는 일면과 반대되는 면에 각각 형성될 수 있다(예컨대, 복수의 에어 갭들(740)은 도면과 같이 각각 복수의 워드라인들(720)의 하면에 형성됨).
- [100] 여기서, 복수의 에어 갭들(740)은 복수의 수평 전하 저장층들(730) 각각이 대응하는 워드라인에만 영향을 받고 대응하지 않는 인접 워드라인에 영향을 받지 않도록 하기 위한 구성요소(인접 워드라인 간섭 방지를 위한 구성요소)로서, 복수의 워드라인들(720)과 적어도 하나의 채널층(710) 사이의 브레이크다운을 방지하는 용도로도 사용될 수 있다. 일례로, 어느 하나의 에어 갭(741)은 어느 하나의 수평 전하 저장층(731)이 대응하는 워드라인(721)에만 영향을 받고 대응하지 않는 인접 워드라인(722)에 영향을 받지 않도록 할 수 있다.
- [101] 이처럼 3차원 플래시 메모리(700)는 복수의 수평 전하 저장층들(730)이 복수의 워드라인들(720)의 상면 또는 하면 중 일면에 각각 접촉하며 형성되는 구조를

통해 기존의 3차원 플래시 메모리가 갖는 문제점 및 단점을 해결할 수 있다.

[102] 예를 들어, 3차원 플래시 메모리(700)는, 수직 방향으로 연장 형성되는 ONO 구조를 갖는 전하 저장층 기반의 3차원 플래시 메모리와 채널층의 평면상 단면적이 동일한 경우, 메모리 셀 스트링의 평면상 스케일을 현저하게 줄여 고집적을 가능하게 할 수 있다.

[103] 다른 예를 들면, 3차원 플래시 메모리(700)는, 수직 방향으로 연장 형성되는 ONO 구조를 갖는 전하 저장층 기반의 3차원 플래시 메모리와 동일한 수직 홀 크기를 갖는 경우, 채널층의 평면상 단면적을 증가시켜 채널 저항을 감소시키고 채널 동작 전류 및 속도를 증가시킬 수 있다.

[104] 또한 설명된 예시들 모두에서, 3차원 플래시 메모리(700)는 수직 방향으로 연장 형성되는 ONO 구조를 갖는 전하 저장층 기반의 3차원 플래시 메모리가 야기하는 메모리 셀의 문턱 전압의 균일도가 저하되는 문제를 해결할 수도 있다.

[105] 이상 설명된 바와 같은 3차원 플래시 메모리(700)의 제조 방법에 대한 상세한 설명은 11, 12a 내지 12d를 참조하여 기재하기로 한다.

[106]

[107] 도 8은 다른 일 실시예에 따른 3차원 플래시 메모리를 나타낸 측면 단면도이다.

[108] 도 8을 참조하면, 다른 일 실시예에 따른 3차원 플래시 메모리(800)는 도 7에 도시된 3차원 플래시 메모리(700)와 동일하게, 적어도 하나의 채널층(810), 복수의 워드라인들(820) 및 복수의 수평 전하 저장층들(830)을 포함하며, 복수의 수평 전하 저장층들(830)이 복수의 워드라인들(820)에 각각 형성되는 위치가 상이하다는 차이를 갖는다.

[109] 보다 상세하게, 다른 일 실시예에 따른 3차원 플래시 메모리(800)에서 복수의 수평 전하 저장층들(830)은, 도면과 같이 각각 복수의 워드라인들(820)의 상면 또는 하면 중 하면에 각각 접촉하며 수평 방향으로 연장 형성될 수 있다.

[110] 이에 따라, 다른 일 실시예에 따른 3차원 플래시 메모리(800)에서 복수의 에어 갭들(840)은, 도면과 같이 각각 복수의 워드라인들(820)의 상면에 형성될 수 있다.

[111] 다른 일 실시예에 따른 3차원 플래시 메모리(800)는 설명된 차이 이외에 도 7에 도시된 3차원 플래시 메모리(700)와 동일한 구성요소를 포함한 채 동일한 기능을 수행하므로, 이에 대한 상세한 설명은 생략하기로 한다.

[112]

[113] 도 9는 일 실시예에 따른 3차원 플래시 메모리의 프로그램 동작 방법을 나타낸 플로우 차트이고, 도 10은 일 실시예에 따른 3차원 플래시 메모리의 프로그램 동작 방법을 설명하기 위한 측면 단면도이다. 이하, 설명되는 프로그램 동작 방법은 전술된 도 7에 도시된 3차원 플래시 메모리(700)에 의해 수행되는 것을 전제로 한다. 그러나 이는 설명의 편의를 위한 것으로, 도 8에 도시된 3차원 플래시 메모리(800)에 의해서도 동일하게 수행될 수 있다.

[114] 도 9 내지 10을 참조하면, 단계(S910)에서 3차원 플래시 메모리(1000)는, 적어도

하나의 채널층(1010)에 접지 전압을 인가한다.

- [115] 그 후 단계(S920)에서 3차원 플래시 메모리(1000)는, 복수의 워드라인들 중 프로그램 동작의 대상이 되는 대상 수평 전하 저장층(1020)과 접촉되는 어느 하나의 워드라인(1030)에 프로그램 전압(Vpgm)을 인가한다.
- [116] 또한, 단계(S920)에서 3차원 플래시 메모리(1000)는, 복수의 워드라인들 중 어느 하나의 워드 라인(1030)을 제외한 나머지 워드라인들(1031)에는 패스 전압(Vpass)을 인가할 수 있다.
- [117] 이처럼 대상 수평 전하 저장층(1020)과 접촉되는 어느 하나의 워드라인(1030)에 프로그램 전압이 인가됨에 응답하여, 단계(S930)에서 3차원 플래시 메모리(1000)는 대상 수평 전하 저장층(1020)에 대한 프로그램 동작을 수행할 수 있다.
- [118] 이 때, 단계(S930)에서 3차원 플래시 메모리(1000)는, 복수의 워드라인들 중 복수의 수평 전하 저장층들(1020)이 각각 접촉되는 일면과 반대되는 면에 각각 형성되는 복수의 에어 갭들(1040)들을 이용하여, 복수의 워드라인들 및 적어도 하나의 채널층(1010) 사이의 브레이크다운을 방지할 수 있다.
- [119] 이상, 3차원 플래시 메모리(1000)에 대한 프로그램 동작만이 설명되었으나, 소거 동작 및 판독 동작 역시 유사한 방식으로 실행될 수 있다. 예를 들어, 복수의 워드라인들 중 판독 동작의 대상이 되는 수평 전하 저장층(1020)과 접촉되는 어느 하나의 워드라인(1030)에 검증 전압(Vverify)이 인가되고 나머지 워드라인들(1031)에 패스 전압이 인가됨으로써 판독 동작이 수행될 수 있다. 다른 예를 들면, 복수의 워드라인들 모두에 접지 전압이 인가되고 적어도 하나의 채널층(1010)을 통해 소거 전압이 인가됨으로써 적어도 하나의 채널층(1010)을 통해 홀(Hole)이 주입되는 소거 동작이 수행될 수 있다.
- [120]
- [121] 도 11은 일 실시예에 따른 3차원 플래시 메모리의 제조 방법을 나타낸 플로우 차트이고, 도 12a 내지 12d는 일 실시예에 따른 3차원 플래시 메모리의 제조 방법을 설명하기 위해 위해 3차원 플래시 메모리를 나타낸 측면 단면도이다.
- [122] 이하, 제조 방법의 주체는 자동화 및 기계화된 시스템이며, 제조 방법이 수행된 결과 제조 완료되는 것은 전술된 3차원 플래시 메모리(700)일 수 있다. 그러나 이는 설명의 편의를 위한 것으로, 제조 방법이 수행된 결과 제조 완료되는 것은 전술된 3차원 플래시 메모리(800)일 수도 있다.
- [123] 단계(S1110)에서 시스템은, 도 12a와 같이 반도체 구조체(1200)를 준비할 수 있다.
- [124] 여기서, 반도체 구조체(1200)는 기판(미도시) 상 수평 방향으로 연장 형성된 복수의 수평 전하 저장층들(1210), 복수의 수평 전하 저장층들(1210)의 상면 또는 하면 중 일면에 각각 접촉하며 수평 방향으로 연장 형성되는 복수의 제1 희생층들(1220), 복수의 수평 전하 저장층들(1210)의 상면 또는 하면 중 복수의 제1 희생층들(1220)이 각각 접촉되는 일면과 반대되는 면에 각각 접촉하며 수평

방향으로 연장 형성되는 복수의 제2 회생층들(1230) 및 복수의 수평 전하 저장층들(1210), 복수의 제1 회생층들(1220), 복수의 제2 회생층들(1230)을 관통하며 수직 방향으로 연장 형성되는 적어도 하나의 채널층(1240)을 포함할 수 있다.

- [125] 도면에는 복수의 제1 회생층들(1220)이 복수의 수평 전하 저장층들(1210)의 하면에 형성되고 복수의 제2 회생층들(1230)이 복수의 수평 전하 저장층들(1210)의 상면에 형성되는 것으로 기재되었으나, 복수의 제1 회생층들(1220)이 복수의 수평 전하 저장층들(1210)의 상면에 형성되고 복수의 제2 회생층들(1230)이 복수의 수평 전하 저장층들(1210)의 하면에 형성될 수도 있다.
- [126] 이 때, 반도체 구조체(1200)에는, 적어도 하나의 채널층(1240)을 감싸도록 연장 형성된 채 적어도 하나의 채널층(1240)과 복수의 수평 전하 저장층들(1210), 복수의 제1 회생층들(1220) 및 복수의 제2 회생층들(1230) 사이에 배치되는 적어도 하나의 산화막(1241)을 더 포함할 수 있다.
- [127] 이어서, 단계(S1120)에서 시스템은, 도 12b와 같이 복수의 제1 회생층들(1220)을 제거할 수 있다.
- [128] 그 다음, 단계(S1130)에서 시스템은, 도 12c와 같이 복수의 제1 회생층들(1220)이 제거된 공간들(1221)에 복수의 워드라인들(1222)을 각각 형성할 수 있다.
- [129] 그 후, 단계(S1140)에서 시스템은, 도 12d와 같이 복수의 제2 회생층들(1230)을 제거하여, 복수의 제2 회생층들(730)이 제거된 공간들(731)로 복수의 에어 갭들(1231)을 형성할 수 있다.
- [130]
- [131] 도 13은 일 실시예에 따른 3차원 플래시 메모리의 판독 동작을 설명하기 위한 Y-Z 단면도이고, 도 14a 내지 14c는 일 실시예에 따른 3차원 플래시 메모리의 판독 동작을 설명하기 위한 그래프이다.
- [132] 도 13 및 14a 내지 14c를 참조하면, 일 실시예에 따른 3차원 플래시 메모리(1300)는, 적어도 하나의 채널층(1310), 복수의 전극층들(1320) 및 적어도 하나의 전하 저장막(1330)을 포함할 수 있다.
- [133] 적어도 하나의 채널층(1310)은 기판(미도시) 상 일 방향으로 연장 형성된다. 이 때, 적어도 하나의 채널층(1310)은 단결정질 실리콘(Single crystal silicon) 또는 다결정 실리콘(Poly-silicon)으로 형성될 수 있으며, 기판(미도시)을 시드로 이용하는 선택적 에피택셜 성장 공정 또는 상전이 에피택셜 공정 등으로 형성될 수 있다. 또한, 적어도 하나의 채널층(1310)은 내부가 빈 튜브 형태로 형성되어 내부에 매립막(미도시)을 더 포함할 수도 있다.
- [134] 또한, 도면에는 도시되지 않았지만, 적어도 하나의 채널층(1310)의 상부에는 드레인 라인(미도시)이 연결될 수 있다.
- [135] 복수의 전극층들(1320)은, 적어도 하나의 채널층(1310)에 대해 수직 방향으로

적층되며, 일 방향과 직교하는 다른 방향으로 연장 형성된다. 복수의 전극층들(1320)은 적어도 하나의 전하 저장막(1330)이 구현하는 복수의 메모리 셀들(1331, 1332, 1333, 1334, 1335)로 전압을 인가할 수 있도록 텅스텐, 티타늄, 탄탈륨 등의 도전성 물질로 형성될 수 있다.

[136] 여기서, 복수의 전극층들(1320) 사이에는, 복수의 절연층들(미도시)이 개재될 수 있다. 복수의 절연층들 각각은 절연 물질(일례로, Al_2O_3 , HfO_2 , TiO_2 , La_2O_5 , BaZrO_3 , Ta_2O_5 , ZrO_2 , Gd_2O_3 또는 Y_2O_3 와 같은 절연 물질)로 형성될 수 있다.

[137] 적어도 하나의 전하 저장막(1330)은 적어도 하나의 채널층(1310)을 둘러싸며 적어도 하나의 채널층(1310)과 복수의 전극층들(1320) 사이에 일 방향으로 개재된 채, 복수의 전극층들(1320)과 맞닿는 영역들로 복수의 메모리 셀들(1331, 1332, 1333, 1334, 1335)을 구현하여 데이터 저장소로 사용된다. 이하, 데이터 저장소로 사용된다는 것은, 복수의 메모리 셀들(1331, 1332, 1333, 1334, 1335)을 각각 구성하는 적어도 하나의 전하 저장막(1330)의 영역들 각각이 전하를 포집, 저장하는 것으로 이진 데이터의 값을 나타내는 것을 의미한다.

[138] 예를 들어, 적어도 하나의 전하 저장막(1330)은 ONO(Oxide-Nitride-Oxide)의 구조로 형성될 수 있으며, 이하 적어도 하나의 전하 저장막(1330)이 수직 요소만을 포함하는 것으로 설명되나, 이에 제한되거나 한정되지 않고 복수의 전극층들(1320)의 상하부를 덮는 수평 요소도 더 포함할 수 있다.

[139] 이러한 구조를 갖는 3차원 플래시 메모리(1300)에서는, 선택된 메모리 셀(1333)에 대한 판독 동작 시, 비선택된 메모리 셀들(1331, 1332, 1334, 1335) 중 선택된 메모리 셀(1333)의 상하부에 인접한 비선택된 인접 메모리 셀들(1332, 1334)에 각각 인가되는 패스 전압들(V_{read1} , V_{read2})에 의한 간섭 현상으로 선택된 메모리 셀의 문턱 전압(V_{th})이 영향을 받는 문제점이 발생할 수 있다. 이하, 비선택된 인접 메모리 셀들(1332, 1334)에 각각 패스 전압들(V_{read1} , V_{read2})이 인가된다는 것은, 복수의 전극층들(1320) 중 비선택된 인접 메모리 셀들(1332, 1334)에 대응하는 전극층들에 각각 패스 전압들(V_{read1} , V_{read2})이 인가되는 것을 의미한다.

[140] 따라서, 일 실시예에 따른 3차원 플래시 메모리(1300)는 이와 같은 문제점을 해결하기 위하여, 비선택된 인접 메모리 셀들(1332, 1334)에 각각 인가되는 패스 전압들에 의한 간섭 현상을 해결하기 위하여, 비선택된 인접 메모리 셀들(1332, 1334)에 각각 인가되는 패스 전압들의 값을 조절하는 것을 특징으로 한다.

[141] 보다 상세하게, 일 실시예에 따른 3차원 플래시 메모리(1300)는 복수의 메모리 셀들(1331, 1332, 1333, 1334, 1335) 중 선택된 메모리 셀(1333)에 대한 판독 동작을 수행할 때, 비선택된 나머지 메모리 셀들(1331, 1335)에 인가되는 패스 전압(V_{read3})과 상이한 값의 패스 전압들(V_{read1} , V_{read2})을 비선택된 인접 메모리 셀들(1332, 1334)에 각각 인가함으로써, 선택된 메모리 셀(1333)의 하부에 위치하는 비선택된 인접 메모리 셀(1332)에서의 전기장을 저하시키거나, 선택된 메모리 셀(1333)의 하부에 위치하는 비선택된 인접 메모리 셀(1333)에서의

이동성 저하를 완화시켜, 비선택된 인접 메모리 셀들(1332, 1334)로부터의 간섭 현상을 해결할 수 있다.

[142] 이 때, 비선택된 인접 메모리 셀들(1332, 1334)에 각각 인가되는 패스 전압들(V_{read1} , V_{read2})은, 비대칭적이거나 대칭적일 수 있다. 이하, 패스 전압들(V_{read1} , V_{read2})이 비대칭적이라는 것은, 선택된 메모리 셀(1333)의 하부에 위치하는 비선택된 인접 메모리 셀(1332)에 인가되는 패스 전압(V_{read1})과 선택된 메모리 셀(1333)의 상부에 위치하는 비선택된 인접 메모리 셀(1334)에 인가되는 패스 전압(V_{read2})이 서로 상이한 값을 갖는 것을 의미하며, 패스 전압들(V_{read1} , V_{read2})이 대칭적이라는 것은, 선택된 메모리 셀(1333)의 하부에 위치하는 비선택된 인접 메모리 셀(1332)에 인가되는 패스 전압(V_{read1})과 선택된 메모리 셀(1333)의 상부에 위치하는 비선택된 인접 메모리 셀(1334)에 인가되는 패스 전압(V_{read2})이 동일한 값을 갖는 것을 의미한다.

[143] 먼저, 비선택된 인접 메모리 셀들(1332, 1334)에 각각 인가되는 패스 전압들(V_{read1} , V_{read2})이 비대칭적인 경우(선택된 메모리 셀(1333)에 대한 판독 동작을 수행할 때, 비선택된 인접 메모리 셀들(1332, 1334)에 비대칭적인 패스 전압들(V_{read1} , V_{read2})을 각각 인가하는 경우)를 설명하면, 3차원 플래시 메모리(1300)는, 비선택된 나머지 메모리 셀들(1331, 1335)에 인가되는 패스 전압(V_{read3})보다 높은 값의 패스 전압(V_{read1} , V_{read2})을 비선택된 인접 메모리 셀들(1332, 1334) 중 어느 하나의 비선택된 인접 메모리 셀에 인가하고, 비선택된 나머지 메모리 셀들(1332, 1334)에 인가되는 패스 전압보다 낮은 값의 패스 전압을 비선택된 인접 메모리 셀들(1332, 1334) 중 나머지 비선택된 인접 메모리 셀에 인가할 수 있다.

[144] 이 때, 비선택된 인접 메모리 셀들(1332, 1334)에 각각 인가되는 패스 전압들(V_{read1} , V_{read2})은, 선택된 메모리 셀(1333) 및 비선택된 인접 메모리 셀들(1332, 1334) 각각의 프로그램 상태에 따른 선택된 메모리 셀(1333)의 문턱 전압에 기초하여 결정될 수 있다.

[145] 예를 들어, 아래의 표 1과 같이 비선택된 상부 인접 메모리 셀(1334)이 소거 상태이고 비선택된 하부 인접 메모리 셀(1332)이 프로그램 상태인 경우(패턴 B, F), 비선택된 하부 인접 메모리 셀(1332)에서의 전기장으로 인한 간섭이 선택된 메모리 셀(1333)에 크게 발생될 수 있기 때문에, 비선택된 하부 인접 메모리 셀(1332)에 인가되는 패스 전압(V_{read1})의 값은 비선택된 하부 인접 메모리 셀(1332)에서의 전기장을 저하시키기 위하여, 도 14a와 같이 비선택된 나머지 메모리 셀들(1331, 1335)에 인가되는 패스 전압(V_{read3})보다 높은 값(1410)으로 결정될 수 있다. 또한, 예시처럼 비선택된 나머지 메모리 셀들(1331, 1335)에 인가되는 패스 전압(V_{read3})보다 높은 값의 패스 전압(V_{read1})이 비선택된 하부 인접 메모리 셀(1332)에 인가됨에 따른 채널층 표면에서의 전자 농도 증가분을 보상하기 위하여, 비선택된 상부 인접 메모리 셀(1334)에 인가되는 패스 전압(V_{read2})은 도 14a와 같이 비선택된 나머지 메모리 셀들(1331, 1335)에 인가되는 패스 전압(V_{read3})보다 낮은 값(1420)으로 결정될 수 있다.

[146] [표1]

구분	비선택된 상부 인접 메모리 셀	선택된 메모리 셀	비선택된 하부 인접 메모리 셀
패턴 A	소거 상태	소거 상태	소거 상태
패턴 B	소거 상태	소거 상태	프로그램 상태
패턴 C	프로그램 상태	소거 상태	소거 상태
패턴 D	프로그램 상태	소거 상태	프로그램 상태
패턴 E	소거 상태	프로그램 상태	소거 상태
패턴 F	소거 상태	프로그램 상태	프로그램 상태
패턴 G	프로그램 상태	프로그램 상태	소거 상태
패턴 H	프로그램 상태	프로그램 상태	프로그램 상태

[147] 다른 예를 들면, 위의 표 1과 같이 비선택된 상부 인접 메모리 셀(1334)이 프로그램 상태이고 비선택된 하부 인접 메모리 셀(1332)이 소거 상태인 경우(패턴 C, G), 비선택된 상부 인접 메모리 셀(1334)에서의 이동성 저하로 인한 간섭이 선택된 메모리 셀(1333)에 크게 발생될 수 있기 때문에, 비선택된 상부 인접 메모리 셀(1334)에 인가되는 패스 전압($V_{\text{read}2}$)의 값은 비선택된 상부 인접 메모리 셀(1334)에서의 이동성 저하를 완화시키기 위하여, 도 14b와 같이 비선택된 나머지 메모리 셀들(1331, 1335)에 인가되는 패스 전압($V_{\text{read}3}$)보다 높은 값(1430)으로 결정될 수 있다. 또한, 예시처럼 비선택된 나머지 메모리 셀들(1331, 1335)에 인가되는 패스 전압($V_{\text{read}3}$)보다 높은 값의 패스 전압($V_{\text{read}2}$)이 비선택된 상부 인접 메모리 셀(1334)에 인가됨에 따른 채널층 표면에서의 전자 농도 증가분을 보상하기 위하여, 비선택된 하부 인접 메모리 셀(1332)에 인가되는 패스 전압($V_{\text{read}1}$)은 도 14b와 같이 비선택된 나머지 메모리 셀들(1331, 1335)에 인가되는 패스 전압($V_{\text{read}3}$)보다 낮은 값(1440)으로 결정될 수 있다.

[148] 설명된 예시들은 비선택된 나머지 메모리 셀들(1331, 1335)에 인가되는 패스 전압($V_{\text{read}3}$)보다 높은 값의 패스 전압($V_{\text{read}1}$, $V_{\text{read}2}$)을 비선택된 인접 메모리 셀들(1332, 1334) 중 어느 하나의 비선택된 인접 메모리 셀에 인가하고, 비선택된 나머지 메모리 셀들(1332, 1334)에 인가되는 패스 전압보다 낮은 값의 패스 전압을 비선택된 인접 메모리 셀들(1332, 1334) 중 나머지 비선택된 인접 메모리 셀에 인가하는 방식(비대칭 인가 방식)으로 일반화됨으로써, 위의 표 1에서의 패턴 A, E의 경우까지 적용 가능하게 될 수 있어, 결국, 비대칭 인가 방식은 패턴 A, B, C, E, G, F에 모두 적용 가능하게 될 수 있다.

[149] 또한, 설명된 예시들에서 비선택된 인접 메모리 셀들(1332, 1334) 중 어느 하나의 비선택된 인접 메모리 셀에 인가되는 높은 값의 패스 전압과 패스 전압($V_{\text{read}3}$)의 차이 및 비선택된 인접 메모리 셀들(1332, 1334) 중 나머지 비선택된 인접

메모리 셀에 인가되는 패스 전압과 패스 전압(V_{read3})의 차이인, ΔV 는 패스 전압(V_{read3}) 대비 1.5V의 값인 것으로 실험적으로 결정될 수 있다. 이에, 통상의 패스 전압(V_{read3})이 6V인 것을 감안하면, 도 14a에서 비선택된 하부 인접 메모리 셀(1332)에 인가되는 패스 전압(V_{read1})의 값은 7.5V이고, 비선택된 상부 인접 메모리 셀(1334)에 인가되는 패스 전압(V_{read2})의 값은 4.5V일 수 있다. 마찬가지로, 도 14b에서 비선택된 하부 인접 메모리 셀(1332)에 인가되는 패스 전압(V_{read1})의 값은 4.5V이고, 비선택된 상부 인접 메모리 셀(1334)에 인가되는 패스 전압(V_{read2})의 값은 7.5V일 수 있다.

[150] 다음으로, 비선택된 인접 메모리 셀들(1332, 1334)에 각각 인가되는 패스 전압들(V_{read1} , V_{read2})이 대칭적인 경우(선택된 메모리 셀(1333)에 대한 판독 동작을 수행할 때, 비선택된 나머지 메모리 셀들(1331, 1335)에 인가되는 패스 전압(V_{read3})과 상이한 값의 패스 전압($V_{\text{read1}}=V_{\text{read2}}$)을 비선택된 인접 메모리 셀들(1332, 1334)에 대칭적으로 각각 인가하는 경우)를 설명하면, 3차원 플래시 메모리(1300)는, 비선택된 나머지 메모리 셀들(1331, 1335)에 인가되는 패스 전압(V_{read3})보다 높은 값의 패스 전압(V_{read1})을 비선택된 인접 메모리 셀들(1332, 1334) 중 비선택된 하부 인접 메모리 셀(1332)에 인가하고, 마찬가지로 비선택된 나머지 메모리 셀들(1331, 1335)에 인가되는 패스 전압(V_{read3})보다 높은 값의 패스 전압(V_{read2})을 비선택된 상부 인접 메모리 셀(1334)에 인가할 수 있다.

[151] 여기서, 비선택된 인접 메모리 셀들(1332, 1334)에 대칭적으로 인가되는 패스 전압(V_{read1} , V_{read2})은, 선택된 메모리 셀(1333) 및 비선택된 인접 메모리 셀들(1332, 1334) 각각의 프로그램 상태에 따른 선택된 메모리 셀(1333)의 문턱 전압에 기초하여 결정될 수 있다.

[152] 예를 들어, 위의 표 1과 같이 비선택된 상부 인접 메모리 셀(1334) 및 비선택된 하부 인접 메모리 셀(1332) 모두가 프로그램 상태인 경우, 비선택된 하부 인접 메모리 셀(1332)에서의 전기장으로 인한 간섭이 선택된 메모리 셀(1333)에 크게 발생하는 동시에 비선택된 상부 인접 메모리 셀(1334)에서의 이동성 저하로 인한 간섭이 선택된 메모리 셀(1333)에 크게 발생할 수 있기 때문에, 비선택된 하부 인접 메모리 셀(1332)에 인가되는 패스 전압(V_{read1})의 값 및 비선택된 상부 인접 메모리 셀(1334)에 인가되는 패스 전압(V_{read2})의 값 모두는, 비선택된 하부 인접 메모리 셀(1332)에서의 전기장을 저하시키는 동시에 비선택된 상부 인접 메모리 셀(1334)에서의 이동성 저하를 완화시키기 위하여, 도 14c와 같이 비선택된 나머지 메모리 셀들(1331, 1335)에 인가되는 패스 전압(V_{read3})보다 높은 값(1450)으로 각각 결정될 수 있다.

[153] 이에, 설명된 예시는 위의 표 1에서의 패턴 D, H의 경우에 적용 가능할 수 있으며, 비선택된 인접 메모리 셀들(1332, 1334)에 각각 인가되는 패스 전압(V_{read1} , V_{read2})과 패스 전압(V_{read3})의 차이인, ΔV 는 패스 전압(V_{read3}) 대비 1.5V의 값인 것으로 실험적으로 결정될 수 있다. 이에, 통상의 패스 전압(V_{read3})이 6V인 것을 감안하면, 도 14c에서 비선택된 하부 인접 메모리 셀(1332)에 인가되는 패스

전압(V_{read1})의 값 및 비선택된 상부 인접 메모리 셀(1334)에 인가되는 패스 전압(V_{read2})의 값은 동일하게 7.5V 일 수 있다.

[154]

[155] 도 15는 일 실시예에 따른 3차원 플래시 메모리의 판독 동작 방법을 나타낸 플로우 차트이다. 이하, 일 실시예에 따른 3차원 플래시 메모리의 판독 동작 방법의 수행 주체는, 도 13 내지 14c를 참조하여 설명된 구조의 3차원 플래시 메모리일 수 있다.

[156] 단계(S1510)에서 3차원 플래시 메모리는, 복수의 메모리 셀들 중 선택된 메모리 셀에 대한 판독 동작을 수행할 때, 복수의 메모리 셀들에서 비선택된 메모리 셀들 중 선택된 메모리 셀의 상하부에 인접한 비선택된 인접 메모리 셀들에 비대칭적인 패스 전압을 각각 인가할 수 있다.

[157] 보다 상세하게, 단계(S1510)에서 3차원 플래시 메모리는, 비선택된 메모리 셀들 중 비선택된 인접 메모리 셀들을 제외한 비선택된 나머지 메모리 셀들에 인가되는 패스 전압보다 높은 값의 패스 전압을 비선택된 인접 메모리 셀들 중 어느 하나의 비선택된 인접 메모리 셀에 인가한 뒤, 비선택된 나머지 메모리 셀들에 인가되는 패스 전압보다 낮은 값의 패스 전압을 비선택된 인접 메모리 셀들 중 나머지 인접 메모리 셀에 인가할 수 있다.

[158] 여기서, 비선택된 나머지 메모리 셀들에 인가되는 패스 전압보다 높은 값의 패스 전압을 어느 하나의 비선택된 인접 메모리 셀에 인가하는 것은, 어느 하나의 비선택된 인접 메모리 셀에서의 전기장을 저하시키거나 어느 하나의 비선택된 인접 메모리 셀에서의 이동성 저하를 완화시키기 위한 것일 수 있다. 또한, 비선택된 나머지 메모리 셀들에 인가되는 패스 전압보다 낮은 값의 패스 전압을 나머지 인접 메모리 셀에 인가하는 것은, 비선택된 나머지 메모리 셀들에 인가되는 패스 전압보다 높은 값의 패스 전압이 어느 하나의 비선택된 인접 메모리 셀에 인가됨에 따른 채널층 표면에서의 전자 농도 증가분을 보상하기 위한 것일 수 있다.

[159] 이와 같이 어느 하나의 비선택된 인접 메모리 셀에 인가되는 패스 전압 및 나머지 비선택된 인접 메모리 셀에 인가되는 패스 전압의 값은, 선택된 메모리 셀 및 비선택된 인접 메모리 셀들 각각의 프로그램 상태에 따른 선택된 메모리 셀의 문턱 전압에 기초하여 결정될 수 있다.

[160] 그 후, 단계(S1520)에서 3차원 플래시 메모리는, 선택된 메모리 셀에 검증 전압(V_{verify})을 인가할 수 있다.

[161]

[162] 도 16은 다른 일 실시예에 따른 3차원 플래시 메모리의 판독 동작 방법을 나타낸 플로우 차트이다. 이하, 다른 일 실시예에 따른 3차원 플래시 메모리의 판독 동작 방법의 수행 주체는, 도 13 내지 14c를 참조하여 설명된 구조의 3차원 플래시 메모리일 수 있다.

[163] 단계(S1610)에서 3차원 플래시 메모리는, 복수의 메모리 셀들 중 선택된 메모리

셀에 대한 관독 동작을 수행할 때, 복수의 메모리 셀들에서 비선택된 메모리 셀들 중 선택된 메모리 셀의 상하부에 인접한 비선택된 인접 메모리 셀들을 제외한 비선택된 나머지 메모리 셀들에 인가되는 패스 전압과 상이한 값의 패스 전압을 비선택된 인접 메모리 셀들에 대칭적으로 각각 인가할 수 있다.

- [164] 보다 상세하게, 단계(S1610)에서 3차원 플래시 메모리는, 비선택된 인접 메모리 셀들 중 어느 하나의 비선택된 인접 메모리 셀에서의 전기장을 저하시키는 동시에 비선택된 인접 메모리 셀들 중 나머지 비선택된 인접 메모리 셀에서의 이동성 저하를 완화시키기 위하여, 비선택된 나머지 메모리 셀들에 인가되는 패스 전압보다 높은 값의 패스 전압을 비선택된 인접 메모리 셀들에 대칭적으로 각각 인가할 수 있다.
- [165] 이와 같이 어느 하나의 비선택된 인접 메모리 셀 및 나머지 비선택된 인접 메모리 셀에 각각 인가되는 패스 전압의 값은, 선택된 메모리 셀 및 비선택된 인접 메모리 셀들 각각의 프로그램 상태에 따른 선택된 메모리 셀의 문턱 전압에 기초하여 결정될 수 있다.
- [166] 그 후, 단계(S1620)에서 3차원 플래시 메모리는, 선택된 메모리 셀에 검증 전압(V_{verify})을 인가할 수 있다.
- [167]
- [168] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [169] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

청구범위

- [청구항 1] 기관 상 수직 방향으로 연장 형성되는 적어도 하나의 채널층;
상기 적어도 하나의 채널층에 연결되도록 수평 방향으로 연장 형성되는 복수의 워드라인들;
상기 복수의 워드라인들 사이에 교번하며 개재되며 수평 방향으로 연장 형성된 채, 상기 복수의 워드라인들에 인가되는 전압에 의해 상기 적어도 하나의 채널층으로부터 이동되는 전하를 저장하는 복수의 수평 전하 저장층들; 및
상기 복수의 수평 전하 저장층들과 상기 적어도 하나의 채널층 사이에 개재되는 복수의 터널 산화막들을 포함하는 3차원 플래시 메모리.
- [청구항 2] 제1항에 있어서,
상기 복수의 수평 전하 저장층들은,
상기 복수의 워드라인들 사이의 공간들을 각각 가득 채우도록 형성되는 것을 특징으로 하는 3차원 플래시 메모리.
- [청구항 3] 제2항에 있어서,
상기 복수의 수평 전하 저장층들 각각은,
상기 복수의 워드라인들 사이의 이격 거리에 대응하는 두께로 형성되는 것을 특징으로 하는 3차원 플래시 메모리.
- [청구항 4] 제1항에 있어서,
상기 복수의 워드라인들의 상하면 및 측면을 감싸도록 형성되는 복수의 산화막들을 더 포함하는 것을 특징으로 하는 3차원 플래시 메모리.
- [청구항 5] 제4항에 있어서,
상기 복수의 산화막들의 상하면 및 측면을 감싸도록 형성되는 복수의 유전막들을 더 포함하는 것을 특징으로 하는 3차원 플래시 메모리.
- [청구항 6] 기관 상 수직 방향으로 연장 형성되는 적어도 하나의 채널층;
상기 적어도 하나의 채널층에 연결되도록 수평 방향으로 연장 형성되는 복수의 워드라인들; 및
상기 복수의 워드라인들의 상면 또는 하면 중 일면에 각각 접촉하며 수평 방향으로 연장 형성된 채, 상기 복수의 워드라인들에 인가되는 전압에 의해 상기 적어도 하나의 채널층으로부터 이동되는 전하를 저장하는 복수의 수평 전하 저장층들을 포함하는 3차원 플래시 메모리.
- [청구항 7] 제6항에 있어서,
상기 3차원 플래시 메모리는,

상기 복수의 워드라인들의 상면 또는 하면 중 상기 복수의 수평 전하 저장층들이 각각 접촉되는 일면과 반대되는 면에 각각 형성되는 복수의 에어 갭들

을 더 포함하는 것을 특징으로 하는 3차원 플래시 메모리.

[청구항 8]

제7항에 있어서,

상기 복수의 에어 갭들은,

상기 복수의 워드라인들과 상기 적어도 하나의 채널층 사이의

브레이크다운을 방지하는 용도로 사용되는 것을 특징으로 하는 3차원 플래시 메모리.

[청구항 9]

제6항에 있어서,

상기 복수의 수평 전하 저장층들 각각은,

상기 복수의 워드라인들 중 접촉되는 워드라인에 인가되는 전압에 의해 메모리 동작을 수행하는 것을 특징으로 하는 3차원 플래시 메모리.

[청구항 10]

제6항에 있어서,

상기 3차원 플래시 메모리는,

상기 적어도 하나의 채널층을 감싸도록 연장 형성된 채 상기 복수의 워드라인들 및 상기 복수의 수평 전하 저장층들과의 사이에 배치되는 적어도 하나의 산화막

을 더 포함하는 것을 특징으로 하는 3차원 플래시 메모리.

[청구항 11]

기관 상 일 방향으로 연장 형성되는 적어도 하나의 채널층;

상기 적어도 하나의 채널층에 대해 수직 방향으로 적층되는 복수의 전극층들; 및

상기 적어도 하나의 채널층을 둘러싸며 상기 적어도 하나의 채널층과 상기 복수의 전극층들 사이에 상기 일 방향으로 개재된 채, 상기 복수의 전극층들과 맞닿는 영역들로 복수의 메모리 셀들을 구현하여 데이터 저장소로 사용되는 적어도 하나의 전하 저장막

을 포함하고,

상기 복수의 메모리 셀들 중 선택된 메모리 셀에 대한 판독 동작을 수행할 때, 상기 복수의 메모리 셀들에서 비선택된 메모리 셀들 중 상기 선택된 메모리 셀의 상하부에 인접한 비선택된 인접 메모리 셀들에 비대칭적인 패스 전압들을 각각 인가하는 것을 특징으로 하는 3차원 플래시 메모리.

[청구항 12]

제11항에 있어서,

상기 3차원 플래시 메모리는,

상기 비선택된 메모리 셀들 중 상기 비선택된 인접 메모리 셀들을 제외한 비선택된 나머지 메모리 셀들에 인가되는 패스 전압보다 높은 값의 패스 전압을 상기 비선택된 인접 메모리 셀들 중 어느 하나의 비선택된 인접 메모리 셀에 인가하고, 상기 비선택된 나머지 메모리 셀들에 인가되는 패스 전압보다 낮은 값의 패스 전압을 상기 비선택된 인접 메모리 셀들 중

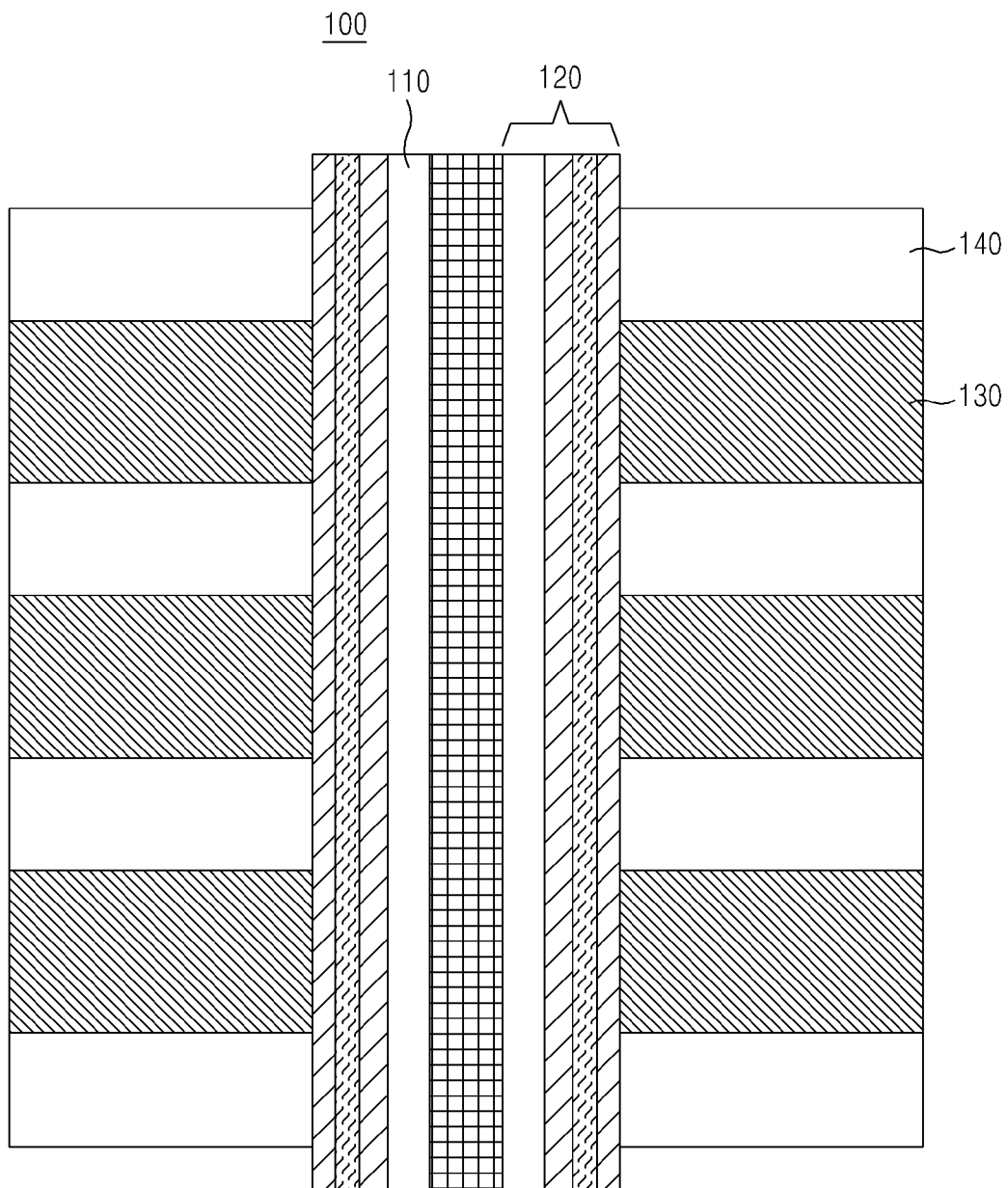
나머지 비선택된 인접 메모리 셀에 인가하는 것을 특징으로 하는 3차원 플래시 메모리.

- [청구항 13] 제12항에 있어서,
 상기 3차원 플래시 메모리는,
 상기 어느 하나의 비선택된 인접 메모리 셀에서의 전기장을
 저하시키거나, 상기 어느 하나의 비선택된 인접 메모리 셀에서의 이동성
 저하를 완화시키기 위하여, 상기 비선택된 나머지 메모리 셀들에
 인가되는 패스 전압보다 높은 값의 패스 전압을 상기 어느 하나의
 비선택된 인접 메모리 셀에 인가하는 것을 특징으로 하는 3차원 플래시
 메모리.

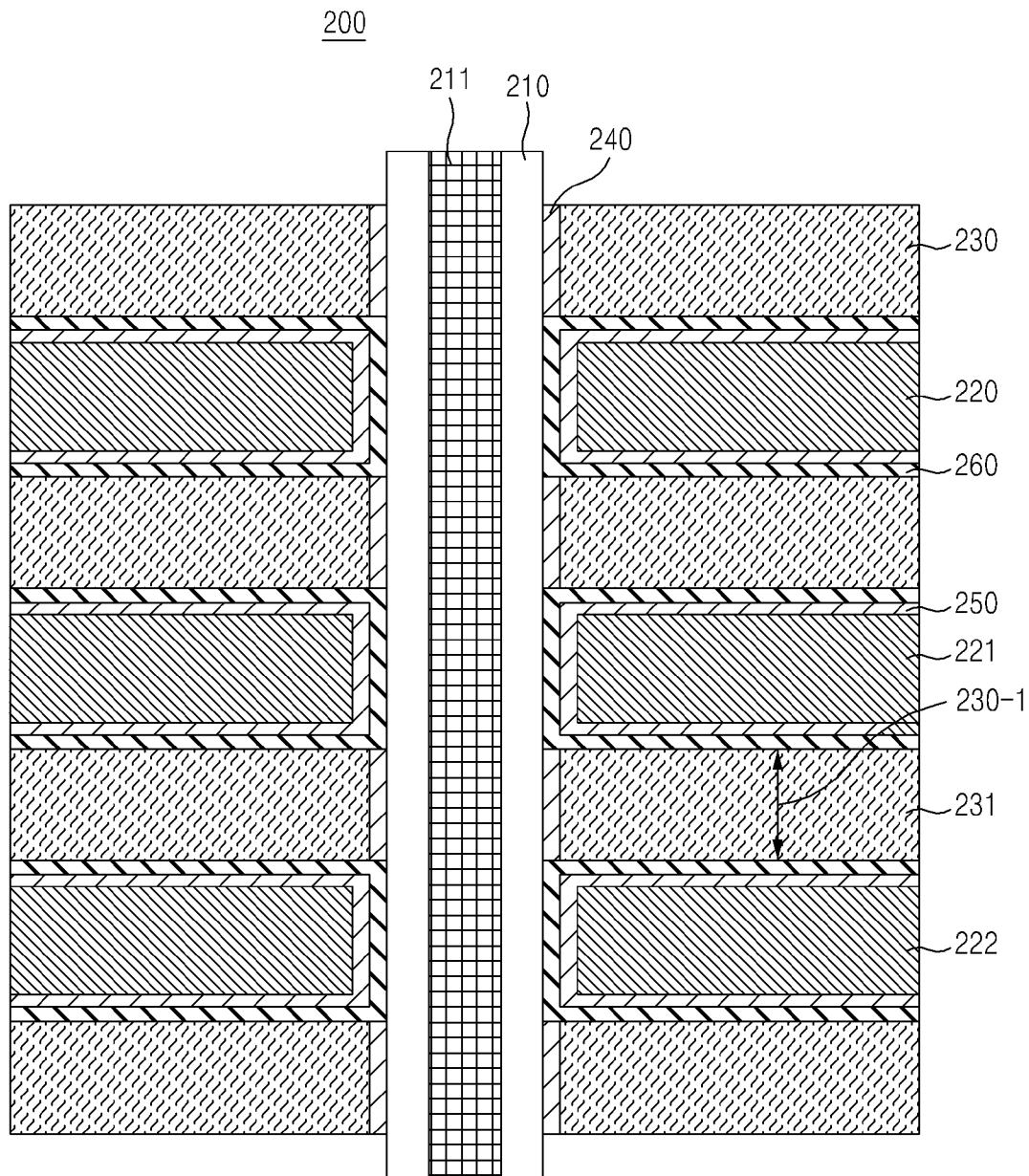
- [청구항 14] 제12항에 있어서,
 상기 3차원 플래시 메모리는,
 상기 비선택된 나머지 메모리 셀들에 인가되는 패스 전압보다 높은 값의
 패스 전압이 상기 어느 하나의 비선택된 인접 메모리 셀에 인가됨에 따른
 상기 채널층 표면에서의 전자 농도 증가분을 보상하기 위하여, 상기
 비선택된 나머지 메모리 셀들에 인가되는 패스 전압보다 낮은 값의 패스
 전압을 상기 나머지 비선택된 인접 메모리 셀에 인가하는 것을 특징으로
 하는 3차원 플래시 메모리.

- [청구항 15] 제12항에 있어서,
 상기 어느 하나의 비선택된 인접 메모리 셀에 인가되는 패스 전압 및 상기
 나머지 비선택된 인접 메모리 셀에 인가되는 패스 전압의 값은,
 상기 선택된 메모리 셀 및 상기 비선택된 인접 메모리 셀들 각각의
 프로그램 상태에 따른 상기 선택된 메모리 셀의 문턱 전압에 기초하여
 결정되는 것을 특징으로 하는 3차원 플래시 메모리.

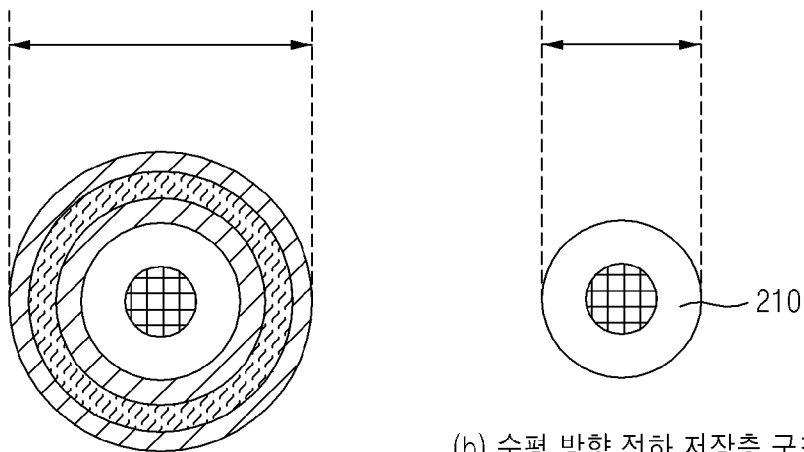
[도1]



[도2]



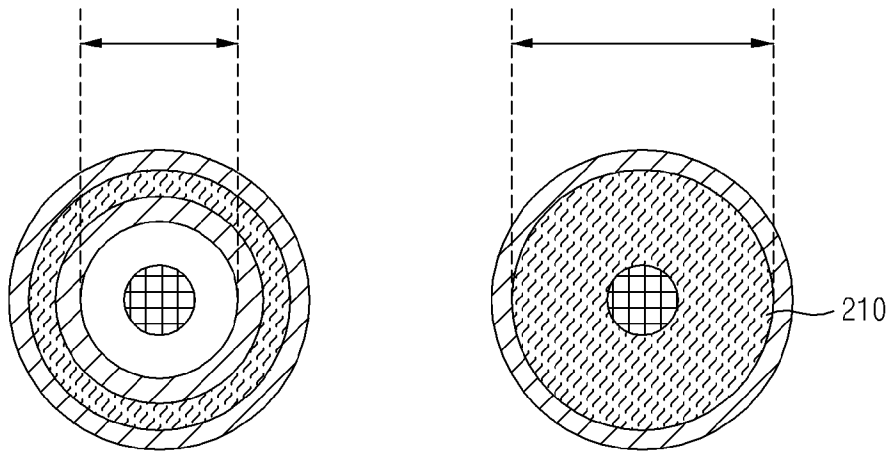
[도3]



(a) 수직 방향 전하 저장층 구조

(b) 수평 방향 전하 저장층 구조

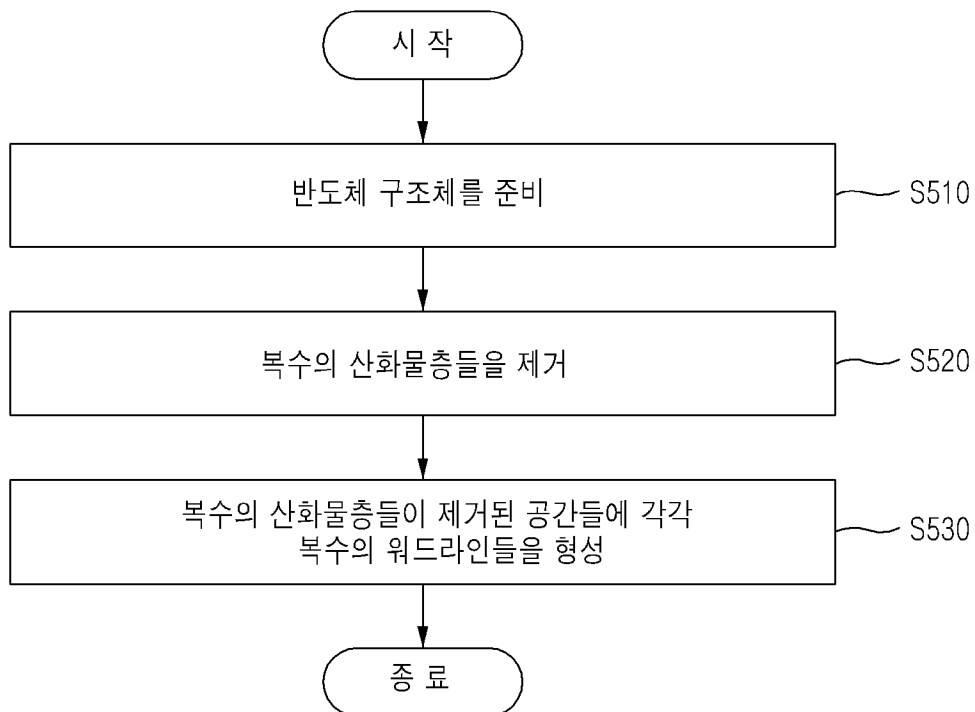
[도4]



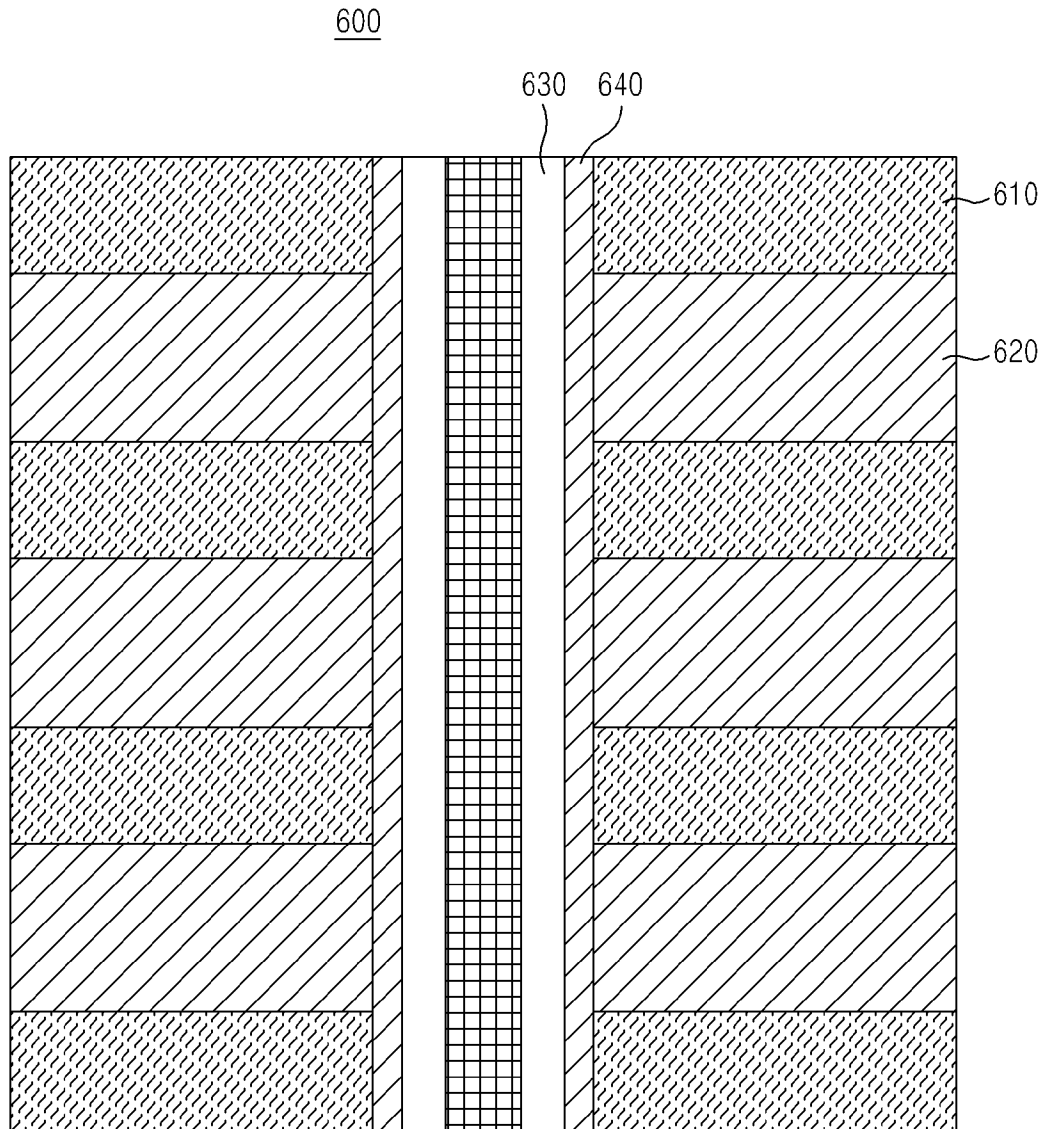
(a) 수직 방향 전하 저장층 구조

(b) 수평 방향 전하 저장층 구조

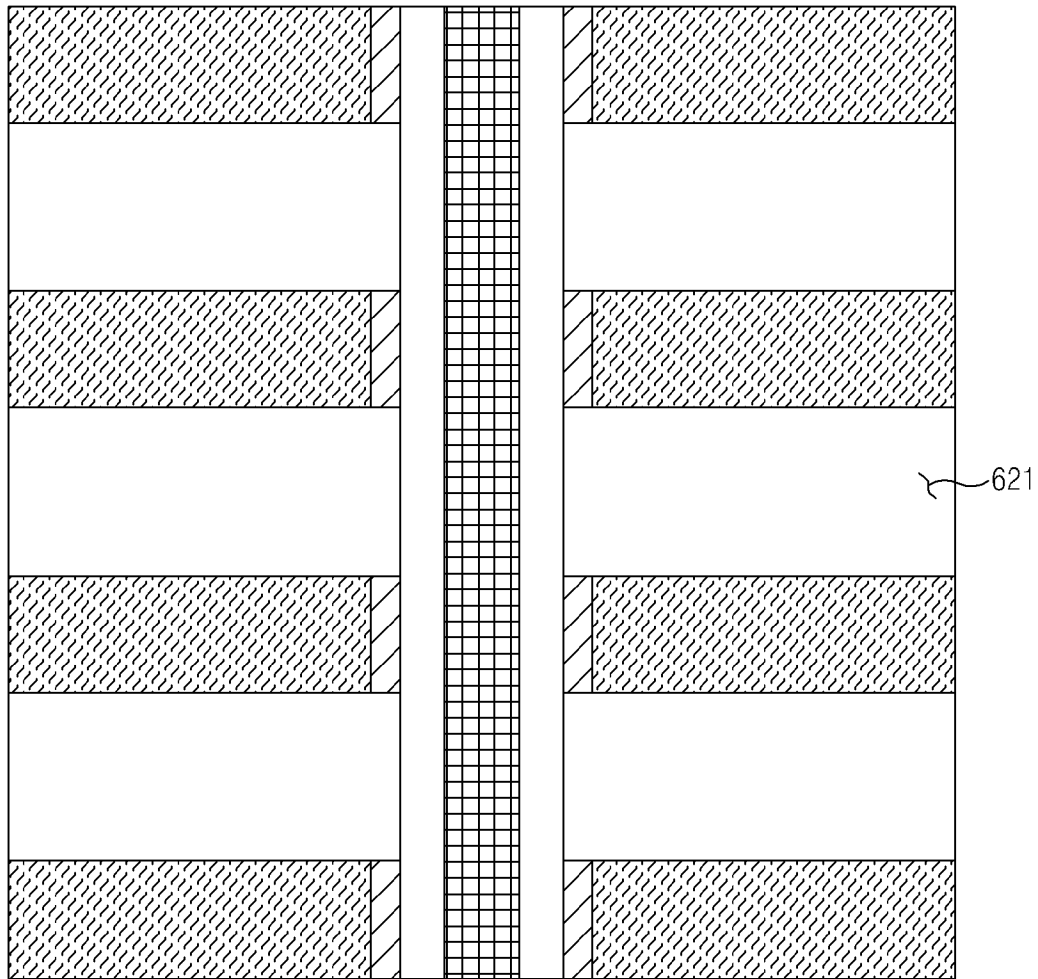
[도5]



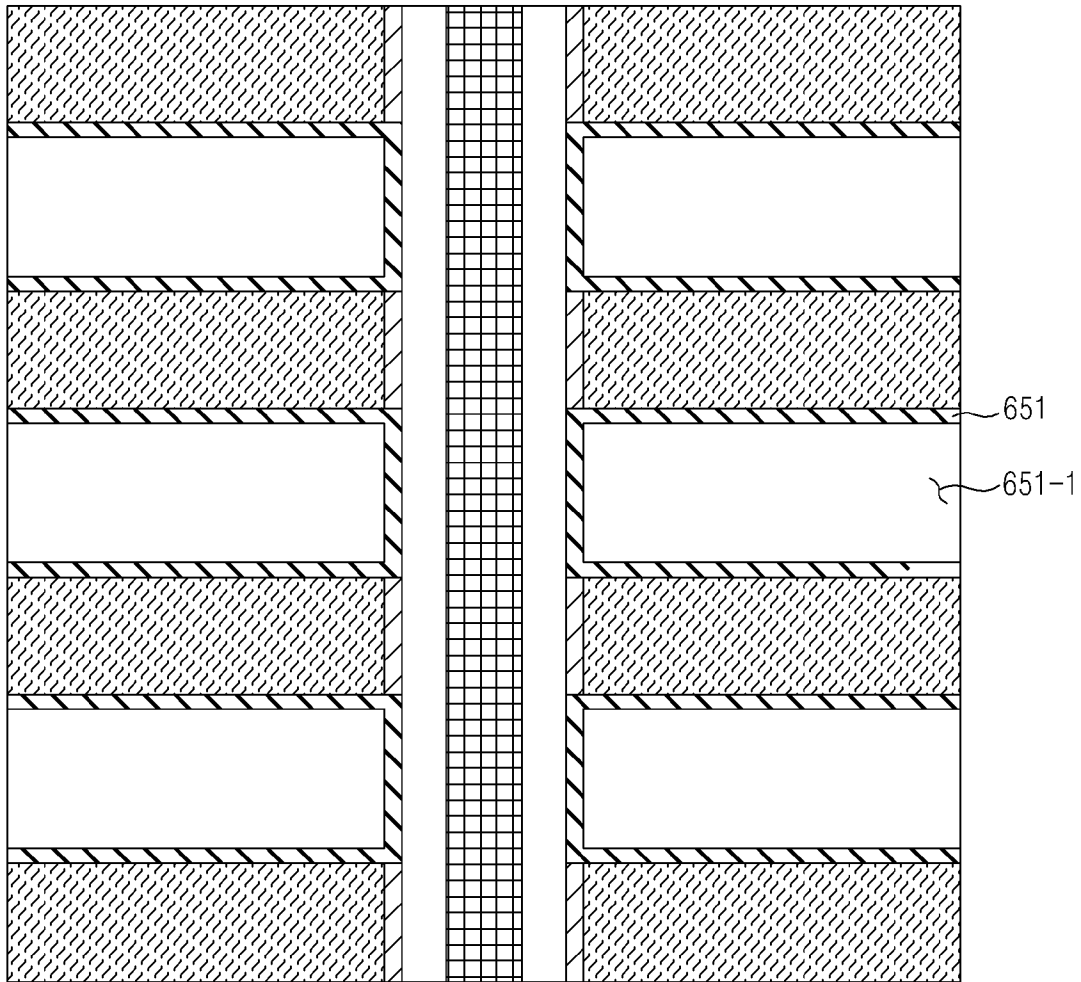
[도6a]



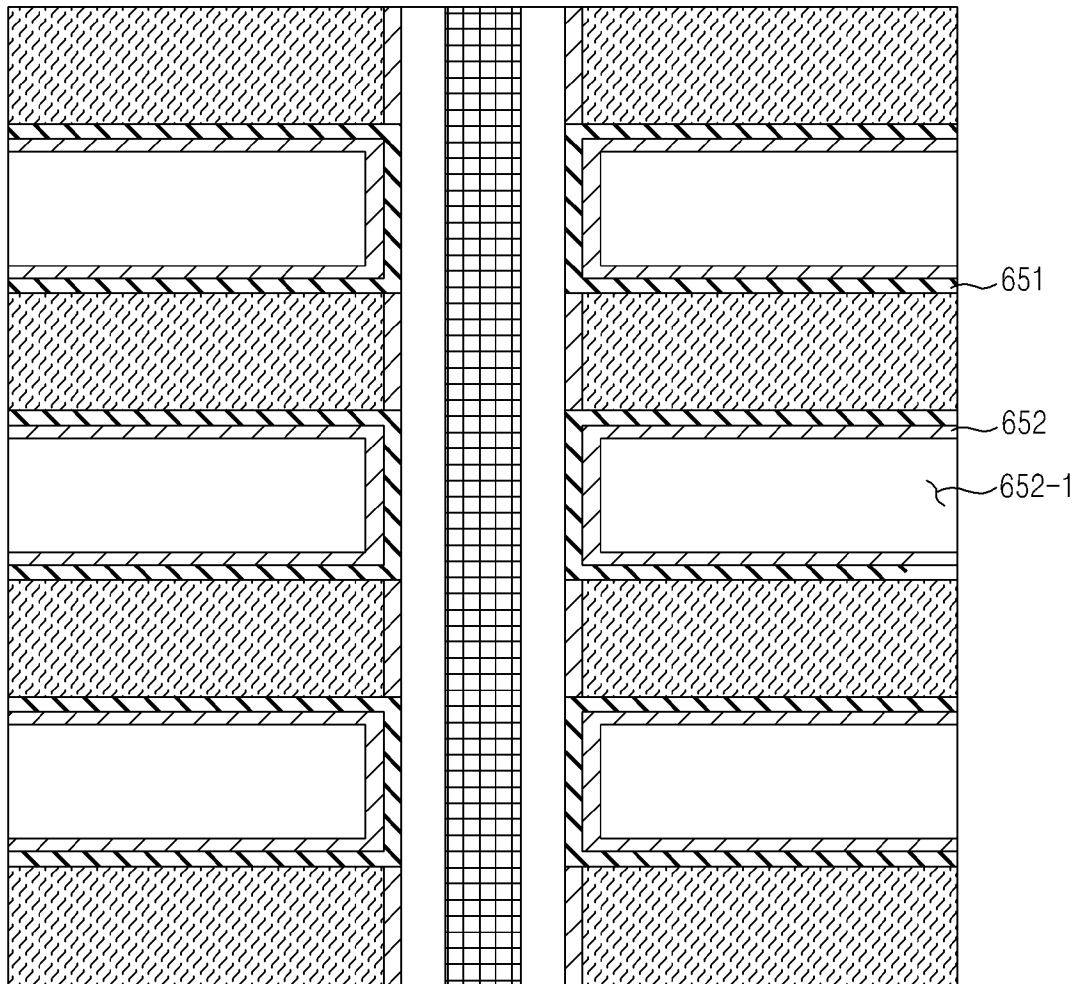
[도6b]



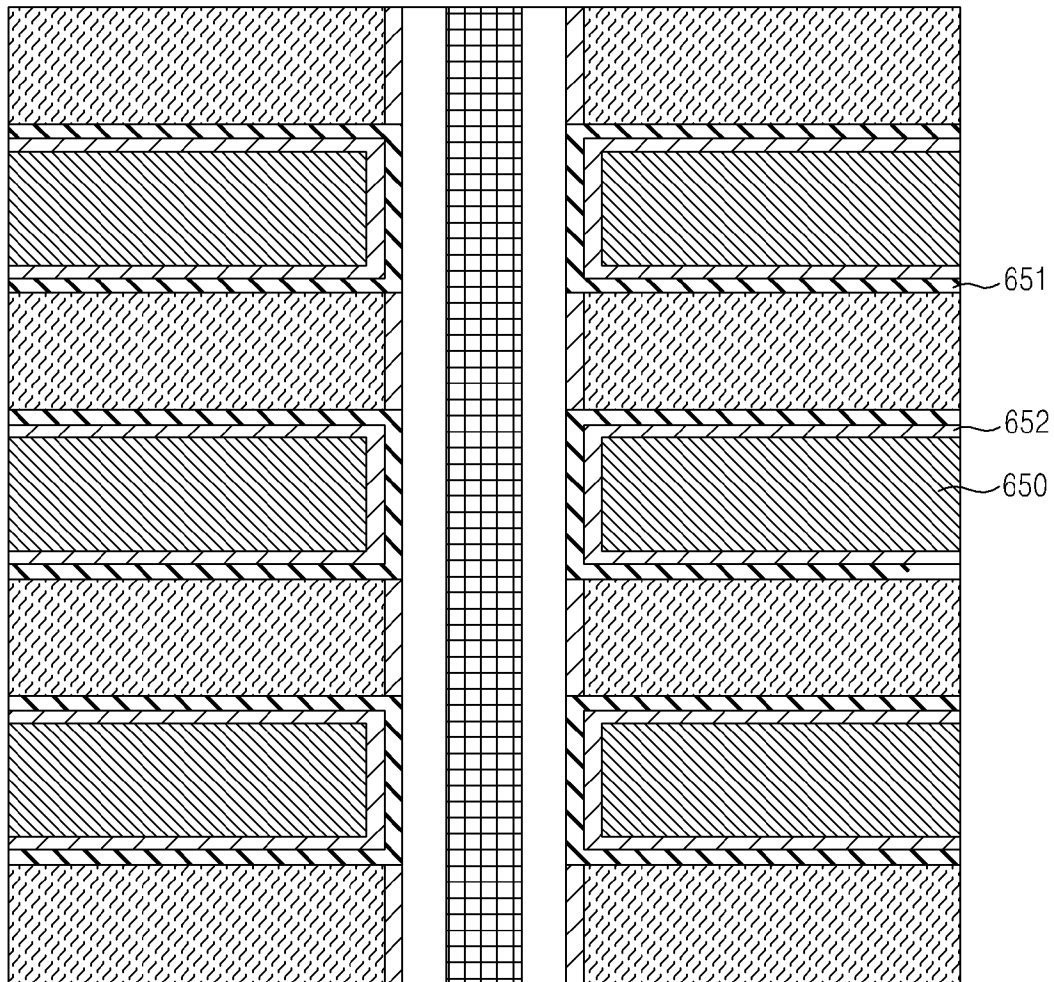
[도6c]



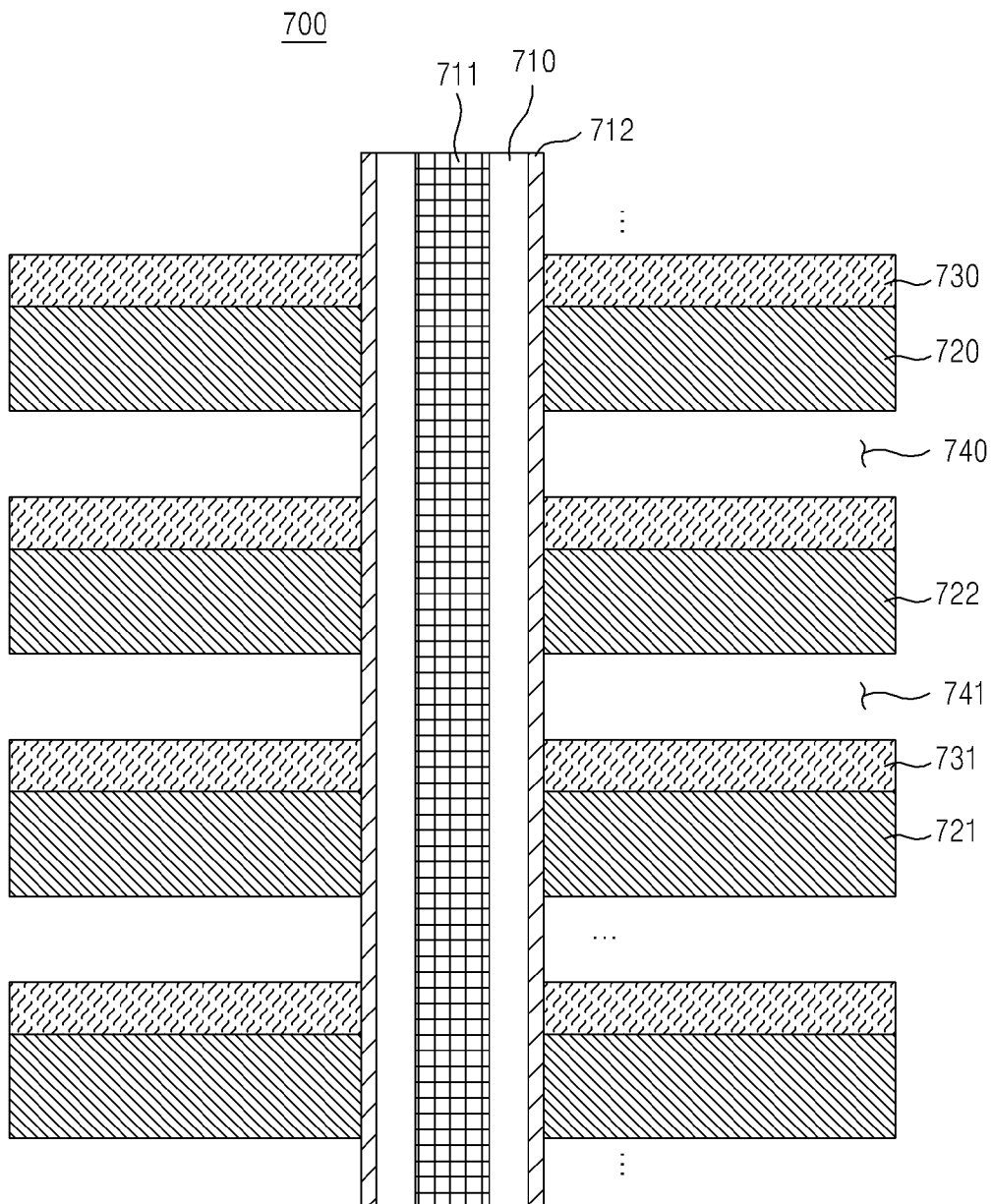
[도6d]



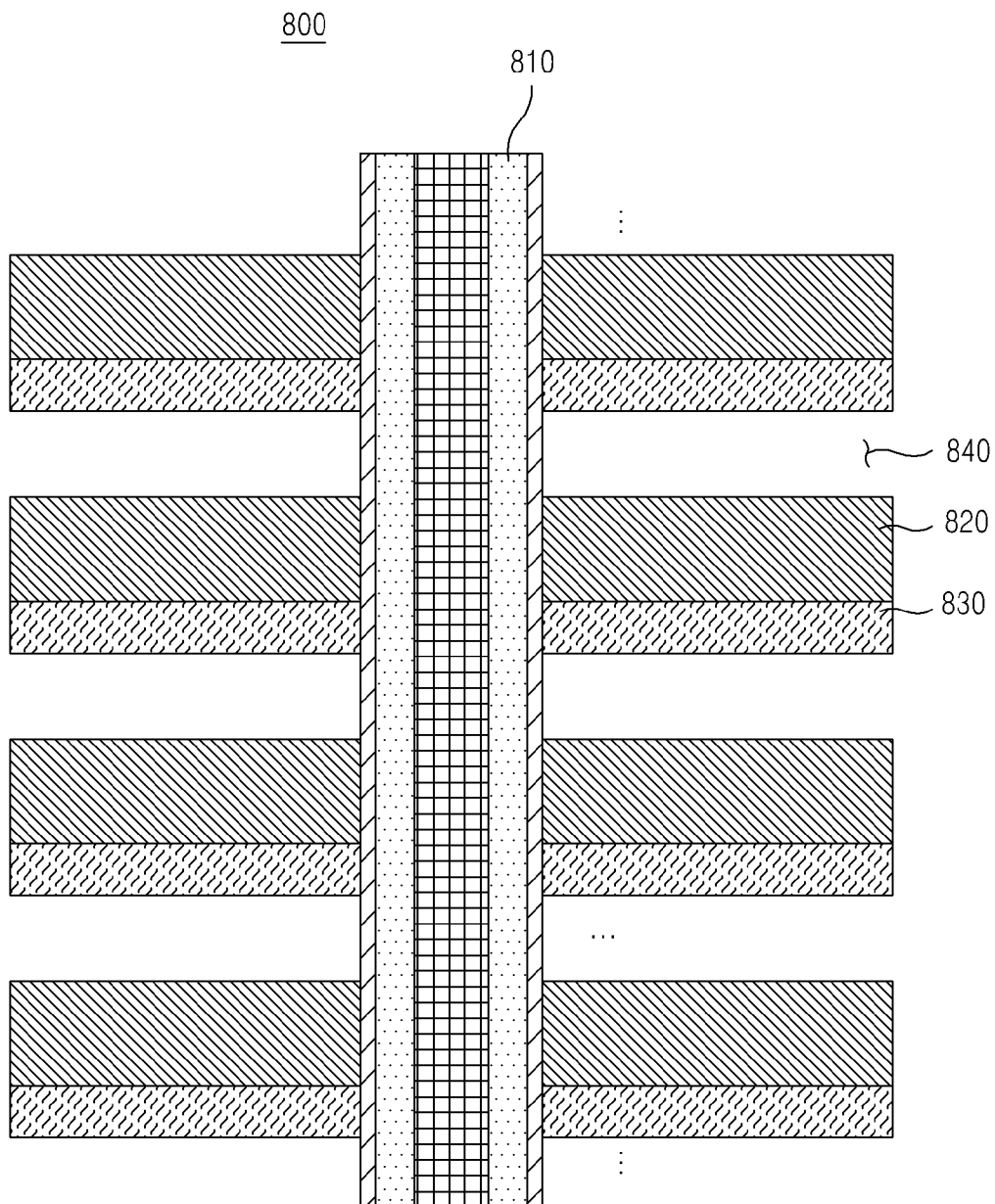
[도6e]



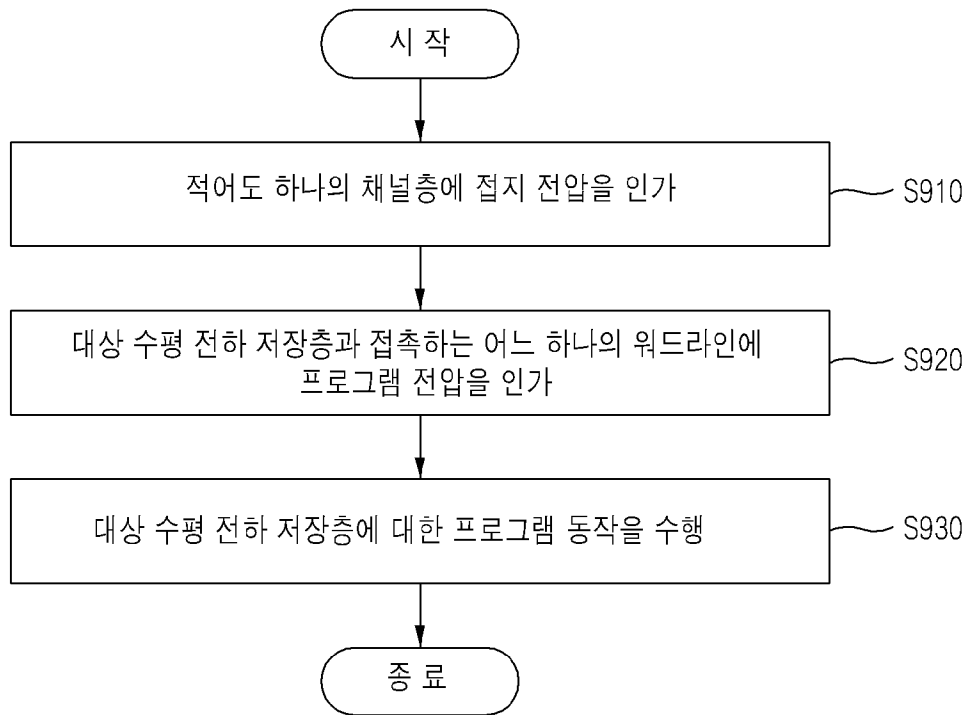
[도7]



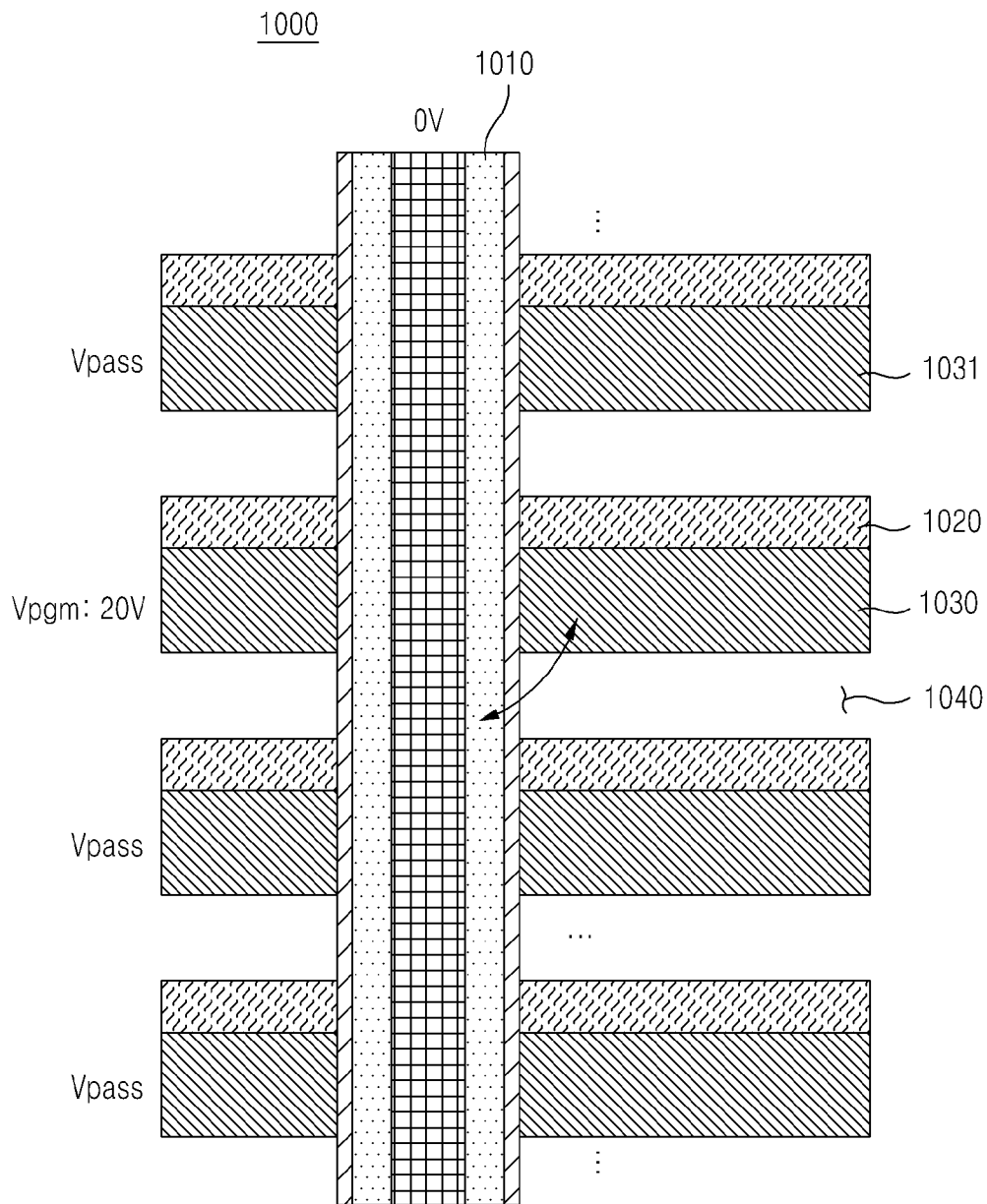
[도8]



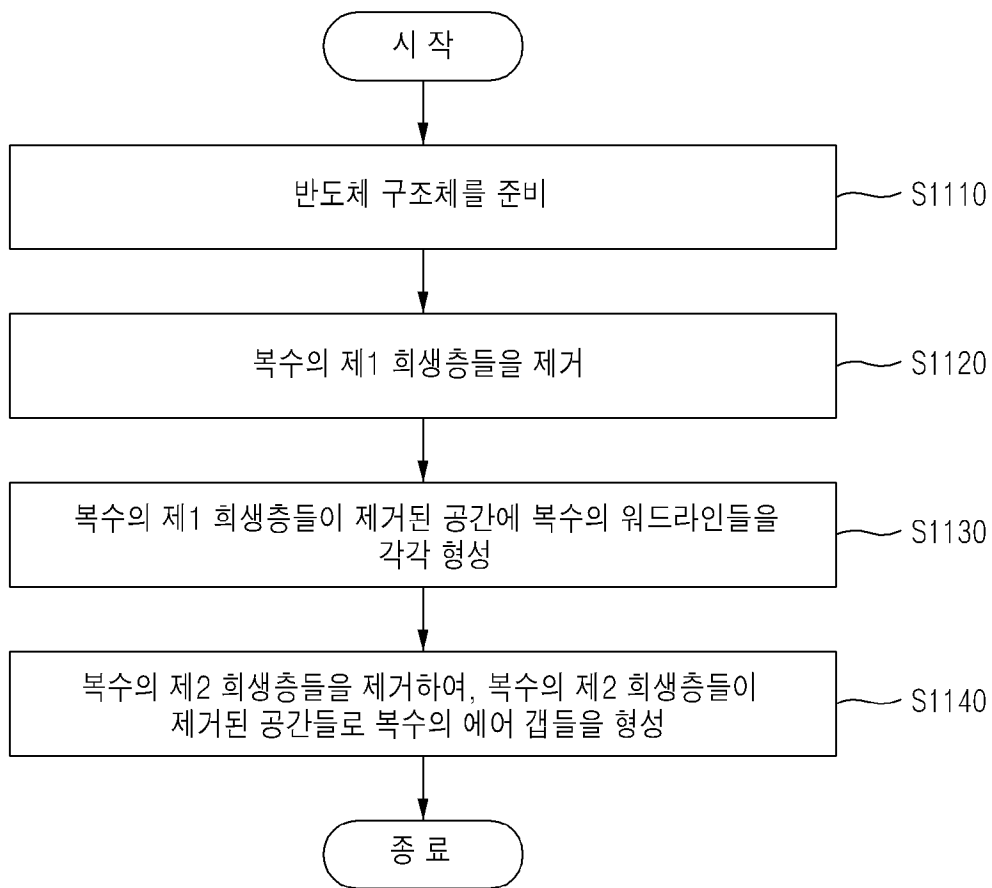
[도9]



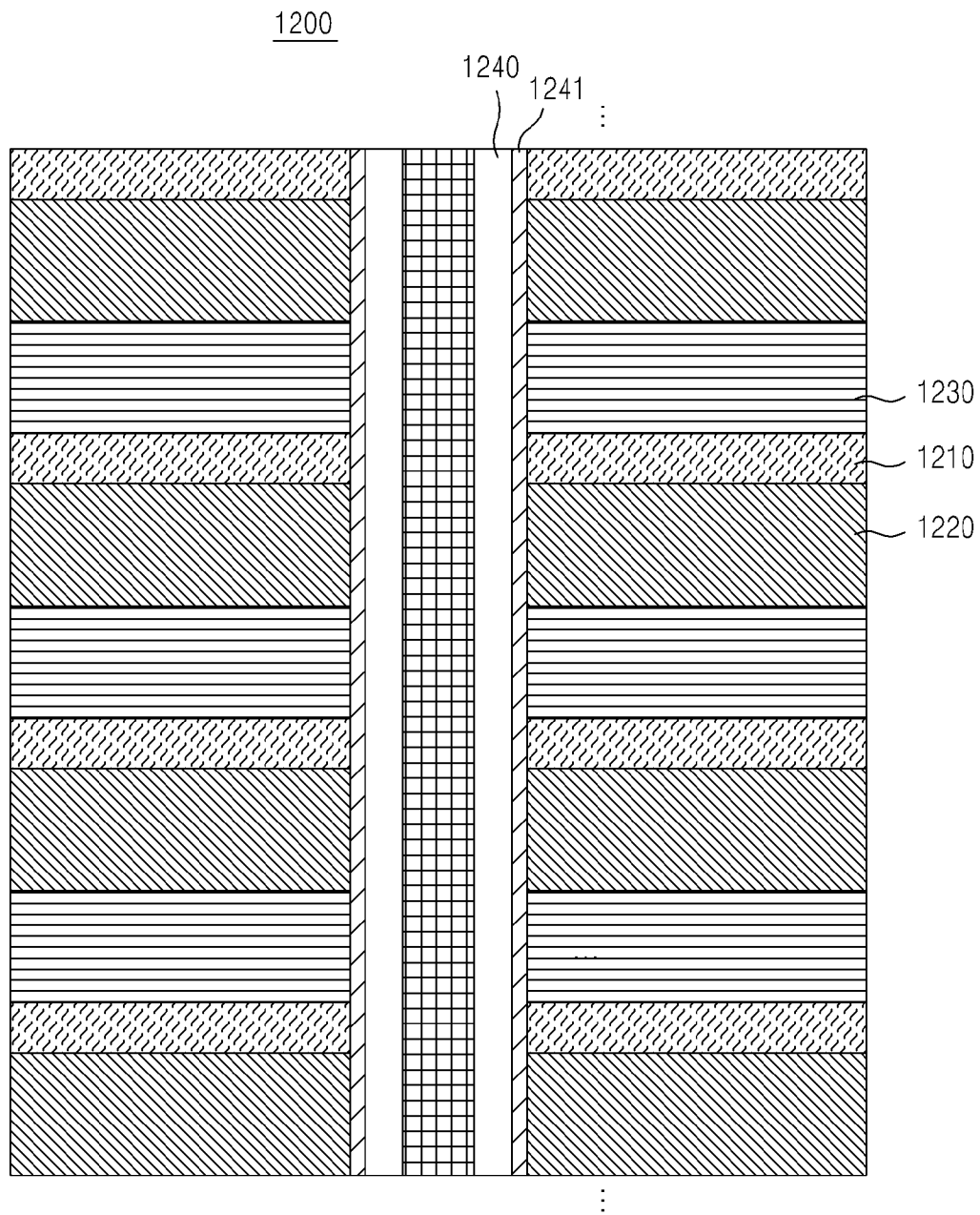
[도10]



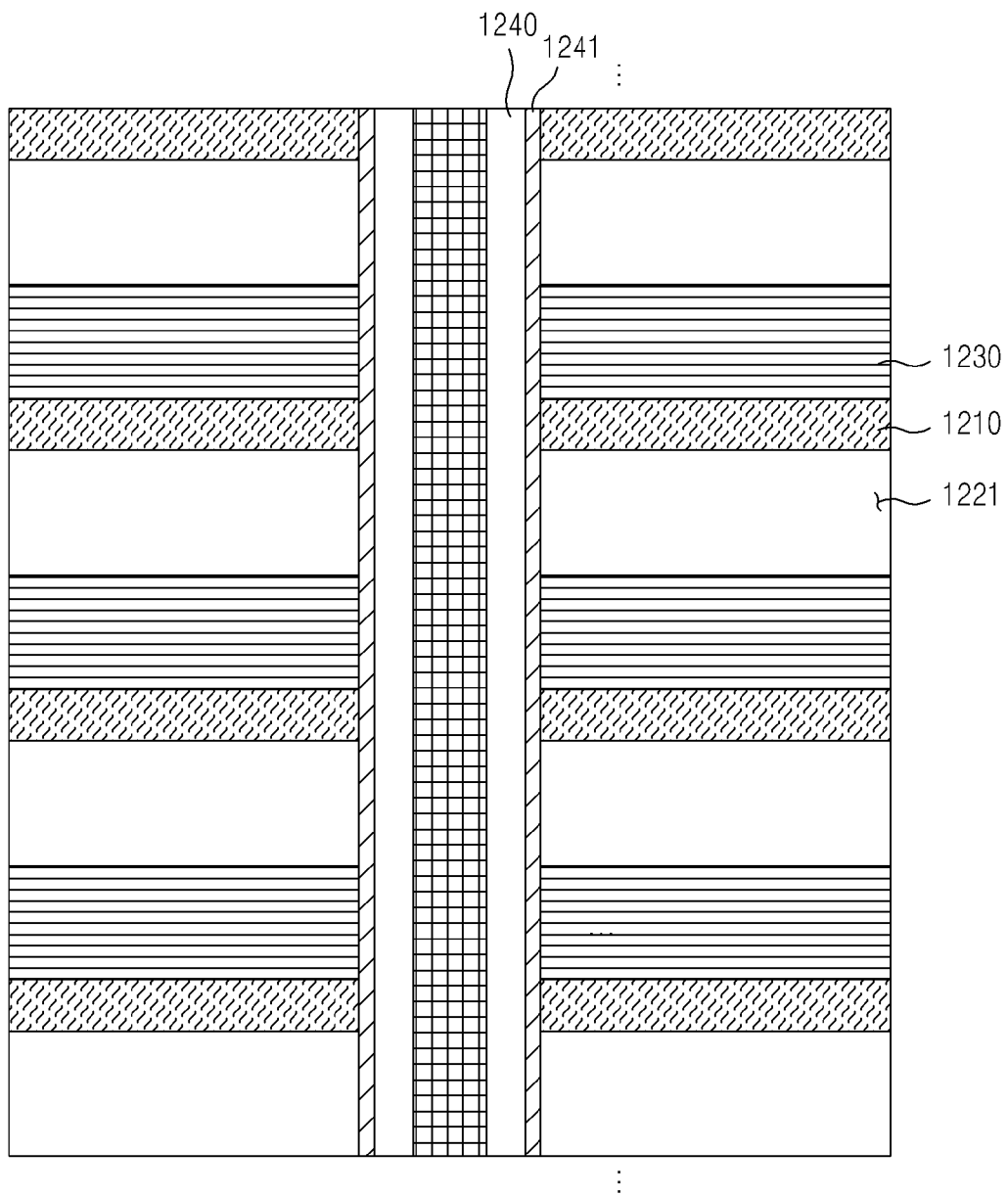
[도11]



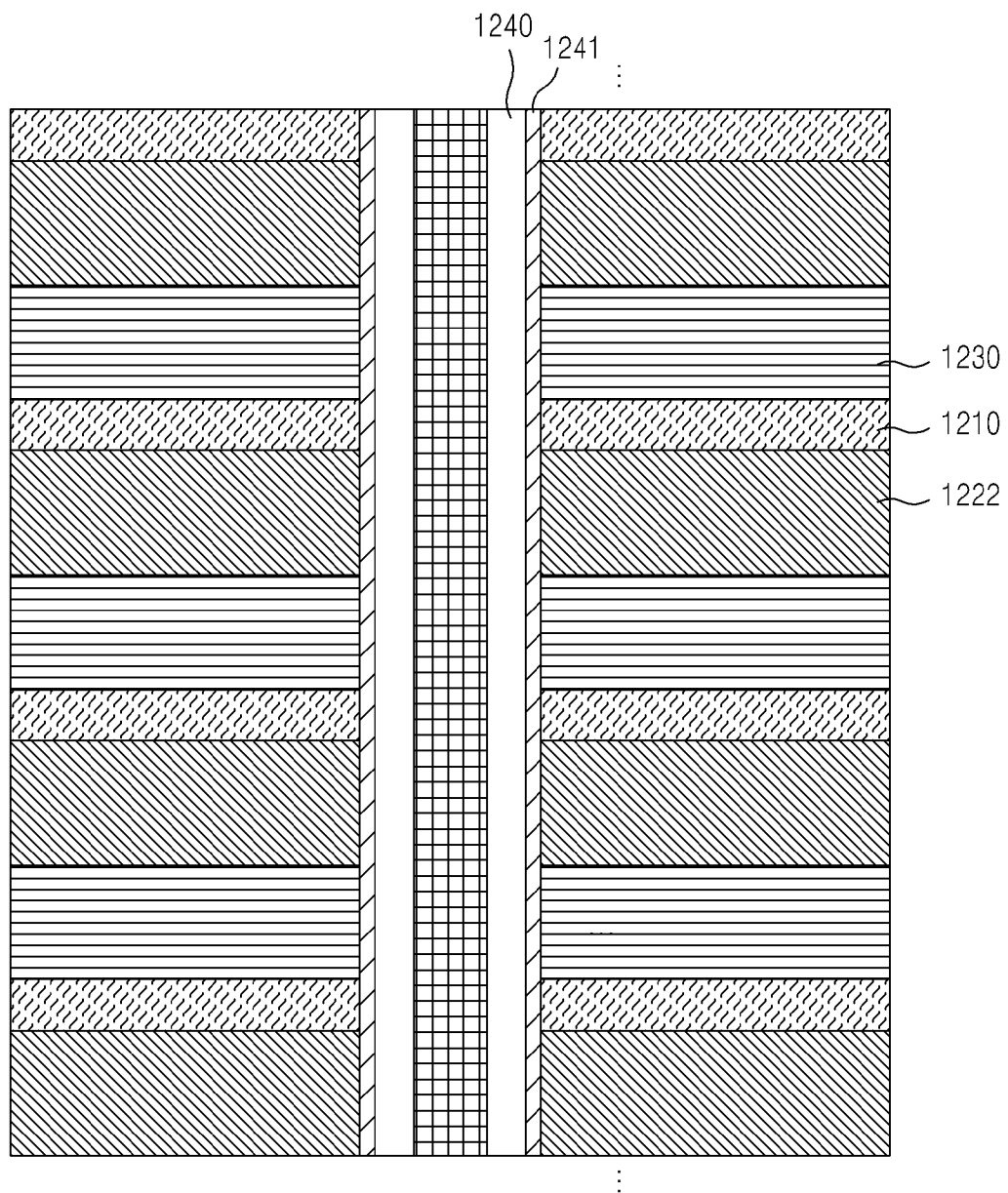
[도 12a]



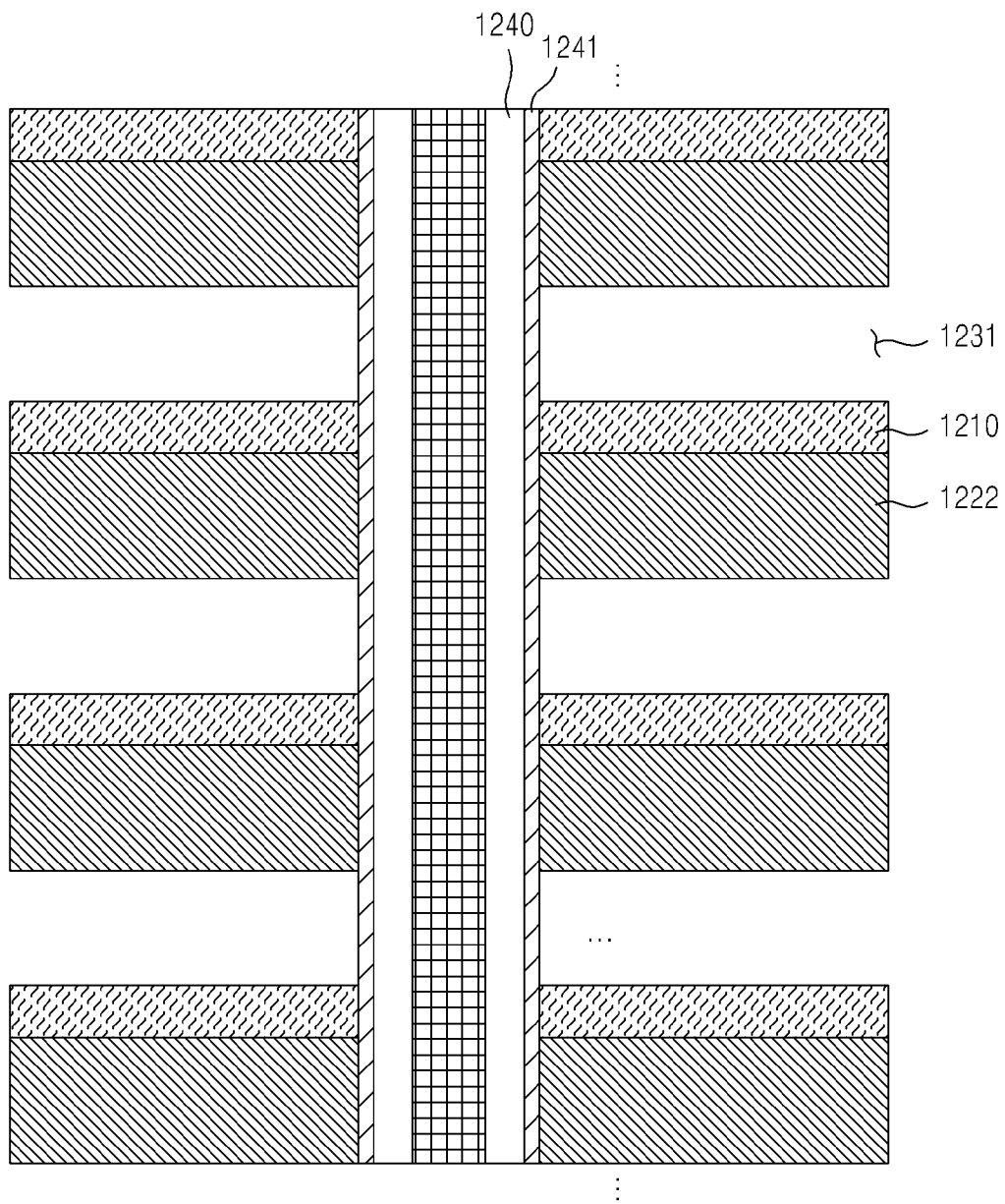
[도 12b]



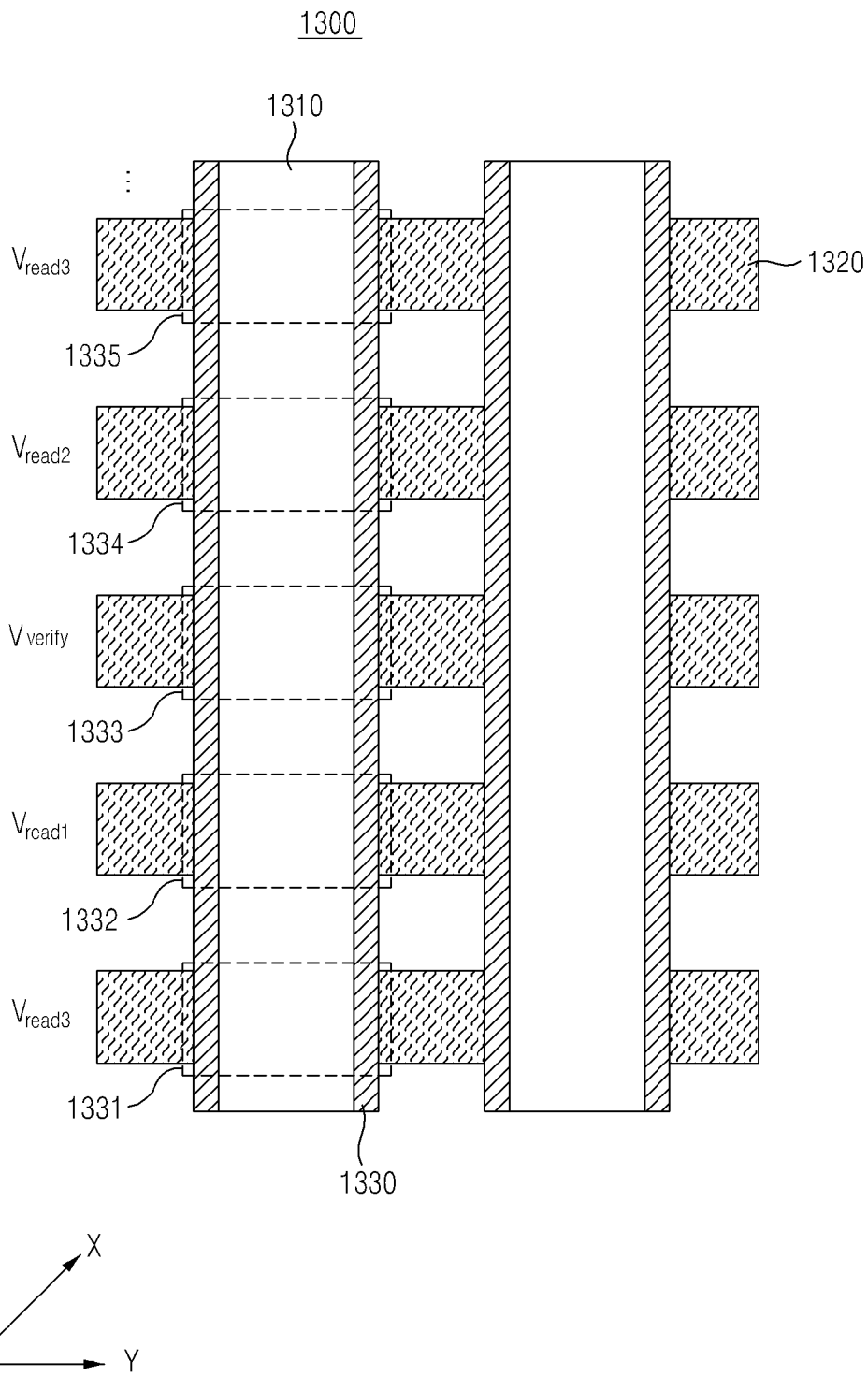
[도 12c]



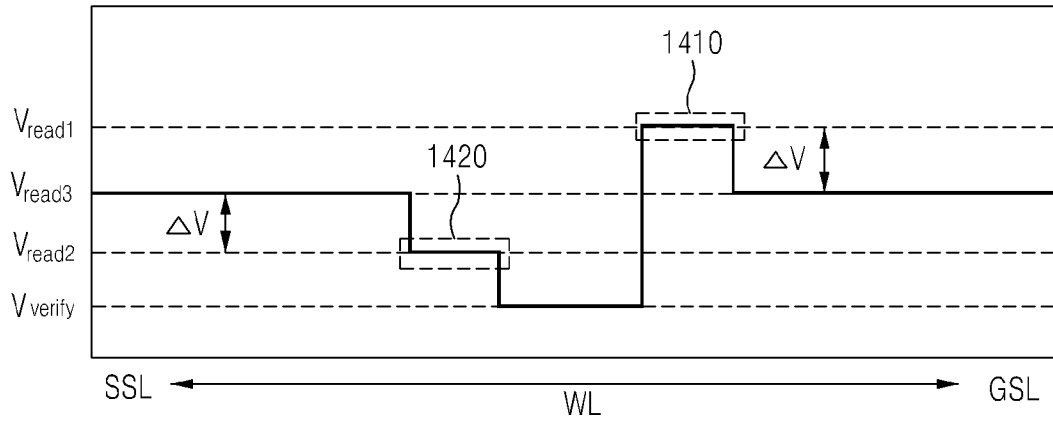
[도12d]



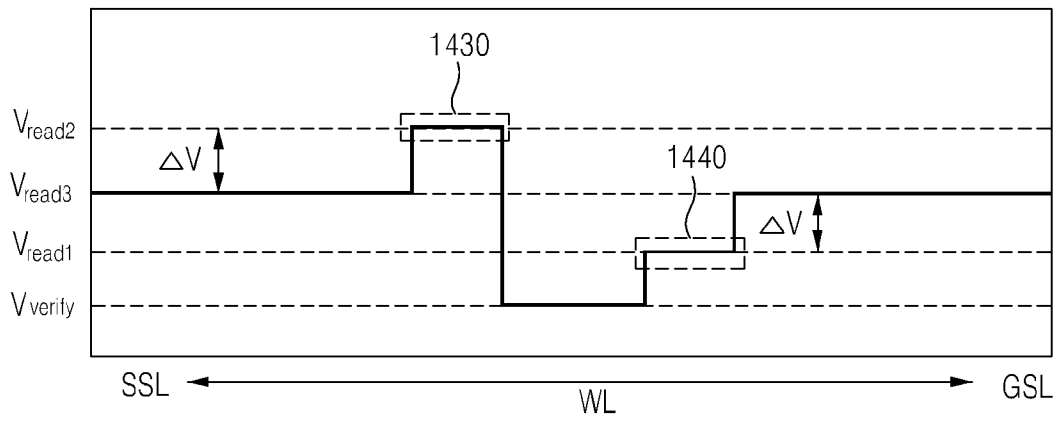
[도13]



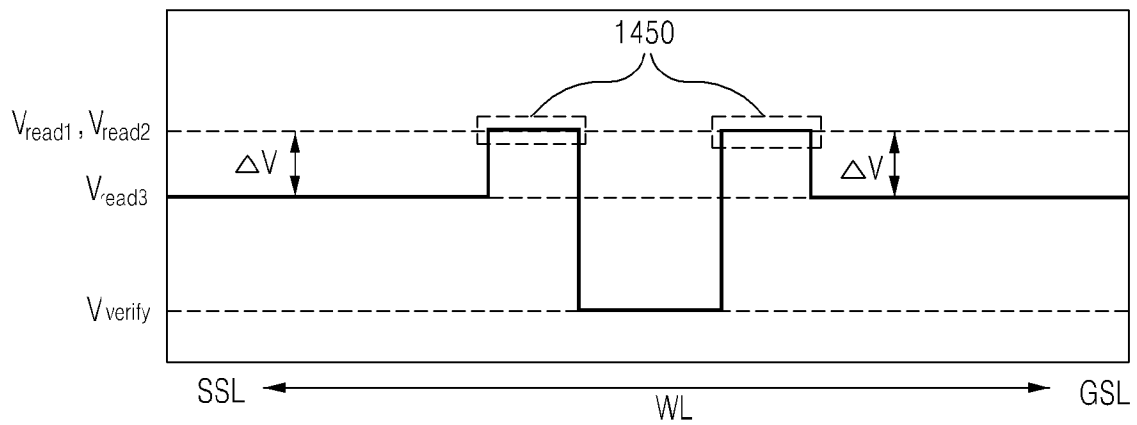
[도 14a]



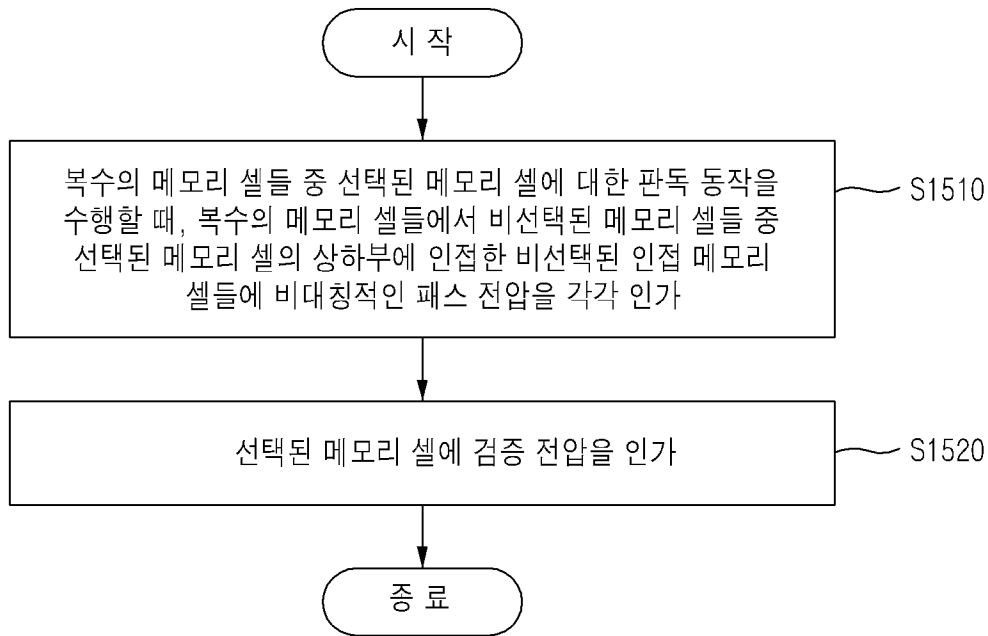
[도 14b]



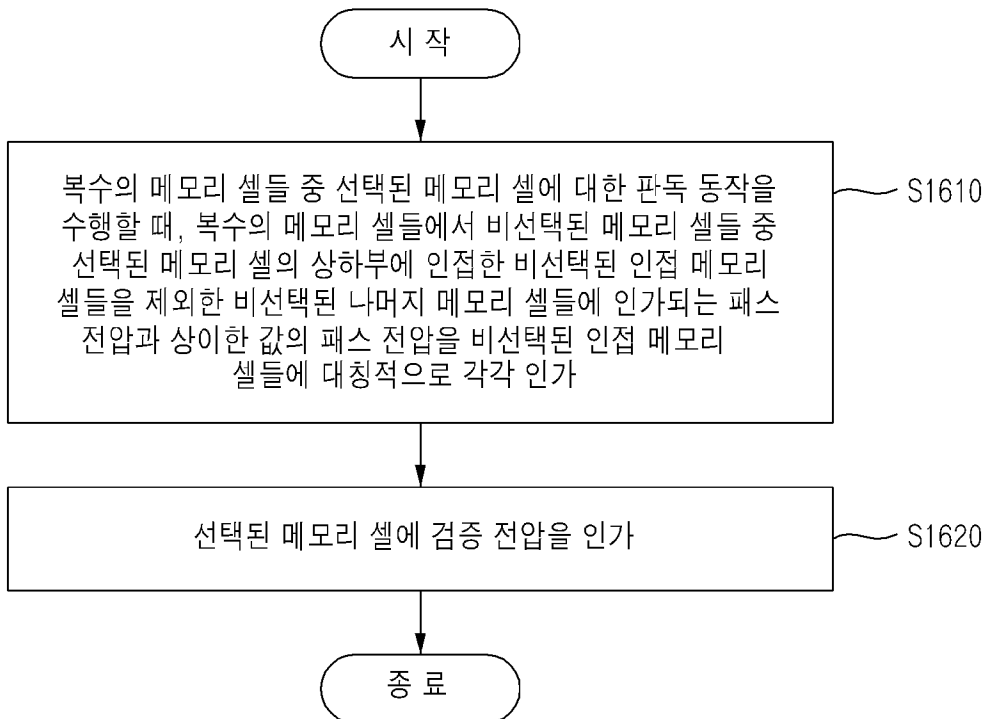
[도 14c]



[도15]



[도16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2021/008446

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/11582(2017.01)i; **H01L 27/1157**(2017.01)i; **H01L 27/11556**(2017.01)i; **H01L 27/11524**(2017.01)i;
G11C 16/34(2006.01)i; **G11C 16/26**(2006.01)i; **G11C 16/10**(2006.01)i; **G11C 16/04**(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 27/11582(2017.01); G11C 16/08(2006.01); G11C 16/26(2006.01); G11C 16/30(2006.01); H01L 27/115(2006.01);
H01L 27/11524(2017.01); H01L 27/11551(2017.01); H01L 27/11568(2017.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 수직 채널(vertical channel), 전하저장층(charge storage layer), 에어갭(air gap), 수평(horizontal)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2011-0096414 A (SAMSUNG ELECTRONICS CO., LTD.) 30 August 2011 (2011-08-30) See paragraphs [0112]-[0142] and figures 12-17.	1,4-6,9-11
Y		7-8
A		2-3,12-15
Y	KR 10-2019-0013054 A (IUCF-HYU (INDUSTRY-UNIVERSITY COOPERATION FOUNDATION HANYANG UNIVERSITY)) 11 February 2019 (2019-02-11) See paragraphs [0032] and [0051] and figures 1a-1b.	7-8
PX	KR 10-2020-0131472 A (SAMSUNG ELECTRONICS CO., LTD.) 24 November 2020 (2020-11-24) See paragraphs [0033]-[0040] and figure 2.	1,6
A	KR 10-2019-0130263 A (SAMSUNG ELECTRONICS CO., LTD.) 22 November 2019 (2019-11-22) See paragraphs [0017]-[0024] and figures 2-4.	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“D” document cited by the applicant in the international application
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

20 October 2021

Date of mailing of the international search report

20 October 2021

Name and mailing address of the ISA/KR

**Korean Intellectual Property Office
Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208**

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2021/008446

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2012-0035468 A (SAMSUNG ELECTRONICS CO., LTD.) 16 April 2012 (2012-04-16) See paragraphs [0086]-[0090] and figure 26.	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2021/008446

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
KR	10-2011-0096414	A	30 August 2011	US	2011-0205802	A1	25 August 2011
KR	10-2019-0013054	A	11 February 2019	None			
KR	10-2020-0131472	A	24 November 2020	None			
KR	10-2019-0130263	A	22 November 2019	CN	110491433	A	22 November 2019
				US	10748617	B2	18 August 2020
				US	2019-0348122	A1	14 November 2019
KR	10-2012-0035468	A	16 April 2012	JP	2012-080105	A	19 April 2012
				US	2012-0083077	A1	05 April 2012
				US	2013-0065369	A1	14 March 2013
				US	8309405	B2	13 November 2012
				US	8815676	B2	26 August 2014

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01L 27/11582(2017.01)i; H01L 27/1157(2017.01)i; H01L 27/11556(2017.01)i; H01L 27/11524(2017.01)i; G11C 16/34(2006.01)i; G11C 16/26(2006.01)i; G11C 16/10(2006.01)i; G11C 16/04(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H01L 27/11582(2017.01); G11C 16/08(2006.01); G11C 16/26(2006.01); G11C 16/30(2006.01); H01L 27/115(2006.01); H01L 27/11524(2017.01); H01L 27/11551(2017.01); H01L 27/11568(2017.01) 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 수직 채널(vertical channel), 전하저장층(charge storage layer), 에어 갭(air gap), 수평(horizontal)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2011-0096414 A (삼성전자주식회사) 2011.08.30 단락 [0112]-[0142] 및 도면 12-17	1,4-6,9-11
Y		7-8
A		2-3,12-15
Y	KR 10-2019-0013054 A (한양대학교 산학협력단) 2019.02.11 단락 [0032],[0051] 및 도면 1a-1b	7-8
PX	KR 10-2020-0131472 A (삼성전자주식회사) 2020.11.24 단락 [0033]-[0040] 및 도면 2	1,6
A	KR 10-2019-0130263 A (삼성전자주식회사) 2019.11.22 단락 [0017]-[0024] 및 도면 2-4	1-15
☒ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2021년10월20일(20.10.2021)		국제조사보고서 발송일 2021년10월20일(20.10.2021)
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578		심사관 박혜련 전화번호 +82-42-481-3463

C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	KR 10-2012-0035468 A (삼성전자주식회사) 2012.04.16 단락 [0086]-[0090] 및 도면 26	1-15

국 제 조 사 보 고 서
대응특허에 관한 정보

국제출원번호

PCT/KR2021/008446

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2011-0096414 A	2011/08/30	US 2011-0205802 A1	2011/08/25
KR 10-2019-0013054 A	2019/02/11	없음	
KR 10-2020-0131472 A	2020/11/24	없음	
KR 10-2019-0130263 A	2019/11/22	CN 110491433 A	2019/11/22
		US 10748617 B2	2020/08/18
		US 2019-0348122 A1	2019/11/14
KR 10-2012-0035468 A	2012/04/16	JP 2012-080105 A	2012/04/19
		US 2012-0083077 A1	2012/04/05
		US 2013-0065369 A1	2013/03/14
		US 8309405 B2	2012/11/13
		US 8815676 B2	2014/08/26