(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H03L 7/10

(45) 공고일자 2001년12월15일
(11) 등록번호 10-0310723
(24) 등록일자 2001년09월19일

(21) 출원번호 10-1994-0039275
(22) 출원일자 1994년12월30일

(65) 공개번호 특1995-0024436
(43) 공개일자 1995년08월21일

(30) 우선권주장 94-000517 1994년01월07일 일본(JP)

(73) 특허권자 오끼 덴끼 고오교 가부시끼가이샤
사와무라 시코
일본 도쿄도 미나토쿠 도라노몬 1쵸메 7반 12고

(72) 발명자 타노이사토루
일본국도오교도미나도꾸도라노몽1쪼메7방12고오오끼뎅끼고오교오가부시끼가이샤나이

(74) 대리인 김영길
남삼식
이화익

심사관 : 강성균

# (54) 클록회로

요약

클록회로의 대기상태와 액티브 상태와의 사이에서의 신속한 전환이 가능하며, 대기시의 저소비전력화와 클록 · 스큐의 저감이 가능한 클록회로를 제공하는데 있다.

기본클록신호와 귀환클록신호를 받는 위상전압변환회로와, 이 위상차전압변환회로 PVC의 출력전압에 의해 제어되어, 공통클록신호를 출력하는 전압제어발진회로 VCO, 이 전압제어발진회로 VCO의 출력에 접속되어, 론리회로에 제 1의 클록신호를 공급하는 클록공급수단 CS와 제 2의 클록신호를 출력하는 더미클록회로 DCS와, 클록공급수단 CS, 더미클록회로 DCS 및 위상차전압변환회로 PVC에 접속되어, 제어신호에 응답하여 클록공급수단 CS와 위상차전압변환회로 PVC 또는 더미클록회로 DCS와 위상차전압변환회로 PVD와를 선택적으로 접속하므로서, 제1 또는 제2의 클록신호를 귀환클록신호로서 출력하는 선택수단 SEL와를 가지는 클록회로이다.

대표도
도 1

# 명세서

## [발명의 명칭]

클록회로

## [도면의 간단한 설명]

제 1도는 본 발명의 제 1 실시예의 클록회로의 회로도.

제 2도는 제 1 실시예의 클록회로의 동작을 나타낸 타임차트.

제 3도는 제 1 실시예의 클록회로의 제어수단의 회로도.

제 4도는 제 3도의 제어수단의 동작을 나타낸 타임차트.

제 5도는 본 발명의 제 2 실시예의 클록회로의 회로도.

제 6도는 제 2 실시예의 클록회로의 동작을 나타낸 타임차트.

제 7도는 제 2 실시예의 클록회로의 디코드수단의 회로도.

제 8도는 본 발명의 제 3 실시예의 클록회로의 회로도.

제 9도는 본 발명의 제 4 실시예의 클록회로의 회로도

제 10도는 스위치수단의 회로도.

제 11도는 또 다른 스위치수단의 회로도.

* 도면의 주요부분에 대한 부호의 설명

PVC : 위상차 전압 변환회로 VOC : 전압제어 발진회로

CS : 클록공급수단 DCS : 더미클록회로

SEL: 선택수단 FCK : 귀환클록선

CNT : 제어수단 LD : 부하회로

CL : 등가용량 DCL : 더미용량수단

100, 500, 800, 900 : 클록회로

## [발명의 상세한 설명]

본 발명은 클록회로에 관한 것으로, 특히 위상동기루프(phase locked loop: 이하, PLL로 칭한다)를 사용한 클록회로에 관한 것이다.

종래에, 큰 부하용량을 갖는 회로에 높은 주파수의 클록을 공급하는 일이 필요한 대규모의 고속 반도체 집적회로 등의 논리회로에 있어서는, 외부클록등의 기본클록과 이 논리회로 내부의 로컬·클록과의 스큐의 저감 및 이 논리회로 내부의 각 로컬·클록 간의 클록·스큐의 저감을 위해, PLL 회로를 포함한 클록회로의 이용이 제안되고 있다.

이와 같은 PLL 회로를 포함한 클록회로는 예를 들면, 일경 마이크로 디바이시즈, 1993년 2월호 81 85 페이지 「0.5 μm ASlC에 PLL를 채용, 인터페이스 설계가 고속화에 필요」 에 기재되어 있다.

그러나, 전술한 클록회로에 있어서는 다음과 같은 문제가 있다.

1. 클록회로가 액티브시에 있어서, 정상적으로 동작하고 있는 로칼·클록 출력단자에 직접 큰 부하용량이 붙어 있기 때문에, 소비전력이 커진다.

2. 클록회로의 대기시에 있어서, PLL 회로를 포함하는 클록회로의 동작을 금지하여 소비전력을 저감하면, 클록회로가 대기상태로부터 액티브상태로 복구하기 위해 PLL 회로의 인입시간에 따른 대기시간을 필요로 한다. 이러한 인입시간은, 클록의 주기에 대해 극히 긴 시간으로(예를 들면 100MHz의 클록에 대해 수백마이크로초 정도의 인입 시간), 클록회로가 포함하는 시스템의 고속 동작을 방해해 버린다. 한편, 대기상태로부터 액티브 상태로 신속하게 복구시키기 위해, 대기시에도 PLL 회로를 포함하는 클록회로의 동작을 그대로 계속되도록 하면, 액티브시와 마찬가지로 큰 소비전력을 필요로 한다.

전술한 과제를 해결하기 위해, 본 발명의 클록회로에서는, 제 1 입력단자에서 기본클록신호와, 제 2 입력단자에서 귀환클록신호와의 위상차를 전압으로 변환하는 것으로 생성된 출력신호를 전압제어발진회로로 출력하는 위상차 전압 변환회로와, 상기 위상차 전압 변환회로의 출력전압에의해 제어되어, 공통클록신호를 출력하는 전압제어 발진회로 또는 전압제어 지연회로와, 상기 전압제어 발진회로 또는 전압제어 지연회로의 출력이 접속되는 공통 클록선과,

모드제어신호에 응답해서 제1 클럭신호의 공급이 정지가능한 클록공급수단과, 더미용량수단을 갖고, 상기 공통 클록선에 접속되어, 그 출력단자에서 제 2 클록신호를 출력하는 더미클록회로와, 상기 전압 발진회로에의 출력신호를 생성하는 상기 위상차 전압 변환회로로 입력되어야하는 귀환클록신호를 모드 제어신호에 응답하여 상기 제 1클록신호로 하는가 제 2 클록신호로 하는가를 선택하는 차선택수단을 설치하였다.

클록회로 액티브시에는 위상차 전압 변환회로, 전압제어 발진회로 또는 전압제어 지연회로, 클록공급수단 및 선택수단으로 PLL를 구성한다. 또한, 클록회로가 대기시에는 위상차 전압 변환회로, 전압제어 발진회로 또는 전압제어지연회로, 더미클록회로 및 선택수단으로 PLL를 구성한다.

[실시예]

제 1도는 본 발명의 제 1 실시예의 클록회로의 회로도이다. 또한, 제 1도에 있어서, 클록회로(100)는 논리회로에 접속되어 있지만, 논리회로를 등가적으로 부하회로 LD로서 표시하고 있다.

제 1 실시예의 클록회로(100)는, 기본클록과 귀환클록이 각각 입력되는 위상차 전압 변환회로 PVC와, 이 위상차 전압 변환회로 PVC의 출력전압에 의해 제어되는 전압제어 발진회로 VCO와, 클록공급수단 CS와, 더미클록을 발생시키는 더미클록회로 DCS와, 선택수단 SEL을 구비하고 있다. 위상차 전압 변환회로 PVC의 제 1 입력단자 CK1에는 외부클록 등의 기본클록 CLK가 입력되고, 위상차 전압 변환회로 PVC의 출력전압단자 V0가 전압제어 발진회로 VC0의 제어전압 입력단자 VC에 접속되고, 전압제어 발진회로 VC0의 출력단자 O가 클록공급수단 CS의 제 1 입력단자 11과 더미클록회로 DCS의 입력단자에 접속되어 있다.

또한, 상기 클록공급수단 CS의 출력단자 O가, 부하회로 LD에 로컬·클록을 공급하는 로칼·클록 출력단자 LCK와, 선택수단 SEL의 제 1 입력단자(1)에 접속되고, 상기 더미클록회로 DCS의 출력단자가 더미클록선 DCL를 통해 선택수단 SEL의 제 2 입력단자(2)에 접속되고, 선택수단 또L의 출력단자 0가 귀환클록선 FCK에 접속되고, 이 귀환클록선 FCK가 상기 위상차 전압 변환회로 PVC의 귀환클록을 입력하는 제 2 클록입력단자 CK2에 접속되어 있다.

위상차 전압 변환회로 PVC는, 종래의 컷과 마찬가지로 위상차 디코더 PD와 채널·펌프회로 PMP와 로우패스·필터 LPF로서 구성되고, 2개의 입력클록 CK1 및 CK2의 위상차를 전압으로 변환하여 출력전압단자 VO에서 출력한다.

클록공급수단 CS는, 예를 들면 제 1 입력단자가 클록공급수단 CS의 제 1입력단자 I1에 접속되고 제 2 입력단자가 클록공급수단 CS의 제 2 입력단자 l2에 접속된 NAND 게이트 NA와, 입력단자가 NAND 게이트 NA의 출력단자에 접속되고 출력단자가 클록공급수단 CS의 출력단자 0 접속된 기수단의 인버터 lNVs로구성되어 있다.

더미클록회로 DCS는, 버퍼수단 BFF를 구비하고, 이 버퍼수단 BFF의 입력단자는 더미클록회로 DCS의 입력수단에, 그것의 출력단자는 더미용량수단 DCL 및 더미클록회로 DCS의 출력단자에 접속되어 있다. 이러한 더미용량수단 DCL의 용량은, 부하회로 LD의 등가용량 CL에 대해서 작은 것으로 설계되어 있다. 또한, 상기 더미용량수단 DCL의 용량과 부하회로 LD의 등가용량 CL의 크기의 비와, 버퍼수단 BFF와 클록공급수단 CS와의 전류 구동능력의 비가 거의 같도록 설계되어 있다. 선택수단 SEL는 예를 들면, 그것의 제어단자 g가 H레벨일 때 로컬·클록 출력단자 LCK와 귀환클록선 FCK를 접속하고, L레벨일 때 더미클록회로 DCS의 출력단자와 귀환클록선 FCK를 접속하도록 구성되어 있다.

더구나, 제 1 실시예의 클록회로(1OO)에는, 동작모드 제어신호 MODE가 입력되는 제어수단 CNT가 설치되고, 그것의 출력이 클록공급수단 CS의 제 2 입력단자 I2와 선택수단 SEL의 제어단자 g(노드 R)에 접속되어 있다.

제 2도는 제 1 실시예의 클록회로(100)의 동작을 나타낸 타임차트이다. 이하, 제 2도의 타임차트 및 제 1도를 참조하면서 제 1 실시예의 클록회로(100)의 동작을 설명한다. 동작모드 제어신호 MODE가 액티브(H레벨)이면, 제어수단 CNT에 의해 클록공급수단 CS의 제 2 입력단자 12가 H레벨이 된다. 그후, 클록공급수단 CS가 활성화되어, 로컬·클록 출력단자 LCK를 통해 부하회로 LD로 내부클록이 공급된다. 여기서, 로컬·클록은 기본클록 CLK보다 약간 앞선 위상으로 되어 있다. 또한, 로컬·클록 출력단자 LCK 상의 로컬·클록이 선택수단 SEL를 통해 위상차 전압 변환회로 PVC에 귀환되어 PLL 회로로서 동작한다.

이때, 로컬·클록은 선택수단 SEL에 의해 약간 지연되어, 기본클록 CLK의 위상과 거의 같아진다. 그 결과, 전원 투입 후 PLL의 인입 시간이 경과하면 클록회로(00)에 있어서 PLL의 록·ON 상태로 되어, 로컬·클록 출력단자 LCK 상에 그것의 부하용량 CL의 대소에 관계없이 기본클록 CLK의 위상차가 극히 작은 클록신호가 얻어진다. 또한, PLL의 인입 과정에 대해서는 본 발명과는 특별히 관계가 없으므로 제 2도에는 생략되어 있다.

다음에, 동작모드 제어신호 MODE가 액티브(H레벨)에서 대기(L레벨)로 변화하면, 제어수단 CNT에 의해 클록공급수단 CS의 제 2 입력단자 I2가 L레벨로 된다. 그러면, 클록공급수단 CS가 비활성화되어, 부하회로 LD로의 내부클록의 공급이 정지된다. 또한, 더미클록회로 DCS의 출력, 즉 더미클록이 선택수단 SEL를 통해 위상차 전압 변환회로 PVC로 귀환된다.

여기에서, 더미클록은 로컬·클록과 같은 위상이 되도록 더미클록회로 DCS가 설계되어 있다. 또한, 로컬. 클록과 마찬가지로 더미클록은 선택수단 SEL에 의해 약간 지연되어, 기본클록 CLK의 위상과 거의 같아진다. 따라서, 제2도에 나타낸 것 같이, 귀환클록선 FCK에는 동일 위상의 클록의 공급이 계속된다. 더구나, 더미클록회로 DCS의 더미용량수단 DCL의 크기와 버퍼수단 BFF의 전류 구동능력을 전술한 것과 같이 설계하였기 때문에, 더미클록과 로컬·더미출력단자 LCK 상의 클록의 위상차는 작아진다. 따라서, 위상차 전압 변환회로PVC로 귀환되는 신호가 더미클록회로 DCS의 출력으로 전환되어도, PLL의 록·ON상태가 계속된다.

그후, 동작모드 제어신호 MODE가 대기(L레벨)에서 액티브(H레벨)로 복구하면, 클록공급수단 CS에 의한 내부블록의 공급이 재개되어, 이 내부클록이 귀환되게 된다. 이때에도, PLL의 록·온 상태는 마찬가지로 계속된다.

이상 설명한 제 1 실시예에 있어서는, 다음에 기술하는 효과가 있다.

동작모드 제어신호 MODE가 액티브와 대기 사이에서 전환하여도, PLL의 록·온 상태가 계속된다. 그 결과, 전원투입 직후에 있어서만 대기시간이 필요할 뿐으로, 한번 PLL이 록·온하면, 대기상태에서 액티브 상태로 복구하는 경우에도 그 PLL 회로의 인입 시간에 의한 대기시간을 필요로 하지 않는다. 따라서, 클록회로를 포함하는 시스템의 고속 동작이 가능하게 된다.

한편, 대기시에는 큰 용량 CL를 갖는 부하회로 LD로의 내부클록의 공급이 정지되어, 더미클록회로 DCS 만이 동작하고 있다. 더미클록회로의 DCS의 더미용량수단 DCL는, 상기한 것 같이 부하회로 LD의 등가용량 CL에 대해 작게 설계되어 있다. 따라서, 대기시의 소비전력을 극히 작게 할 수 있다.

이와 같이 제 1 실시예에서는, 대기상태와 액티브 상태의 사이에서의 신속한 전환과, 대기시의 저소비 전력화가 함께 달성되고, 또한 클록·스큐의 저감이 가능한 클록회로가 얻어진다.

제 3도는 제 1 실시예에 있어서의 클록회로(100)의 제어수단 DNT의 일실시예에 대한 회로도이다. 제어수단 CNT는, 기본클록 CLK가 입력되는 지연수단 DL와, D형 플립플롭 FF로 구성되는 동기화수단 SYN1을 갖고 있다. 지연수단 DL의 입력에는 기본클록 CLK가 입력되고, 그것의 출력은 노드 P에 접속된다. 노드 P는 D명 플립플롭 FF의 클록입력단자 C에 접속된다. b명 플립플롭 FF의 데이터 입력단자 D에는 동작모드 제어신호 MODE가 입력된다. 또한, 동기화수단 SYN1의 출력(노드 Q)가 적절히 게이트 수단 등을 통해 이 제어수단 CNT의 출력단자(노드 R)에 접속된다.

제 4도는 전술한 제어수단 CNT의 동작을 나타낸 타임차트이다. 제 4도에서 알 수 있는 것 같이, 노드 P에 있어서 기본클록에서 소정시간 지연된 클록신호가 얻어진다. 여기에서, 동작모드 제어신호 MODE가 변화하면, 그 변화는 노드 P의 신호의 상승에지에서 D형 플립플롭 FF으로 끌어넣어져, 제어수단 CNT의 출력단자의 레벨이 변화한다. 그 결과, 제어수단 CNT에 의한 클록회로의 노드 R의 제어는, 기본클록 CLK의 각 에지에서 소정시간 지연된 시점에서 이루어진다. 따라서, 동작모드 제어신호 MODE의 전환시의 상기 선택수단 SEL의 전원타이밍과 귀환클록선 FCK 상의 클록에지의 충돌이 방지된다. 이렇게 하여, 오동작이 없는 안정한 클록회로가 얻어진다.

제 5도는 본 발명의 제 2 실시예인 클록회로(500)의 회로도이다. 제 2실시예의 클록회로(500)는 블록 어드레스에 의해 선택된 복수의 블록 BK1, BK2, …, BKn에 클록신호를 공급한다.

클록회로(500)는, 제 1 실시예의 클록회로(100)와 마찬가지로 기본클록 CLK와 귀환클록 FCK가 각각 입력되는 위상차 전압 변환회로 PVC와, 이 위상차전압 변환회로 PVC의 출력전압에 의해 제어되는 전압제어 발진회로 VCO를 갖고 있다. 전압제어 발진회로 VCO의 출력단자 0는 공통 클록선 CCK에 접속되어 있다.

더구나, 클록회로(500)는 블록 어드레스 BA가 입력되는 디코더수단 DEC와, 이 디코드수단 DEC의 출력단자에 접속된 복수의 블록선택선 B1, B2, …, Bn과, 각 블록마다 설치되어 상기 복수의 블록선택선에 의해 제어되는 블록·클록 공급수단 BCS1, BCS2, …, BCSn 및 스위치수단 SW1, SW2, …, SWn를 갖고 있다. 공통 클록선 CCK와 소정의 블록선택선 B1, B2, …, Bn이 각 블록·클록 공급수단 BCS1, BCS2, …, BCSn의 제 1 및 제 2 입력단자 I1,I2에 집속된다. 블록·클록 공급수단의 출력단자 0는 각 블록 BK1, BK2, …, BKn에 클록을 공급하는 블록·클록 출력단자 BCK1, BCK2, …, BCKn와 각 스위치수단 SW1, SW2, …, SWn의 제 1 단자 1에 각각 접속되어 있다. 각 스위치수단 SW1, SW2,

…, SWn의 제어단자 g는 각각 블록선택선 B1, B2, …, Bn에 접속되고, 각 제 2 단자(2)가 귀환클록선 FCK에 공통으로 접속되어 있다. 귀환클록선 FCK가 위상차 전압 변환회로 PVC의 귀환클록을 입력하는 제 2 클록 입력단자 CK2에 접속되어 있다.

각 블록·클록 공급수단 BCS1, BCS2, …, BCSn은, 제 1 실시예의 클록공급수단 CS와 동일한 회로구성이다. 또한, 블록·클록 출력단자 BCKl, BCK2, …, BCKn에는 대응하는 블록 BKl, BK2, …, BKn에 접속된다. 대응하는 블록 BK1, BK2, …BKn의 용량은 블록을 등가부하용량 CL1, CL2, …, CLn로서 표시되어 있다. 이 등가부하용량 CLl, CL2, …, CLn의 각각은, n개의 블록으로 분할된 집적회로에 있어서는, 이 집적의로에 있어서 클록의 총부하용량 CL의 1/n여 되어, 분할하지 않은 것에 비해 현저하게 작게 할 수 있다.

또한, 각 스위치수단 SW1, SW2, …, SWn는 그 제어단자 g가 H레벨일 때 블록·클록선 BCK1, BCK2, …, BCKn와 귀환클록선 FCK를 접속하고, L레벨일 때 떼어놓도록 구성되고, 각 제어단자 g에 소정의 블록선택선이 접속되어 있다.

다음에, 제 2 실시예의 클록회로의 동작에 대해 설명한다. 제 6도는 제 2 실시예의 클록회로의 동작을 나타낸 타임차트이다. 제 2 실시예에 있어서는, 회로는 항상 액티브 상태에 있고, 공통 클록선 CCK에는 정상적으로 클록이 공급되고 있다.

지금, 블록·어드레스 " i" 가 입력되어, 블록선택선 Bi가 활성파되어 있다(H레벨로 되어 있다)고 한다. 그러면, 블록·클록 공급수단 BCSi만이 활성화되고, 블록·클록선 BCKi를 통해 블록 BKi으로 블록·클록이 공급된다. 또한, O 이 블록·클록이 스위치수단 swi를 통해 위상차 전압 변환회로 pvc에 귀환되어 PLL이 형성된다. 따라서, 전원투입 후에 소정의 시간이 경과한 후에는 PLL이 록·온 상태로 되고, 블록·클록선 BCKi 상에 그 부하용량 CLi의 대소에 관계없이 기본클록 CLK과 위상차가 극히 작은 클록신호가 얻어진다. 또한, 이 기간동안, 다른 블록으로의 클록의 공급은 정지되어 있다.

여기에서, 제 6도에 도시된 것 같이, 블록·어드레스가 " i" 에서 " j" 로 변화하면, 블록선택선 Bi이 비활성화되고 블록선택선 Bj가 활성화된다. 이 결과, 블록·클록공급수단 BCSi에 의한 블록 BKi으로의 클록의 공급이 정지되고, 블록·클록 공급수단 BCSj에 의한 블록 BKj로의 블록·클록의 공급이 개시된다. 이러한 블록·클록이 스위치수단 swj를 통해 위상차 전압 변환회로 Pvc로 귀환되어 PLL의 록·온·상태가 계속된다. 따라서, 블록 BKi에 대해서도 기본클록 CLK와의 위상차가 극히 작은 클록이 공급된다. 또한, 이 기간동안, 블록 BKj 이외의 블록으로의 클록의 공급은 정지된다.

제 2 실시예에 있어서는, 이하에 서술하는 효과가 있다. 먼저, 어느쪽의 블록 BKj에도 그것의 부하용량 CLi의 대소에 관계없이 기본클록 CLK와의 위상차가 극히 작은 클록이 공급될 수 있다. 또한, 전원투입 후에 소정시간이 경과한 후에는, 항상 PLL이 록·온 상태로 되어 있어, 인입 시간에 따른 쓸데없는 대기시간이 생기지 않는다. 한편, 선택된 블록으로밖에 클록이 공급되지 않으므로, 클록공급을 위해서는, 1 블록의 등가부하용량 CLi를 구동하는 만큼의 전력밖에 필요로 하지 않는다. 상기한 것 같이, 이 블록의 등가부하용량 CL1, CL2, …, CLn 각각은, 분할하지 않는 종래의 것에 비해 현저하게 작게 할 수 있다. 따라서, 액티브시의 소비전력이 작고, 또한 클록·스큐의 저감이 가능한 클록회로를 얻을 수 있다.

제 7도는 제 2 실시예의 클록회로에 있어서의 디코드수단 DEC의 일 실시예에 대한 회로도이다. 이하, 이 디코드수단 DEC에 대해 설명한다.

디코드수단 DEC는, 기본클록 CLK가 입력되는 지연수단 DL과, 복수의 D형플립플롭 FF1, FF2, …, FFm으로 구성되는 동기화수단 SYN2를 갖는다. 이 동기화수단 SYN2에서는, 지연수단 DL의 출력이 노드 P에 접속되고, 노드 P가 각 D형 플립플롭 FF1, FF2, …, FFm의 클록입력단자 C에 공통으로 접속되고, D형 플립플롭 FF1, FF2, …, FFm의 데이터 입력단자 D로 블록·어드레스의 소정 비트가 입력되고 있다. 또한, 동기화수단 SYN2의 각 출력(노드Q1, Q2, …, Qm)이 디코드·게이트 DG1, DG2, …, DGn를 통해 블록선택선 BSL에 접속된다.

제 2실시예의 디코드수단 DEC는 다음과 같이 동작한다. 노드 P에 있어서 기본클록 CLK로부터 소정시간 지연된 클록신호가 얻어진다. 여기에서, 블록어드레스 BA가 변화하면, 그것의 변화는 노드 P의 신호의 상승에지에서 D형 플립플롭 FF1, FF2, …, FFm로 받아들여져, 동기화수단 SYN2의 각 출력노드 Q1, Q2, …, Qm가 변화한다. 그 결과, 블록선택선 BSL는, 기본클록 CLK의 각 에지로부터 소정시간 지연된 시점에서 변화한다.

따라서, 블록·어드레스 BA 전원시의 상기한 블록선택선 BSL의 전환의 타이밍과 귀환클록선 FCK 상의 클록에지와의 충돌이 방지된다. 이와 같이 하여, 오동작이 없는 안정한 클록회로가 얻어진다.

제 8도는 본 발명의 제 3 실시예의 클록회로(800)에 대한 회로도이다. 제 3 실시예의 클록회로(800)에서는, 제 2 실시예의 클록회로(500)에, 더미클록회로 DCS와 선택수단 OSEL을 새롭게 부가한 구성으로 하였다. 이하, 본 발명의제 3 실시예의 클록회로의 설명을 제 2 실시예의 클록회로와 서로 다른 점을 중심으로 설명한다.

제 3 실시예의 클록회로의 더미클록회로 DCS와 선택수단 SEL은, 각각 제1 실시예와 동일하게 구성되어 있다. 단지, 이 더미클록회로 DCS의 더미용량수단 DCL의 용량과 각 블록의 등가용량 CL1, CL2, …, CLn의 용량과의 크기의 비는, 버퍼수단 BFF와 클록공급수단 BCS1, BCS2, BCSn과의 전류 구동능력의 비와거의 같아지도록 설계되어 있다.

각 스위치수단 SW1, SW2, …, Swn의 제 2 단자(2)는 공통출력선 CMSW를 통해 선택수단 SEL의 제 1 입력단자(1)에 공통으로 접속되어 있다. 더미블록회로 DCS의 입력단자는 상기 공통 클록선 CCK에 접속되고, 더미클록회로 DCS의 출력단자는 선택수단 SEL의 제 2 입력단자(2)에 접속되어 있다. 선택수단 SEL의 출력단자 0는 귀환클록선 FCK에 접속되고, 이 귀환클록선 FCK가 위상차 전압 변환회로 PVC의 귀환클록을 입력하는 제 2 클록입력단자 CK2에 접속되어 있다.

제 3 실시예의 클록회로(800)에서는 제 5도의 디코드수단 DEC 대신에, 제어단자 E 의 레벨에 근거해서 모든 블록선택선을 비활성화하는 인에이블/디스에이블 수단 E/DM을 포함하는 디코드수단 DECE가 설치되어 있다. 디코드수단 DECE의 제어단자 E와 선택수단 SEL의 제어단자 g는 공통으로 노드 R에 접속되고, 이 노드 R를 제어하는 제어수단 CNT가 제 3 실시예의 클록회로에 설치되어있다.

제 3 실시예의 클록회로(800)의 디코드수단 DEC는, 예를 들면 제 7도에 있어서의 디코드·게이트 DGl, DG2, …, DGn의 입력수를 1개 증설하고, 증설된 각 입력단자가 디코드수단 DECE의 제어단자 E에 공통으로 접속되어 구성된다.

또한, 제 3 실시예의 클록회로(800)에 있어서 제 1 또는 제 2 실시예의클록회로 100 또는 500과 동일한 것에 대해서는 동일한 부호를 붙이고 있다.

다음에 제 3 실시예의 클록회로의 동작에 대해 설명한다, 또한, 제 3실시예의 클록회로의 타임차트는 제 2 실시예와 거의 같기 때문에 생략되어 있다.

먼저, 동작모드 제어신호 MODE가 액티브일 때에 대해 설명한다. 이 경우, 제 2 실시예와 마찬가지로, 블록·어드레스 BA에 의해 선택된 블록 BKi에 블록·클록 출력단자 BCKi를 통해 블록·클록이 공급된다· 이 블록·클록이 스위치수단 SWi와 선택수단 SEL을 통해 위상차 전압 변환회로 PVC에 귀환되어 PLL이 형성되고, 이 PLL이 록·온 상태로 된

다. 따라서, 기본클록 CLK와의 위상차가 극히 작은 블록·클록이 얻어진다. 또한, 블록·어드레스가 변화하더라도 PLL의 록·온 상태가 계속된다.

다음에, 동작모드 제어신호 MODE가 액티브로부터 대기상태로 변화하면, 디코드수단 DECE의 인에이블/디스에이블수단 E/DM에 의해 모든 블록선택선 BSL이 비활성화되어, 블록·클록의 공급이 정지된다. 한편, 더미클록회로 DCS의출력이 선택수단 SEL을 통해 위상차 전압 변환회로 PVC로 귀환되어, PLL의 록·온 상태가 계속된다.

그후, 동작모드 제어신호 MODE가 대기에 O서 액티브로 복구하면, 블록·클록의 공급과 귀환이 재개되어, PLL의 록·온 상태는 계속된다.

이와 같이 제 3 실시예의 클록회로(800)는, 동작모드 제어신호 MODE가 액티브시에 있어서는 제 2 실시예의 클록회로(500)과 동일한 동작을 하고, 또한 동작모드 제어신호 MODE가 동작모드의 액티브와 대기 사이에서의 전환기간에 대해서는 제 1 실시예의 클록회로(100)과 동일하게 동작한다. 따라서, 제 3 실시예의 클록회로(800)는 동작모드 제어신호 MODE가 액티브시에 있어서 저소비 전력으로 또한 클록·스큐의 저감이 가능하게 된다. 또한, 제 3 실시예의 클록회로(800)는 동작모드 제어신호 M0DE가 대기상태와 액티브상태 사이에서의 신속한 전환과, 동작모드 제어신호 MODE가 대기시의 저소비 전력화를 모두 달성할 수있다.

또한, 제 1 실시예의 클록회로(100)에 있어서, 대기시의 소비전력의 저감을 위해, 더미클록회로의 DCS의 더미용량수단 DCL의 용량과 버퍼수단 BFF의 전류 구동능력을 함께 작게 설계할 필요가 있다. 버퍼수단 BFF의 전류 구동능력은, 그것을 구성하는 M0S 트랜지스터의 게이트 길이와 게이트 폭으로 결정된다. 이들 트랜지스터의 게이트길이에 대해서는, 블록·클록과 더미클록과의 위상오차를 작게 하기 위해, 각 블록·클록 공급수단 BCS1, BCS2, …, BCSn를 구성하는 M0S 트랜지스터의 게이트길이와 동일하게 하는 것이 바람직하다. 한편, 게이트폭에 대해서는 제조변동의 영향을 저감하기 위해서는 무제한으로 작게 할수 없다. 이와 같이 버퍼수단 BFF의 전류 구동능력을 작게 하는데 에는 한계가있어, 동작모드 제어신호 MODE가 대기시의 저소비 전력화가 제한된다.

한편, 제 3 실시예의 클록회로(800)에 있어서는, 각 블록·클록 공급수단 BCS1, BCS2, …, BCSn가 구동하는 부하용량 CL1, CL2, …, CLn 각각은 집적회로를 블록으로 분할하지 않는 경우의 부하용량에 비해 현저하게 작다. 또한, 더미클록회로 DCS의 더미용량수단 DCL의 용량과 각 블록의 등가용량 CL1, CL2, …, CLn의 크기의 비와, 버퍼수단 BFF와 각 클록공급수단 BCS의 전류 구동능력의 비가 거이 같도록 설계되어 있기 때문에, 버퍼수단 BFF의 전류 구동능력을 줄이지 않아도 동작모드 제어신호 MODE가 대기시의 소비전력의 저감을 할 수 있다.

이와 같이, 제 3 실시예의 클록회로(80O)에서는, 더미클록회로 DCS의 더미용량 DCL를 작게 할 수 있고, 동작모드 제어신호 MODE가 대기시에 있어서, 더욱 소비전력화가 도모된다.

또한, 제 3 실시예의 클록회로(800)에서는, 각 스위치수단 SW1, SW2, SWn의 제 1 단자(1)에 공통에 접속된 공통출력선 CMSW의 기생용량과 귀환클록선 FCK의 기생용량이 선택수단 SEL에 의해 분리되는 동시에, 귀환클록선 FCK가 선택수단 SE에 의해 구동되도록 구성되어 있다. 이 때문에 공통출력선 CMSW와 귀환클록선 FCK 상에 급격한 파형이 용이하게 얻어진다. 따라서, 클록회로의 치수가 큰 경우의 고속화를 위한 레이아웃 설계가 용이하게 된다.

제 9도는 본 발명의 제 4 실시예의 클록회로(900)에 대한 회로도이다. 제 4 실시예의 클록회로(900)에는, 제 3 실시예의 클록회로(800)에 있어서의 선택수단 SEL를 제거하는 동시에 더미클록회로 DCS와 귀환클록선 FCK 사이에 제 2 스위치수단 SW를 새롭게 설치하고 있다. 더미클록회로의 DCS의 출력단자가 제 2 스위치수단 SWS의 제 1 단자(1)

에 접속되고, 제 2 스위치수단 SWS의제 2 단자(2)와 제 1 스위치수단 SW1, SW2, …, SWn의 제 2 단자(2)가 귀환 클록선 FCK에 공통으로 접속된다. 제 2 스위치수단 SWS의 제어단자 g는 인버터를 통해 제어수단 CNT의 출력단자(노드 R)에 접속되어 있다. 또한, 제 4 실시예의 클록회로(900)에 있어서 제 3 실시예의 클록회로(800)와 동일 부분에 대해서는 동일부호를 붙여 그 설명을 생략한다.

다음에, 제 4 실시예의 클록회로(900)의 동작에 대해 설명한다. 제 4 실시예의 클록회로(900)에 있어서는, 동작모드 제어신호 M0DE가 액티브이면, 선택된 블록 BKi의 블록 · 클록이 제 1 스위치수단 SWi만을 통해 위상 전압차 변환회로 PVCfh 귀환된다. 또한, 동작모드 제어신호 MODE가 대기이면, 더미클록회로 DCS의 출력이 제 2 스위치수단 SWS를 통해 위상차 전압 변환회로 PVC로 귀환된다.

또한, 그 이의의 동작에 대해서는 제 3 실시예의 클록회로(800)과 동일하므로, 설명을 생략한다.

제 4 실시예의 클록회로(900)에서는, 제 3 실시예의 클록회로(800)과 마찬가지로 다음과 같은 효과가 있다. 동작모드 제어신호 MODE가 액티브시에 있어서, 저소비전력으로 또한 클록 · 스큐의 저감이 가능하게 된다. 또한, 동작모드 제어신호 MODE가 대기상태와 액티브 상태 사이에서 신속하게 전환되어, 동작모드 제어신호 MODE가 대기시의 저소비전력화를 달성할 수 있다. 또한, 동작모드 제어신호 MODE가 대기시에 있어서, 더욱 더 저소비전력화가 가능하게 된다. 더구나, 제 4 실시예의 클록회로(900)에서는 블록 · 클록과 더미클록이 1단의 스위치수단만을 통해 귀환되기 때문에, 블록 · 클록과 기본클록과의 위상오차 및 더미클록과 기본클록과의 위상오차를 작게 할 수 있다.

더우기, 본 발명은 다음과 같은 변형이 가능하다.

제 1 내지 제 4 실시예에 있어서, 귀환클록선 FCK와 위상차 전압 변환회로 PVC 사이에 카운터를 설치할 수 있다. 카운터를 설치함으로써 기본클록의 정수배의 주파수의 내부클록 또는 블록 · 클록을 공급할 수 있다. 이 경우, 내부클록 또는 블록 · 클록의 각 에지 중에서, 소정의 것이 주기적으로 기본클록의 에지와 일치되어 공급된다.

제 1 내지 제 4 실시예에 있어서, 전압제어 발진회로 VC0 대신에 전압제어 지연회로를 설치하고, 이 전압제어 지연회로의 입력단자에 기본클록을 입력하고, 그것의 제어전압 입력단자 VC에 위상차 전압 변환회로 PVC의 출력단자 VO를 접속하는 구성으로 하여도 좋다. 이 경우, 전압제어 지연회로의 출력단자 O는, 제 1 실시예에 있어서는 클록공급수단 CS와 더미클록회로 DCS의 입력단자에 접속하고, 제 2 내지 제 4 실시예에 있어서는 공통 클록선 CCK에 접속한다. 이것에 의해 내부클록 또는 블록 · 클록의 주파수가 항상 기본클록의 주파수와 같아진다. 따라서, PLL의 인입 시간을 짧게 할 수 있고, 전원투입 직후의 대기시간을 단축할 수 있다. 또한, 위상차 전압 변환회로 PVC에 있어서의 회로정수의 제한이 완화되어, 내부클록 또는 블록 · 클록과 기본클록과의 위상오차를 보다작게 할 수 있다.

제 1 내지 제 4 실시예에 있어서, 귀환클록선 FCK 상에 지연수단을 삽입하여도 좋다. 일반적으로, 기본클록 CLK를 칩 외부에서 입력하는 경우에는 입력버퍼를 통해 입력하지만, 이 입력버퍼에 의해 칩 외부의 클록과, 내부의 기본클록 사이에 위상오차가 생기는 일이 있다. 그러나, 귀환클록선 FCK 싱에 삽입한 지연수단에 의해, 이 위상오차를 보상할 수 있다.

제 2 내지 제 4 실시예에 있어서 제 1 및 제 2 스위치수단을, 제 10도에 도시된 회로로 구성할 수 있다. 제 10도의 스위치수단에서는, 제 1 단자(1)에 드레인 또는 소스가 접속되고 제 2 단자(2)에 소스 또는 드레인이 접속된 NM0S트랜지스터(1003)과, 제 1 단자(1)에 소스 또는 드레인이 접속되고 제 2 단자(2)에 드레인 또는 소스가 접속된 PMOS 트랜지스터(1005)를 갖고, NMOS 트랜지스터(l003)의 게이트가 제어단자 g에 접속되고, PMOS 트랜지스터(1005)의 게이트가 제어단자 g에 인버터(1001)을 통해 접속되어 있다.

이 스위치수단에 의해 선택된 블록의 블록·클록선의 용량과, 귀환클록선 FCK 또는 공통출력선 CMSW의 용량이 함께 1개의 블록·클록 공급수단으로 구동되기 때문에, 블록·클록선과 귀환클록선 FCK 또는 공통출력선 CMSW과의 위상오차를 작게 할 수 있다. 따라서, 보다 위상오차가 작은 블록·클록이 얻어진다.

제 2 내지 제 4 실시예에 있어서 제 1 및 제 2 스위치수단은, 제 11 도에 나타낸 회로로 구성할 수 있다. 제 11도의 스위치수단에서는, 제 1 단자(1)에 입력단자가 접속되고 제 2 단자(2)에 출력단자가 인버터(1003)를 통해 접속된 클록드·인버터 CINV를 갖는다. 클록드·인버터 CINV의 제 1 게이트단자는 제어단자 g에 접속되고, 제 2 게이트단자는 인버터(1001)을 통해 제어단자 g에 접속된다. 제 11도의 스위치수단에서는 선택된 블록의 블록·클록선의 용량과, 귀환클록선 FCK 또는 공통출력선 CN1SW의 용량이 각 스위치수단에 의해 분리된다. 따라서, 급준한 파형의 블록·클록이 얻어진다.

제 1, 제 3 및 제 4 실시예의 더미클록회로 DCS는, 동작모드 제어신호 MODE가 액티브일 때 더미클록의 발생을 정지하는 게이트수단을 갖는 회로라도좋다. 이것에 의해, 동작모드 제어신호 MODE가 액티브시의 소비전력을 보다 저감할 수 있다.

이상에서 상세히 설명한 것과 같이, 본 발명에 있어서는, 클록회로의 대기시에 로컬·클록의 공급이 정지되는 한편, 클록회로가 액티브와 대기의 사이에서 전환하여도, PLL의 록·온 상태가 계속된다. 따라서, 대기상태와 액티브상태 사이에서의 신속한 전환과, 대기시의 저소비전력과가 함께 달성되고, 또한 클록·스큐의 저감이 가능한 클록회로를 얻을 수 있다.

## (57) 청구의 범위

### 청구항 1.

제 1 입력단자에서 기본클록신호와, 제 2 입력단자에서 귀환클록신호와의 위상차를 전압으로 변환하는 것으로 생성된 출력신호를 전압제어발진회로로 출력하는 위상차 전압 변환회로와,

상기 위상차 전압 변환회로의 출력전압에 의해 제어되어, 공통클록신호를 출력하는 전압제어 발진회로 또는 전압제어 지연회로와,

상기 전압제어 발진회로 또는 전압제어 지연회로의 출력이 접속되어 공통 클록선과,

모드제어신호에 응답해서 제1 클록신호의 공급이 정지가능한 클록공급수단과,

더미용량수단을 갖고, 상기 공통 클록선에 접속되어, 그 출력단자에서 제 2 클록신호를 출력하는 더미클록회로와,

상기 전압 발진회로에의 출력신호를 생성하는 상기 위상차 전압 변환회로로 입력되어야하는 귀환클록신호를 모드 제어신호에 응답하여 상기 제 1클록신호로 하는 가 제 2 클록신호로 하는 가를 선택하는 차선택수단을 구비한 것을 특징으로 하는 클록회로.

### 청구항 2.

제 1항에 있어서,

상기 더미용량수단의 용량은 상기 논리회로의 등가용량에 비해 작은 것을 특징으로 하는클록회로.

### 청구항 3.

제 1항에 있어서,

상기 제어신호를 생성하는 제어수단을 더 구비한 것을 특징으로 하는 클록회로.

청구항 4.

제 3항에 있어서,

상기 제어수단은,

상기 기본클록신호가 입력되는 지연수단과,

클록 입력단자에 상기 지연수단의 출력이 접속되고 데이터 입력단자에 동작모드 제어신호가 입력되는 플립플롭 회로를 구비한 것을 특징으로 하는 클록회로.

청구항 5.

제 1 입력단자에서 기본클록신호와, 제 2 입력단자에서 귀환클록 신호와의 위상차를 전압으로 변환하는 것으로 생성된 출력신호를 전압제어발진회로로 출력하는 위상차 전압 변환회로와,

상기 위상차 전압 변환회로의 출력전압에 의해 제어되어, 공통클록신호를 출력하는 전압제어 발진회로 또는 전압제어 지연회로와,

상기 전압제어 발진회로 또는 전압제어 지연회로의 출력이 접속되는 공통 클록선과,

모드제어신호에 응답해서 제1 클럭신호의 공급이 정지가능한 클록공급수단과,

블록 어드레스 신호에 응답하여 블록선택선에서 어느 1개를 선택하기 위한 블록선택신호를 출력하는 디코드회로와,

상기 공통 클록선에 각 제 1 입력단자가 공통으로 접속되고, 상기 블록선택선에 각 제 2 입력단자가 접속되어, 상기 블록선택신호에 의해 선택되었을 때, 그것의 출력단자로부터 대응하는 논리회로에 블록클록신호를 공급하는 복수의 블록클록 공급수단과,

제어단자가 상기 블록선택선에 접속되고, 각 제 1 단자가 상기 블록클록 공급수단의 출력단자에 각각 접속되며, 제 2 단자가 상기 위상차 전압 변환회로의 제 2 입력단자에 공통으로 접속되어, 상기 블록선택신호에 응답하여 어느 1개의 상기 블록클록 공급수단의 출력단자와 상기 위상차 전압 변환회로의 제 2 입력단자를 선택적으로 접속함으로써, 상기 블록클록신호의 어느 1개를 상기 귀환클록신호로서 출력하는 선택수단을 구비한 것을 특징으로 하는 클록회로.

청구항 6.

제5항에 있어서,

상기 디코드회로는,

상기 기본클록신호가 입력되는 지연수단과,

클록입력단자에 사기 지연수단의 출력이 접속되고, 데이터 입력단자에 상기 블록 어드레스 신호가 입력되는 복수의 플립플롭 회로를 구비한 것을 특징으로 하는 클록회로.

청구항 7.

제 1 입력단자에서 기본클록신호와, 제 2 입력단자에서 귀환클록신호와의 위상차를 전압으로 변환하는 것으로 생성된 출력신호를 전압제어발진회로로 출력하는 위상차 전압 변환회로와,

상기 위상차 전압 변환회로의 출력전압에 의해 제어되어, 공통클록신호를 출력하는 전압제어 발진회로 또는 전압제어 지연회로와,

상기 전압제어 발진회로 또는 전압제어 지연회로의 출력이 접속되는 공통 클록선과,

블록 어드레스 신호에 응답하여 블록선택선에서 어느 1개를 선택하기 위한 블록선택신호를 출력하는 동시에, 제 1 상태의 제어신호에 응답하여 디스인에이블상태로 되는 디코드회로와,

상기 공통 클록선에 각 제 1 입력단자가 공통으로 접속되고, 상기 블록선택선에 각 제 2 입력단자가 접속되어, 상기 블록선택신호에 의해 선택되었을 때, 그것의 출력단자로부터 대응하는 논리회로에 블록클록신호를 공급하는 복수의 블록클록 공급수단과,

더미용량수단을 갖고, 상기 공통 클록선에 접속되어, 그것의 출력단자로부터 더미클록신호를 출력하는 더미클록회로와,

제어단자가 상기 블록선택선에 접속되고, 각 제 1 단자가 상기 블록클록 공급수단의 출력단자에 각각 접속되며, 제 2 단자가 공통출력선에 공통으로 접속되어, 상기 블록선택신호에 응답하여 어느 1개의 상기 블록클록 공급수단의 출력단자와 상기 공통출력선을 선택적으로 접속하는 복수의 스위치수단과,

상기 공통출력선, 상기 더미클록회로의 출력단자 및 상기 위상차 전압 변환회로의 제 2 입력단자에 접속되고, 상기 제 1 상태의 제어신호에 응답하여 상기 더미클록회로의 출력단자와 상기 위상차 전압 변환회로의 제 2 입력단자를 접속하며, 제 2 상태의 상기 제어신호에 응답하여 상기 공통출력선과 상기 위상차 전압 변환회로의 제 2 입력단자를 선택적으로 접속함으로써, 상기 더미클록신호 또는 상기 블록클록신호의 어느 1개를 귀환클록신호로서 출력하는 선택수단을구비한 것을 특징으로 하는 클록회로.

청구항 8.

제 7항에 있어서,

상기 디코드회로는,

상기 기본클록이 입력되는 지연수단과,

클록입력단자에 상기 지연수단의 출력이 접속되고, 데이터 입력단자에 상기 블록 어드레스 신호가 입력되는 복수의 플립플롭회로와,

입력단자의 적어도 1개가 상기 플립플롭회로의 출력에 접속되고, 다른 입력단자에 상기 제어신호가 입력되며, 출력이 블록선택선에 접속된 복수의 게이트 회로를 구비한 것을 특징으로 하는 클록회로.

청구항 9.

제7항에 있어서,

상기 더미용량수단의 용량은 상기 논리회로의 등가용량에 비해 작은 것을 특징으로 하는 클록회로.

청구항 10.

제 7항에 있어서,

상기 제어신호를 생성하는 제어수단을 더 구비한 것을 특징으로 하는 클록회로.

청구항 11.

제 10항에 있어서,

상기 제어수단은,

상기 기본클록신호가 입력되는 지연수단과,

클록입력단자에 상기 지연수단의 출력이 접속되고 데이터 입력단자에 동작모드제어신호가 입력되는 플립플롭 회로를 구비한 것을 특징으로 하는 클록회로.

청구항 12.

제 1 입력단자에서 기본클록신호와, 제 2 입력단자에서 귀환클록신호와의 위상차를 전압으로 변환하는 것으로 생성된 출력신호를 전압제어발진회로로 출력하는 위상차 전압 변환회로와,

상기 위상차 전압 변환회로의 출력전압에 의해 제어되어, 공통클록신호를 출력하는 전압제어 발진회로 또는 전압제어 지연회로와,

상기 전압제어 발진회로 또는 전압제어 지연회로의 출력이 접속되는 공통 클록선과,

블록 어드레스 신호에 응답하여 블록선택선에서 어느 1개를 선택하기 위한 블록선택신호를 출력하는 동시에, 제 1 상태의 제어신호에 응답하여 디스인에이블 상태로 되는 디코드회로와,

상기 공통블록선에 각 제 1 입력단자가 공통으로 접속되고, 상기 블록선택선에 각 제 2 입력단자가 접속되어, 상기 블록선택신호에 의해 선택되었을 때, 그것의 출력단자로부터 대응하는 논리회로에 블록신호를 공급하는 복수의 블록클록 공급수단과,

더미용량수단을 갖고, 상기 공통 클록선에 접속되어, 그것의 출력단자로부터 더미클록신호를 출력하는 더미클록회로와,

제어단자가 상기 블록선택선에 접속되고, 각 제 1 단자가 상기 블록클록 공급수단의 출력단자에 각각 접속되며, 제 2 단자가 공통출력선에 공통으로 접속되어, 상기 블록선택신호에 응답하여 어느 1개의 상기 블록클록 공급수단의 출력단자와 상기 공통출력선을 선택적으로 접속하는 복수의 제 1 스위치수단과,

제어단자에 상기 제어신호가 입력되고, 제 1 단자가 상기 더미클록회로의 출력단자에 접속되며, 제 2 단자가 공통출력선에 접속되어, 제 2 상태의 상기 제어신호에 응답하여 상기 더미클록회로의 출력단자와 상기 공통출력선을 접속하는 제 2 스위치수단을 갖고, 상기 제 1 또는 제 2 스위치수단으로부터 상기 더미클록신호 또는 상기 블록클록신호 중 어느 1개를 귀환클록신호로서 출력하는 것을 특징으로 하는 클록회로.

청구항 13.

제 12항에 있어서,

상기 디코드회로는,

상기 기본클록이 입력되는 지연수단과,

클록입력단자에 상기 지연수단의 출력이 접속되고, 데이터 입력단자에 상기 블록 어드레스 신호가 입력되는 복수의 플립플롭회로와,

입력단자의 적어도 1개가 상기 플립플롭회로의 출력에 접속되고, 다른 입력단자에 상기 제어신호가 입력되며, 출력이 블록선택선에 접속되는 복수의 게이트회로를 구비한 것을 특징으로 하는 클록회로.

청구항 14.

제 12항에 있어서,

상기 더미용량수단의 용량은 상기 논리회로의 등가용량에 비해 작은 것을 특징으로 하는 클록회로.

청구항 15.

제 12항에 있어서,

상기 제어신호를 생성하는 제어수단을 더 구비한 것을 특징으로 하는 클록회로.

청구항 16.

제 15항에 있어서,

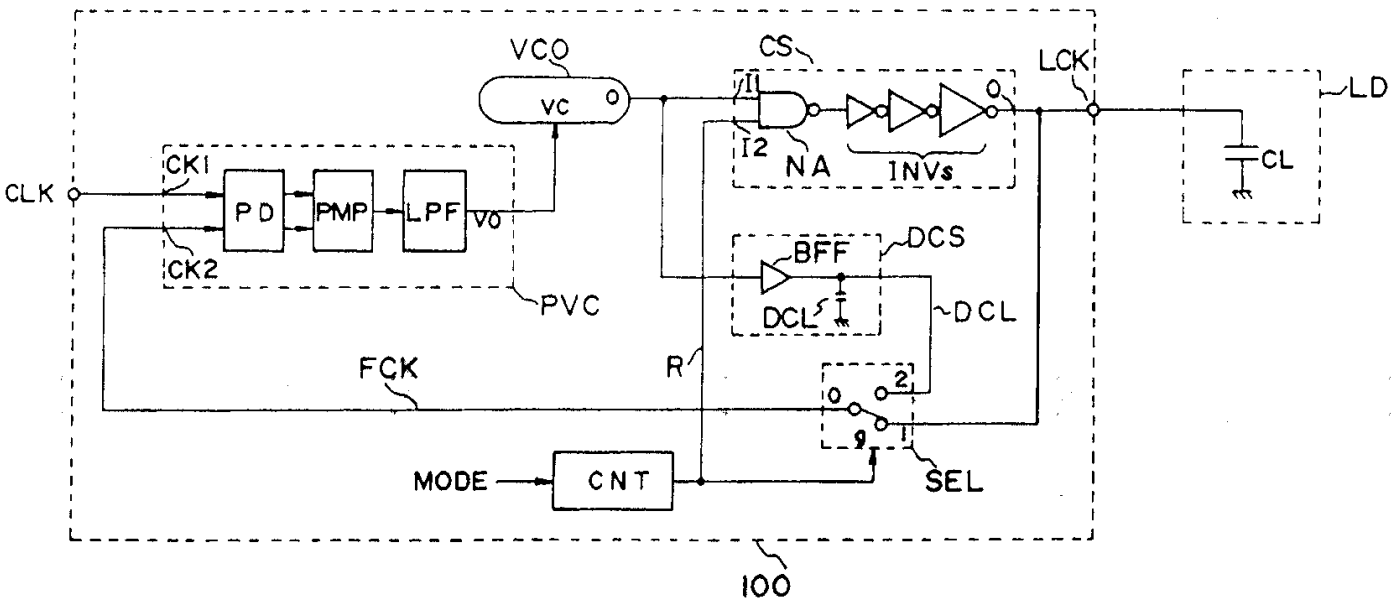
상기 제어수단은,

상기 기본클록신호가 입력되는 지연수단과,

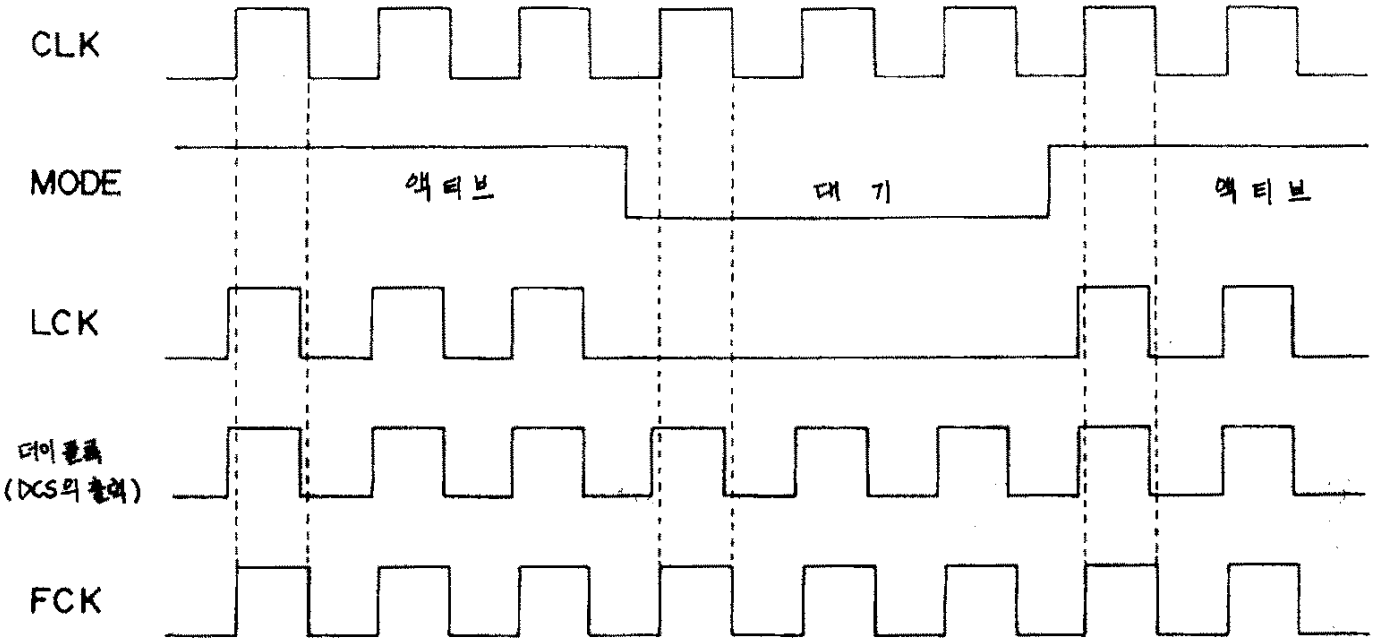
클록입력단자에 상기 지연수단의 출력이 접속되고 데이터 입력단자에 동작모드제어신호가 입력되는 플립플롭 회로를 구비한 것을 특징으로 하는 클록회로.

도면

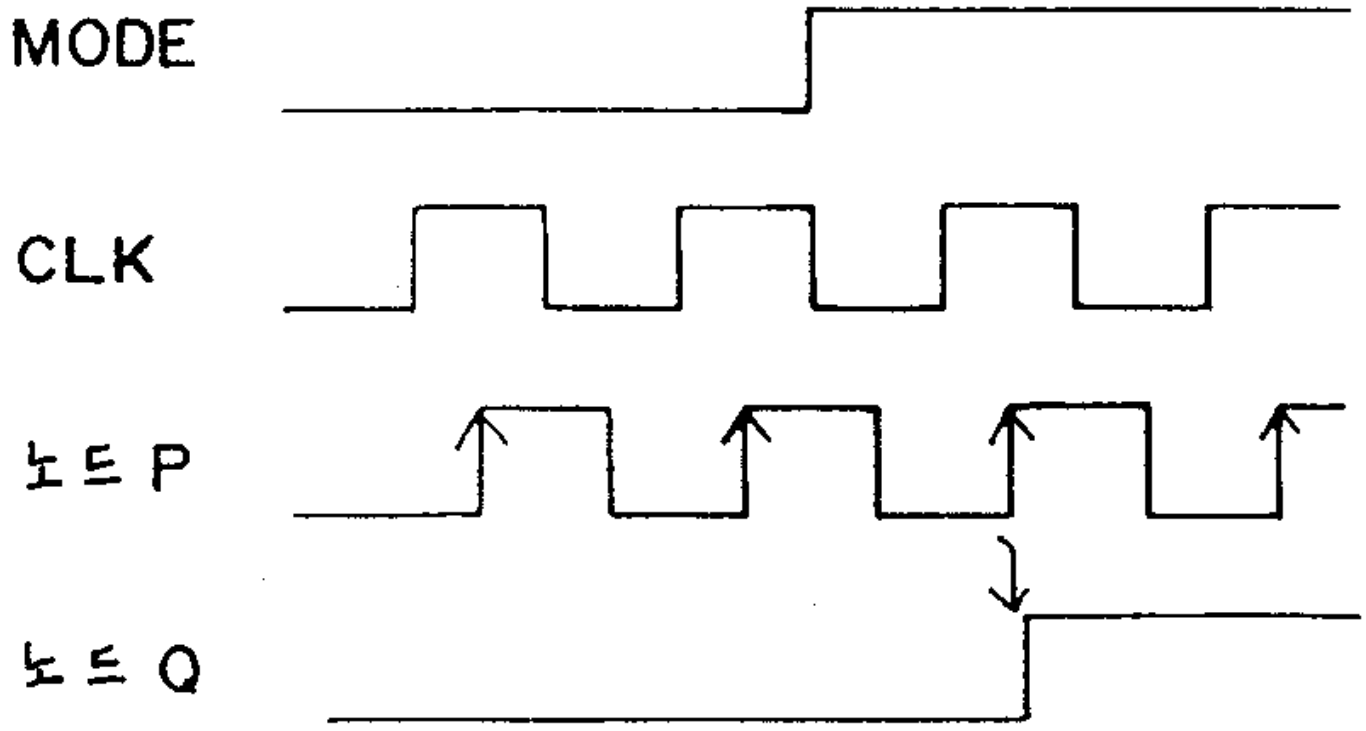
도면 1



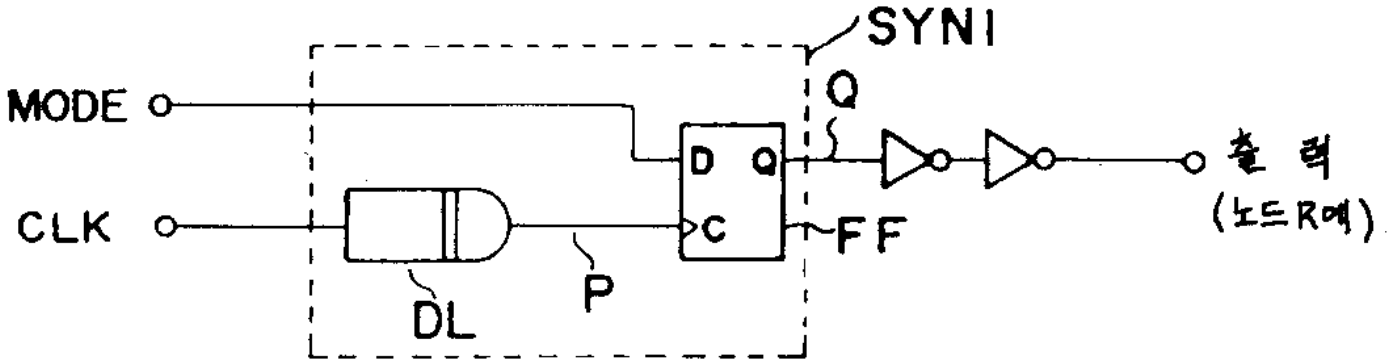
도면 2



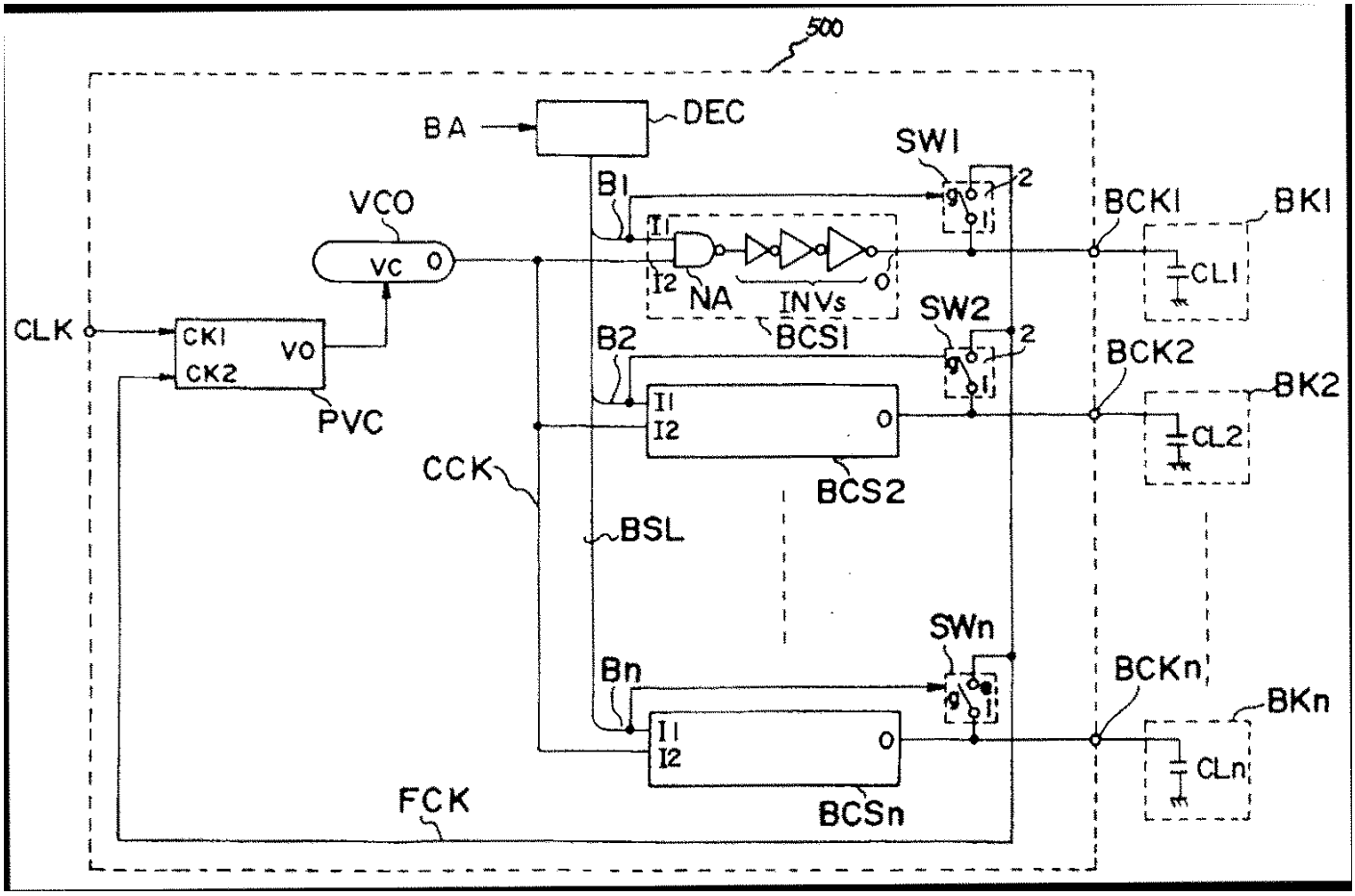

도면 3



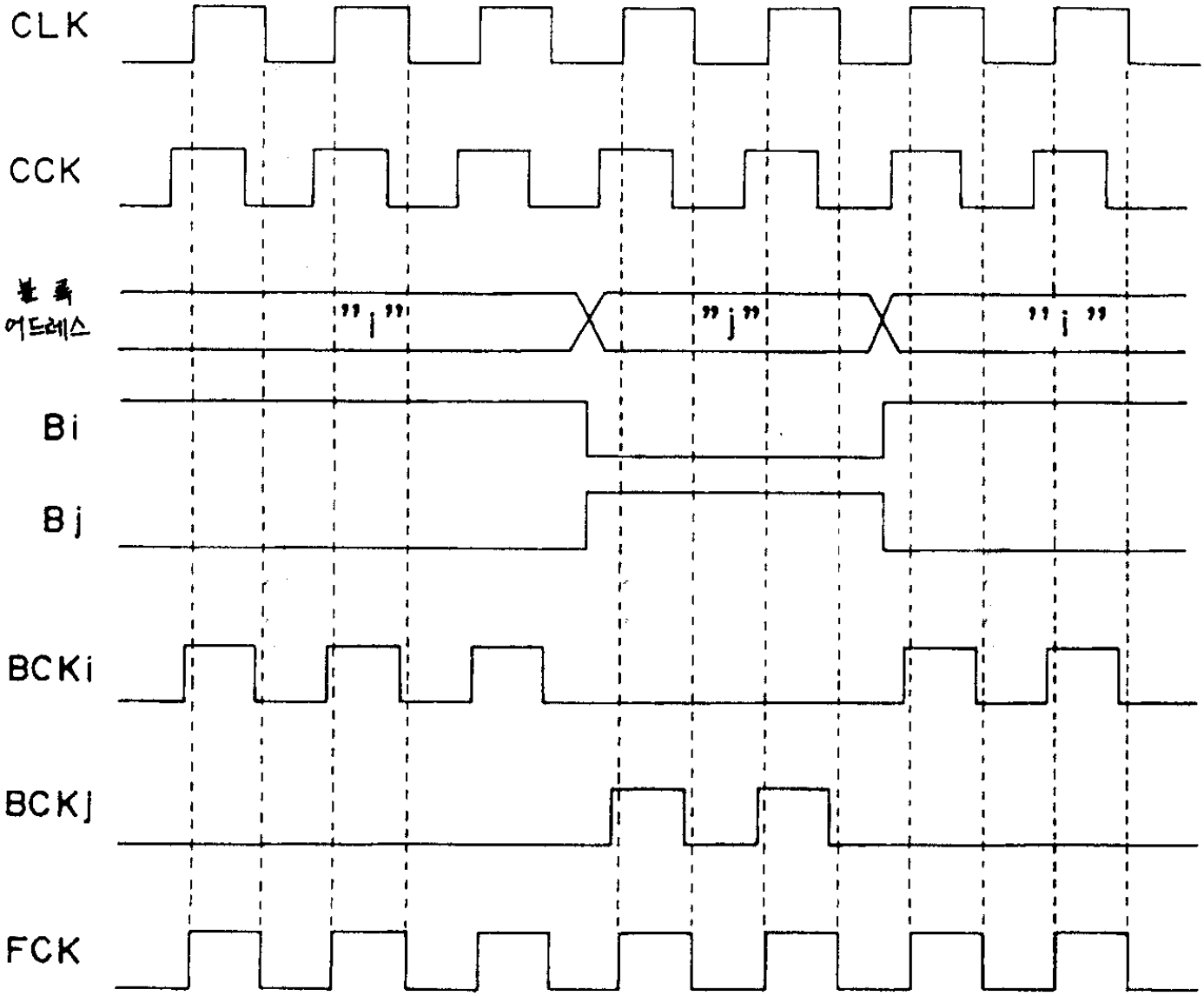
도면 4


SYNI
MODE
CLK
Q
D
C
FF
DL
P
출 력
(노드R에)

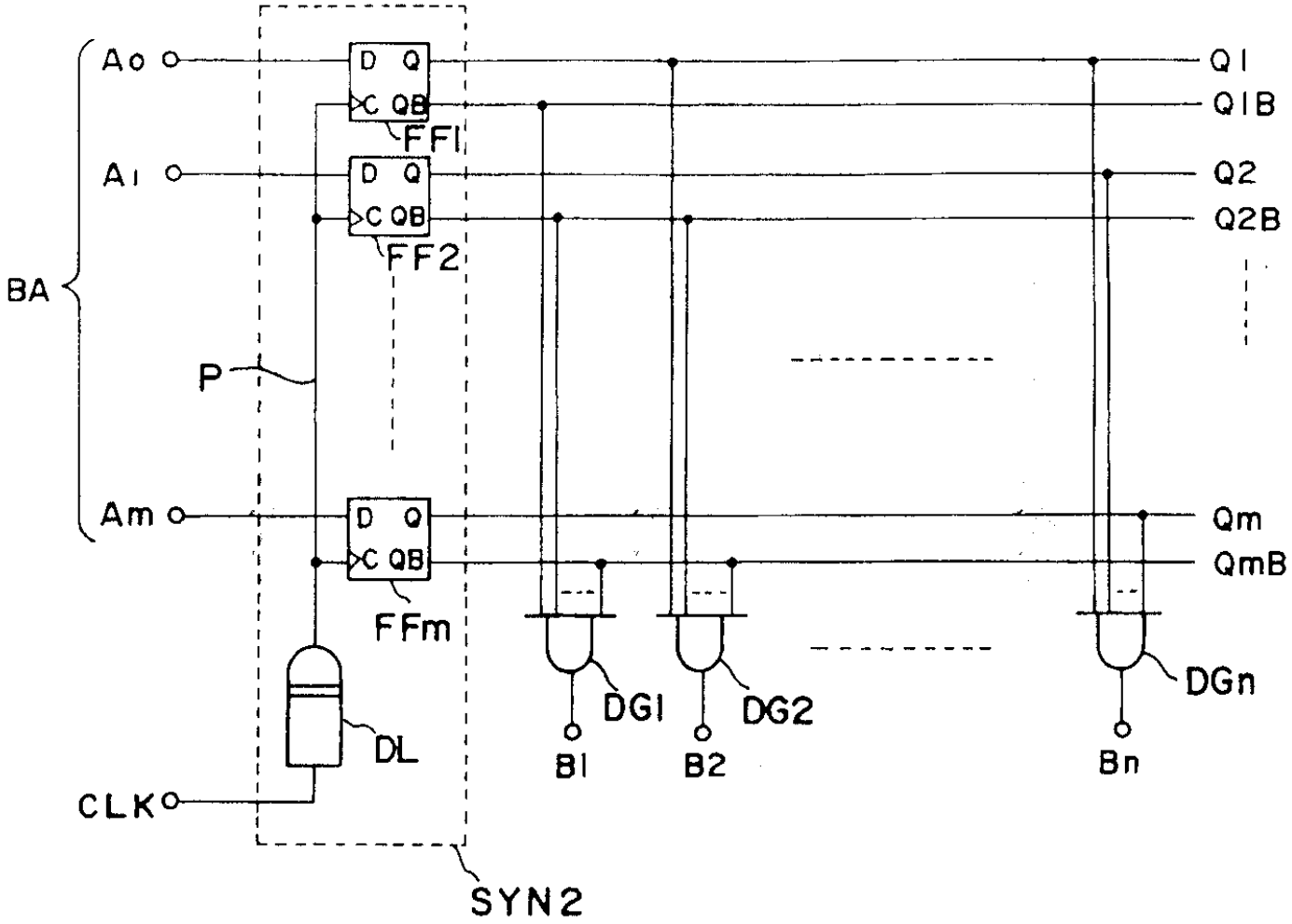
도면 5


500
BA
DEC
SWI
VCO
BI
BCKI
BKI
VC
I1
I2
NA
INVs
BCSI
CLI
CLK
CK1
CK2
VO
PVC
SW2
B2
BCK2
BK2
CL2
CCK
BCS2
BSL
SWn
Bn
BCKn
BKn
CLn
FCK
BCSn

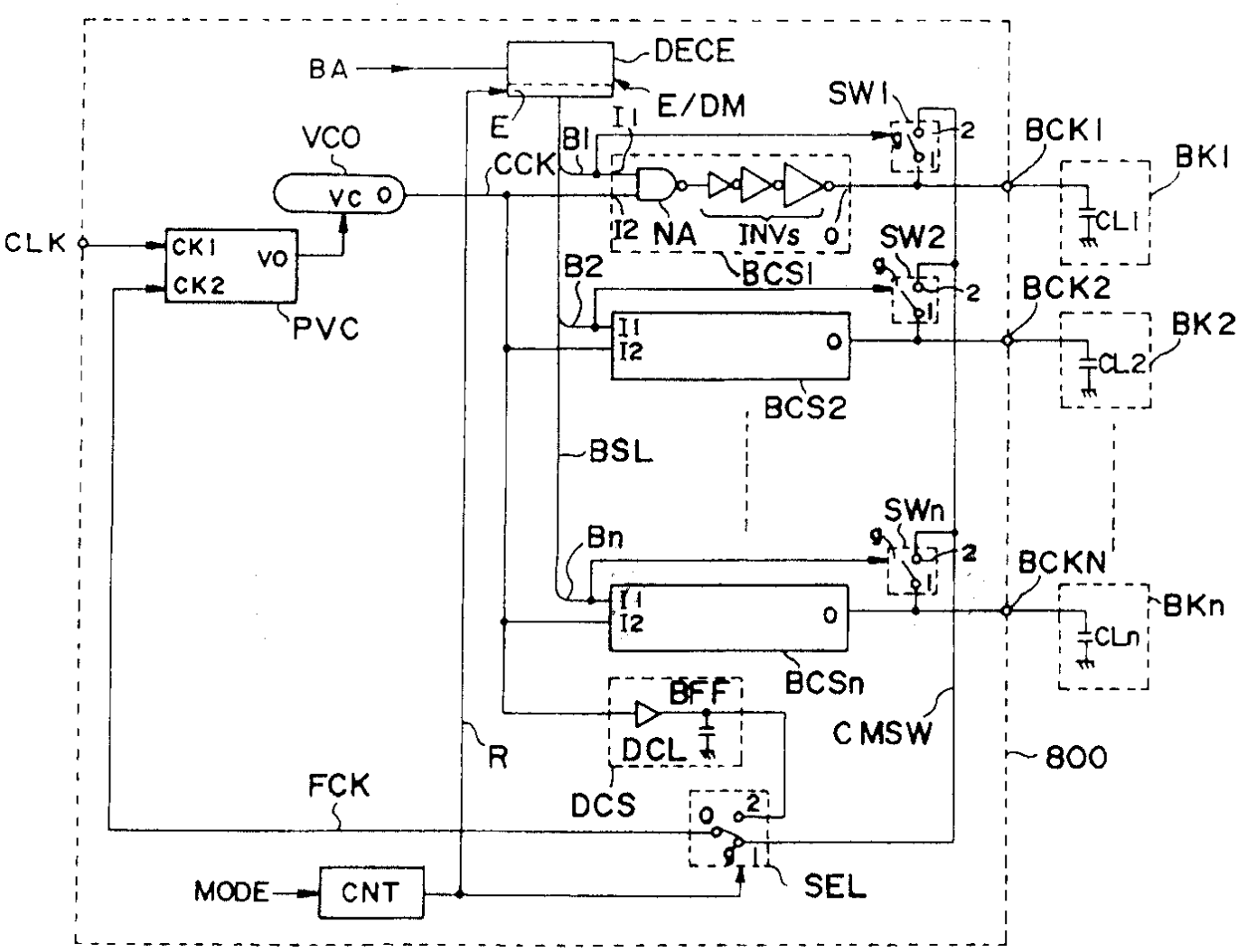
도면 6



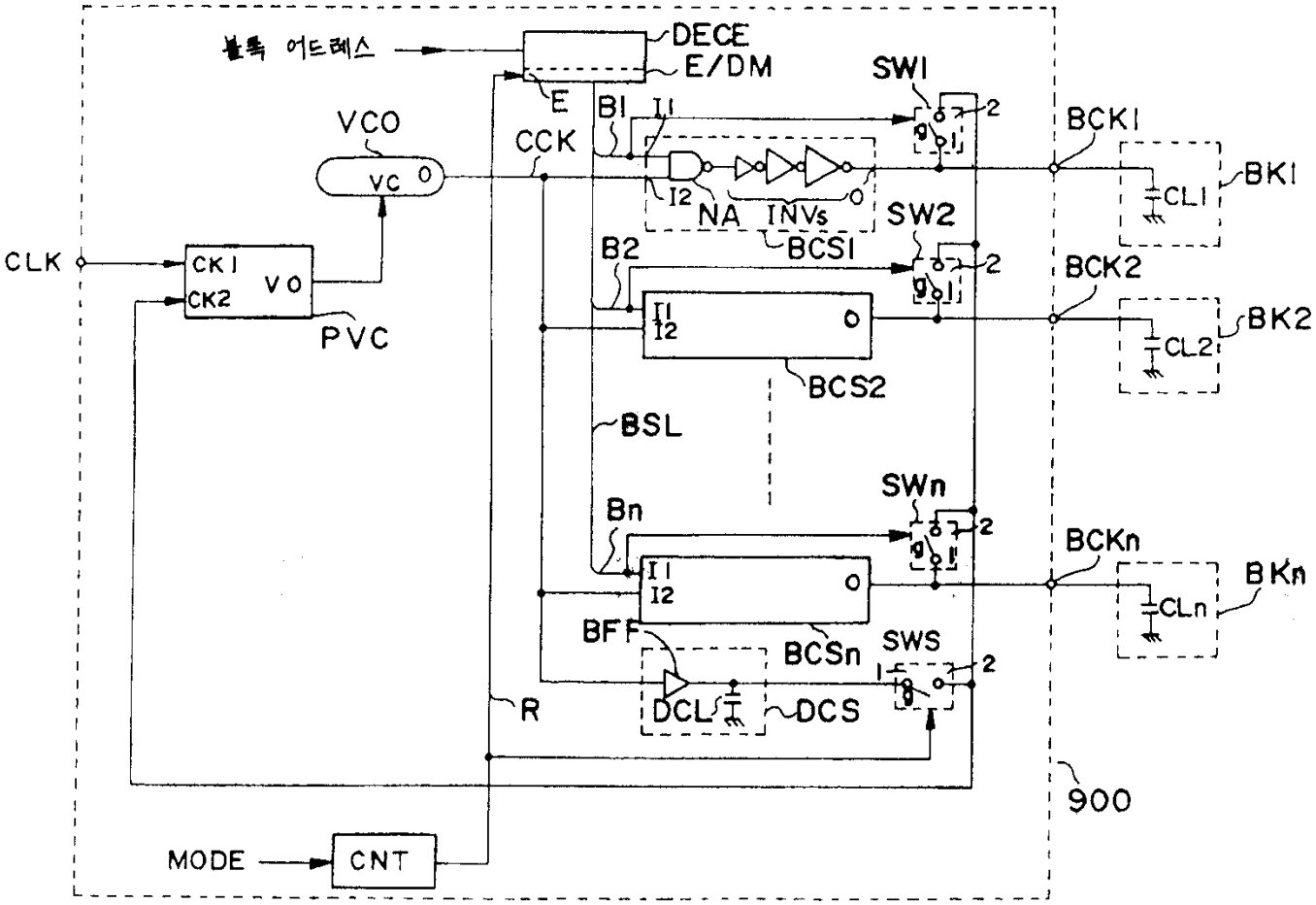
도면 7


Ao
A1
Am
BA
P
CLK
D Q
C QB
FF1
FF2
FFm
DL
SYN2
Q1
Q1B
Q2
Q2B
Qm
QmB
DG1
DG2
DGn
B1
B2
Bn

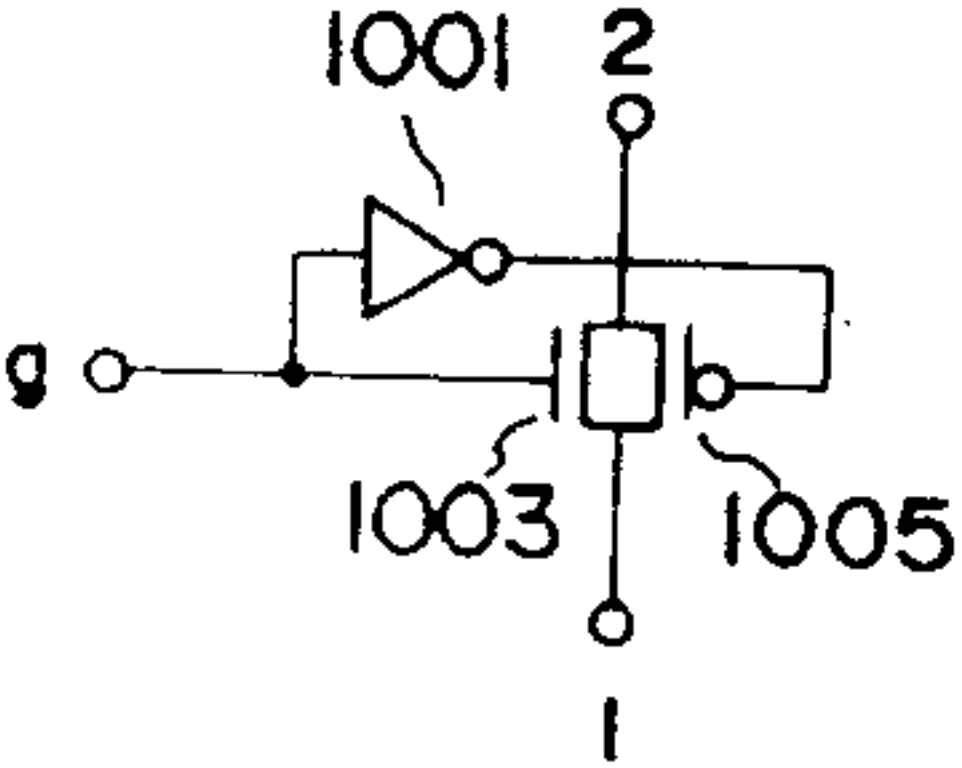
도면 8


BA
DECE
E/DM
E
SW1
VCO
VC
CCK
B1
I1
I2
NA
INVs
BCK1
BK1
CL1
CLK
CK1
CK2
VO
PVC
SW2
BCS1
B2
BCK2
BK2
CL2
BCS2
BSL
SWn
Bn
BCKN
BKn
CLn
BCSn
BFF
DCL
DCS
CMSW
R
800
FCK
SEL
MODE
CNT

도면 9

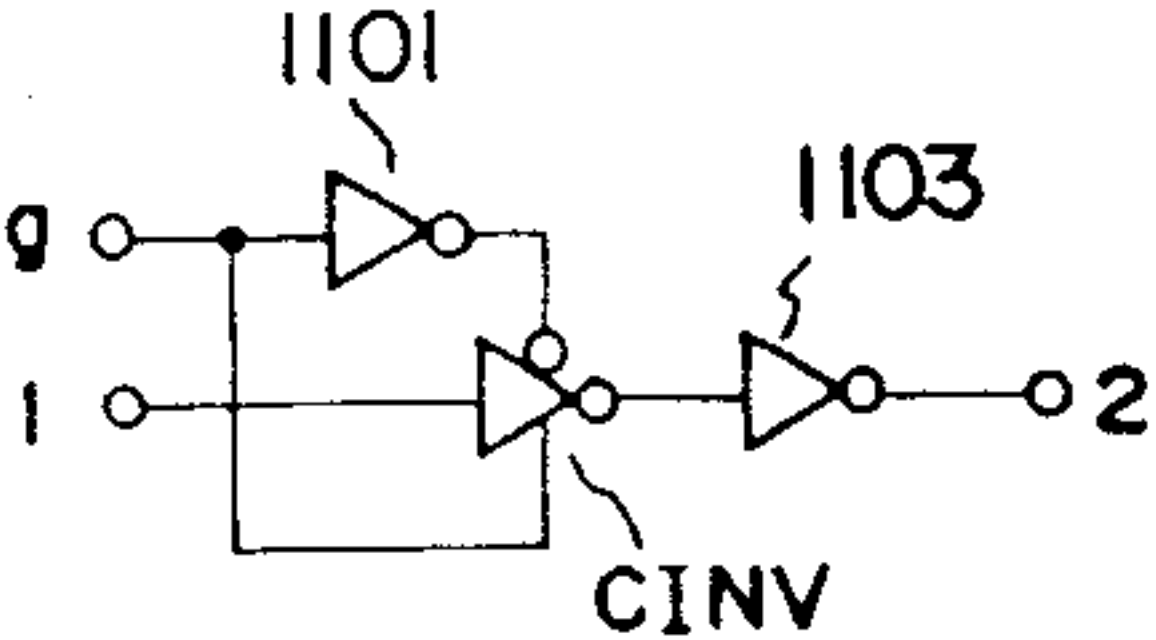

블록 어드레스
DECE
E/DM
E
SW1
B1
I1
VCO
CCK
VC
O
BCK1
BK1
CL1
I2
NA
INVs
BCS1
SW2
CLK
CK1
CK2
VO
PVC
B2
BCK2
BK2
CL2
BCS2
BSL
SWn
Bn
BCKn
BKn
CLn
BFF
BCSn
SWS
DCL
DCS
R
900
MODE
CNT

도면 10




스위치 수단

도면 11




스위치 수단