

六、申請專利範圍

1. 一種半導體記憶裝置，其特徵在於具有包含相互接續之第1及第2的反向器(Inverter)之記憶胞，個別定義第1的導電型為第1種，第2的導電型為第2種，前述第1的反向器是由第1的第1種電界效果電晶體以及第1的第2種電界效果電晶體所組成，前述第2的反向器是由第2的第1種電界效果電晶體以及第2的第2種電界效果電晶體所組成，前述第1和第2的第1種電界效果電晶體分別形成於相互獨立之第1和第2的第2種井(well)區域。

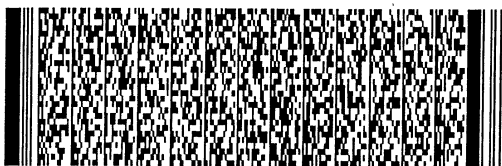
2. 如申請專利範圍第1項所述之半導體記憶裝置，其中前述第1及第2的第1種電界效果電晶體係相對於前述記憶胞的中心點呈點對稱而配置。

3. 如申請專利範圍第1或2項所述之半導體記憶裝置，其中前述記憶胞包含穿插於前述第1的反向器之輸出部與前述第2的記憶端子之間的第1電阻成份，還包含穿插於前述第2的反向器之輸出部與前述第1的記憶端子之間的第2電阻成份。

4. 如申請專利範圍第3項所述之半導體記憶裝置，其中前述第1及第2電阻成份包含以比CoSi電阻率更高之金屬材料形成之高電阻金屬配線。

5. 如申請專利範圍第3項所述之半導體記憶裝置，其中前述第1及第2電阻成份包含以比CoSi電阻率更高之多晶矽形成之高電阻多晶矽配線。

6. 如申請專利範圍第1項所述之半導體記憶裝置，其中前述第1及第2的第2種電界效果電晶體係形成第1種井區



六、申請專利範圍

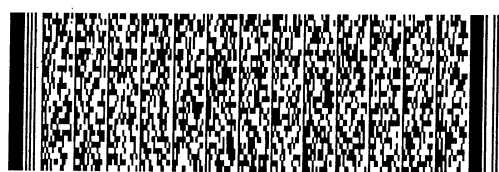
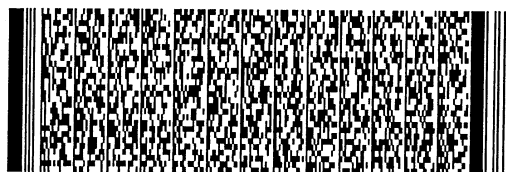
域，而前述第1種井區域係配置於前述第1及第2的第2種井區域之間而配置。

7. 一種半導體記憶裝置，其特徵在於具有包含相互接續之第1及第2的反向器(Inverter)之記憶胞，個別定義第1的導電型為第1種，第2的導電型為第2種，前述第1的反向器是由第1的第1種電界效果電晶體以及第1的第2種電界效果電晶體所組成，前述第2的反向器是由第2的第1種電界效果電晶體以及第2的第2種電界效果電晶體所組成，前述第1和第2的第1種電界效果電晶體分別形成於相互獨立之第1和第2的第2種井(well)區域，其中：

前述第1的反向器的輸出部含有前述第1的第1種電界效果電晶體的一方電極與前述第1的第2種電界效果反向器的一方電極之接續部分；輸入部包含前述第1的第1種電界效果電晶體的控制電極與前述第1的第2種電界效果電晶體的控制電極的接續部分；

前述第2的反向器的輸出部包含有前述第2的第1種電界效果電晶體的一方電極與前述第2的第2種電界效果反向器的一方電極之接續部分；輸入部包含前述第2的第1種控制效果電晶體的控制電極與前述第2的第2種電界效果電晶體的控制電極的接續部分；

前述記憶胞包含一電極連接至電性接續於前述第1的反向器之輸出部以及前述第2的反向器的輸入部之第1的記憶端子，另一電極接續至第1的位元線，控制電極接續至字元線之第3的第1種電界效果電晶體，與一電極連接至電



六、申請專利範圍

性接續於前述第2的反向器之輸出部以及前述第1的反向器的輸入部之第2的記憶端子，另一電極接續至第2的位元線，控制電極接續至字元線之第4的第1種電界效果電晶體；且

前述第3及第4的第1種電界效果電晶體分別形成於第2及第1之第2種井區域。

8. 如申請專利範圍第7項所述之半導體記憶裝置，其中前述第1~第4的第1種電界效果電晶體一電極係相互獨立而形成。

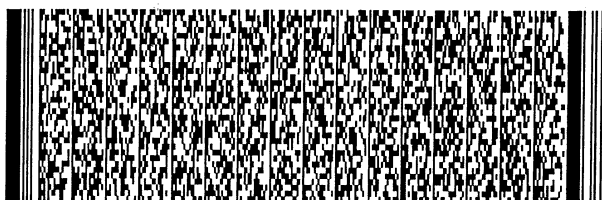
9. 如申請專利範圍第7項所述之半導體記憶裝置，其中前述第1、第3的第1種電界效果電晶體以及前述第1的第2種電界效果電晶體係沿著前述字元線形成方向並排於略一直線上而配置；

前述第2、第4的第1種電界效果電晶體以及前述第2的第2種電界效果電晶體係沿著前述字元線形成方向並排於略一直線上而配置。

10. 如申請專利範圍第7項所述之半導體記憶裝置，其中前述第3及第4的第1種電界效果電晶體係相對於前述記憶胞的中心點呈點對稱而配置。

11. 如申請專利範圍第7項所述之半導體記憶裝置，其中前述第1及第2的第1種電界效果電晶體的控制電極寬比前述第3及第4的第1種電界效果電晶體的控制電極寬。

12. 如申請專利範圍第7、8、9、10或11項所述之半導體記憶裝置，其中前述記憶胞包含穿插於前述第1的反向



六、申請專利範圍

器之輸出部與前述第2的記憶端子之間的第1電阻成份，還包含穿插於前述第2的反向器之輸出部與前述第1的記憶端子之間的第2電阻成份。

13. 如申請專利範圍第12項所述之半導體記憶裝置，其中前述第1及第2電阻成份包含以比CoSi電阻率更高之金屬材料形成之高電阻金屬配線。

14. 如申請專利範圍第12項所述之半導體記憶裝置，其中前述第1及第2電阻成份包含以比CoSi電阻率更高之多晶矽形成之高電阻多晶矽配線。

15. 如申請專利範圍第7項所述之半導體記憶裝置，其中前述第3及第4的第1種電界效果電晶體的制御電極以及前述字元線係共用一個多晶矽而構成。

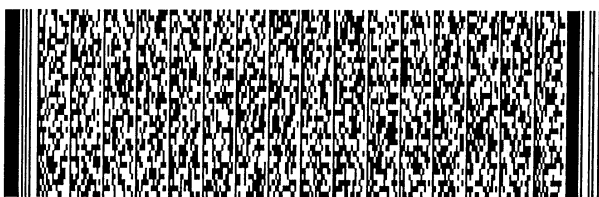
16. 如申請專利範圍第7項所述之半導體記憶裝置，其中前述字元線包含相互獨立的第1及第2字元線，且前述第3的第1種電界效果電晶體的制御電極接續於前述第1的字元線，前述第4的第1種電界效果電晶體的制御電極接續於前述第2的字元線。

17. 如申請專利範圍第16項所述之半導體記憶裝置，其中

前述第1位元線包含相互構成位元線之第1及第2的部分位元線，

前述第2位元線包含相互構成位元線之第3及第4的部分位元線，

前述第3的第1種電界效果電晶體包含第5及第6的第1



六、申請專利範圍

種電界效果電晶體，且前述第5的第1種電界效果電晶體穿插在前述第1的部分位元線，前述第2的記憶端子之間，前述第6的第1種電界效果電晶體穿插在前述第2的部分位元線，前述第1的記憶端子之間，

前述第4的第1種電界效果電晶體包含第7及第8的第1種電界效果電晶體，且前述第7的第1種電界效果電晶體穿插在前述第1的部分位元線，前述第3的記憶端子之間，前述第8的第1種電界效果電晶體穿插在前述第4的部分位元線，前述第2的記憶端子之間。

18. 如申請專利範圍第7、15或17項所述之半導體記憶裝置，其中前述第1和第2的第1種電界效果電晶體的控制電極形成區域係構成前述第2及第1的記憶端子的一部份而設計配置。

