

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 本開示の一実施の形態に係る第1の逐次比較アナログデジタル変換器は、複数の容量素子を含んで構成されたNビット(Nは5以上の整数)の容量デジタルアナログ変換器を備えている。複数の容量素子のうち複数の第1容量素子は、1〜N−1ビット目の全体もしくは一部に該当する複数の容量素子の合計容量に対応する合計容量を有し、かつ、1〜N−1ビット目に該当しない容量素子である。

明 細 書

発明の名称：逐次比較アナログデジタル変換器

技術分野

[0001] 本開示は、逐次比較アナログデジタル変換器に関する。

背景技術

[0002] 近年、アナログ信号をデジタル信号に変換するアナログデジタル変換器（ADC）は、あらゆる電子機器に搭載されている。特に最近では、低コストかつ高性能で、製品用途の広い逐次比較ADC（以下、「SAR（Successive Approximation Resister）ADC」と称する。）が知られている。

先行技術文献

特許文献

[0003] 特許文献1：特開2016-25552号公報

発明の概要

[0004] ところで、SARADCでは、2分探索比較を行うために容量DACが用いられている。この容量DACを構成する容量アレイにはミスマッチが存在する。そのため、高次のスプリアスや線形性の悪化を生じることがある。その対策として、例えば、DAC mismatch Error Shaping技術が挙げられる。しかし、この技術では、SARADCのダイナミックレンジが小さくなる。従って、SARADCのダイナミックレンジを広げることの可能なSARADCを提供することが望ましい。

[0005] 本開示の一実施の形態に係る第1の逐次比較アナログデジタル変換器は、複数の容量素子を含んで構成されたNビット（Nは5以上の整数）の容量デジタルアナログ変換器を備えている。複数の容量素子のうち複数の第1容量素子は、1～N-1ビット目の全体もしくは一部に該当する複数の容量素子（以下、「第2容量素子」と称する。）の合計容量に対応する合計容量を有し、かつ、1～N-1ビット目に該当しない容量素子である。

[0006] 本開示の一実施の形態に係る第1の逐次比較アナログデジタル変換器では、複数の第1容量素子は、複数の第2容量素子の合計容量に対応する合計容量を有し、かつ、 $1 \sim N-1$ ビット目（以下、「低ビット」を称する。）に該当しない容量素子である。これにより、例えば、低ビットに該当する各容量素子に対して1つ前（ $k-1$ 回目）のADC変換結果を入力するとともに、各第2容量素子に対して入力する、1つ前（ $k-1$ 回目）のADC変換結果の反転信号を各第1容量素子に対して入力した状態でアナログ信号をサンプリングし、その後、各容量素子に対してリセット信号を入力することにより、容量デジタルアナログ変換器の出力電圧に生じ得るDCシフトを削減することができる。

[0007] 本開示の一実施の形態に係る第2の逐次比較アナログデジタル変換器は、複数の容量素子を含んで構成されたNビット（Nは4以上の整数）の容量デジタルアナログ変換器を備えている。複数の容量素子のうち1つの第1容量素子は、 $1 \sim N-1$ ビット目に含まれる1つの容量素子（以下、「第2容量素子」と称する。）の容量に対応する容量を有し、かつ、 $1 \sim N$ ビット目に該当しない容量素子である。

[0008] 本開示の一実施の形態に係る第2の逐次比較アナログデジタル変換器では、1つの第1容量素子は、1つの第2容量素子の容量に対応する容量を有し、かつ、 $1 \sim N-1$ ビット目（以下、「低ビット」を称する。）に該当しない容量素子である。これにより、例えば、低ビットに該当する各容量素子に対して1つ前（ $k-1$ 回目）のADC変換結果を入力するとともに、1つの第2容量素子に対して入力する、1つ前（ $k-1$ 回目）のADC変換結果の反転信号を1つの第1容量素子に対して入力した状態でアナログ信号をサンプリングし、その後、各容量素子に対してリセット信号を入力することにより、容量デジタルアナログ変換器の出力電圧に生じ得るDCシフトを削減することができる。

図面の簡単な説明

[0009] [図1]本開示の第1の実施形態に係る逐次比較アナログデジタル変換器の概要

を表す図である。

[図2]図1の逐次比較アナログデジタル変換器における容量DACの出力電圧の経時変化の一例を表す図である。

[図3]比較例に係る逐次比較アナログデジタル変換器の概要を表す図である。

[図4]図3の逐次比較アナログデジタル変換器における容量DACの出力電圧の経時変化の一例を表す図である。

[図5]本開示の第2の実施形態に係る逐次比較アナログデジタル変換器の概要を表す図である。

[図6]図5の逐次比較アナログデジタル変換器の概要の一変形例を表す図である。

[図7]本開示の第3の実施形態に係る逐次比較アナログデジタル変換器の概要を表す図である。

[図8]図7の逐次比較アナログデジタル変換器の概要の一変形例を表す図である。

発明を実施するための形態

[0010] 以下、本開示を実施するための形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 第1の実施の形態
2. 第2の実施の形態
3. 第2の実施の形態の変形例
4. 第3の実施の形態
5. 第3の実施の形態の変形例

[0011] <1. 第1の実施の形態>

[構成]

本開示の第1の実施形態に係る逐次比較アナログデジタル変換器1について説明する。図1は、逐次比較アナログデジタル変換器1の概要を表したものである。逐次比較アナログデジタル変換器1は、外部から入力されたアナログ信号 V_{in} をNビット（Nは5以上の整数）のデジタル信号 D_{out} に

変換する。逐次比較アナログデジタル変換器 1 は、例えば、スイッチ 10、容量 DAC 20、比較器 30、逐次比較レジスタ 40、反転器 50 およびセレクタ 60 を備えている。

[0012] スwitch 10 は、アナログ信号 V_{in} を所定の周期でサンプリングする。スウィッチ 10 は、例えば、スウィッチ素子で構成されている。

[0013] 容量 DAC 20 は、複数の容量素子を含んで構成された N ビットの容量 DAC である。なお、図 1 には、複数の容量素子として、例えば、後述の 8 つの容量素子 C_1 , C_2 , C_3 , C_4 , C_5 , C_6 , C_7 , C_8 が例示されている。図 1 中の各容量素子 C_1 , C_2 , C_3 , C_4 , C_5 , C_6 , C_7 , C_8 の傍らには、各容量素子の容量値が示されている。また、図 1 には、容量 DAC 20 として、5 ビットの容量 DAC が例示されている。容量 DAC 20 は、低位ビット LSBs (1 ~ N - 1 ビット目) に該当する N - 1 個の容量素子と、最大ビット MSB (N ビット目) に該当する複数の容量素子とを有している。低位ビット LSBs (1 ~ N - 1 ビット目) に該当する N - 1 個の容量素子としては、例えば、1 ~ 4 ビット目に該当する 4 つの容量素子 C_1 , C_2 , C_3 , C_4 が挙げられる。最大ビット MSB (N ビット目) に該当する複数の容量素子としては、例えば、5 ビット目に該当する 4 つの容量素子 C_5 , C_6 , C_7 , C_8 が挙げられる。

[0014] 低位ビット LSBs は、例えば、4 つの容量素子 C_1 , C_2 , C_3 , C_4 によって構成されている。低位ビット LSBs において、容量素子 C_1 が 1 ビット目 (最小ビット LSB) に該当する容量素子であり、容量素子 C_2 が 2 ビット目に該当する容量素子であり、容量素子 C_3 が 3 ビット目に該当する容量素子であり、容量素子 C_4 が 4 ビット目に該当する容量素子である。

[0015] 低位ビット LSBs (1 ~ N - 1 ビット目) に該当する各容量素子の容量は、N - 1 ビットバイナリで規定されている。例えば、低位ビット LSBs (1 ~ 4 ビット目) に該当する各容量素子 C_1 , C_2 , C_3 , C_4 の容量は、4 ビットバイナリで規定されている。例えば、容量素子 C_1 の容量は $1 C_u$ となっており、容量素子 C_2 の容量は $2 C_u$ となっており、容量素子 C_3 の容量は $4 C_u$ と

なっており、容量素子 C_4 の容量は $8 C_u$ となっている。

[0016] 最大ビットMSBが、複数の容量素子によって構成されている。図1には、最大ビットMSBに該当する複数の容量素子としては、例えば、4つの容量素子 C_5 , C_6 , C_7 , C_8 が挙げられる。最大ビットMSBに該当する複数の容量素子（例えば、4つの容量素子 C_5 , C_6 , C_7 , C_8 ）が、Nビット目（例えば5ビット目）に該当する容量素子であり、1～N-1ビット目（例えば1～4ビット目）に該当しない容量素子である。

[0017] 最大ビットMSB内の全体もしくは一部に該当する複数の容量素子（第1容量素子）は、低位ビットLSBs（1～N-1ビット目）の全体もしくは一部に該当する複数の容量素子（第2容量素子）の合計容量に対応する合計容量を有している。例えば、複数の第1容量素子の容量は、低位ビットLSBs（1～N-1ビット目）における上位ビット（M～N-1ビット目（Mは1以上N-1以下の整数））に該当する複数の容量素子（第3容量素子）の容量に対応している。例えば、複数の第1容量素子の合計容量は、低位ビットLSBs（1～N-1ビット目）における上位ビット（M～N-1ビット目）の全体に該当する複数の容量素子（第3容量素子）の合計容量に対応している。例えば、図1に示したように、最大ビットMSB内の破線で囲まれた2つの容量素子 C_7 , C_8 （第1容量素子）の容量は、低位ビットLSBs内の破線で囲まれた2つの容量素子 C_3 , C_4 （第3容量素子）の容量に対応している。例えば、図1に示したように、最大ビットMSB内の破線で囲まれた2つの容量素子 C_7 , C_8 （第1容量素子）の容量は、低位ビットLSBs内の破線で囲まれた2つの容量素子 C_3 , C_4 （第3容量素子）の合計容量（ $4 C_u + 8 C_u = 12 C_u$ ）に対応している。図1の最大ビットMSB内の破線で囲まれた2つの容量素子 C_7 , C_8 は、本開示の「複数の第1容量素子」「Nビット目に該当する容量素子」「1～Nビット目に該当しない容量素子」の一具体例に相当する。

[0018] このとき、最大ビットMSB内の全体もしくは一部に該当する複数の容量素子（第1容量素子）の容量は、低位ビットLSBs内のM～N-1ビット

目に該当する複数の容量素子（第3容量素子）の容量に対応している。例えば、図1に示したように、2つの容量素子 C_7 , C_8 （第1容量素子）と、2つの容量素子 C_3 , C_4 （第3容量素子）とは、互いに共通の容量素子によって構成されている。例えば、容量素子 C_5 の容量は $2C_u$ となっており、容量素子 C_6 の容量は $2C_u$ となっており、容量素子 C_7 の容量は $4C_u$ となっており、容量素子 C_8 の容量は $8C_u$ となっている。

[0019] 容量DAC20は、さらに、低位ビットLSBsおよび最大ビットMSBに該当する複数の容量素子を含む容量素子アレイ21と、容量素子アレイ21に接続された、複数のスイッチ素子を含むスイッチ素子アレイ22とを有している。容量素子アレイ21に含まれる各容量素子の一端は、共通ノードに接続されている。スイッチ素子アレイ22に含まれる各スイッチ素子は、容量素子アレイ21に含まれる各容量素子の他端をそれぞれ独立に、最低参照電圧 V_{RB} 、コモン電圧 V_{CM} および最高参照電圧 V_{RT} のいずれかに接続する。

[0020] 比較器30は、例えば、共通ノード（容量DAC20の出力）の電圧（比較信号）と、基準電圧（コモン電圧 V_{CM} ）とを比較し、その大小関係の判定結果を逐次比較レジスタ40に出力する。

[0021] 逐次比較レジスタ40は、比較器30の出力信号を逐次蓄積して、デジタル信号 $Dout$ を出力する。逐次比較レジスタ40は、さらに、例えば、デジタル信号 $Dout$ を制御信号（ DAC_{MSB} , DAC_{LSBs} ）として容量DAC20に出力する。

[0022] セレクタ60は、スイッチ素子アレイ22を介した容量素子アレイ21と複数の電圧線（最低参照電圧 V_{RB} 、コモン電圧 V_{CM} および最高参照電圧 V_{RT} の各電圧線）との接続の切り換えを制御する。セレクタ60は、逐次比較のときに、逐次比較レジスタ40から出力された制御信号 DAC_{MSB} を選択して、容量DAC20に出力する。セレクタ60は、アナログ信号 V_{in} のサンプリングのとき、反転器50から出力された制御信号 DAC_{LSBs}' を選択して、制御信号 DAC_{MSB} （第1制御信号）として容量DAC20に出力する。

[0023] 反転器 50 は、逐次比較レジスタ 40 から出力された制御信号 DAC_{LSBs} から制御信号 DAC_{LSBs}' を生成する。反転器 50 は、例えば、制御信号 DAC_{LSBs} のうち、 $M \sim N-1$ ビット目に該当する複数の容量素子（第 3 容量素子）に対応する複数のスイッチ素子に対する制御信号の反転信号を生成する。反転器 50 は、例えば、逐次比較レジスタ 40 から “1” が入力されると、反転信号として “0” を生成する。反転器 50 は、例えば、逐次比較レジスタ 40 から “0” が入力されると、反転信号として “1” を生成する。反転器 50 は、さらに、例えば、制御信号 DAC_{LSBs} において、 $M \sim N-1$ ビット目に該当する複数の容量素子（第 3 容量素子）に対応する複数のスイッチ素子に対する制御信号を、上記の反転信号に差し替えることにより、制御信号 DAC_{LSBs}' を生成する。

[0024] [動作]

次に、本実施形態に係る逐次比較アナログデジタル変換器 1 の動作について説明する。まず、最大ビット MSB の容量を、バイナリの重みで構成し、各々を制御できるようスイッチを追加することで、サンプリング動作時に、最大ビット MSB 以外の容量素子の制御信号と反転を入れてアナログ信号をサンプリングする。具体的には、図 1 に示したように、 $S_3 = VRB$ 、 $S_4 = VRB$ となっているため、 $S_{4-3} = VRT$ 、 $S_{4-4} = VRT$ としてアナログ信号をサンプリングする。次に、容量 DAC 20 をリセットする。その際、比較例に係る方法では、図 3、図 4 に示したように、 $S_3 = VCM$ 、 $S_4 = VCM$ となるため、容量 DAC 120 の出力電圧が DC シフトしていたが、本実施の形態では、 $VRT - VCM = VCM - VRB$ であることから、DC シフト分をキャンセルする事が可能となる。リセット完了後に通常の逐次比較動作を行う事で、例えば、図 2 に示したように、最大ビット MSB 以外の容量素子に関しては DAC mismatch Error Shaping 効果を活かしつつ、AD 変換できる電圧範囲の拡大が出来る。

[0025] [効果]

次に、本実施形態に係る逐次比較アナログデジタル変換器 1 の効果について

て説明する。

[0026] 近年、アナログ信号をデジタル信号に変換するADCは、あらゆる電子機器に搭載されている。特に最近では、低コストかつ高性能で、製品用途の広いSARADCが知られている。

[0027] ところで、SARADCでは、2分探索比較を行うために容量DACが用いられている。この容量DACを構成する容量アレイにはミスマッチが存在する。そのため、高次のスプリアスや線形性の悪化を生じることがある。その対策として、例えば、DAC mismatch Error Shaping技術が挙げられる。しかし、この技術では、SARADCのダイナミックレンジが小さくなる。

[0028] 一方、本実施の形態に係る逐次比較アナログデジタル変換器1では、最大ビットMSB内の全体もしくは一部に該当する複数の容量素子（第1容量素子）は、低位ビットLSBs（1～N-1ビット目）の全体もしくは一部に該当する複数の容量素子（第2容量素子）の合計容量に対応する合計容量を有している。さらに、複数の第1容量素子は、低ビットに該当しない容量素子である。これにより、例えば、低ビットに該当する各容量素子に対して1つ前（k-1回目）のADC変換結果を入力するとともに、各第2容量素子に対して入力する、1つ前（k-1回目）のADC変換結果の反転信号を各第1容量素子に対して入力した状態でアナログ信号をサンプリングし、その後、各容量素子に対してリセット信号を入力することにより、容量デジタルアナログ変換器の出力電圧に生じ得るDCシフトを削減することができる。その結果、逐次比較アナログデジタル変換器1のダイナミックレンジを広げることができる。

[0029] また、本実施の形態では、複数の第1容量素子は、最大ビットMSB（Nビット目）に該当する容量素子である。これにより、例えば、低ビットに該当する各容量素子に対して1つ前（k-1回目）のADC変換結果を入力するとともに、各第2容量素子に対して入力する、1つ前（k-1回目）のADC変換結果の反転信号を各第1容量素子に対して入力した状態でアナログ

信号をサンプリングし、その後、各容量素子に対してリセット信号を入力することにより、容量デジタルアナログ変換器の出力電圧に生じ得るDCシフトを削減することができる。その結果、逐次比較アナログデジタル変換器1のダイナミックレンジを広げることができる。

[0030] また、本実施の形態では、低位ビットLSBs（1～N－1ビット目）に該当する各容量素子の容量は、N－1ビットバイナリで規定されている。複数の第1容量素子の容量は、低位ビットLSBs（1～N－1ビット目）における上位ビット（M～N－1ビット目（Mは1以上N－1以下の整数））に該当する複数の容量素子（第3容量素子）の容量に対応している。これにより、容量デジタルアナログ変換器1の出力電圧に生じ得るDCシフトを削減することができる。その結果、逐次比較アナログデジタル変換器1のダイナミックレンジを広げることができる。

[0031] また、本実施の形態では、複数の第1容量素子の合計容量は、低位ビットLSBs（1～N－1ビット目）における上位ビット（M～N－1ビット目）の全体に該当する複数の容量素子（第3容量素子）の合計容量に対応している。これにより、容量デジタルアナログ変換器1の出力電圧に生じ得るDCシフトを削減することができる。その結果、逐次比較アナログデジタル変換器1のダイナミックレンジを広げることができる。

[0032] また、本実施の形態では、アナログ信号 V_{in} のサンプリングのとき、複数の第1容量素子に対応する複数のスイッチ素子に対する制御信号 DAC_{MSB} （第1制御信号）として、M～N－1ビット目に該当する複数の容量素子（第3容量素子）に対応する複数のスイッチ素子に対する制御信号の反転信号が出力される。これにより、容量デジタルアナログ変換器1の出力電圧に生じ得るDCシフトを削減することができる。その結果、逐次比較アナログデジタル変換器1のダイナミックレンジを広げることができる。

[0033] <2. 第2の実施の形態>

[構成]

本開示の第2の実施形態に係る逐次比較アナログデジタル変換器2について

て説明する。図5は、逐次比較アナログデジタル変換器2の概要を表したものである。逐次比較アナログデジタル変換器2は、外部から入力されたアナログ信号 V_{in} をNビット（Nは5以上の整数）のデジタル信号 D_{out} に変換する。逐次比較アナログデジタル変換器2は、例えば、スイッチ10、容量DAC70、比較器30、逐次比較レジスタ40、反転器50およびセレクタ60を備えている。

[0034] 容量DAC70は、複数の容量素子を含んで構成されたNビットの容量DACである。なお、図5には、複数の容量素子として、例えば、後述の7つの容量素子 C_1 , C_2 , C_3 , C_4 , C_9 , C_{10} , C_{11} が例示されている。図5中の各容量素子 C_1 , C_2 , C_3 , C_4 , C_9 , C_{10} , C_{11} の傍らには、各容量素子の容量値が示されている。また、図5には、容量DAC70として、5ビットの容量DACが例示されている。容量DAC70は、低位ビットLSBs（1～N-1ビット目）に該当するN-1個の容量素子と、最大ビットMSB（Nビット目）に該当する1つの容量素子と、補正用の複数の容量素子とを有している。低位ビットLSBs（1～N-1ビット目）に該当するN-1個の容量素子としては、例えば、1～4ビット目に該当する4つの容量素子 C_1 , C_2 , C_3 , C_4 が挙げられる。最大ビットMSB（Nビット目）に該当する1つの容量素子としては、例えば、5ビット目に該当する1つの容量素子 C_9 が挙げられる。補正ビットCBに該当する複数の容量素子としては、例えば、2つの容量素子 C_{10} , C_{11} が挙げられる。

[0035] 最大ビットMSBが、1つの容量素子によって構成されている。図5には、最大ビットMSBに該当する1つの容量素子としては、例えば、1つの容量素子 C_9 が挙げられる。最大ビットMSBに該当する1つの容量素子（例えば、1つの容量素子 C_9 ）が、Nビット目（例えば5ビット目）に該当する容量素子であり、1～N-1ビット目（例えば1～4ビット目）に該当しない容量素子である。補正ビットCBに該当する複数の容量素子（例えば、2つの容量素子 C_{10} , C_{11} ）は、1～Nビット目に該当しない容量素子である。

[0036] 補正ビットCB内の全体もしくは一部に該当する複数の容量素子（第1容

量素子)は、低位ビットLSBs (1~N-1ビット目)の全体もしくは一部に該当する複数の容量素子(第2容量素子)の合計容量に対応する合計容量を有している。例えば、複数の第1容量素子の容量は、低位ビットLSBs (1~N-1ビット目)における上位ビット(M~N-1ビット目)に該当する複数の容量素子(第3容量素子)の容量に対応している。例えば、複数の第1容量素子の合計容量は、低位ビットLSBs (1~N-1ビット目)における上位ビット(M~N-1ビット目)の全体に該当する複数の容量素子(第3容量素子)の合計容量に対応している。例えば、図5に示したように、補正ビットCB内の2つの容量素子 C_{10} , C_{11} (第1容量素子)の容量は、低位ビットLSBs内の破線で囲まれた2つの容量素子 C_3 , C_4 (第3容量素子)の容量に対応している。例えば、図5に示したように、補正ビットCB内の2つの C_{10} , C_{11} (第1容量素子)の容量は、低位ビットLSBs内の破線で囲まれた2つの容量素子 C_3 , C_4 (第3容量素子)の合計容量($4C_u + 8C_u = 12C_u$)に対応している。図5の補正ビットCB内の破線で囲まれた2つの容量素子 C_{10} , C_{11} は、本開示の「複数の第1容量素子」「1~Nビット目に該当しない容量素子」の一具体例に相当する。

[0037] このとき、補正ビットCB内の全体もしくは一部に該当する複数の容量素子(第1容量素子)の容量は、低位ビットLSBs内のM~N-1ビット目に該当する複数の容量素子(第3容量素子)の容量に対応している。例えば、図5に示したように、2つの容量素子 C_{10} , C_{11} (第1容量素子)と、2つの容量素子 C_3 , C_4 (第3容量素子)とは、互いに共通の容量素子によって構成されている。例えば、容量素子 C_{10} の容量は $4C_u$ となっており、容量素子 C_{11} の容量は $8C_u$ となっている。

[0038] 容量DAC70は、さらに、低位ビットLSBs、最大ビットMSBおよび補正ビットCBに該当する複数の容量素子を含む容量素子アレイ71と、容量素子アレイ71に接続された、複数のスイッチ素子を含むスイッチ素子アレイ72とを有している。容量素子アレイ71に含まれる各容量素子の一端は、共通ノードに接続されている。スイッチ素子アレイ72に含まれる各ス

スイッチ素子は、容量素子アレイ 71 に含まれる各容量素子の他端をそれぞれ独立に、最低参照電圧 V_{RB} 、コモン電圧 V_{CM} および最高参照電圧 V_{RT} のいずれかに接続する。

[0039] セレクタ 60 は、スイッチ素子アレイ 72 を介した容量素子アレイ 71 と複数の電圧線（最低参照電圧 V_{RB} 、コモン電圧 V_{CM} および最高参照電圧 V_{RT} の各電圧線）との接続の切り換えを制御する。セレクタ 60 は、逐次比較のときに、逐次比較レジスタ 40 から出力された制御信号 DAC_{CB} を選択して、容量 $DAC70$ に出力する。セレクタ 60 は、アナログ信号 V_{in} のサンプリングのとき、反転器 50 から出力された制御信号 DAC_{CB}' を選択して、制御信号 DAC_{CS} （第 1 制御信号）として容量 $DAC70$ に出力する。

[0040] 反転器 50 は、逐次比較レジスタ 40 から出力された制御信号 DAC_{LSBs} から制御信号 DAC_{LSBs}' を生成する。反転器 50 は、例えば、制御信号 DAC_{LSBs} のうち、 $M \sim N-1$ ビット目に該当する複数の容量素子（第 3 容量素子）に対応する複数のスイッチ素子に対する制御信号の反転信号を生成する。反転器 50 は、例えば、逐次比較レジスタ 40 から“1”が入力されると、反転信号として“0”を生成する。反転器 50 は、例えば、逐次比較レジスタ 40 から“0”が入力されると、反転信号として“1”を生成する。反転器 50 は、さらに、例えば、制御信号 DAC_{LSBs} において、 $M \sim N-1$ ビット目に該当する複数の容量素子（第 3 容量素子）に対応する複数のスイッチ素子に対する制御信号を、上記の反転信号に差し替えることにより、制御信号 DAC_{CB}' を生成する。

[0041] [効果]

次に、本実施形態に係る逐次比較アナログデジタル変換器 2 の効果について説明する。

[0042] 本実施の形態に係る逐次比較アナログデジタル変換器 2 では、補正ビット CB 内の全体もしくは一部に該当する複数の容量素子（第 1 容量素子）は、低位ビット $LSBs$ （ $1 \sim N-1$ ビット目）の全体もしくは一部に該当する複数の容量素子（第 2 容量素子）の合計容量に対応する合計容量を有してい

る。さらに、複数の第1容量素子は、低ビットに該当しない容量素子である。これにより、例えば、低ビットに該当する各容量素子に対して1つ前($k-1$ 回目)のADC変換結果を入力するとともに、各第2容量素子に対して入力する、1つ前($k-1$ 回目)のADC変換結果の反転信号を各第1容量素子に対して入力した状態でアナログ信号をサンプリングし、その後、各容量素子に対してリセット信号を入力することにより、容量デジタルアナログ変換器の出力電圧に生じ得るDCシフトを削減することができる。その結果、逐次比較アナログデジタル変換器2のダイナミックレンジを広げることができる。

[0043] また、本実施の形態では、複数の第1容量素子は、補正ビットCBに該当する容量素子である。これにより、例えば、低ビットに該当する各容量素子に対して1つ前($k-1$ 回目)のADC変換結果を入力するとともに、各第2容量素子に対して入力する、1つ前($k-1$ 回目)のADC変換結果の反転信号を各第1容量素子に対して入力した状態でアナログ信号をサンプリングし、その後、各容量素子に対してリセット信号を入力することにより、容量デジタルアナログ変換器の出力電圧に生じ得るDCシフトを削減することができる。その結果、逐次比較アナログデジタル変換器2のダイナミックレンジを広げることができる。

[0044] また、本実施の形態では、複数の第1容量素子は、1~Nビット目に該当しない(つまり、補正ビットCBに該当する)容量素子である。これにより、容量デジタルアナログ変換器2の出力電圧に生じ得るDCシフトを削減することができる。その結果、逐次比較アナログデジタル変換器2のダイナミックレンジを広げることができる。

[0045] また、本実施の形態では、低位ビットLSBs(1~N-1ビット目)に該当する各容量素子の容量は、N-1ビットバイナリで規定されている。複数の第1容量素子の容量は、低位ビットLSBs(1~N-1ビット目)における上位ビット(M~N-1ビット目(Mは1以上N-1以下の整数))に該当する複数の容量素子(第3容量素子)の容量に対応している。これに

より、容量デジタルアナログ変換器 2 の出力電圧に生じ得る DC シフトを削減することができる。その結果、逐次比較アナログデジタル変換器 2 のダイナミックレンジを広げることができる。

[0046] また、本実施の形態では、複数の第 1 容量素子の合計容量は、低位ビット L S B s (1 ~ N - 1 ビット目) における上位ビット (M ~ N - 1 ビット目) の全体に該当する複数の容量素子 (第 3 容量素子) の合計容量に対応している。これにより、容量デジタルアナログ変換器 2 の出力電圧に生じ得る DC シフトを削減することができる。その結果、逐次比較アナログデジタル変換器 2 のダイナミックレンジを広げることができる。

[0047] また、本実施の形態では、アナログ信号 V_{in} のサンプリングのとき、複数の第 1 容量素子に対応する複数のスイッチ素子に対する制御信号 DAC_{MSB} (第 1 制御信号) として、M ~ N - 1 ビット目に該当する複数の容量素子 (第 3 容量素子) に対応する複数のスイッチ素子に対する制御信号の反転信号が出力される。これにより、容量デジタルアナログ変換器 2 の出力電圧に生じ得る DC シフトを削減することができる。その結果、逐次比較アナログデジタル変換器 2 のダイナミックレンジを広げることができる。

[0048] < 3. 第 2 の実施の形態の変形例 >

次に、上記第 2 の実施の形態に係る逐次比較アナログデジタル変換器 2 の変形例について説明する。図 6 は、本変形例に係る逐次比較アナログデジタル変換器 2 の概要を表したものである。本変形例に係る逐次比較アナログデジタル変換器 2 は、上記第 2 の実施の形態に係る逐次比較アナログデジタル変換器 2 において、補正ビット CS に該当する容量素子の数を 1 つにしたものに相当する。

[0049] 本変形例に係る逐次比較アナログデジタル変換器 2 は、外部から入力されたアナログ信号 V_{in} を N ビット (N は 5 以上の整数) のデジタル信号 D_{out} に変換する。本変形例に係る逐次比較アナログデジタル変換器 2 は、例えば、スイッチ 10、容量 DAC 70、比較器 30、逐次比較レジスタ 40、反転器 50 およびセクタ 60 を備えている。

[0050] 容量DAC70は、複数の容量素子を含んで構成されたNビットの容量DACである。なお、図6には、複数の容量素子として、例えば、6つの容量素子 C_1 , C_2 , C_3 , C_4 , C_9 , C_{11} が例示されている。図6中の各容量素子 C_1 , C_2 , C_3 , C_4 , C_9 , C_{11} の傍らには、各容量素子の容量値が示されている。また、図6には、容量DAC70として、5ビットの容量DACが例示されている。容量DAC70は、低位ビットLSBs（1～N－1ビット目）に該当するN－1個の容量素子と、最大ビットMSB（Nビット目）に該当する1つの容量素子と、補正用の1つの容量素子とを有している。低位ビットLSBs（1～N－1ビット目）に該当するN－1個の容量素子としては、例えば、1～4ビット目に該当する4つの容量素子 C_1 , C_2 , C_3 , C_4 が挙げられる。最大ビットMSB（Nビット目）に該当する1つの容量素子としては、例えば、5ビット目に該当する1つの容量素子 C_9 が挙げられる。補正ビットCBに該当する1つの容量素子としては、例えば、1つの容量素子 C_{11} が挙げられる。

[0051] 最大ビットMSBが、1つの容量素子によって構成されている。図6には、最大ビットMSBに該当する1つの容量素子としては、例えば、1つの容量素子 C_9 が挙げられる。最大ビットMSBに該当する1つの容量素子（例えば、1つの容量素子 C_9 ）が、Nビット目（例えば5ビット目）に該当する容量素子であり、1～N－1ビット目（例えば1～4ビット目）に該当しない容量素子である。補正ビットCBに該当する1つの容量素子（例えば、1つの容量素子 C_{11} ）は、1～Nビット目に該当しない容量素子である。

[0052] 補正ビットCB内の1つの容量素子（第1容量素子）は、低位ビットLSBs（1～N－1ビット目）内の1つの容量素子（第2容量素子）の容量に対応する容量を有している。例えば、1つの第1容量素子の容量は、低位ビットLSBs（1～N－1ビット目）における最上位ビット（N－1ビット目）に該当する1つの容量素子（第3容量素子）の容量に対応している。例えば、1つの第1容量素子の容量は、低位ビットLSBs（1～N－1ビット目）における最上位ビット（N－1ビット目）に該当する1つの容量素子

(第3容量素子)の容量に対応している。例えば、図6に示したように、補正ビットCB内の1つの容量素子 C_{11} (第1容量素子)の容量は、低位ビットLSBs内の破線で囲まれた1つの容量素子 C_4 (第3容量素子)の容量に対応している。例えば、図6に示したように、補正ビットCB内の1つの C_{11} (第1容量素子)の容量は、低位ビットLSBs内の破線で囲まれた1つの容量素子 C_4 (第3容量素子)の容量($8C_u$)に対応している。図6の補正ビットCB内の破線で囲まれた1つの容量素子 C_{11} は、本開示の「複数の第1容量素子」「1〜Nビット目に該当しない容量素子」の一具体例に相当する。

[0053] このとき、補正ビットCB内の1つの容量素子(第1容量素子)の容量は、低位ビットLSBs内のM〜N−1ビット目に該当する1つの容量素子(第3容量素子)の容量に対応している。例えば、図6に示したように、1つの容量素子 C_{11} (第1容量素子)と、1つの容量素子 C_4 (第3容量素子)とは、互いに共通の容量素子によって構成されている。例えば、容量素子 C_{11} の容量は $8C_u$ となっている。

[0054] 容量DAC70は、さらに、低位ビットLSBs、最大ビットMSBおよび補正ビットCBに該当する複数の容量素子を含む容量素子アレイ71と、容量素子アレイ71に接続された、複数のスイッチ素子を含むスイッチ素子アレイ72とを有している。容量素子アレイ71に含まれる各容量素子の一端は、共通ノードに接続されている。スイッチ素子アレイ72に含まれる各スイッチ素子は、容量素子アレイ71に含まれる各容量素子の他端をそれぞれ独立に、最低参照電圧VRB、コモン電圧VCMおよび最高参照電圧VRTのいずれかに接続する。

[0055] セレクタ60は、スイッチ素子アレイ72を介した容量素子アレイ71と複数の電圧線(最低参照電圧VRB、コモン電圧VCMおよび最高参照電圧VRTの各電圧線)との接続の切り換えを制御する。セレクタ60は、逐次比較のときに、逐次比較レジスタ40から出力された制御信号DAC_{CB}を選択して、容量DAC70に出力する。セレクタ60は、アナログ信号Vinのサンプリングのとき、反転器50から出力された制御信号DAC_{CB}'を選択し

て、制御信号 DAC_{CS} （第1制御信号）として容量 $DAC70$ に出力する。

[0056] 反転器50は、逐次比較レジスタ40から出力された制御信号 DAC_{LSBs} から制御信号 DAC_{LSBs}' を生成する。反転器50は、例えば、制御信号 DAC_{LSBs} のうち、 $N-1$ ビット目に該当する1つの容量素子（第3容量素子）に対応する1つのスイッチ素子に対する制御信号の反転信号を生成する。反転器50は、例えば、逐次比較レジスタ40から“1”が入力されると、反転信号として“0”を生成する。反転器50は、例えば、逐次比較レジスタ40から“0”が入力されると、反転信号として“1”を生成する。反転器50は、さらに、例えば、制御信号 DAC_{LSBs} において、 $N-1$ ビット目に該当する1つの容量素子（第3容量素子）に対応する1つのスイッチ素子に対する制御信号を、上記の反転信号に差し替えることにより、制御信号 DAC_{CB}' を生成する。

[0057] [効果]

次に、本変形例に係る逐次比較アナログデジタル変換器2の効果について説明する。

[0058] 本変形例に係る逐次比較アナログデジタル変換器2では、補正ビットCB内の1つの容量素子（第1容量素子）は、低位ビットLSBs（1～ $N-1$ ビット目）内の1つの容量素子（第2容量素子）の容量に対応する容量を有している。さらに、1つの第1容量素子は、低ビットに該当しない容量素子である。これにより、例えば、低ビットに該当する各容量素子に対して1つ前（ $k-1$ 回目）のADC変換結果を入力するとともに、第2容量素子に対して入力する、1つ前（ $k-1$ 回目）のADC変換結果の反転信号を第1容量素子に対して入力した状態でアナログ信号をサンプリングし、その後、各容量素子に対してリセット信号を入力することにより、容量デジタルアナログ変換器の出力電圧に生じ得るDCシフトを削減することができる。その結果、逐次比較アナログデジタル変換器2のダイナミックレンジを広げることができる。

[0059] また、本変形例では、1つの第1容量素子は、補正ビットCBに該当する

容量素子である。これにより、例えば、低ビットに該当する各容量素子に対して1つ前 ($k-1$ 回目) のADC変換結果を入力するとともに、第2容量素子に対して入力する、1つ前 ($k-1$ 回目) のADC変換結果の反転信号を第1容量素子に対して入力した状態でアナログ信号をサンプリングし、その後、各容量素子に対してリセット信号を入力することにより、容量デジタルアナログ変換器の出力電圧に生じ得るDCシフトを削減することができる。その結果、逐次比較アナログデジタル変換器2のダイナミックレンジを広げることができる。

[0060] また、本変形例では、1つの第1容量素子は、1～Nビット目に該当しない（つまり、補正ビットCBに該当する）容量素子である。これにより、容量デジタルアナログ変換器2の出力電圧に生じ得るDCシフトを削減することができる。その結果、逐次比較アナログデジタル変換器2のダイナミックレンジを広げることができる。

[0061] また、本変形例では、低位ビットLSBs（1～N-1ビット目）に該当する各容量素子の容量は、N-1ビットバイナリで規定されている。1つの第1容量素子の容量は、低位ビットLSBs（1～N-1ビット目）における最上位ビット（N-1ビット目）に該当する1つの容量素子（第3容量素子）の容量に対応している。これにより、容量デジタルアナログ変換器2の出力電圧に生じ得るDCシフトを削減することができる。その結果、逐次比較アナログデジタル変換器2のダイナミックレンジを広げることができる。

[0062] また、本実施の形態では、1つの第1容量素子の合計容量は、低位ビットLSBs（1～N-1ビット目）における最上位ビット（N-1ビット目）に該当する1つの容量素子（第3容量素子）の容量に対応している。これにより、容量デジタルアナログ変換器2の出力電圧に生じ得るDCシフトを削減することができる。その結果、逐次比較アナログデジタル変換器2のダイナミックレンジを広げることができる。

[0063] また、本実施の形態では、アナログ信号 V_{in} のサンプリングのとき、1つの第1容量素子に対応する1つのスイッチ素子に対する制御信号 DAC_{MSB} （

第1制御信号)として、 $N-1$ ビット目に該当する1つの容量素子(第3容量素子)に対応する1つのスイッチ素子に対する制御信号の反転信号が出力される。これにより、容量デジタルアナログ変換器2の出力電圧に生じ得るDCシフトを削減することができる。その結果、逐次比較アナログデジタル変換器2のダイナミックレンジを広げることができる。

[0064] <4. 第3の実施の形態>

[構成]

本開示の第3の実施形態に係る逐次比較アナログデジタル変換器3について説明する。図7は、逐次比較アナログデジタル変換器3の概要を表したものである。逐次比較アナログデジタル変換器3は、外部から入力されたアナログ信号 V_{in} を N ビット(N は5以上の整数)のデジタル信号 D_{out} に変換する。逐次比較アナログデジタル変換器3は、例えば、スイッチ10、容量DAC80、比較器30、逐次比較レジスタ40、反転器50およびセレクタ60を備えている。

[0065] スイッチ10は、アナログ信号 V_{in} を所定の周期でサンプリングする。スイッチ10は、例えば、スイッチ素子で構成されている。

[0066] 容量DAC80は、複数の容量素子を含んで構成された N ビットの容量DACである。なお、図7には、複数の容量素子として、例えば、12個の容量素子 $C_1, C_2, C_3, C_4, C_5, C_6, C_7, C_8, C_9, C_{10}, C_{11}, C_{12}$ が例示されている。図7中の各容量素子 $C_1, C_2, C_3, C_4, C_5, C_6, C_7, C_8, C_9, C_{10}, C_{11}, C_{12}$ の傍らには、各容量素子の容量値が示されている。また、図7には、容量DAC80として、5ビットの容量DACが例示されている。容量DAC20は、低位ビットLSBs(1~ $N-1$ ビット目)に該当する $N-1$ 個の容量素子と、最大ビットMSB(N ビット目)に該当する複数の容量素子とを有している。低位ビットLSBs(1~ $N-1$ ビット目)に該当する $N-1$ 個の容量素子としては、例えば、1~4ビット目に該当する4つの容量素子 C_1, C_2, C_3, C_4 が挙げられる。最大ビットMSB(N ビット目)に該当する複数の容量素子としては、例えば、5ビット目に該当する8つ

の容量素子 C_5 , C_6 , C_7 , C_8 , C_9 , C_{10} , C_{11} , C_{12} が挙げられる。

[0067] 低位ビットLSBsは、例えば、4つの容量素子 C_1 , C_2 , C_3 , C_4 によって構成されている。低位ビットLSBsにおいて、容量素子 C_1 が1ビット目（最小ビットLSB）に該当する容量素子であり、容量素子 C_2 が2ビット目に該当する容量素子であり、容量素子 C_3 が3ビット目に該当する容量素子であり、容量素子 C_4 が4ビット目に該当する容量素子である。

[0068] 低位ビットLSBs（1～N－1ビット目）に該当する各容量素子の容量は、N－1ビットバイナリで規定されている。例えば、低位ビットLSBs（1～4ビット目）に該当する各容量素子 C_1 , C_2 , C_3 , C_4 の容量は、4ビットバイナリで規定されている。例えば、容量素子 C_1 の容量は $1C_u$ となっており、容量素子 C_2 の容量は $2C_u$ となっており、容量素子 C_3 の容量は $4C_u$ となっており、容量素子 C_4 の容量は $8C_u$ となっている。

[0069] 最大ビットMSBが、複数の容量素子によって構成されている。図7には、最大ビットMSBに該当する複数の容量素子としては、例えば、8つの容量素子 C_5 , C_6 , C_7 , C_8 , C_9 , C_{10} , C_{11} , C_{12} が挙げられる。最大ビットMSBに該当する複数の容量素子（例えば、8の容量素子 C_5 , C_6 , C_7 , C_8 , C_9 , C_{10} , C_{11} , C_{12} ）が、Nビット目（例えば5ビット目）に該当する容量素子であり、1～N－1ビット目（例えば1～4ビット目）に該当しない容量素子である。

[0070] 最大ビットMSB内の全体もしくは一部に該当する複数の容量素子（第1容量素子）は、低位ビットLSBs（1～N－1ビット目）の全体もしくは一部に該当する複数の容量素子（第2容量素子）の合計容量に対応する合計容量を有している。例えば、複数の第1容量素子の容量は、低位ビットLSBs（1～N－1ビット目）における上位ビット（M～N－1ビット目）に該当する複数の容量素子（第3容量素子）の容量に対応している。例えば、複数の第1容量素子の合計容量は、低位ビットLSBs（1～N－1ビット目）における上位ビット（M～N－1ビット目）の全体に該当する複数の容量素子（第3容量素子）の合計容量に対応している。例えば、図7に示した

ように、最大ビットMSB内の破線で囲まれた6つの容量素子 C_7 , C_8 , C_9 , C_{10} , C_{11} , C_{12} (第1容量素子) は、互いに等しい容量となっており、例えば、低位ビットLSBs内の1つの容量素子 C_2 (第3容量素子) の容量に対応している。例えば、図7に示したように、最大ビットMSB内の破線で囲まれた6つの容量素子 C_7 , C_8 , C_9 , C_{10} , C_{11} , C_{12} (第1容量素子) の容量は、低位ビットLSBs内の破線で囲まれた2つの容量素子 C_3 , C_4 (第3容量素子) の合計容量 ($4C_u + 8C_u = 12C_u$) に対応している。図7の最大ビットMSB内の破線で囲まれた6つの容量素子 C_7 , C_8 , C_9 , C_{10} , C_{11} , C_{12} は、本開示の「複数の第1容量素子」「Nビット目に該当する容量素子」「1〜Nビット目に該当しない容量素子」の一具体例に相当する。

[0071] このとき、最大ビットMSB内の全体もしくは一部に該当する複数の容量素子 (第1容量素子) の容量は、低位ビットLSBs内の1つの容量素子 (第3容量素子) の容量に対応している。例えば、図7に示したように、6つの容量素子 C_7 , C_8 , C_9 , C_{10} , C_{11} , C_{12} (第1容量素子) と、1つの容量素子 C_2 (第3容量素子) とは、互いに共通の容量素子によって構成されている。例えば、各容量素子 C_7 , C_8 , C_9 , C_{10} , C_{11} , C_{12} の容量は $2C_u$ となっている。

[0072] 容量DAC80は、さらに、低位ビットLSBsおよび最大ビットMSBに該当する複数の容量素子を含む容量素子アレイ81と、容量素子アレイ81に接続された、複数のスイッチ素子を含むスイッチ素子アレイ82とを有している。容量素子アレイ81に含まれる各容量素子の一端は、共通ノードに接続されている。スイッチ素子アレイ82に含まれる各スイッチ素子は、容量素子アレイ81に含まれる各容量素子の他端をそれぞれ独立に、最低参照電圧 V_{RB} 、コモン電圧 V_{CM} および最高参照電圧 V_{RT} のいずれかに接続する。

[0073] 比較器30は、例えば、共通ノード (容量DAC80の出力) の電圧 (比較信号) と、基準電圧 (コモン電圧 V_{CM}) とを比較し、その大小関係の判定結果を逐次比較レジスタ40に出力する。

- [0074] 逐次比較レジスタ40は、比較器30の出力信号を逐次蓄積して、デジタル信号Doutを出力する。逐次比較レジスタ40は、さらに、例えば、デジタル信号Doutを制御信号(DAC_{MSB}, DAC_{LSBs})として容量DAC80に出力する。
- [0075] セレクタ60は、スイッチ素子アレイ82を介した容量素子アレイ81と複数の電圧線(最低参照電圧VRB、コモン電圧VCMおよび最高参照電圧VRTの各電圧線)との接続の切り換えを制御する。セレクタ60は、逐次比較のときに、逐次比較レジスタ40から出力された制御信号DAC_{MSB}を選択して、容量DAC80に出力する。セレクタ60は、アナログ信号Vinのサンプリングのとき、反転器50から出力された制御信号DAC_{LSBs}'を選択して、制御信号DAC_{MSB}(第1制御信号)として容量DAC80に出力する。
- [0076] 反転器50は、逐次比較レジスタ40から出力された制御信号DAC_{LSBs}から制御信号DAC_{LSBs}'を生成する。反転器50は、例えば、制御信号DAC_{LSBs}のうち、M~N-1ビット目に該当する複数の容量素子(第3容量素子)に対応する複数のスイッチ素子に対する制御信号の反転信号を生成する。反転器50は、例えば、逐次比較レジスタ40から“1”が入力されると、反転信号として“0”を生成する。反転器50は、例えば、逐次比較レジスタ40から“0”が入力されると、反転信号として“1”を生成する。反転器50は、さらに、例えば、制御信号DAC_{LSBs}において、M~N-1ビット目に該当する複数の容量素子(第3容量素子)に対応する複数のスイッチ素子に対する制御信号を、上記の反転信号に差し替えることにより、制御信号DAC_{LSBs}'を生成する。

[0077] [効果]

次に、本実施形態に係る逐次比較アナログデジタル変換器3の効果について説明する。

- [0078] 本実施の形態に係る逐次比較アナログデジタル変換器3では、最大ビットMSB内の全体もしくは一部に該当する複数の容量素子(第1容量素子)は、低位ビットLSBs(1~N-1ビット目)の全体もしくは一部に該当す

る複数の容量素子（第2容量素子）の合計容量に対応する合計容量を有している。さらに、複数の第1容量素子は、低ビットに該当しない容量素子である。これにより、例えば、低ビットに該当する各容量素子に対して1つ前（ $k-1$ 回目）のADC変換結果を入力するとともに、各第2容量素子に対して入力する、1つ前（ $k-1$ 回目）のADC変換結果の反転信号を各第1容量素子に対して入力した状態でアナログ信号をサンプリングし、その後、各容量素子に対してリセット信号を入力することにより、容量デジタルアナログ変換器の出力電圧に生じ得るDCシフトを削減することができる。その結果、逐次比較アナログデジタル変換器3のダイナミックレンジを広げることができる。

[0079] また、本実施の形態では、複数の第1容量素子は、最大ビットMSB（Nビット目）に該当する容量素子である。これにより、例えば、低ビットに該当する各容量素子に対して1つ前（ $k-1$ 回目）のADC変換結果を入力するとともに、各第2容量素子に対して入力する、1つ前（ $k-1$ 回目）のADC変換結果の反転信号を各第1容量素子に対して入力した状態でアナログ信号をサンプリングし、その後、各容量素子に対してリセット信号を入力することにより、容量デジタルアナログ変換器の出力電圧に生じ得るDCシフトを削減することができる。その結果、逐次比較アナログデジタル変換器3のダイナミックレンジを広げることができる。

[0080] また、本実施の形態では、低位ビットLSBs（1～N-1ビット目）に該当する各容量素子の容量は、N-1ビットバイナリで規定されている。複数の第1容量素子の容量は、1～N-1ビット目に該当する特定の1つの容量素子の容量に対応している。これにより、容量デジタルアナログ変換器1の出力電圧に生じ得るDCシフトを削減することができる。その結果、逐次比較アナログデジタル変換器3のダイナミックレンジを広げることができる。

[0081] また、本実施の形態では、複数の第1容量素子の合計容量は、低位ビットLSBs（1～N-1ビット目）における上位ビット（M～N-1ビット目

）の全体に該当する複数の容量素子（第3容量素子）の合計容量に対応している。これにより、容量デジタルアナログ変換器1の出力電圧に生じ得るDCシフトを削減することができる。その結果、逐次比較アナログデジタル変換器3のダイナミックレンジを広げることができる。

[0082] また、本実施の形態では、アナログ信号 V_{in} のサンプリングのとき、複数の第1容量素子に対応する複数のスイッチ素子に対する制御信号 DAC_{MSB} （第1制御信号）として、 $M \sim N-1$ ビット目に該当する複数の容量素子（第3容量素子）に対応する複数のスイッチ素子に対する制御信号の反転信号が出力される。これにより、容量デジタルアナログ変換器1の出力電圧に生じ得るDCシフトを削減することができる。その結果、逐次比較アナログデジタル変換器3のダイナミックレンジを広げることができる。

[0083] <5. 第3の実施の形態の変形例>

次に、上記第3の実施の形態に係る逐次比較アナログデジタル変換器3の変形例について説明する。図8は、本変形例に係る逐次比較アナログデジタル変換器3の概要を表したものである。本変形例に係る逐次比較アナログデジタル変換器3は、上記第3の実施の形態に係る逐次比較アナログデジタル変換器3において、DWA（Data Weighted Averaging）90を更に備えたものに相当する。

[0084] DWA90は、最大ビットMSBを構成する複数の容量素子のうち任意の所定の数の容量素子に対応するスイッチ素子に対して、“1”を出力する。DWA90は、最大ビットMSBを構成する複数の容量素子において採り得る、所定の数の組み合わせに対応するスイッチ素子群に対して、繰り返し、“1”を出力する。これにより、最大ビットMSBを構成する複数の容量素子の容量ばらつきに起因するDCシフトを削減することができる。その結果、逐次比較アナログデジタル変換器3のダイナミックレンジを広げることができる。

[0085] 以上、複数の実施の形態およびそれらの変形例を挙げて本開示を説明したが、本開示は上記実施の形態等に限定されるものではなく、種々変形が可能

である。なお、本明細書中に記載された効果は、あくまで例示である。本開示の効果は、本明細書中に記載された効果に限定されるものではない。本開示が、本明細書中に記載された効果以外の効果を持っていたとしてもよい。

[0086] また、例えば、本開示は以下のような構成を取ることができる。

(1)

複数の容量素子を含んで構成された N ビット (N は5以上の整数) の容量デジタルアナログ変換器を備え、

前記複数の容量素子のうち複数の第1容量素子は、 $1 \sim N-1$ ビット目の全体もしくは一部に該当する複数の前記容量素子の合計容量に対応する合計容量を有し、かつ、 $1 \sim N-1$ ビット目に該当しない容量素子である

逐次比較アナログデジタル変換器。

(2)

前記複数の第1容量素子は、 N ビット目に該当する前記容量素子である

(1) に記載の逐次比較アナログデジタル変換器。

(3)

前記複数の第1容量素子は、 $1 \sim N$ ビット目に該当しない前記容量素子である

(1) に記載の逐次比較アナログデジタル変換器。

(4)

$1 \sim N-1$ ビット目に該当する各前記容量素子の容量は、 $N-1$ ビットバイナリで規定されており、

前記複数の第1容量素子の容量は、 $M \sim N-1$ ビット目 (M は1以上 $N-1$ 以下の整数) に該当する複数の前記容量素子の容量に対応している

(1) ないし (3) のいずれか1つに記載の逐次比較アナログデジタル変換器。

(5)

前記複数の第1容量素子の合計容量は、 $M \sim N-1$ ビット目 (M は1以上 $N-1$ 以下の整数) の全体に該当する複数の前記容量素子の合計容量に対応

している

(4) に記載の逐次比較アナログデジタル変換器。

(6)

1 ～ N - 1 ビット目に該当する各前記容量素子の容量は、N - 1 ビットバイナリで規定されており、

前記複数の第 1 容量素子の容量は、1 ～ N - 1 ビット目に該当する特定の 1 つの前記容量素子の容量に対応している

(1) ないし (3) のいずれか 1 つに記載の逐次比較アナログデジタル変換器。

(7)

前記複数の第 1 容量素子の合計容量は、M ～ N - 1 ビット目 (M は 1 以上 N - 1 以下の整数) の全体に該当する複数の前記容量素子の合計容量に対応している

(6) に記載の逐次比較アナログデジタル変換器。

(8)

1 ～ N - 1 ビット目に該当する各前記容量素子の容量は、N - 1 ビットバイナリで規定されており、

前記複数の第 1 容量素子の容量は、M ～ N - 1 ビット目 (M は 1 以上 N - 1 以下の整数) に該当する複数の前記容量素子の容量に対応しており、

前記容量デジタルアナログ変換器は、

前記複数の容量素子を含む容量素子アレイと、

前記容量素子アレイに接続された、複数のスイッチ素子を含むスイッチ素子アレイと

を有し、

当該逐次比較アナログデジタル変換器は、前記スイッチ素子アレイを介した前記容量素子アレイと複数の電圧線との接続の切り換えを制御する制御部を更に備え、

前記制御部は、アナログ信号のサンプリング時に、前記複数の第 1 容量素

子に対応する複数の前記スイッチ素子に対する第1制御信号として、 $M \sim N - 1$ ビット目に該当する複数の前記容量素子に対応する複数の前記スイッチ素子に対する制御信号の反転信号を出力する

(2) ないし (7) のいずれか1つに記載の逐次比較アナログデジタル変換器。

(9)

複数の容量素子を含んで構成された N ビット (N は4以上の整数) の容量デジタルアナログ変換器を備え、

前記複数の容量素子のうち1つの第1容量素子は、 $1 \sim N - 1$ ビット目に含まれる1つの前記容量素子の容量に対応する容量を有し、かつ、 $1 \sim N$ ビット目に該当しない容量素子である

逐次比較アナログデジタル変換器。

(10)

$1 \sim N - 1$ ビット目に該当する各前記容量素子の容量は、 $N - 1$ ビットバイナリで規定されており、

前記第1容量素子の容量は、 $M \sim N - 1$ ビット目 (M は1以上 $N - 1$ 以下の整数) に該当する1つの前記容量素子の容量に対応しており、

前記容量デジタルアナログ変換器は、

前記複数の容量素子を含む容量素子アレイと、

前記容量素子アレイに接続された、複数のスイッチ素子を含むスイッチ素子アレイと

を有し、

当該逐次比較アナログデジタル変換器は、前記スイッチ素子アレイを介した前記容量素子アレイと複数の電圧線との接続の切り換えを制御する制御部を更に備え、

前記制御部は、前記第1容量素子に対応する前記スイッチ素子に対する第1制御信号として、 $M \sim N - 1$ ビット目に該当する1つの前記容量素子に対応する前記スイッチ素子に対する制御信号を出力する

(9) に記載の逐次比較アナログデジタル変換器。

[0087] 本開示の一実施の形態に係る第1および第2の逐次比較アナログデジタル変換器によれば、容量デジタルアナログ変換器の出力電圧に生じ得るDCシフトを削減することができるようにしたので、SARADCのダイナミックレンジを広げることができる。なお、本開示の効果は、ここに記載された効果に必ずしも限定されず、本明細書中に記載されたいずれの効果であってもよい。

[0088] 本出願は、日本国特許庁において2018年1月12日に出願された日本特許出願番号第2018-003216号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0089] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 複数の容量素子を含んで構成された N ビット（ N は5以上の整数）の容量デジタルアナログ変換器を備え、
- 前記複数の容量素子のうち複数の第1容量素子は、 $1 \sim N-1$ ビット目の全体もしくは一部に該当する複数の前記容量素子の合計容量に対応する合計容量を有し、かつ、 $1 \sim N-1$ ビット目に該当しない容量素子である
- 逐次比較アナログデジタル変換器。
- [請求項2] 前記複数の第1容量素子は、 N ビット目に該当する前記容量素子である
- 請求項1に記載の逐次比較アナログデジタル変換器。
- [請求項3] 前記複数の第1容量素子は、 $1 \sim N$ ビット目に該当しない前記容量素子である
- 請求項1に記載の逐次比較アナログデジタル変換器。
- [請求項4] $1 \sim N-1$ ビット目に該当する各前記容量素子の容量は、 $N-1$ ビットバイナリで規定されており、
- 前記複数の第1容量素子の容量は、 $M \sim N-1$ ビット目（ M は1以上 $N-1$ 以下の整数）に該当する複数の前記容量素子の容量に対応している
- 請求項1に記載の逐次比較アナログデジタル変換器。
- [請求項5] 前記複数の第1容量素子の合計容量は、 $M \sim N-1$ ビット目（ M は1以上 $N-1$ 以下の整数）の全体に該当する複数の前記容量素子の合計容量に対応している
- 請求項4に記載の逐次比較アナログデジタル変換器。
- [請求項6] $1 \sim N-1$ ビット目に該当する各前記容量素子の容量は、 $N-1$ ビットバイナリで規定されており、
- 前記複数の第1容量素子の容量は、 $1 \sim N-1$ ビット目に該当する特定の1つの前記容量素子の容量に対応している

請求項 1 に記載の逐次比較アナログデジタル変換器。

[請求項7] 前記複数の第 1 容量素子の合計容量は、 $M \sim N - 1$ ビット目 (M は 1 以上 $N - 1$ 以下の整数) の全体に該当する複数の前記容量素子の合計容量に対応している

請求項 6 に記載の逐次比較アナログデジタル変換器。

[請求項8] $1 \sim N - 1$ ビット目に該当する各前記容量素子の容量は、 $N - 1$ ビットバイナリで規定されており、

前記複数の第 1 容量素子の容量は、 $M \sim N - 1$ ビット目 (M は 1 以上 $N - 1$ 以下の整数) に該当する複数の前記容量素子の容量に対応しており、

前記容量デジタルアナログ変換器は、

前記複数の容量素子を含む容量素子アレイと、

前記容量素子アレイに接続された、複数のスイッチ素子を含むスイッチ素子アレイと

を有し、

当該逐次比較アナログデジタル変換器は、前記スイッチ素子アレイを介した前記容量素子アレイと複数の電圧線との接続の切り換えを制御する制御部を更に備え、

前記制御部は、アナログ信号のサンプリング時に、前記複数の第 1 容量素子に対応する複数の前記スイッチ素子に対する第 1 制御信号として、 $M \sim N - 1$ ビット目に該当する複数の前記容量素子に対応する複数の前記スイッチ素子に対する制御信号の反転信号を出力する

請求項 2 に記載の逐次比較アナログデジタル変換器。

[請求項9] 複数の容量素子を含んで構成された N ビット (N は 4 以上の整数) の容量デジタルアナログ変換器を備え、

前記複数の容量素子のうち 1 つの第 1 容量素子は、 $1 \sim N - 1$ ビット目に含まれる 1 つの前記容量素子の容量に対応する容量を有し、かつ、 $1 \sim N$ ビット目に該当しない容量素子である

逐次比較アナログデジタル変換器。

[請求項10]

1 ～ $N - 1$ ビット目に該当する各前記容量素子の容量は、 $N - 1$ ビットバイナリで規定されており、

前記第 1 容量素子の容量は、 $M \sim N - 1$ ビット目 (M は 1 以上 $N - 1$ 以下の整数) に該当する 1 つの前記容量素子の容量に対応しており、

前記容量デジタルアナログ変換器は、

前記複数の容量素子を含む容量素子アレイと、

前記容量素子アレイに接続された、複数のスイッチ素子を含むスイッチ素子アレイと

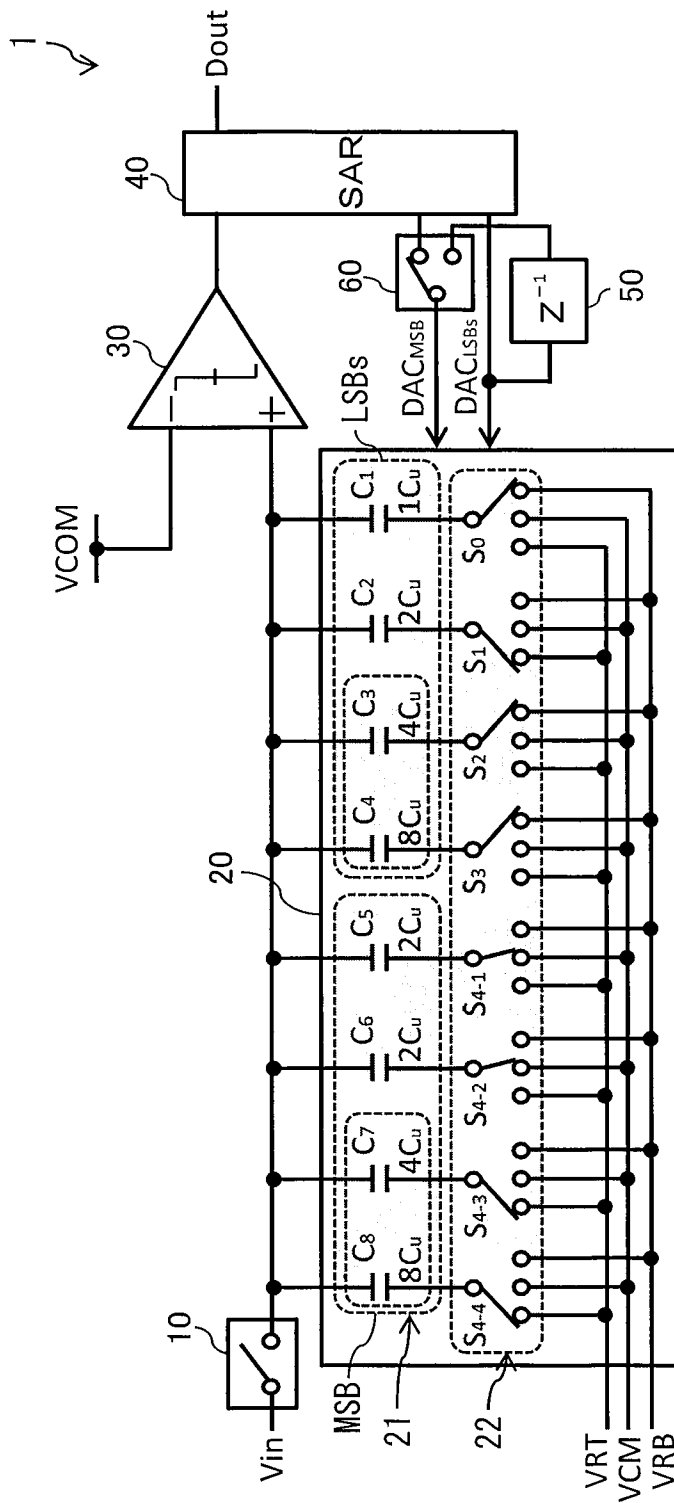
を有し、

当該逐次比較アナログデジタル変換器は、前記スイッチ素子アレイを介した前記容量素子アレイと複数の電圧線との接続の切り換えを制御する制御部を更に備え、

前記制御部は、前記第 1 容量素子に対応する前記スイッチ素子に対する第 1 制御信号として、 $M \sim N - 1$ ビット目に該当する 1 つの前記容量素子に対応する前記スイッチ素子に対する制御信号を出力する

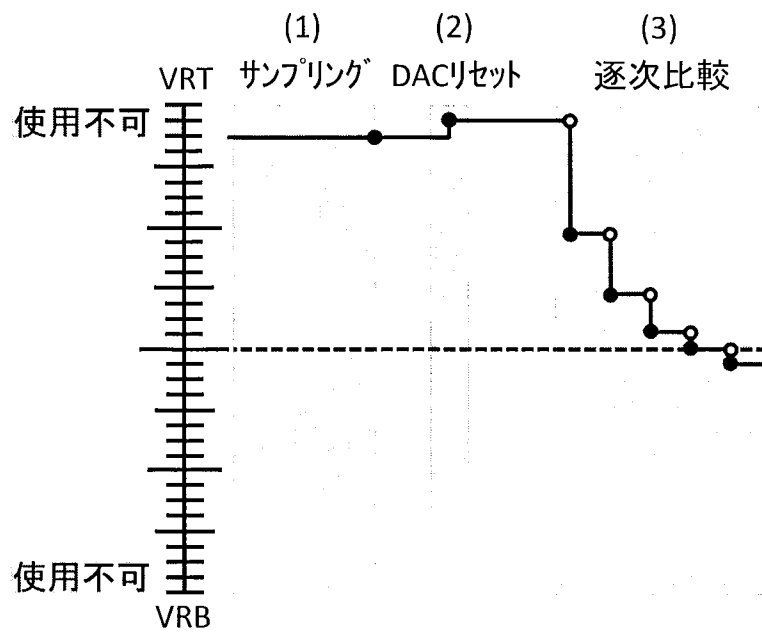
請求項 9 に記載の逐次比較アナログデジタル変換器。

[図1]



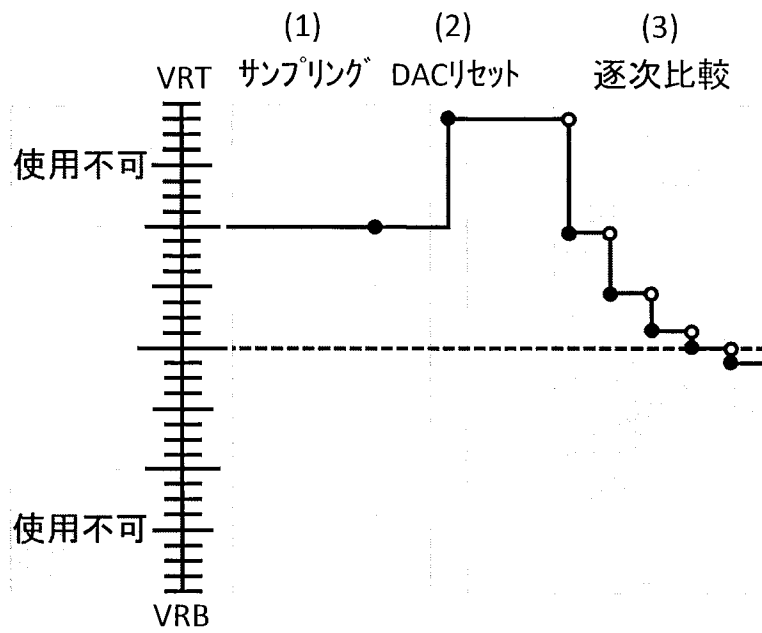
	FS/8	FS/16	FS/32	FS/32	FS/8	FS/16	FS/32	FS/64
(1)サンプリング*	S ₄₋₄	S ₄₋₃	S ₄₋₂	S ₄₋₁	S ₃	S ₂	S ₁	S ₀
	VRT	VRT	VCM	VCM	VRB	VRB	VRB	VRB
	D _{3(N-1)}	D _{2(N-1)}			D _{3(N-1)}	D _{2(N-1)}	D _{1(N-1)}	D _{0(N-1)}
(2)ADCリセット	VCM	VCM	VCM	VCM	VCM	VCM	VCM	VCM
(3)逐次比較	VRB	VRB	VRB	VRB	VRB	VRB	VRB	VRB

[図2]

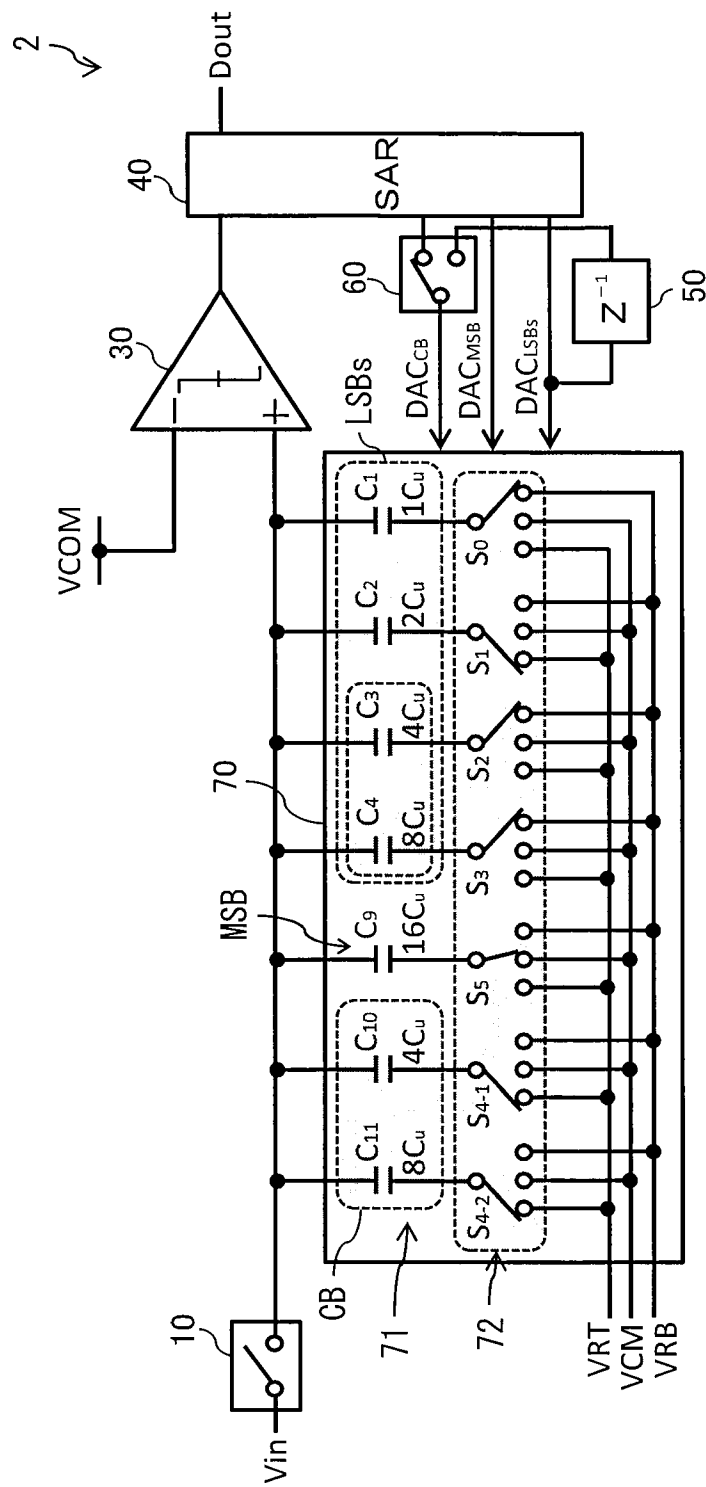


	FS/4	FS/8	FS/16	FS/32	FS/64
	S ₅	S ₃	S ₂	S ₁	S ₀
(1)サンプリング	VCM	VRB	VRB	VRB	VRB
(2)ADCリセット	VCM	VCM	VCM	VCM	VCM
(3)逐次比較	VRB	VRB	VRB	VRB	VRB

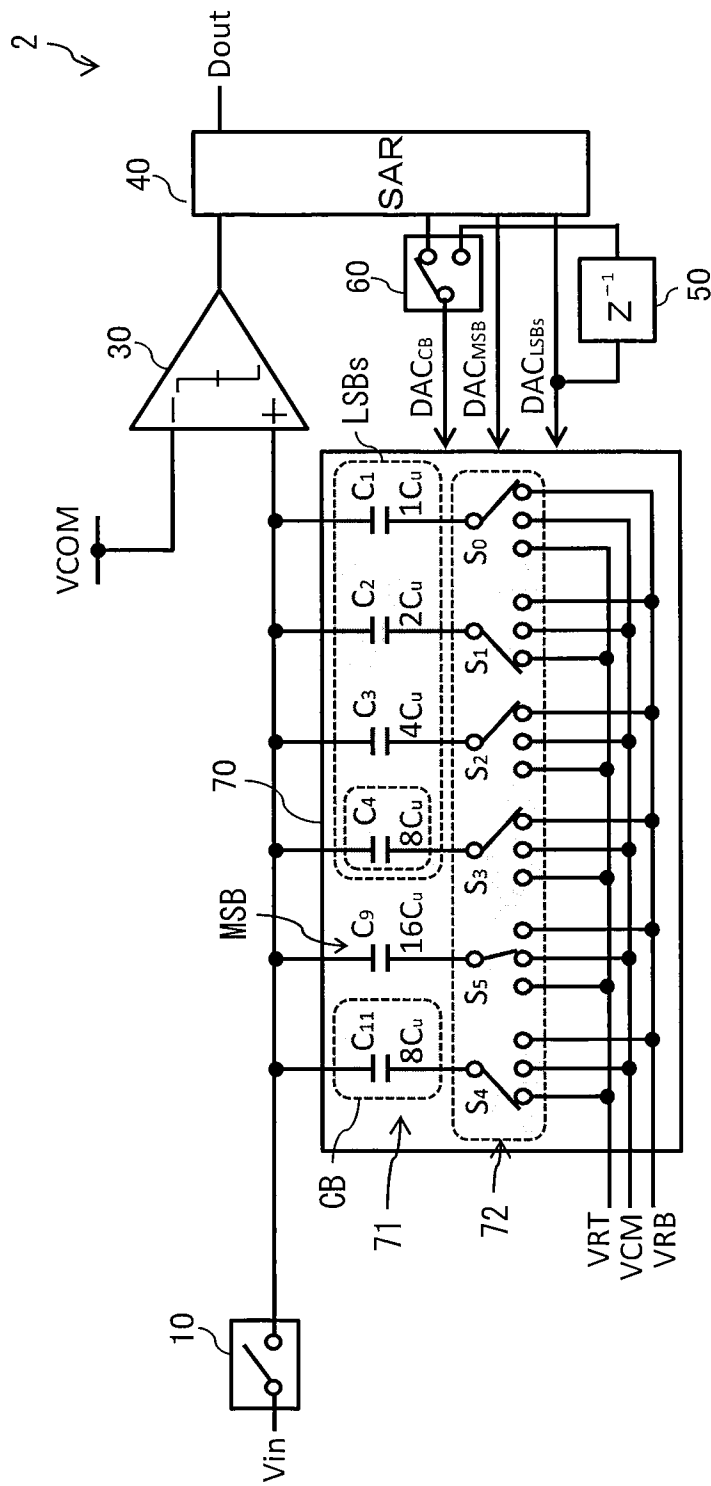
[図4]



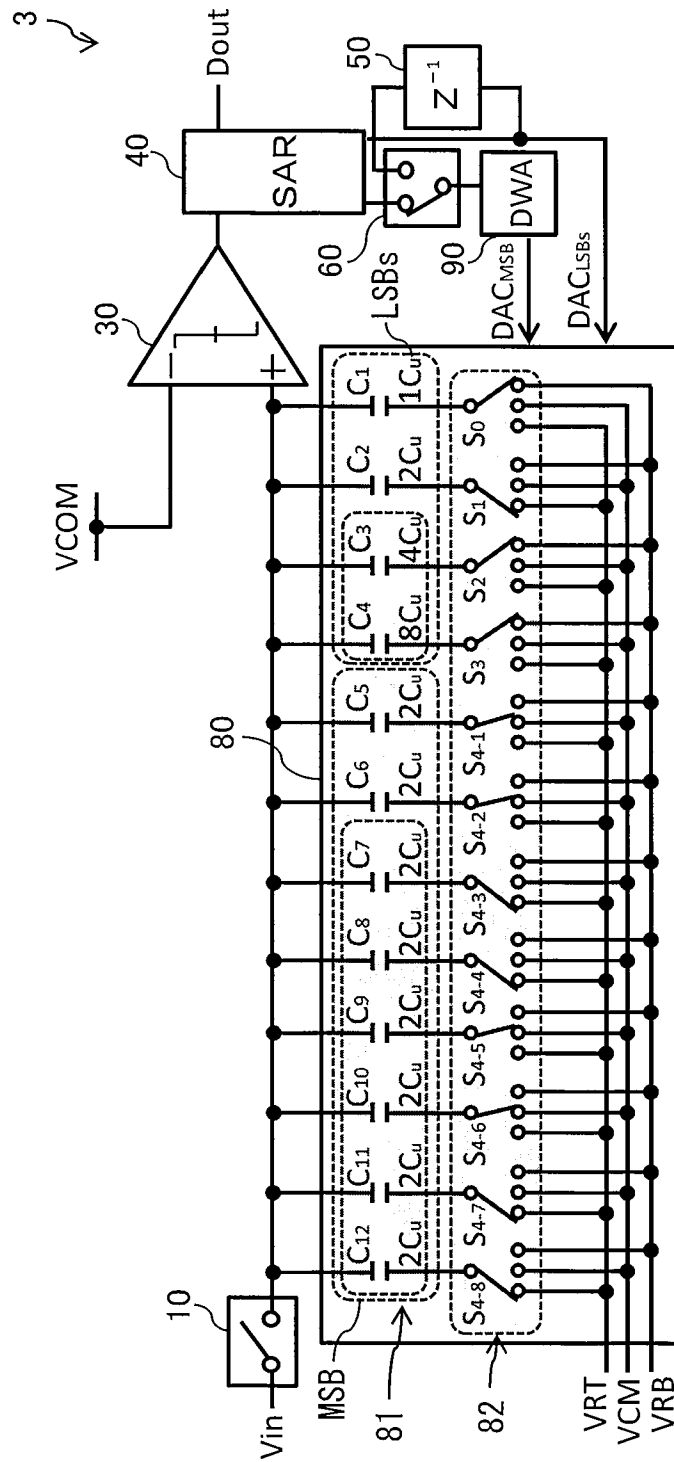
[図5]



[図6]



[图8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/046584

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H03M1/38 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H03M1/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2013-526179 A (TEXAS INSTRUMENTS JAPAN LIMITED) 20 June 2013, fig. 4, 6 & US 2011/0260899 A1, fig. 4, 6 & WO 2011/133193 A1 & CN 102859882 A	1, 3, 9 2, 4-8, 10
X A	JP 2013-021555 A (TOSHIBA CORP.) 31 January 2013, fig. 16, 18 & US 2013/0015996 A1, fig. 16, 18	1-2, 4-6 3, 7-10
A	JP 2017-060159 A (MEDIATEK INC.) 23 March 2017 & US 2017/0077937 A1 & EP 3288186 A1 & CN 107070454 A	1-10
A	JP 2016-025552 A (ASAHI KASEI ELECTRONICS CO., LTD.) 08 February 2016 (Family: none)	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 March 2019 (22.03.2019)

Date of mailing of the international search report
02 April 2019 (02.04.2019)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H03M1/38 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H03M1/38

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2013-526179 A (日本テキサス・インスツルメンツ株式会社) 2013.06.20, 図 4, 6 & US 2011/0260899 A1, 図 4, 6 & WO 2011/133193 A1 & CN 102859882 A	1, 3, 9 2, 4-8, 10
X A	JP 2013-021555 A (株式会社東芝) 2013.01.31, 図 16, 18 & US 2013/0015996 A1, 図 16, 18	1-2, 4-6 3, 7-10

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

22.03.2019

国際調査報告の発送日

02.04.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

白井 亮

5W

3363

電話番号 03-3581-1101 内線 3576

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2017-060159 A (メディアテック インコーポレーテッド) 2017.03.23 & US 2017/0077937 A1 & EP 3288186 A1 & CN 107070454 A	1-10
A	JP 2016-025552 A (旭化成エレクトロニクス株式会社) 2016.02.08 (ファミリーなし)	1-10