

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G06F 17/17 (2006.01)



[12] 发明专利说明书

专利号 ZL 02827823.2

[45] 授权公告日 2008 年 11 月 5 日

[11] 授权公告号 CN 100430927C

[22] 申请日 2002.12.4 [21] 申请号 02827823.2
[30] 优先权

[32] 2001.12.11 [33] US [31] 10/013,568

[86] 国际申请 PCT/US2002/038525 2002.12.4

[87] 国际公布 WO2003/054726 英 2003.7.3

[85] 进入国家阶段日期 2004.8.3

[73] 专利权人 勒克罗伊公司

地址 美国纽约州

[72] 发明人 M·S·戈尔比克斯

[56] 参考文献

CN1119894A 1996.4.3

CN1119893A 1996.4.3

审查员 林亮亮

[74] 专利代理机构 中国专利代理(香港)有限公司
代理人 杨 凯 陈景峻

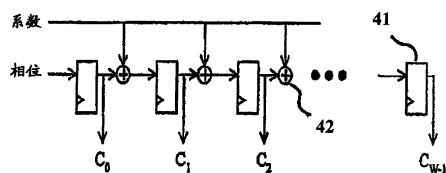
权利要求书 4 页 说明书 10 页 附图 8 页

[54] 发明名称

并行抽选电路

[57] 摘要

一种用于在示波器上抽选波形数据的抽选系统和抽选电路。利用 16 个并行连接到数据总线的并行 16 对 1 复用器来实现抽选电路，它们根据样本计数电路所产生的控制信号有选择地捕获样本。可输入抽选系数和相位值，以便对电路所执行的抽选量编程。抽选系统在控制抽选方面提供更大的灵活性，而且是通过把若干抽选电路与相应的模数转换器和存储段组合来形成的。



1. 一种用于在示波器上抽选波形数据的抽选电路，包括：

样本计数电路，它具有 N 个寄存器，各寄存器与位于各寄存器对之间的 $N-1$ 个加法器其中之一串联，其中 N 是数据总线上的数据线的数量；所述样本计数电路根据抽选系数值和抽选相位值来确定 N 个输出，各输出指明在抽选之后剩余的所述波形数据内数据样本的位置；所述寄存器中第一个设置为所述抽选相位值作为其指明的位置，各加法器把所述抽选系数值与前一个寄存器的输出相加，从而产生下一个寄存器的输出作为其指明的位置；以及

复用器电路，它具有 N 个并行复用器，每个复用器与 N 个相应并行输出寄存器其中之一串联；各复用器具有与所述数据总线的所述数据线连接的 N 个并行输入，并根据所述样本计数电路的输出中预定的一个来控制，以便按照所述输出中的所述预定的一个的指示从所述数据总线的数据线之一选择数据样本；所述 N 个输出寄存器中每一个由启用位来启用，从而接收所述相应复用器选取的数据样本。

2. 如权利要求 1 所述的抽选电路，其特征在于还包括 N 个模数电路和 N 个除法电路，每个电路连接到所述样本计数电路的所述 N 个输出其中之一，每个电路对应于所述 N 个并行复用器和输出寄存器中预定的一个；每个模数电路产生时钟信号，用于控制所述相应复用器对数据样本的选择；每个除法电路产生地点信号，用于产生所述相应输出寄存器的所述启用位。

3. 如权利要求 2 所述的抽选电路，其特征在于还包括启用电路，它具有连接到 N 个并行比较器的至少一个计数器；各比较器比较来自所述计数器的计数值与从所述除法电路中相应的一个接收的地点信号，从而产生所述相应输出寄存器的所述启用位。

4. 如权利要求 3 所述的抽选电路，其特征在于，所述计数值按顺序一直排到所述抽选系数值，然后再重排。

5. 一种用于在示波器上抽选波形数据的抽选系统，包括：

多个模数转换器，用于从输入波形并行捕获和产生数据样本；

多个并行连接的抽选电路，各抽选电路连接到所述模数转换器中预定相应的一个，并且具有：

样本计数电路，具有 N 个寄存器，各寄存器与位于各寄存器对之间的 $N-1$ 个加法器其中之一串联，其中 N 是数据总线上的数据线的数量；所述样本计数电路根据抽选系数值和抽选相位值来确定 N 个输出，各输出指明在抽选之后剩余的波形数据内数据样本的位置；所述寄存器中第一个设置为所述抽选相位值作为其指明的位置，各加法器把所述抽选系数值与前一个寄存器的输出相加，从而产生下一个寄存器的输出作为其指明的位置；以及

复用器电路，具有 N 个并行复用器，每个复用器与 N 个相应并行输出寄存器其中之一串联；各复用器具有与所述数据总线的数据线连接的 N 个并行输入，并根据来自所述样本计数电路的输出中预定的一个来控制，以便按照所述输出中的所述预定的一个的指示从所述数据总线的数据线之一选择数据样本；所述 N 个输出寄存器中每一个由启用位来启用，从而接收所述相应复用器选取的数据样本；

多个存储段，各存储段用于存储来自所述多个抽选电路中预定的一个相应电路的数据样本；以及

处理器，用于选择所述多个存储段中存储的数据样本，从而产生所述抽选的波形数据。

6. 如权利要求 5 所述的抽选系统，其特征在于，所述多个并行模数转换器按照预定顺序时间对所述波形数据抽样，从而产生波形数据样本。

7. 如权利要求 5 所述的抽选系统，其特征在于，所述多个抽选电路还包括连接到所述样本计数电路的所述 N 个输出且对应于所述 N 个并行复用器和输出寄存器的 N 个模数电路和 N 个除法电路；每个模数电路产生时钟信号，用于控制所述相应复用器对数据样本的选

择；每个除法电路产生地点信号，用于产生所述相应输出寄存器的所述启用位。

8. 如权利要求 7 所述的抽选系统，其特征在于，所述多个抽选电路还包括启用电路，其中具有连接到 N 个并行比较器的至少一个计数器；各比较器比较来自所述计数器的计数值与来自所述除法电路之一的地点信号，从而产生所述相应输出寄存器的所述启用位。

9. 如权利要求 8 所述的抽选系统，其特征在于，所述计数值按顺序一直排到所述抽选系数值，然后再重排。

10. 一种采用抽选电路在示波器上抽选波形数据的方法，包括以下步骤：

根据抽选系数值和抽选相位值来确定 N 个输出，各输出指明在抽选之后剩余的波形数据内数据样本的位置；采用与位于各寄存器对之间的 $N-1$ 个加法器其中之一串联的 N 个寄存器并行确定所述 N 个输出，其中 N 是数据总线上的数据线的数量；把所述寄存器中第一个设置为所述抽选相位值作为其指明的位置，以及采用各加法器把所述抽选系数值与前一个寄存器的输出相加，从而产生下一个寄存器的输出作为其指明的位置；以及

从所述数据总线的数据线之一选择由所述 N 个输出指示的所述波形数据的数据样本；采用 N 个并行复用器选择所述数据样本，各复用器与 N 个相应的并行输出寄存器其中之一串联；各复用器具有与所述数据总线的数据线连接的 N 个并行输入，并根据来自所述确定步骤的 N 个输出中预定的一个来控制；利用启用位来启用所述 N 个输出寄存器中的各个寄存器，以便接收所述相应复用器选取的所述数据样本。

11. 如权利要求 10 所述的方法，其特征在于还包括以下步骤：根据来自所述确定步骤的所述 N 个输出产生 N 个时钟信号，用于控制所述 N 个并行复用器对数据样本的选择，以及根据所述 N 个输出产生 N 个地点信号，用于产生所述 N 个输出寄存器的所述启用位。

12. 如权利要求 10 所述的方法，其特征在于还包括以下步骤：
比较来自计数器的计数值与所述 N 个地点信号中的每一个，从而产生所述 N 个输出寄存器的所述启用位。

13. 如权利要求 12 所述的方法，其特征在于，所述比较步骤将所述计数值按顺序一直排到所述抽选系数值，然后再重排计数值。

并行抽选电路

发明背景

本发明一般涉及用于在示波器上抽选波形数据的并行抽选电路。

传统上, 数字存储示波器(DSO)捕捉电子信号(波形), 并允许用户在时间(x轴)-幅度(y轴)显示中查看所捕捉信号的轨迹。这通过对波形进行数字抽样、从而产生多个样本来完成。目前的DSO能够以每秒 10^9 个样本的速率来捕获数据。在这个速率上, 需要千兆字节的存储器来包含一秒的数据。存储这种数量的数据很快会超过即使是最大的DSO存储器的容量。此外, 显示屏的分辨率不足以显示这种数量的数据。实际上, 显示器只需要大约1000个数据点来产生适当的波形轨迹。因此, 为了显示一秒的轨迹, 在各显示点之间丢弃差不多 10^6 个样本。

由于这些原因, DSO通常通过称作抽选的简化运算来减少样本数量。抽选操作可在捕获波形、存储样本、处理数据和/或再现显示图像的过程中执行。对于这些阶段中的大多数而言, 抽选操作可用软件来执行。但是, 在捕获过程中, 软件实现太慢而无法与输入数据保持同步。

发明概述

因此, 需要在示波器捕获波形期间执行实时抽选操作的能力。这个问题的解决方案最好应该是节省成本且易于实现的。

因此, 本发明的一个目的是提供一种在示波器中执行抽选操作的电路。

本发明的另一个目的是提供一种用于在示波器中执行抽选操作

的多电路系统。

本发明的优选实施例提供一种用于在示波器上抽选波形数据的抽选电路。抽选电路具有样本计数电路，样本计数电路具有 N 个寄存器(N 为数据总线上的数据线的数量)，各寄存器与位于各寄存器对之间的 $N-1$ 个加法器其中之一串联。样本计数电路根据抽选系数值和抽选相位值来确定 N 个输出。各输出指明抽选之后剩余的波形数据内数据样本的位置。寄存器中第一个设置为抽选相位值，作为其指明的位置。各加法器把抽选系数值与前一个寄存器的输出相加而产生下一个寄存器的输出，作为其指明的位置。抽选电路还具有复用电路，其中具有与 N 个相应的并行输出寄存器串联的 N 个并行复用器。各复用器具有与数据总线的数据线连接的 N 个并行输入。根据样本计数电路的输出之一来控制各复用器，以便从数据总线的数据线之一选择数据样本。各输出寄存器由启用位来启用，以便接收相应的复用器选取的数据样本。

本发明的另一方面在于，抽选电路还可包括 N 个模数电路和 N 个除法电路。各电路连接到样本计数电路的 N 个输出其中之一，并且对应于 N 个并行复用器和输出寄存器中预定的一个。各模数电路产生时钟信号，用于控制相应的复用器对数据样本的选择。各除法电路产生地点信号，用于为相应的输出寄存器产生启用位。

本发明的另一方面在于，抽选电路还可包括启用电路，其中具有连接到 N 个并行比较器的至少一个计数器。各比较器比较来自计数器的计数值与从相应一个除法电路接收的地点信号，从而产生相应输出寄存器的启用位。计数值通常按顺序一直排到抽选系数值，然后再重排。

本发明的第二实施例提供一种用于在示波器上抽选波形数据的抽选系统。抽选系统包括：多个模数转换器，用于从输入波形中并行捕获和产生数据样本；多个抽选电路；多个存储段；以及处理器，用于选择存储段中存储的数据样本。各抽选电路连接到相应的模数转换

器,并且具有样本计数电路,样本计数电路具有 N 个寄存器(N 为数据总线上的数据线的数量),各寄存器与位于各寄存器对之间的 $N-1$ 个加法器其中之一串联。样本计数电路根据抽选系数值和抽选相位值来确定 N 个输出。各输出指明抽选之后剩余的波形数据内数据样本的位置。寄存器中第一个设置为抽选相位值,作为其指明的位置。各加法器把抽选系数值与前一个寄存器的输出相加而产生下一个寄存器的输出,作为其指明的位置。抽选电路还具有复用电路,其中具有与 N 个相应的并行输出寄存器串联的 N 个并行复用器。各复用器具有与数据总线的数据线连接的 N 个并行输入。根据样本计数电路的输出之一来控制各复用器,以便从数据总线的数据线之一选择数据样本。各输出寄存器由启用位来启用,以便接收相应的复用器选取的数据样本。此外,各存储段存储来自相应抽选电路的数据样本。

在第二实施例中,并行模数转换器可在预定顺序时间对波形数据抽样,从而产生波形数据样本。

第二实施例的另一方面在于,抽选电路还可包括 N 个模数电路和 N 个除法电路。各电路连接到样本计数电路的 N 个输出其中之一,并且对应于 N 个并行复用器和输出寄存器中预定的一个。各模数电路产生时钟信号,用于控制相应复用器对数据样本的选取。各除法电路产生地点信号,用于为相应输出寄存器产生启用位。

第二实施例的另一方面在于,抽选电路还可包括启用电路,其中具有连接到 N 个并行比较器的至少一个计数器。各比较器比较来自计数器的计数值与从除法电路之一接收的地点信号,以便产生相应输出寄存器的启用位。计数值通常按顺序一直排到抽选系数值,然后再重排。

本发明的第二实施例提供一种利用抽选电路在示波器上抽选波形数据的方法。该方法首先根据抽选系数值和抽选相位值来确定 N 个输出。各输出指明抽选之后剩余的波形数据内数据样本的位置。利用与位于各寄存器对之间的 $N-1$ 个加法器其中之一串联的 N 个寄存

器(其中 N 为数据总线上的数据线的数量)并行确定 N 个输出。该方法然后把寄存器中第一个设置成抽选相位值,作为其指明的位置,并利用各加法器把抽选系数值与前一个寄存器的输出相加,从而产生下一个寄存器的输出,作为其指明的位置。该方法从数据总线的数据线之一选择由 N 个输出指明的波形数据的数据样本。利用 N 个并行复用器来选择数据样本。各复用器与 N 个相应并行输出寄存器其中之一串联,并具有与数据总线的数据线连接的 N 个并行输入,以及根据 N 个输出中预定的一个来控制各复用器。 N 个输出寄存器中的每一个则利用启用位来启用,以便接收相应的复用器所选取的数据样本。

第三实施例的另一方面在于,所述方法还可包括以下步骤:根据 N 个输出产生 N 个时钟信号,用于控制 N 个并行复用器对数据样本的选择;以及根据 N 个输出产生 N 个地点信号,用于产生 N 个输出寄存器的启用位。

第三实施例的另一方面在于,所述方法还可包括以下步骤:比较来自计数器的计数值与 N 个地点信号中的每一个,从而产生 N 个输出寄存器的启用位。计数值通常按顺序一直排到抽选系数值,然后再重排。

通过说明和附图,本发明的其它目的和优点将会显而易见。

附图简介

为了更全面地理解本发明,参照以下描述和附图,其中:

图 1 说明根据本发明的抽选电路对输入数据样本的 $\{5,2\}$ 抽选;

图 2 说明根据本发明的抽选电路对输入数据样本的 $\{10,2\}$ 抽选;

图 3 说明根据本发明的抽选电路对输入数据样本的 $\{40,2\}$ 抽选;

图 4 是用于确定图 1-3 所示的输出行的并行抽选电路的样本计数部分;

图 5 是说明输入总线宽度 W 的并行抽选电路的模数和除法部分;

图 6 是用于计算启用位 E_i 的并行抽选电路的启用位部分;

图 7 是用于选择要捕捉的数据样本的并行抽选电路的示范复用部分;

图 8 是一种利用根据本发明的多个并行抽选电路来执行 $\{10,0\}$ 抽选的系统;

图 9 是一种利用根据本发明的多个并行抽选电路来执行 $\{10,0\}$ 抽选的备选系统; 以及

图 10 是另一个利用根据本发明的多个并行抽选电路来执行 $\{10,0\}$ 抽选的备选系统。

优选实施例的详细描述

参照附图来描述根据本发明的电路和系统的优选实施例。

本发明的优选实施例是用于 DSO 的并行抽选电路。并行抽选电路实现是嵌入较大芯片的设计中的同步数字电路。如上所述, 抽选操作通常以软件在 DSO 中执行, 但比预期的要慢许多。用来以软件执行抽选的方法从根本上不同于根据本发明的抽选电路所执行的操作; 但结果相似。

在 DSO 中并行抽选电路可用于在任何阶段处理数据。例如, 抽选电路可用于在捕获阶段抽选输入数据。抽选系数和抽选的初始相位是任意的和可编程的, 下面将会论述。

电路在每个时钟周期提供多个字的数据总线上执行抽选。在以下提供的实例中, 并行抽选电路在 16 个样本宽的数据总线上实现, 输出总线的宽度与输入总线相同, 而且按一抽选是可接受的。此外, 通过单个存储段来路由来自此电路的数据, 但本发明不限于此。

在描述该电路之前, 这里提出符号和代数来描述抽选操作。如果要抽选的数据由表示为 $\{s_0, s_1, s_2, s_3, \dots\}$ 的样本序列构成, 则抽选产生数据的定期抽样。例如, 数据按二抽选产生序列 $\{s_0, s_2, s_4, s_6, \dots\}$ 。

注意, 对于按二抽选, 有两个可能的序列。序列 $\{s_1, s_3, s_5, s_7, \dots\}$ 也

是可接受的按二抽选。这些序列称作序列 $\{2,0\}$ 和序列 $\{2,1\}$ 。有序对中的第一个数字是抽选系数，第二个数字是相位。所述相位是在保存第一个样本之前跳过的样本数量。

如果 S 表示任何数据序列，则 $\{2,0\}S$ 是对序列 S 执行相位为零、按二进行的抽选的结果。抽选的序列可表示为例如 $\{5,0\}\{2,0\}\{5,0\}S = \{50,0\}S$ 。

当偏移为零时，易于证明 $\{B,0\}\{A,0\} = \{B \cdot A, 0\}$ 。同样，具有非零偏移时，易于证明 $\{B,b\}\{A,a\} = \{B \cdot A, A \cdot b+a\}$ 。此外，注意，具有非零相位的抽选不可交换，即 $\{A,a\}\{B,b\} \neq \{B,b\}\{A,a\}$ 。

加号 $(+)$ 用来表示两个序列的合并。在合并中，样本的顺序始终被保留。这允许组合序列以形成具有较小抽选的序列。以下全部定理通过对序列 $\{x,y\}$ 应用适当的抽选而得出。

$$\{x,y\} = \{2x,y\} + \{2x,y+x\}$$

$$\{x,y\} = \{3x,y\} + \{3x,y+x\} + \{3x,y+2x\}$$

$$\{x,y\} = \{5x,y\} + \{5x,y+x\} + \{5x,y+2x\} + \{5x,y+3x\} + \{5x,y+4x\}$$

$$\{x,y\} = \{6x,y\} + \{6x,y+x\} + \{6x,y+2x\} + \{6x,y+3x\} + \{6x,y+4x\} + \{6x,y+5x\}$$

图 1-3 提供根据本发明执行的抽选操作的三个实例。各图表示以六行、每行 16 个样本进行编号和排列的 96 个数据样本的块。这是数据在到达并行抽选电路时的配置。每行对应于一个时钟周期。在本例中，数据总线为 16 个样本宽，但本发明不限于此。在右侧标记为 0 的第一行由第一组 16 个样本组成，标记为 1 的下一行由下一组 16 个样本组成，依此类推。

图 1 说明根据本发明的抽选电路对输入数据样本的 $\{5,2\}$ 抽选。这是按五抽选，初始相位为二($\{5,2\}$)。带圆圈的样本是在抽选之后剩余的数据样本。在第一个时钟周期，样本 2、7 和 12 移动到输出端。标记为输出的行表示在抽选之后剩余的样本。在下一个时钟周期，样本 17、22 和 27 移动到输出端，依此类推。注意，第三个时钟周期(标

记为 2) 要求向输出端传送四个样本。在五个时钟周期之后, 该模式重复。注意, 由于样本已经仔细地编号, 因此所述样本编号刚好等于相位 2 连续加上抽选系数 5。

接下来, 编号以二进制表示, 四个最低有效位与四个最高有效位分开。这些编号在图 1 中表示为输出行之下的两行。较低的位编号成为“地点”, 较高的位编号成为“时钟”。注意, 地点是输入字中的数据样本的位置(0-15), 时钟是其中提供数据的时钟周期。这对如何启用连接到抽选电路中的输出寄存器的复用器(mux)以及哪个时钟周期等待捕捉数据提供了规定。

图 2 说明根据本发明的抽选电路对输入数据样本(按照与图 1 所示相似的方式编号)的{10,2}抽选。系数 10 使得没有从奇数列中选择任何数据。

图 3 说明根据本发明的抽选电路对输入数据样本的{40,2}抽选。这里, 抽选系数增加到 40。注意, 并未从每个输入数据线选择数据。另外, 该模式需要 37 个时钟周期来填充输出行。

现在参照图 4-7 来说明根据本发明的抽选电路的详细情况, 其中表示了电路的示意实现。利用 16 个并联连接到数据总线的并行 16 对 1 复用器(示范复用器如图 7 所示)来实现抽选过程, 它们根据样本计数电路(图 4)所产生的控制信号有选择地捕获样本。

图 4 是用于确定图 1-3 所示的输出(样本编号)行的并行抽选电路的样本计数部分。在初始化时根据所需的抽选值来输入相位和系数值。相位和系数值通过输入时钟脉冲在电路中传送, 使得各(D 型)寄存器 41 存储等于前一个寄存器 42 的值加上系数值的结果 C_i 。结果 $C_0 \dots C_{w-1}$ 对应于要输出的数据样本的编号。注意, 这些结果与图 1 到 3 所示的输出行相同。W 为输入数据总线的宽度。

图 5 是说明输入总线宽度 W 的并行抽选电路的模数和除法部分。通过电路的这个部分的副本馈送来自图 4 的电路的各输出结果 C_i 。如果 W 为 2 的幂, 则电路的这部分极为简单。在上述实例中,

W 为 16, 模数 W 51 和除法 W 52 操作只是对 C_i 中的数据位的重新排列。输出值 M_i 和 N_i 对应于图 1-3 所示的时钟和地点值。其它 W 值也是可行的, 但会使得电路的这部分变得更复杂。

图 6 是用于计算启用位 E_i 的并行抽选电路的启用位部分。计数器 61 是按顺序一直递增到抽选系数的计数器。在初始化期间, 此计数器被归零。在初始化时还创建时钟编号表(未示出)。对输入总线上的有效数据字计数。当计数器等于时钟编号时, 则启用相应的输出字节。当时钟计数器翻转时, 完整的输出对于一个时钟周期是有效的。对于各次计数, 计算启用位 E_i 。

图 7 是用于选择数据样本的并行抽选电路的示范复用部分。如上所述, 并行抽选电路包括 16 个这类并行的复用器 71。这些复用器在初始化时经过配置, 并且在下一次配置之前不会改变。各复用器经过连接, 以便接收数据总线 D_0 到 D_{w-1} 上的各个字。通过 M_i 的值来设置复用器, 这些值通过图 5 所示的电路部分来计算。复用器把正确的输入字路由到输出寄存器 72。通过图 6 所示的电路部分计算的启用位 E_i 来启用输出寄存器。启用位确定捕捉输出数据的正确时间。当计数器 61 翻转时, 输出数据的完整集合已准备好。

本发明的另一个实施例是由多个并行抽选电路组成的抽选系统。现在参照图 8-10 说明抽选系统的实例。抽选系统是高级系统方法, 它采用上述并行抽选电路的功能。抽选系统采用物理上分开的芯片中的并行抽选电路的多个副本。另外, 来自抽选系统的数据被路由到独立的存储段。这个方法可提高 DSO 的整体吞吐量。

图 8 是一种利用根据本发明的多个并行抽选电路来执行{10,0}抽选的抽选系统。这个系统包括三个交织的模数转换器(ADC)81 和三个抽选电路 82, 以及利用三个存储段 83 和 DSO 微处理器 84。波形在左侧输入, 并在把波形转换成抽样数字数据的三个 ADC 之间分割。因此, ADC 产生按三抽选的序列。数据被输入到三个并行抽选电路, 这些电路根据程序设计执行进一步抽选, 而且数据被存储在相应存储段中。然后, 微处理器能够从存储段中选择所需的输出数据。或者, 可

通过软件而不是以并行抽选电路的形式来实现一个或多个抽选操作。

下面说明图 8 的抽选系统执行的数学运算。目的是创建序列 $\{10,0\}$ ，按十抽选的样本的完整序列。输入波形最初表示为数据序列 $\{1,0\}$ 。这表示输入波形的全部样本。但是，实际上，尚未产生样本，因为抽样是在 ADC 中进行的。如上所述，各交织 ADC 仅测量完整波形中的每第三个样本。因此，ADC 产生的序列标记为 $\{3,0\}$ 、 $\{3,1\}$ 和 $\{3,2\}$ 。注意，序列的相位是任意的，但必须彼此不同。采用上述定理，输出序列 $\{10,0\}$ 和 ADC 序列，可逆向求解以找出各抽选块的必要值，如下所示：

$$\{10,0\} = \{30,0\} + \{30,10\} + \{30,20\}$$

$$\{10,0\} = \{10,0\}\{3,0\} + \{10,s\}\{3,1\} + \{10,t\}\{3,2\}$$

当 $s=3$ 且 $t=6$ 时，满足该等式。因此，抽选块必须编程为 $\{10,0\}$ 、 $\{10,3\}$ 和 $\{10,6\}$ 。

注意，抽选操作不可交换，因此按顺序是重要的。如果 s 和 t 不是整数，则抽选是不可能的。如果抽选系数(本例中为 10)和 ADC 数量(3)的最大公约数大于 1，则抽选在不浪费存储段的前提下是不可能的。如果最大公约数为 1，则抽选是可能的。

图 9 和图 10 是利用根据本发明的多个抽选电路 92、102 来执行 $\{10,0\}$ 抽选的备选系统。下列系统说明 ADC 的数量(6)和抽选系数(10)的最大公约数为 2 的情况。

如图 9 所示，第一、第三和第五 ADC 91 没有向最终序列提供任何数据。此外，与这些 ADC 相关的存储块 93 被浪费，即它们没有存储有用数据。为了解决这个问题，可对未使用的存储块创建其它数据通路，但这是昂贵的。

在图 10 中，系统经过修改，允许多个 ADC 101 同时进行抽样。如图所示，先前在图 9 中产生不可用数据的 ADC 这时产生冗余数据。

抽选电路 102 这时用于把数据分配到所有存储段 103 中,从而消除了那些段的浪费。

虽然已经采用具体术语描述了本发明的优选实施例,但这种描述只是说明性的,应当理解,可进行修改和变更,只要没有背离以下权利要求的精神或范围。

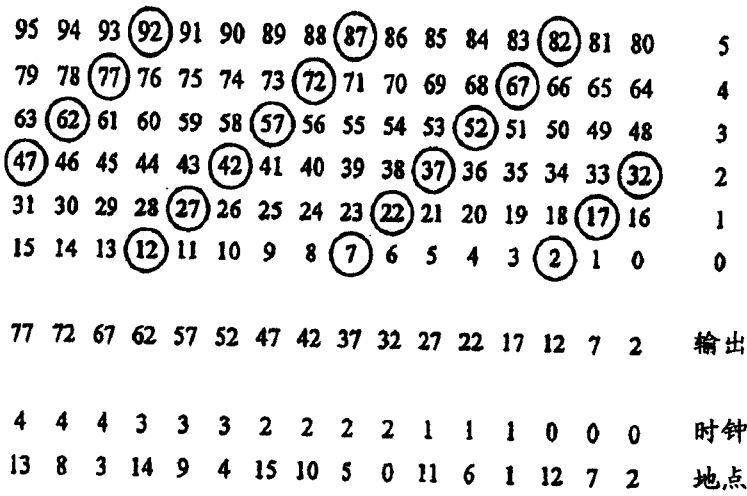


图 1

95	94	93	92	91	90	89	88	87	86	85	84	83	82	81	80	5
79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	4
63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48	3
47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32	2
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	1
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0
152	142	132	122	112	102	92	82	72	62	52	42	32	22	12	2	输出
9	8	8	7	7	6	5	5	4	3	3	2	2	1	0	0	时钟
8	14	4	10	0	6	12	2	8	14	4	10	0	6	12	2	地点

图 2

95	94	93	92	91	90	89	88	87	86	85	84	83	82	81	80	5
79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	4
63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48	3
47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32	2
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	1
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0
600 562 522 482 442 402 362 322 282 242 202 162 122 82 42 2																输出
37 35 32 30 27 25 22 20 17 15 12 10 7 5 2 0																时钟
10 2 10 2 10 2 10 2 10 2 10 2 10 2 10 2																地点

图 3

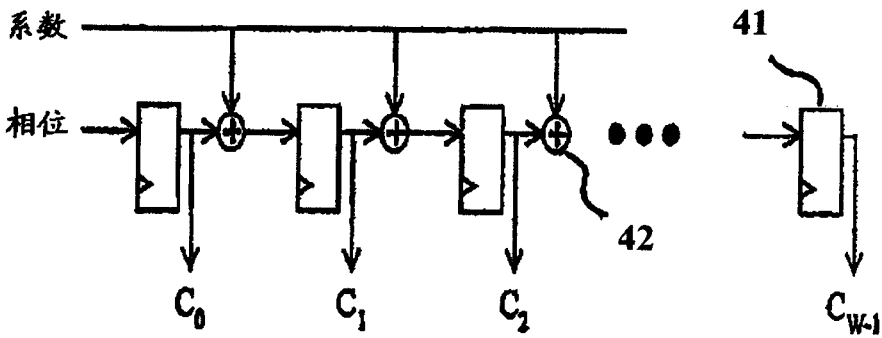


图 4

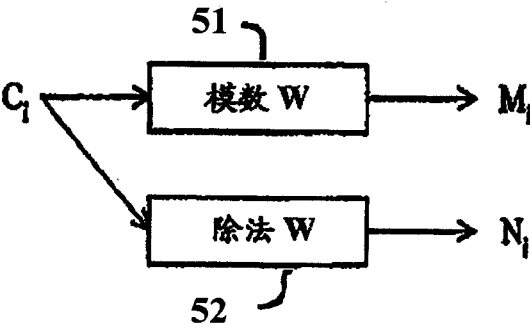


图 5

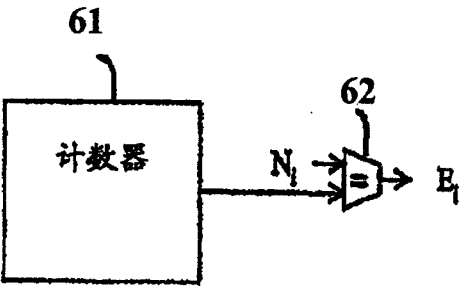


图 6

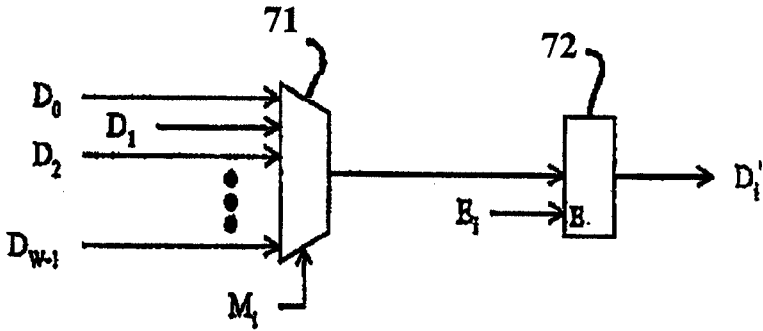


图 7

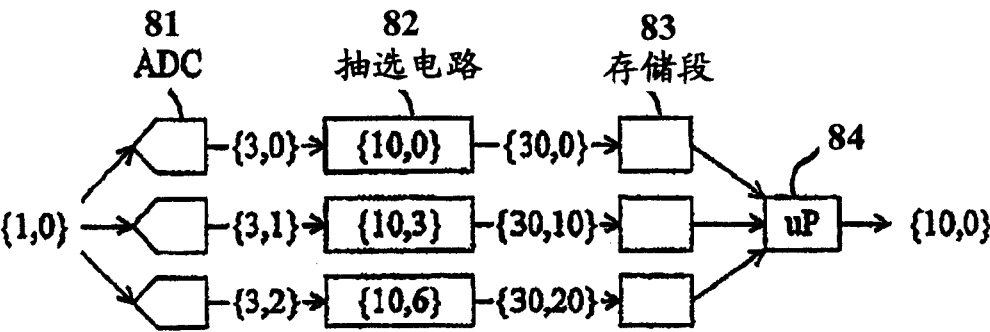


图 8

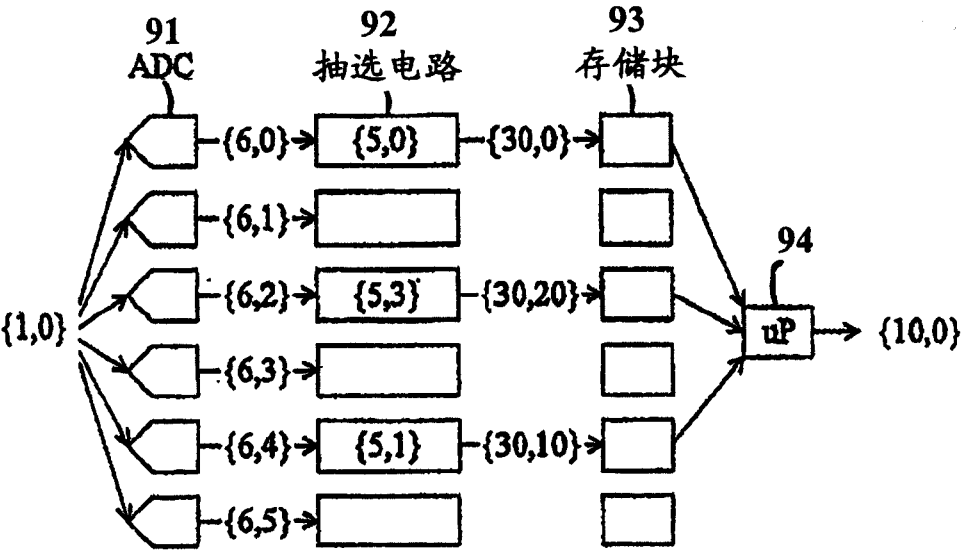


图 9

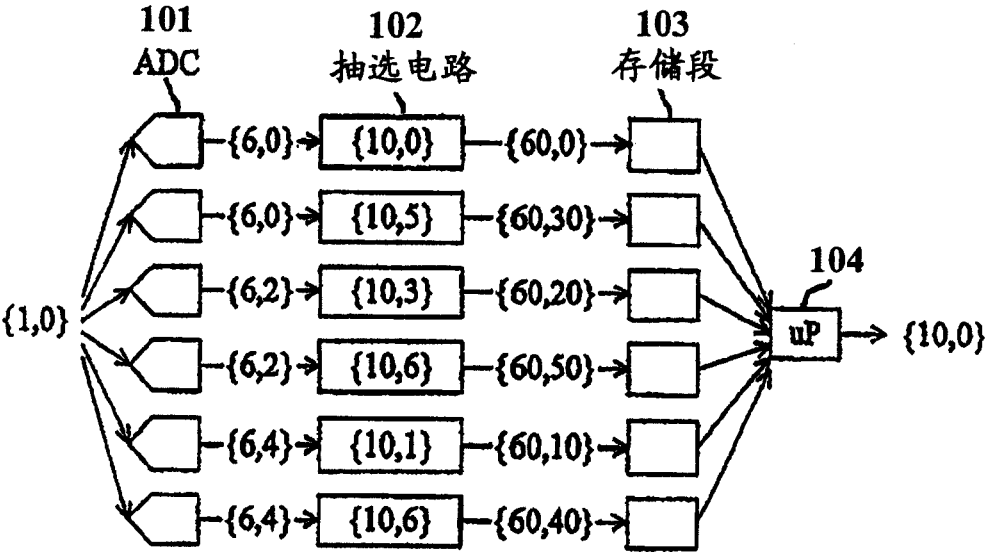


图 10