

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6174764号  
(P6174764)

(45) 発行日 平成29年8月2日(2017.8.2)

(24) 登録日 平成29年7月14日(2017.7.14)

(51) Int.Cl.	F 1			
HO 1 L 29/786	(2006.01)	HO 1 L	29/78	6 1 7 M
HO 1 L 21/8242	(2006.01)	HO 1 L	29/78	6 1 8 B
HO 1 L 27/108	(2006.01)	HO 1 L	29/78	6 1 7 L
HO 1 L 21/8244	(2006.01)	HO 1 L	27/108	3 2 1
HO 1 L 27/11	(2006.01)	HO 1 L	27/108	6 7 1 C

請求項の数 4 (全 44 頁) 最終頁に続く

(21) 出願番号	特願2016-141277 (P2016-141277)	(73) 特許権者	000153878
(22) 出願日	平成28年7月19日(2016.7.19)	株式会社半導体エネルギー研究所	
(62) 分割の表示	特願2011-281550 (P2011-281550)	神奈川県厚木市長谷398番地	
原出願日	の分割 平成23年12月22日(2011.12.22)	(72) 発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社
(65) 公開番号	特開2016-197747 (P2016-197747A)	半導体エネルギー研究所内	
(43) 公開日	平成28年11月24日(2016.11.24)	審査官	竹口 泰裕
審査請求日	平成28年7月29日(2016.7.29)	(56) 参考文献	特開2008-086194 (JP, A ) 特開2008-103609 (JP, A ) 特開2010-147458 (JP, A )
(31) 優先権主張番号	特願2010-293246 (P2010-293246)		
(32) 優先日	平成22年12月28日(2010.12.28)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】半導体装置

## (57) 【特許請求の範囲】

## 【請求項 1】

基板と、

前記基板上の、第1の酸化物半導体領域と前記第1の酸化物半導体領域を挟む一対の第2の酸化物半導体領域と、を有する酸化物半導体膜と、

前記酸化物半導体膜と接するゲート絶縁膜と、

前記ゲート絶縁膜を介して前記第1の酸化物半導体領域と重畳して設けられるゲート電極と、

前記ゲート絶縁膜と前記ゲート電極との間に、前記ゲート絶縁膜に接して設けられる材料層と、を有し、

前記材料層は、窒素を含むIn-Ga-Zn-O膜、窒素を含むIn-Sn-O膜、窒素を含むIn-Ga-O膜、窒素を含むIn-Zn-O膜、窒素を含むSn-O膜、窒素を含むIn-O膜または金属窒化膜であることを特徴とする半導体装置。

## 【請求項 2】

請求項1において、

前記酸化物半導体層は、亜鉛、インジウム、またはガリウムを含むことを特徴とする半導体装置。

## 【請求項 3】

請求項1または請求項2において、

前記材料層は、5eV以上の仕事関数を有することを特徴とする半導体装置。

10

20

**【請求項 4】**

請求項 1 乃至 請求項 3 のいずれか一において、

一対の前記第 2 の酸化物半導体領域はトランジスタのソース領域及びドレイン領域であり、

前記第 1 の酸化物半導体領域は前記トランジスタのチャネル領域であることを特徴とする半導体装置。

**【発明の詳細な説明】****【技術分野】****【0001】**

トランジスタなどの半導体素子を含む回路を有する半導体装置及びその作製方法に関する 10。例えば、電源回路に搭載されるパワー・デバイス、メモリ、サイリスタ、コンバータ、イメージセンサなどを含む半導体集積回路、液晶表示パネルに代表される電気光学装置、発光素子を有する発光表示装置等を部品として搭載した電子機器に関する。

**【0002】**

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、発光表示装置、半導体回路及び電子機器は全て半導体装置である。

**【背景技術】****【0003】**

液晶表示装置に代表されるように、ガラス基板等に形成されるトランジスタはアモルファスシリコン、多結晶シリコンなどによって構成されている。アモルファスシリコンを用いたトランジスタは電界効果移動度が低いもののガラス基板の大面積化に対応することができる。また、多結晶シリコンを用いたトランジスタの電界効果移動度は高いがガラス基板の大面積化には適していないという欠点を有している。 20

**【0004】**

シリコンを用いたトランジスタに対して、酸化物半導体を用いてトランジスタを作製し、電子デバイスや光デバイスに応用する技術が注目されている。例えば、酸化物半導体として、酸化亜鉛、In-Ga-Zn 系酸化物を用いてトランジスタを作製し、表示装置の画素のスイッチング素子などに用いる技術が特許文献 1 及び特許文献 2 で開示されている。

**【0005】**

特許文献 3 では、酸化物半導体を用いたスタガ型のトランジスタにおいて、ソース領域及びドレイン領域と、ソース電極及びドレイン電極との間に、緩衝層として導電性の高い窒素を含む酸化物半導体を設け、酸化物半導体と、ソース電極及びドレイン電極とのコンタクト抵抗を低減する技術が開示されている。 30

**【0006】**

また、非特許文献 1 では、露出した酸化物半導体にアルゴンプラズマ処理をおこなう自己整合プロセスにより、その部分の酸化物半導体の抵抗率を低下させてソース領域及びドレイン領域とした酸化物半導体トランジスタが開示されている。

**【0007】**

しかしながら、この方法では、酸化物半導体表面を露出させて、アルゴンプラズマ処理を行うことにより、ソース領域及びドレイン領域となるべき部分の酸化物半導体も同時にエッチングされ、ソース領域及びドレイン領域が薄層化する（非特許文献 1 の図 8 参照）。その結果、ソース領域及びドレイン領域の抵抗が増加し、また、薄層化に伴うオーバーエッチングによる不良品発生の確率も増加する。 40

**【0008】**

この現象は、酸化物半導体へのプラズマ処理に用いるイオン種の、原子半径が大きい場合に顕著になる。

**【0009】**

もちろん、酸化物半導体層が十分な厚さであれば問題とはならないのであるが、チャネル長を 200 nm 以下とする場合には、短チャネル効果を防止する上で、チャネルとなる部 50

分の酸化物半導体層の厚さは 20 nm 以下、好ましくは 10 nm 以下であることが求められる。そのような薄い酸化物半導体層を扱う場合には、上記のようなプラズマ処理は好ましくない。

【先行技術文献】

【特許文献】

【0010】

【特許文献 1】特開 2007-123861 号公報

【特許文献 2】特開 2007-96055 号公報

【特許文献 3】特開 2010-135774 号公報

【非特許文献】

10

【0011】

【非特許文献 1】S. Jeon et al. "180 nm Gate Length Amorphous InGaN Thin Film Transistor for High Density Image Sensor Application", IEDM Tech. Dig., p. 504, 2010.

【発明の概要】

【発明が解決しようとする課題】

【0012】

高速動作可能な半導体装置を提供することを課題の一とする。

【0013】

20

短チャネル効果による電気特性の変動が生じにくいトランジスタを用いた半導体装置を提供することを課題の一とする。

【0014】

また、自己整合プロセスによりソース領域及びドレイン領域を形成し、微細化しやすい半導体装置を提供することを課題の一とする。

【0015】

また、チャネル部分よりも低抵抗なソース領域及びドレイン領域を形成することにより、ソース電極及びドレイン電極との接触抵抗を低減させることができ、オン電流を向上させた半導体装置を提供することを課題の一とする。

【0016】

30

信頼性の高い半導体装置を提供することを課題の一とする。

【課題を解決するための手段】

【0017】

本発明の一態様は、ゲート電極と、ゲート絶縁層と、結晶性を有する酸化物半導体層と、チャネル保護層を有し、ゲート電極上にゲート絶縁層が形成され、ゲート絶縁層上に酸化物半導体層が形成され、酸化物半導体層上にチャネル保護層が形成され、酸化物半導体層は、第 1 の酸化物半導体領域と、一対の第 2 の酸化物半導体領域を有し、一対の第 2 の酸化物半導体領域は、第 1 の酸化物半導体領域を挟んで形成され、第 1 の酸化物半導体領域は、ゲート絶縁層を介してゲート電極と重畳し、チャネル保護層と接していることを特徴とする半導体装置である。

40

【0018】

また、本発明の一態様は、結晶性を有する酸化物半導体層と、ゲート絶縁層と、ゲート電極を有し、酸化物半導体層は、第 1 の酸化物半導体領域と、一対の第 2 の酸化物半導体領域を有し、一対の第 2 の酸化物半導体領域は、第 1 の酸化物半導体領域を挟んで形成され、第 1 の酸化物半導体領域は、ゲート絶縁層を介してゲート電極と重畳していることを特徴とする半導体装置である。

【0019】

酸化物半導体層に非単結晶半導体を用いる。

【0020】

第 1 の酸化物半導体領域は、CAC-OS (C Axis Aligned Crys 50

talline Oxide Semiconductor) を有する。CAC-OS は、c 軸が CAC-OS の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつ a b 面に垂直な方向から見て三角形状または六角形状の原子配列を有し、c 軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している結晶部を有する。

【0021】

第2の酸化物半導体領域は、希ガスまたは水素(H)のうち、少なくとも一種類の元素を  $5 \times 10^{19}$  atoms/cm<sup>3</sup> 以上、 $1 \times 10^{22}$  atoms/cm<sup>3</sup> 以下の濃度で含む。

【0022】

酸化物半導体は、In、Ga、Sn 及びZn から選ばれた二種以上の元素を含むことができる。

【0023】

第1の酸化物半導体領域はトランジスタのチャネル形成領域となり、一対の第2の酸化物半導体領域はトランジスタのソース領域及びドレイン領域となる。

【0024】

ボトムゲート構造のトランジスタにおいて、ソース領域及びドレイン領域は、チャネル保護層をマスクにして、酸化物半導体層にドーパントを添加することで形成できる。該チャネル保護層は、活性層のバックチャネル部分を保護するために形成され、酸化シリコン、窒化シリコン、酸化アルミニウム、窒化アルミニウムなどから選ばれる材料を、単層もしくは積層させて用いることが好ましい。

【0025】

トップゲート構造のトランジスタにおいて、ソース領域及びドレイン領域は、ゲート電極をマスクにして、酸化物半導体層にドーパントを添加することで形成できる。

【0026】

トランジスタのソース領域、ドレイン領域を形成するためのドーパントの添加は、イオンドーピング法またはイオンインプランテーション法などを用いることができる。ドーパントとしては、希ガスまたは水素(H)のうち、一種類または複数種類の元素を用いることができる。また、イオンドーピング法またはイオンインプランテーション法により酸化物半導体層へドーパントを添加する際に、ドーパントを、絶縁層を通過して酸化物半導体層へ添加することで、ドーパント添加における酸化物半導体層への過剰なダメージを軽減することができる。また、酸化物半導体層と絶縁層の界面も清浄に保たれるので、トランジスタの特性や信頼性が高まる。また、ドーパントの添加深さ(添加領域)が制御し易くなり、酸化物半導体層へドーパントを精度よく添加することができる。

【0027】

添加するドーパントの濃度が増加すると酸化物半導体領域のキャリア密度を増加させることができるが、添加するドーパントの濃度が高すぎると、キャリアの移動を阻害し、導電性を低下させることになる。

【0028】

ドーパントが添加された酸化物半導体をソース領域及びドレイン領域に用いることによって、ドーパントが添加されていないチャネル形成領域のバンド端の曲がりを小さくする効果を奏する。一方、ソース領域及びドレイン領域を金属材料で設けた場合、酸化物半導体領域であるチャネルのバンド端の曲がりが無視できなくなり、実効上のチャネル長が短くなってしまうことがある。この傾向はトランジスタのチャネル長が短いときほど顕著である。

【0029】

電子供与体(ドナー)となる水分または水素などの不純物が低減されて高純度化された酸化物半導体(purified OS)は、その後、酸化物半導体に酸素を供給して、酸化物半導体内の酸素欠損を低減することによりi型(真性半導体)又はi型に限りなく近い(実質的にi型化した)酸化物半導体とすることができる。そのため、チャネルが形成

される半導体層に i 型または実質的に i 型化された酸化物半導体を用いたトランジスタは、オフ電流が著しく低いという特性を有する。具体的に、高純度化された酸化物半導体は、二次イオン質量分析法 (S I M S : Secondary Ion Mass Spectrometry) による水素濃度の測定値が、 $5 \times 10^{-8} / \text{cm}^3$  未満、好ましくは  $1 \times 10^{-8} / \text{cm}^3$  以下、より好ましくは  $5 \times 10^{-7} / \text{cm}^3$  以下、さらに好ましくは  $1 \times 10^{-6} / \text{cm}^3$  以下とする。また、ホール効果測定により測定できる i 型または実質的に i 型化された酸化物半導体層のキャリア密度は、 $1 \times 10^{14} / \text{cm}^3$  未満、好ましくは  $1 \times 10^{12} / \text{cm}^3$  未満、さらに好ましくは  $1 \times 10^{11} / \text{cm}^3$  未満である。また、酸化物半導体のバンドギャップは、2 eV 以上、好ましくは 2.5 eV 以上、より好ましくは 3 eV 以上である。チャネルが形成される半導体層に、i 型または実質的に i 型化された酸化物半導体を用いることにより、トランジスタのオフ電流を下げることができる。10

#### 【0030】

ここで、酸化物半導体中の、水素濃度の S I M S 分析について触れておく。S I M S 分析は、その原理上、試料表面近傍や、材質が異なる膜との積層界面近傍のデータを正確に得ることが困難であることが知られている。そこで、膜中における水素濃度の厚さ方向の分布を S I M S で分析する場合、対象となる膜が存在する範囲において、値に極端な変動が無く、ほぼ一定の値が得られる領域における平均値を、水素濃度として採用する。また、測定の対象となる膜の厚さが小さい場合、隣接する膜内の水素濃度の影響を受けて、ほぼ一定の値が得られる領域を見いだせない場合がある。この場合、当該膜が存在する領域における、水素濃度の最大値または最小値を、当該膜中の水素濃度として採用する。さらに、当該膜が存在する領域において、最大値を有する山型のピーク、最小値を有する谷型のピークが存在しない場合、変曲点の値を水素濃度として採用する。20

#### 【発明の効果】

#### 【0031】

本発明の一態様によって、電気特性が良好で、かつ微細化を行いやすい酸化物半導体を用いた半導体装置を提供することができる。

#### 【0032】

また、短チャネル効果による電気特性の変動が生じにくい半導体装置を提供する。

#### 【0033】

また、絶縁層を通過して酸化物半導体中にドーパントを添加することにより、酸化物半導体の薄層化を防ぎ、酸化物半導体と絶縁層の界面も清浄に保たれるので、半導体装置の特性や信頼性を高めることができる。30

#### 【図面の簡単な説明】

#### 【0034】

【図1】本発明の一態様を説明する上面図及び断面図。

【図2】本発明の一態様を説明する上面図及び断面図。

【図3】本発明の一態様を説明する断面図。

【図4】本発明の一態様を説明する断面図。

【図5】本発明の一態様を説明する上面図及び断面図。

【図6】本発明の一態様を説明する上面図及び断面図。

【図7】本発明の一態様を説明する断面図。

【図8】本発明の一態様を説明する断面図。

【図9】酸化物半導体及び金属材料のバンド構造を説明する図。

【図10】本発明の一態様を説明する回路図。

【図11】本発明の一態様を説明する回路図。

【図12】本発明の一態様を説明する回路図。

【図13】本発明の一態様を説明する回路図。

【図14】C P U の具体例を示すブロック図及びその一部の回路図である。

【図15】酸化物材料の結晶構造を説明する図。

10

20

30

40

50

【図16】酸化物材料の結晶構造を説明する図。

【図17】酸化物材料の結晶構造を説明する図。

【図18】酸化物材料の結晶構造を説明する図。

【発明を実施するための形態】

【0035】

本発明の実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分または同様な機能を有する部分には、同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。 10

【0036】

また、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等に開示された位置、大きさ、範囲などに限定されない。

【0037】

また、本明細書にて用いる第1、第2、第3などの用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではない。そのため、例えば、「第1の」を「第2の」または「第3の」などと適宜置き換えて説明することができる。

【0038】

トランジスタは半導体装置の一形態であり、電流や電圧の増幅や、導通または非導通を制御するスイッチング動作などを実現することができる。本明細書におけるトランジスタは、IGFET (Insulated Gate Field Effect Transistor) や薄膜トランジスタ (TFT: Thin Film Transistor) を含む。

【0039】

また、トランジスタの「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。 30

【0040】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0041】

(実施の形態1)

本実施の形態では、酸化物半導体をチャネルに用いたトランジスタ及びその作製方法について、図1乃至図4を用いて説明する。

【0042】

図1(A)は、半導体装置の構成の一形態であるトランジスタ100の構造を説明する上面図であり、図1(B)は、図1(A)にA1-A2の鎖線で示した部位の積層構造を説明する断面図である。なお、図1(A)において、基板及び絶縁層の記載は省略している。

【0043】

図1に示すトランジスタ100は、基板101上に下地層102が形成され、下地層102上に酸化物半導体層103が形成されている。また、酸化物半導体層103上にゲート絶縁層104が形成され、ゲート絶縁層104上にゲート電極105が形成されている。また、ゲート電極105上に絶縁層107と絶縁層108が形成され、絶縁層108上に、ソース電極110a及びドレイン電極110bが形成されている。ソース電極110a 50

及びドレイン電極 110b は、ゲート絶縁層 104、絶縁層 107 及び絶縁層 108 に設けられたコンタクトホール 109 を介して、酸化物半導体層 103 に電気的に接続されている。

【0044】

酸化物半導体層 103 は、ゲート絶縁層 104 を介してゲート電極 105 と重畳するチャネル形成領域 103c と、ソース電極 110a と電気的に接続するソース領域 103a と、ドレイン電極 110b と電気的に接続するドレイン領域 103b を有している。

【0045】

また、ゲート電極 105 は、ゲート絶縁層 104 に接するゲート電極 105a と、ゲート電極 105a に積層されたゲート電極 105b を有している。

10

【0046】

なお、図 1 (A) では、コンタクトホール 109 を、ソース領域 103a 及びドレイン領域 103b 上にそれぞれ複数設ける例を示しているが、ソース領域 103a 及びドレイン領域 103b 上にそれぞれ 1 つ設ける構成としてもよい。また、ソース電極 110a とソース領域 103a の接触抵抗、及びドレイン電極 110b とドレイン領域 103b の接触抵抗を低減するため、コンタクトホール 109 は極力大きく、また、コンタクトホール 109 の数を多くすることが好ましい。

【0047】

図 2 に示すトランジスタ 140 は、トランジスタ 100 の構成に加えて、ゲート電極 105 の側面にサイドウォール 111 を有し、酸化物半導体層 103 のサイドウォール 111 と重畳する領域に、低濃度領域 103d 及び低濃度領域 103e を有している。低濃度領域 103d はチャネル形成領域 103c とソース領域 103a の間に形成され、低濃度領域 103e はチャネル形成領域 103c とドレイン領域 103b の間に形成されている。

20

図 2 (A) は、トランジスタ 140 の構成を説明する上面図であり、図 2 (B) は、図 2 (A) に B1 - B2 の鎖線で示した部位の積層構造を説明する断面図である。

【0048】

低濃度領域 103d 及び低濃度領域 103e を設けることにより、トランジスタ特性の劣化や、短チャネル効果によるしきい値電圧のマイナスシフトを軽減することができる。

【0049】

トランジスタ 100 及びトランジスタ 140 は、トップゲート構造のトランジスタの一形態である。

30

【0050】

次に、図 1 に示すトランジスタ 100 の作製方法について、図 3 及び図 4 を用いて説明する。なお、図 3 及び図 4 は、図 1 (A) の A1 - A2 の鎖線で示した部位の断面に相当する。

【0051】

まず、基板 101 上に下地層 102 を 50 nm 以上 300 nm 以下、好ましくは 100 nm 以上 200 nm 以下の厚さで形成する。基板 101 は、ガラス基板、セラミック基板の他、本作製工程の処理温度に耐えうる程度の耐熱性を有するプラスチック基板等を用いることができる。また、基板に透光性を要しない場合には、ステンレス合金等の金属の基板の表面に絶縁層を設けたものを用いてもよい。ガラス基板としては、例えば、バリウムホウケイ酸ガラス、アルミニウムホウケイ酸ガラス若しくはアルミニウムケイ酸ガラス等の無アルカリガラス基板を用いるとよい。他に、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI 基板などを適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板 101 として用いてもよい。

40

【0052】

下地層 102 は、窒化アルミニウム、酸化アルミニウム、窒化酸化アルミニウム、酸化窒化アルミニウム、窒化シリコン、酸化シリコン、窒化酸化シリコンまたは酸化窒化シリコンから選ばれた材料を、単層でまたは積層して形成することができ、基板 101 からの不

50

純物元素の拡散を防止する機能を有する。なお、本明細書中において、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多いものであって、酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多いものを示す。なお、各元素の含有量は、例えば、ラザフォード後方散乱法 (R B S : Rutherford Backscattering Spectrometry) 等を用いて測定することができる。

【0053】

下地層 102 は、スパッタリング法、CVD 法、塗布法、印刷法等を適宜用いることができる。本実施の形態では、下地層 102 として、窒化シリコンと酸化シリコンの積層を用いる。具体的には、基板 101 上に窒化シリコンを 50 nm の厚さで形成し、該窒化シリコン上に酸化シリコンを 150 nm の厚さで形成する。なお、下地層 102 中にリン (P) や硼素 (B) がドープされていても良い。

10

【0054】

また、下地層 102 に、塩素、フッ素などのハロゲン元素を含ませることで、基板 101 からの不純物元素の拡散を防止する機能をさらに高めることができる。下地層 102 に含ませるハロゲン元素の濃度は、SIMS (二次イオン質量分析計) を用いた分析により得られる濃度ピークにおいて、 $1 \times 10^{15} / \text{cm}^3$  以上  $1 \times 10^{20} / \text{cm}^3$  以下とすればよい。

【0055】

また、下地層 102 は、加熱により酸素放出される材料を用いてもよい。「加熱により酸素放出される」とは、TDS (Thermal Desorption Spectroscopy : 昇温脱離ガス分光法) 分析にて、酸素原子に換算しての酸素の放出量が  $1.0 \times 10^{18} \text{ atoms} / \text{cm}^3$  以上、好ましくは  $3.0 \times 10^{20} \text{ atoms} / \text{cm}^3$  以上であることをいう。

20

【0056】

ここで、TDS 分析にて、酸素原子に換算しての酸素の放出量の測定方法について、以下に説明する。

【0057】

TDS 分析したときの気体の放出量は、スペクトルの積分値に比例する。このため、絶縁層のスペクトルの積分値と、標準試料の基準値に対する比とにより、気体の放出量を計算することができる。標準試料の基準値とは、所定の原子を含む試料の、スペクトルの積分値に対する原子の密度の割合である。

30

【0058】

例えば、標準試料である所定の密度の水素を含むシリコンウェハの TDS 分析結果、及び絶縁層の TDS 分析結果から、絶縁層の酸素分子の放出量 ( $N_{O_2}$ ) は、数式 1 で求めることができる。ここで、TDS 分析で得られる質量数 32 で検出されるスペクトルの全てが酸素分子由来と仮定する。質量数 32 のものとして  $CH_3OH$  があるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数 17 の酸素原子及び質量数 18 の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

【0059】

40

$$N_{O_2} = N_{H_2} / S_{H_2} \times S_{O_2} \times \quad ( \text{数式 1} )$$

【0060】

$N_{H_2}$  は、標準試料から脱離した水素分子を密度で換算した値である。 $S_{H_2}$  は、標準試料を TDS 分析したときのスペクトルの積分値である。ここで、標準試料の基準値を、 $N_{H_2} / S_{H_2}$  とする。 $S_{O_2}$  は、絶縁層を TDS 分析したときのスペクトルの積分値である。は、TDS 分析におけるスペクトル強度に影響する係数である。数式 1 の詳細に関しては、特開平 6 - 275697 公報を参照する。なお、上記絶縁層の酸素の放出量は、電子科学株式会社製の昇温脱離分析装置 EMD-WA1000S/W を用い、標準試料として  $1 \times 10^{16} \text{ atoms} / \text{cm}^3$  の水素原子を含むシリコンウェハを用いて測定した。

50

## 【0061】

また、TDS分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の  $N_{O_2}$  は酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量についても見積もることができる。

## 【0062】

なお、 $N_{O_2}$  は酸素分子の放出量である。絶縁層においては、酸素原子に換算したときの酸素の放出量は、酸素分子の放出量の2倍となる。

## 【0063】

上記構成において、加熱により酸素放出される絶縁層は、酸素が過剰な酸化シリコン ( $SiO_x$  ( $X > 2$ ))) であってもよい。酸素が過剰な酸化シリコン ( $SiO_x$  ( $X > 2$ ))) とは、シリコン原子数の2倍より多い酸素原子を単位体積当たりに含むものである。単位体積当たりのシリコン原子数及び酸素原子数は、ラザフォード後方散乱法により測定した値である。

## 【0064】

下地層から酸化物半導体に酸素が供給されることで、下地層及び酸化物半導体の界面準位を低減できる。この結果、トランジスタの動作などに起因して生じる電荷などが、上述の下地層及び酸化物半導体の界面に捕獲されることを抑制することができ、電気特性の劣化の少ないトランジスタを得ることができる。

## 【0065】

さらに、酸化物半導体の酸素欠損に起因して電荷が生じる場合がある。一般に酸化物半導体の酸素欠損は、一部がドナーとなりキャリアである電子を生じる。この結果、トランジスタのしきい値電圧がマイナス方向にシフトしてしまう。この傾向はバックチャネル側で生じる酸素欠損において顕著である。なお、本明細書におけるバックチャネルとは、酸化物半導体において下地層の界面近傍を指す。下地層から酸化物半導体に酸素が十分に放出されることにより、しきい値電圧がマイナス方向へシフトする要因である酸化物半導体の酸素欠損を補うことができる。

## 【0066】

即ち、酸化物半導体に酸素欠損が生じると、下地層と酸化物半導体との界面における電荷の捕獲を抑制することが困難となるところ、下地層に、加熱により酸素放出される絶縁層を設けることで、酸化物半導体及び下地層の界面準位、ならびに酸化物半導体の酸素欠損を低減し、酸化物半導体及び下地層の界面における電荷捕獲の影響を小さくすることができる。

## 【0067】

また、下地層102には、この後形成する酸化物半導体と同種の成分を含む絶縁材料を用いてもよい。下地層102を異なる層の積層とする場合には、酸化物半導体に接する層を酸化物半導体と同種の成分を含む絶縁材料とすればよい。このような材料は酸化物半導体との相性が良く、これを下地層102に用いることで、酸化物半導体との界面の状態を良好に保つことができるからである。ここで、「酸化物半導体と同種の成分」とは、酸化物半導体の構成元素から選択される一または複数の元素を意味する。例えば、酸化物半導体がIn-Ga-Zn系の酸化物半導体材料によって構成される場合、同種の成分を含む絶縁材料としては酸化ガリウムなどがある。

## 【0068】

次に、下地層102上に酸化物半導体を形成する。なお、前処理として、酸化物半導体に水素、水酸基及び水分がなるべく含まれないようにするために、成膜装置の予備加熱室で基板101を予備加熱し、基板101や下地層102に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。またこの予備加熱は、下地層102の成膜前に、基板101にも同様に行ってもよい。

## 【0069】

10

20

30

40

50

酸化物半導体としては、少なくともインジウム (In) あるいは亜鉛 (Zn) を含むことが好ましい。特に In と Zn を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム (Ga) を有することが好ましい。また、スタビライザーとしてスズ (Sn) を有することが好ましい。また、スタビライザーとしてハフニウム (Hf) を有することが好ましい。また、スタビライザーとしてアルミニウム (Al) を有することが好ましい。

#### 【0070】

また、他のスタビライザーとして、ランタノイドである、ランタン (La)、セリウム (Ce)、プラセオジム (Pr)、ネオジム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) のいずれか一種あるいは複数種を有してもよい。

10

#### 【0071】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である In - Zn 系酸化物、Sn - Zn 系酸化物、Al - Zn 系酸化物、Zn - Mg 系酸化物、Sn - Mg 系酸化物、In - Mg 系酸化物、In - Ga 系酸化物、三元系金属の酸化物である In - Ga - Zn 系酸化物 (IGZO とも表記する)、In - Al - Zn 系酸化物、In - Sn - Zn 系酸化物、Sn - Ga - Zn 系酸化物、Al - Ga - Zn 系酸化物、Sn - Al - Zn 系酸化物、In - Hf - Zn 系酸化物、In - La - Zn 系酸化物、In - Ce - Zn 系酸化物、In - Pr - Zn 系酸化物、In - Nd - Zn 系酸化物、In - Sm - Zn 系酸化物、In - Eu - Zn 系酸化物、In - Gd - Zn 系酸化物、In - Tb - Zn 系酸化物、In - Dy - Zn 系酸化物、In - Ho - Zn 系酸化物、In - Er - Zn 系酸化物、In - Tm - Zn 系酸化物、In - Yb - Zn 系酸化物、In - Lu - Zn 系酸化物、四元系金属の酸化物である In - Sn - Ga - Zn 系酸化物、In - Hf - Ga - Zn 系酸化物、In - Al - Ga - Zn 系酸化物、In - Sn - Al - Zn 系酸化物、In - Sn - Hf - Zn 系酸化物、In - Hf - Al - Zn 系酸化物を用いることができる。

20

#### 【0072】

酸化物半導体層は、好ましくは In を含有する酸化物半導体、さらに好ましくは、In、及び Ga を含有する酸化物半導体である。

30

#### 【0073】

ここで、例えば、In - Ga - Zn 系酸化物とは、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn) を有する酸化物という意味であり、In と Ga と Zn の比率は問わない。また、In と Ga と Zn 以外の金属元素を含んでもよい。

#### 【0074】

また、酸化物半導体層は、化学式  $In_xMO_3$  ( $ZnO$ )<sub>m</sub> ( $m > 0$ ) で表記される薄膜を用いることができる。ここで、Mは、Sn、Zn、Ga、Al、Mn およびCo から選ばれた一または複数の金属元素を示す。また、酸化物半導体として、 $In_xSnO_5$  ( $ZnO$ )<sub>n</sub> ( $n > 0$ ) で表記される材料を用いてもよい。

40

#### 【0075】

例えば、 $In : Ga : Zn = 1 : 1 : 1$  (= 1 / 3 : 1 / 3 : 1 / 3) あるいは  $In : Ga : Zn = 2 : 2 : 1$  (= 2 / 5 : 2 / 5 : 1 / 5) の原子数比の In - Ga - Zn 系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $In : Sn : Zn = 1 : 1 : 1$  (= 1 / 3 : 1 / 3 : 1 / 3)、 $In : Sn : Zn = 2 : 1 : 3$  (= 1 / 3 : 1 / 6 : 1 / 2) あるいは  $In : Sn : Zn = 2 : 1 : 5$  (= 1 / 4 : 1 / 8 : 5 / 8) の原子数比の In - Sn - Zn 系酸化物やその組成の近傍の酸化物を用いるとよい。

#### 【0076】

しかし、これらに限られず、必要とする半導体特性 (移動度、しきい値、ばらつき等) に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度

50

等を適切なものとすることが好ましい。

【0077】

例えば、In - Sn - Zn系酸化物では比較的容易に高い移動度が得られる。しかしながら、In - Ga - Zn系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【0078】

なお、例えば、In、Ga、Znの原子数比がIn : Ga : Zn = a : b : c (a + b + c = 1)である酸化物の組成が、原子数比がIn : Ga : Zn = A : B : C (A + B + C = 1)の酸化物の組成の近傍であるとは、a、b、cが、

$$(a - A)^2 + (b - B)^2 + (c - C)^2 \leq r^2$$

10

を満たすことをいい、rは、例えば、0.05とすればよい。他の酸化物でも同様である。

【0079】

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。

【0080】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができため、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

20

【0081】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することができる。具体的には、平均面粗さ (Ra) が 1 nm 以下、好ましくは 0.3 nm 以下、より好ましくは 0.1 nm 以下の表面上に形成するとよい。なお、Ra は原子間力顕微鏡 (AFM : Atomic Force Microscope) にて評価可能である。

【0082】

結晶性を有する酸化物半導体としては、CAAC-OS (CA Axis Aligned Crystalline Oxide Semiconductor) が好ましい。CAAC-OS は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS は、非晶質相に結晶部を有する結晶 - 非晶質混相構造の酸化物半導体である。なお、当該結晶部は、一辺が 100 nm 未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡 (TEM : Transmission Electron Microscope) による観察像では、CAAC-OS に含まれる非晶質部と結晶部との境界は明確ではない。また、TEM によって CAAC-OS には粒界 (グレインバウンダリーともいう。) は確認できない。そのため、CAAC-OS は、粒界に起因する電子移動度の低下が抑制される。

30

【0083】

CAAC-OS に含まれる結晶部は、c 軸が CAAC-OS の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつ a b 面に垂直な方向から見て三角形状または六角形状の原子配列を有し、c 軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれ a 軸および b 軸の向きが異なっていてもよい。本明細書において、単に垂直と記載する場合、85°以上 95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-5°以上 5°以下の範囲も含まれることとする。

40

【0084】

なお、CAAC-OS において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、CAAC

50

- O S へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【 0 0 8 5 】

C A A C - O S に含まれる結晶部の c 軸は、C A A C - O S の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、C A A C - O S の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。なお、結晶部の c 軸の方向は、C A A C - O S が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

【 0 0 8 6 】

C A A C - O S は、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透明であったり不透明であったりする。なお、C A A C - O S の一部は窒素で置換されてもよい。

【 0 0 8 7 】

C A A C - O S を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動を低減することが可能である。よって、当該トランジスタは、信頼性が高い。

【 0 0 8 8 】

C A A C - O S に含まれる結晶構造の一例について図 15 乃至図 17 を用いて詳細に説明する。なお、特に断りがない限り、図 15 乃至図 17 は上方向を c 軸方向とし、c 軸方向と直交する面を a b 面とする。なお、単に上半分、下半分という場合、a b 面を境にした場合の上半分、下半分をいう。また、図 15 において、丸で囲まれた O は 4 配位の O を示し、二重丸で囲まれた O は 3 配位の O を示す。

【 0 0 8 9 】

図 15 ( A ) に、1 個の 6 配位の I n と、I n に近接の 6 個の 4 配位の酸素原子（以下 4 配位の O ）と、を有する構造を示す。ここでは、金属原子が 1 個に対して、近接の酸素原子のみ示した構造を小グループと呼ぶ。図 15 ( A ) の構造は、八面体構造をとるが、簡単のため平面構造で示している。なお、図 15 ( A ) の上半分および下半分にはそれぞれ 3 個ずつ 4 配位の O がある。図 15 ( A ) に示す小グループは電荷が 0 である。

【 0 0 9 0 】

図 15 ( B ) に、1 個の 5 配位の G a と、G a に近接の 3 個の 3 配位の酸素原子（以下 3 配位の O ）と、G a に近接の 2 個の 4 配位の O と、を有する構造を示す。3 配位の O は、いずれも a b 面に存在する。図 15 ( B ) の上半分および下半分にはそれぞれ 1 個ずつ 4 配位の O がある。また、I n も 5 配位をとるため、図 15 ( B ) に示す構造をとりうる。図 15 ( B ) に示す小グループは電荷が 0 である。

【 0 0 9 1 】

図 15 ( C ) に、1 個の 4 配位の Z n と、Z n に近接の 4 個の 4 配位の O と、を有する構造を示す。図 15 ( C ) の上半分には 1 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。または、図 15 ( C ) の上半分に 3 個の 4 配位の O があり、下半分に 1 個の 4 配位の O があってもよい。図 15 ( C ) に示す小グループは電荷が 0 である。

【 0 0 9 2 】

図 15 ( D ) に、1 個の 6 配位の S n と、S n に近接の 6 個の 4 配位の O と、を有する構造を示す。図 15 ( D ) の上半分には 3 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。図 15 ( D ) に示す小グループは電荷が + 1 となる。

【 0 0 9 3 】

図 15 ( E ) に、2 個の Z n を含む小グループを示す。図 15 ( E ) の上半分には 1 個の 4 配位の O があり、下半分には 1 個の 4 配位の O がある。図 15 ( E ) に示す小グループは電荷が - 1 となる。

【 0 0 9 4 】

ここでは、複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ（ユニットセルともいう。）と呼ぶ。

10

20

30

40

50

## 【0095】

ここで、これらの小グループ同士が結合する規則について説明する。図15(A)に示す6配位のInの上半分の3個のOは、下方向にそれぞれ3個の近接Inを有し、下半分の3個のOは、上方向にそれぞれ3個の近接Inを有する。図15(B)に示す5配位のGaの上半分の1個のOは、下方向に1個の近接Gaを有し、下半分の1個のOは、上方向に1個の近接Gaを有する。図15(C)に示す4配位のZnの上半分の1個のOは、下方向に1個の近接Znを有し、下半分の3個のOは、上方向にそれぞれ3個の近接Znを有する。この様に、金属原子の上方向の4配位のOの数と、そのOの下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の4配位のOの数と、そのOの上方向にある近接金属原子の数は等しい。Oは4配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は4になる。従って、金属原子の上方向にある4配位のOの数と、別の金属原子の下方向にある4配位のOの数との和が4個のとき、金属原子を有する二種の小グループ同士は結合することができる。例えば、6配位の金属原子(InまたはSn)が下半分の4配位のOを介して結合する場合、4配位のOが3個であるため、5配位の金属原子(GaまたはIn)または4配位の金属原子(Zn)のいずれかと結合することになる。

10

## 【0096】

これらの配位数を有する金属原子は、c軸方向において、4配位のOを介して結合する。また、このほかにも、層構造の合計の電荷が0となるように複数の小グループが結合して中グループを構成する。

20

## 【0097】

図16(A)に、In-Sn-Zn系酸化物の層構造を構成する中グループのモデル図を示す。図16(B)に、3つの中グループで構成される大グループを示す。なお、図16(C)は、図16(B)の層構造をc軸方向から観察した場合の原子配列を示す。

## 【0098】

図16(A)においては、簡単のため、3配位のOは省略し、4配位のOは個数のみ示し、例えば、Snの上半分および下半分にはそれぞれ3個ずつ4配位のOがあることを丸枠の3として示している。同様に、図16(A)において、Inの上半分および下半分にはそれぞれ1個ずつ4配位のOがあり、丸枠の1として示している。また、同様に、図16(A)において、下半分には1個の4配位のOがあり、上半分には3個の4配位のOがあるZnと、上半分には1個の4配位のOがあり、下半分には3個の4配位のOがあるZnとを示している。

30

## 【0099】

図16(A)において、In-Sn-Zn系酸化物の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にあるSnが、4配位のOが1個ずつ上半分および下半分にあるInと結合し、そのInが、上半分に3個の4配位のOがあるZnと結合し、そのZnの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分および下半分にあるInと結合し、そのInが、上半分に1個の4配位のOがあるZn2個からなる小グループと結合し、この小グループの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分および下半分にあるSnと結合している構成である。この中グループが複数結合して大グループを構成する。

40

## 【0100】

ここで、3配位のOおよび4配位のOの場合、結合1本当たりの電荷はそれぞれ-0.667、-0.5と考えることができる。例えば、In(6配位または5配位)、Zn(4配位)、Sn(5配位または6配位)の電荷は、それぞれ+3、+2、+4である。従って、Snを含む小グループは電荷が+1となる。そのため、Snを含む層構造を形成するためには、電荷+1を打ち消す電荷-1が必要となる。電荷-1をとる構造として、図15(E)に示すように、2個のZnを含む小グループが挙げられる。例えば、Snを含む小グループが1個に対し、2個のZnを含む小グループが1個あれば、電荷が打ち消されるため、層構造の合計の電荷を0とすることができます。

50

## 【0101】

具体的には、図16(B)に示した大グループが繰り返されることで、In-Sn-Zn系酸化物の結晶( $In_2SnZn_3O_8$ )を得ることができる。なお、得られるIn-Sn-Zn系酸化物の層構造は、 $In_2SnZn_2O_7$  ( $ZnO$ )<sub>m</sub> ( $m$ は0または自然数。)とする組成式で表すことができる。

## 【0102】

また、このほかにも、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物や、三元系金属の酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する。)、In-Al-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物や、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物や、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物や、In-Ga系酸化物、などを用いた場合も同様である。

## 【0103】

例えば、図17(A)に、In-Ga-Zn系酸化物の層構造を構成する中グループのモデル図を示す。

20

## 【0104】

図17(A)において、In-Ga-Zn系酸化物の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にあるInが、4配位のOが1個上半分にあるZnと結合し、そのZnの下半分の3個の4配位のOを介して、4配位のOが1個ずつ上半分および下半分にあるGaと結合し、そのGaの下半分の1個の4配位のOを介して、4配位のOが3個ずつ上半分および下半分にあるInと結合している構成である。この中グループが複数結合して大グループを構成する。

## 【0105】

図17(B)に3つの中グループで構成される大グループを示す。なお、図17(C)は、図17(B)の層構造をc軸方向から観察した場合の原子配列を示している。

30

## 【0106】

ここで、In(6配位または5配位)、Zn(4配位)、Ga(5配位)の電荷は、それぞれ+3、+2、+3であるため、In、ZnおよびGaのいずれかを含む小グループは、電荷が0となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に0となる。

## 【0107】

また、In-Ga-Zn系酸化物の層構造を構成する中グループは、図17(A)に示した中グループに限定されず、In、Ga、Znの配列が異なる中グループを組み合わせた大グループも取りうる。

40

## 【0108】

具体的には、図17(B)に示した大グループが繰り返されることで、In-Ga-Zn系酸化物の結晶を得ることができる。なお、得られるIn-Ga-Zn系酸化物の層構造は、 $InGaO_3$  ( $ZnO$ )<sub>n</sub> ( $n$ は自然数。)とする組成式で表すことができる。

## 【0109】

$n = 1$  ( $InGaZnO_4$ ) の場合は、例えば、図18(A)に示す結晶構造を取りうる。なお、図18(A)に示す結晶構造において、図15(B)で説明したように、Ga及びInは5配位をとるため、GaがInに置き換わった構造も取りうる。

## 【0110】

また、 $n = 2$  ( $InGaZn_2O_5$ ) の場合は、例えば、図18(B)に示す結晶構造を取りうる。なお、図18(B)に示す結晶構造において、図15(B)で説明したように

50

、Ga及びInは5配位をとるため、GaがInに置き換わった構造も取りうる。

【0111】

本実施の形態では、まず、下地層102上に、スパッタリング法により1nm以上10nm以下の第1の酸化物半導体を形成する。第1の酸化物半導体を形成する時の基板温度は200以上400以下とする。

【0112】

ここで、酸化物半導体を形成するスパッタリング装置について、以下に詳細を説明する。

【0113】

酸化物半導体を形成する成膜室は、リークレートを $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$ 以下とすることが好ましく、それによりスパッタリング法により成膜する際、膜中への不純物の混入を低減することができる。

10

【0114】

リークレートを低くするには、外部リークのみならず内部リークを低減する必要がある。外部リークとは、微小な穴やシール不良などによって真空系の外から気体が流入することである。内部リークとは、真空系内のバルブなどの仕切りからの漏れや内部の部材からの放出ガスに起因する。リークレートを $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$ 以下とするためには、外部リーク及び内部リークの両面から対策をとる必要がある。

【0115】

外部リークを減らすには、成膜室の開閉部分はメタルガスケットでシールするとよい。メタルガスケットは、フッ化鉄、酸化アルミニウム、または酸化クロムによって被覆された金属材料を用いると好ましい。メタルガスケットはOリングと比べ密着性が高く、外部リークを低減できる。また、フッ化鉄、酸化アルミニウム、酸化クロムなどの不動態によって被覆された金属材料を用いることで、メタルガスケットから生じる水素を含む放出ガスが抑制され、内部リークも低減することができる。

20

【0116】

成膜室の内壁を構成する部材として、水素を含む放出ガスの少ないアルミニウム、クロム、チタン、ジルコニウム、ニッケルまたはバナジウムを用いる。また、前述の材料を鉄、クロム及びニッケルなどを含む合金材料に被覆して用いてもよい。鉄、クロム及びニッケルなどを含む合金材料は、剛性があり、熱に強く、また加工に適している。ここで、表面積を小さくするために部材の表面凹凸を研磨などによって低減しておくと、放出ガスを低減できる。あるいは、前述の成膜装置の部材をフッ化鉄、酸化アルミニウム、酸化クロムなどの不動態で被覆してもよい。

30

【0117】

さらに、スパッタガスを成膜室に導入する直前に、スパッタガスの精製機を設けることが好ましい。このとき、精製機から成膜室までの配管の長さを5m以下、好ましくは1m以下とする。配管の長さを5m以下または1m以下とすることで、配管からの放出ガスの影響を長さに応じて低減できる。

【0118】

成膜室の排気は、ドライポンプなどの粗引きポンプと、スパッタイオンポンプ、ターボ分子ポンプ及びクライオポンプなどの高真空ポンプとを適宜組み合わせて行うとよい。また、成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。ターボ分子ポンプは大きいサイズの分子の排気が優れる一方、水素や水の排気能力が低い。そこで、水の排気能力の高いクライオポンプ及び水素の排気能力の高いスパッタイオンポンプを組み合わせることが有効となる。また、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプ等の吸着型の真空ポンプを用いて排気した成膜室は、例えば、水素原子、水(H<sub>2</sub>O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該成膜室で成膜した酸化物半導体層に含まれる不純物の濃度を低減できる。

40

【0119】

50

成膜室の内側に存在する吸着物は、内壁に吸着しているために成膜室の圧力に影響しないが、成膜室を排気した際のガス放出の原因となる。そのため、リークレートと排気速度に相関はないが、排気能力の高いポンプを用いて、成膜室に存在する吸着物をできる限り脱離し、予め排気しておくことが重要である。なお、吸着物の脱離を促すために、成膜室をベーキングしてもよい。ベーキングすることで吸着物の脱離速度を10倍程度大きくすることができる。ベーキングは100以上450以下で行えばよい。このとき、不活性ガスを添加しながら吸着物の除去を行うと、排気するだけでは脱離しにくい水などの脱離速度をさらに大きくすることができます。

#### 【0120】

スパッタリング法において、プラズマを発生させるための電源装置は、RF電源装置、AC電源装置、DC電源装置等を適宜用いることができる。 10

#### 【0121】

酸化物半導体としてIn-Ga-Zn系酸化物材料をスパッタリング法で形成するためのIn-Ga-Zn系酸化物ターゲットは、例えば、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$  [mol数比] の組成比を有するターゲットを用いることができる。また、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2$  [mol数比] の組成比を有するターゲット、または $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 4$  [mol数比] の組成比を有するターゲット、 $In_2O_3 : Ga_2O_3 : ZnO = 2 : 1 : 8$  [mol数比] の組成比を有するターゲットを用いることもできる。また、原子数比が $In : Ga : Zn = 1 : 1 : 1$ 、 $4 : 2 : 3$ 、 $3 : 1 : 2$ 、 $1 : 1 : 2$ 、 $2 : 1 : 3$ 、または $3 : 1 : 4$ で示されるIn-Ga-Zn系酸化物ターゲットを用いることができる。前述の原子数比を有するIn-Ga-Zn系酸化物ターゲットを用いて酸化物半導体を形成することで、多結晶またはCAC-O<sub>5</sub>が形成されやすくなる。 20

#### 【0122】

また、酸化物半導体としてIn-Sn-Zn系酸化物をスパッタリング法で形成する場合、好ましくは、原子数比が $In : Sn : Zn = 1 : 1 : 1$ 、 $2 : 1 : 3$ 、 $1 : 2 : 2$ 、または $20 : 45 : 35$ で示されるIn-Sn-Zn系酸化物ターゲットを用いる。前述の原子数比を有するIn-Sn-Zn系酸化物ターゲットを用いて酸化物半導体を形成することで、多結晶またはCAC-O<sub>5</sub>が形成されやすくなる。 30

#### 【0123】

また、酸化物半導体を形成するための金属酸化物ターゲットの相対密度は90%以上100%以下、好ましくは95%以上99.9%以下である。相対密度の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体層を緻密な膜とすることができます。 30

#### 【0124】

なお、スパッタリングガスは、希ガス（代表的にはアルゴン）雰囲気、酸素雰囲気、希ガス及び酸素の混合ガスを適宜用いる。また、スパッタリングガスには、水素、水、水酸基または水素化物などの不純物が除去された高純度ガスを用いることが好ましい。例えば、スパッタガスとしてアルゴンを用いる場合は、純度9N、露点-121、含有H<sub>2</sub>O量0.1ppb以下、含有H<sub>2</sub>量0.5ppb以下が好ましく、酸素を用いる場合は、純度8N、露点-112、含有H<sub>2</sub>O量1ppb以下、含有H<sub>2</sub>量1ppb以下が好ましい。 40

#### 【0125】

また、成膜時の基板温度は150以上450以下、好ましくは200以上350以下である。150以上450以下、好ましくは200以上350以下に基板を加熱しながら成膜をすることによって、膜中への水分（水素を含む）などの混入を防ぐことができる。 40

#### 【0126】

基板を加熱しながら成膜することにより、成膜した酸化物半導体に含まれる水素、水分、水素化物、または水酸化物などの不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。そして、成膜室内の残留水分を除去しつつ水素及び水分が 50

除去されたスパッタガスを添加し、上記ターゲットを用いて、1 nm 以上 10 nm 以下、好ましくは 2 nm 以上 5 nm 以下の厚さで第 1 の酸化物半導体を成膜する。

#### 【0127】

本実施の形態では、酸化物半導体用ターゲットとして、In - Ga - Zn 系酸化物半導体用ターゲット (In<sub>2</sub>O<sub>3</sub> : Ga<sub>2</sub>O<sub>3</sub> : ZnO = 1 : 1 : 2 [mol 数比]) を用いて、基板とターゲットの間との距離を 170 mm、基板温度 250 °C、圧力 0.4 Pa、直流 (DC) 電源電力 0.5 kW、スパッタガスとして酸素のみ、アルゴンのみ、又はアルゴン及び酸素を用いて膜厚 5 nm の第 1 の酸化物半導体を成膜する。

#### 【0128】

次いで、基板を配置するチャンバー雰囲気を窒素、または乾燥空気とし、第 1 の加熱処理を行う。第 1 の加熱処理の温度は、400 °C 以上 750 °C 以下とする。第 1 の加熱処理によって、第 1 の酸化物半導体が結晶化され、第 1 の結晶性酸化物半導体となる。

#### 【0129】

第 1 の加熱処理の温度にもよるが、第 1 の加熱処理によって、膜表面から結晶化が起こり、膜の表面から内部に向かって結晶成長し、C 軸配向した結晶が得られる。第 1 の加熱処理によって、亜鉛と酸素が膜表面に多く集まり、上平面が六角形をなす亜鉛と酸素からなるグラフェンタイプの二次元結晶が最表面に 1 層または複数層形成され、これが膜厚方向に成長して重なり積層となる。加熱処理の温度を上げると表面から内部、そして内部から底部と結晶成長が進行する。

#### 【0130】

第 1 の加熱処理によって、下地層 102 中の酸素を第 1 の結晶性酸化物半導体との界面またはその近傍 (界面からプラスマイナス 5 nm) に拡散させて、第 1 の結晶性酸化物半導体の酸素欠損を低減する。従って、下地層 102 は、下地層 102 中 (バルク中)、また、第 1 の結晶性酸化物半導体と下地層 102 の界面、のいずれかに少なくとも化学量論比を超える量の酸素が存在することが好ましい。

#### 【0131】

次いで、第 1 の結晶性酸化物半導体上に 10 nm よりも厚い第 2 の酸化物半導体を形成する。第 2 の酸化物半導体の形成は、スパッタリング法を用い、その成膜時における基板温度は 200 °C 以上 400 °C 以下とする。成膜時における基板温度を 200 °C 以上 400 °C 以下とすることにより、第 1 の結晶性酸化物半導体の表面上に接して成膜する酸化物半導体にプリカーサの整列が起き、所謂、秩序性を持たせることができる。

#### 【0132】

本実施の形態では、酸化物半導体用ターゲットとして、In - Ga - Zn 系酸化物半導体用ターゲット (In<sub>2</sub>O<sub>3</sub> : Ga<sub>2</sub>O<sub>3</sub> : ZnO = 1 : 1 : 2 [mol 数比]) を用いて、基板とターゲットの間との距離を 170 mm、基板温度 400 °C、圧力 0.4 Pa、直流 (DC) 電源電力 0.5 kW、スパッタガスとして酸素のみ、アルゴンのみ、又はアルゴン及び酸素を用いて膜厚 25 nm の第 2 の酸化物半導体を成膜する。

#### 【0133】

次いで、基板を配置するチャンバー雰囲気を窒素、または乾燥空気とし、第 2 の加熱処理を行う。第 2 の加熱処理の温度は、400 °C 以上 750 °C 以下とする。第 2 の加熱処理によって、第 2 の結晶性酸化物半導体を形成する。第 2 の加熱処理は、窒素雰囲気下、酸素雰囲気下、或いは窒素と酸素の混合雰囲気下で行うことにより、第 2 の結晶性酸化物半導体の高密度化及び欠陥数の減少を図る。第 2 の加熱処理によって、第 1 の結晶性酸化物半導体を核として膜厚方向、即ち底部から内部に結晶成長が進行して第 2 の結晶性酸化物半導体が形成される。このとき、第 1 の結晶性酸化物半導体と第 2 結晶性酸化物半導体が同一の元素から構成されることをホモ成長という。または、第 1 の結晶性酸化物半導体と第 2 の結晶性酸化物半導体とが、少なくとも一種以上異なる元素から構成されることをヘテロ成長という。

#### 【0134】

このように、酸化物半導体の形成工程において、成膜室の圧力、成膜室のリーケートな

10

20

30

40

50

どにおいて、不純物の混入を極力抑えることによって、酸化物半導体への水素及び水分などの不純物の混入を低減することができる。酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水となると共に、酸素が脱離した格子（あるいは酸素が脱離した部分）には欠陥が形成されてしまう。

【0135】

このため、酸化物半導体の形成工程において、不純物を極めて減らすことにより、酸化物半導体の欠陥を低減することができる。これらのことから、不純物をできるだけ除去し、高純度化させた C A A C - O S からなる酸化物半導体をチャネル領域に用いることにより、トランジスタに対する光照射や B T 試験前後でのしきい値電圧の変化量が少ないため、安定した電気的特性を有することができる。

10

【0136】

また、第 2 の加熱処理を行った後、温度を保持しつつ酸化性雰囲気に切り替えてさらに加熱処理を行うと好ましい。酸化性雰囲気での加熱処理により、酸化物半導体中の酸素欠陥を低減することができる。

【0137】

なお、酸化物半導体に用いることが可能な金属酸化物は、バンドギャップが 2 e V 以上、好ましくは 2.5 e V 以上、より好ましくは 3 e V 以上である。このように、バンドギャップの広い金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

【0138】

また、下地層 102 の形成から第 2 の加熱処理までの工程を、大気に触れることなく連続的に行なうことが好ましい。下地層 102 の形成から第 2 の加熱処理までの工程は、水素及び水分をほとんど含まない雰囲気（不活性雰囲気、減圧雰囲気、乾燥空気雰囲気など）下に制御することが好ましく、例えば、水分については露点 -40 以下、好ましくは露点 -50 以下の乾燥窒素雰囲気とする。

20

【0139】

次いで、第 1 の結晶性酸化物半導体と第 2 の結晶性酸化物半導体からなる酸化物半導体の積層を加工して、鳥状の酸化物半導体層 103 を形成する（図 3 (A) 参照）。

【0140】

酸化物半導体の加工は、所望の形状のマスクを酸化物半導体上に形成した後、当該酸化物半導体をエッチングすることによって行なうことができる。上述のマスクは、フォトリソグラフィなどの方法を用いて形成することができる。または、インクジェット法や印刷法などの方法を用いてマスクを形成しても良い。

30

【0141】

なお、酸化物半導体のエッチングは、ドライエッチング法でもウェットエッチング法でもよい。もちろん、これらを組み合わせて用いてもよい。

【0142】

また、上記作製方法により、得られる第 1 の結晶性酸化物半導体及び第 2 の結晶性酸化物半導体は、C 軸配向を有していることを特徴の一つとしている。ただし、第 1 の結晶性酸化物半導体及び第 2 の結晶性酸化物半導体は、単結晶構造ではなく、非晶質構造でもない構造であり、C 軸配向を有した結晶性酸化物半導体（C A A C - O S ）である。

40

【0143】

また、第 1 の結晶性酸化物半導体上に第 2 の結晶性酸化物半導体を形成する 2 層構造に限定されず、第 2 の結晶性酸化物半導体の形成後に第 3 の結晶性酸化物半導体を形成するための成膜と加熱処理のプロセスを繰り返し行って、3 層以上の積層構造としてもよい。

【0144】

酸化物半導体層 103 のように、第 1 の結晶性酸化物半導体と第 2 の結晶性酸化物半導体の積層をトランジスタに用いることで、安定した電気的特性を有し、且つ、信頼性の高いトランジスタを実現できる。

【0145】

50

次に、酸化物半導体層 103 上にゲート絶縁層 104 を形成する。ゲート絶縁層 104 は、窒化アルミニウム、酸化アルミニウム、窒化酸化アルミニウム、酸化窒化アルミニウム、窒化シリコン、酸化シリコン、窒化酸化シリコン、酸化窒化シリコン、酸化タンタル、または酸化ランタン、から選ばれた材料を、単層でまたは積層して形成することができる。

#### 【 0146 】

また、ゲート絶縁層 104 として、ハフニウムシリケート ( $HfSiO_x$  ( $x > 0$ ))、窒素が添加されたハフニウムシリケート ( $HfSi_xO_yN_z$  ( $x > 0$ ,  $y > 0$ ,  $z > 0$ ))、窒素が添加されたハフニウムアルミネート ( $HfAl_xO_yN_z$  ( $x > 0$ ,  $y > 0$ ,  $z > 0$ ))、酸化ハフニウム、酸化イットリウムなどの  $hig h-k$  材料を用いることで、実質的な（例えば、酸化シリコン換算の）ゲート絶縁膜の厚さを変えないまま、物理的なゲート絶縁膜を厚くすることにより、ゲートリークを低減できる。さらには、 $hig h-k$  材料と、酸化シリコン、酸化窒化シリコン、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化窒化アルミニウム、及び酸化ガリウムのいずれか一以上との積層構造とすることができます。ゲート絶縁層 104 の厚さは、1 nm 以上 300 nm 以下、より好ましくは 5 nm 以上 50 nm 以下とするよい。

#### 【 0147 】

ゲート絶縁層 104 は、スパッタリング法、CVD 法等により形成する。ゲート絶縁層 104 の形成は、スパッタリング法やプラズマ CVD 法などの他、 $\mu$  波（例えば周波数 2.45 GHz）を用いた高密度プラズマ CVD 法などの成膜方法を適用することができる。また、ゲート絶縁層 104 は単層に限らず異なる層の積層でも良い。なお、ゲート絶縁層 104 は、酸化物半導体層 103 と接する部分が酸素を含む絶縁層であることが好ましく、特に好ましくは加熱により酸素を放出する酸化物絶縁層である。例えば、ゲート絶縁層 104 に酸化シリコンを用いることで、酸化物半導体層 103 に酸素を拡散させて、酸化物半導体層 103 中の酸素欠損を低減することができ、トランジスタの特性を良好にすることができる。

#### 【 0148 】

本実施の形態に示す構造では、基板上に凹凸を生じさせる構造物が酸化物半導体層 103 のみであり、ゲート絶縁層 104 を起因とするリーク電流を低減し、かつゲート絶縁層 104 の耐圧を高めることができる。そのため、ゲート絶縁層 104 を 5 nm 近くまで薄膜化して用いてもトランジスタを動作させることができる。なお、ゲート絶縁層 104 を薄膜化することで、短チャネル効果を低減し、かつトランジスタの動作速度を高める効果を奏する。

#### 【 0149 】

なお、ゲート絶縁層 104 を形成する前に、酸化物半導体層 103 の表面を、酸素、オゾン、一酸化二窒素等の酸化性ガスのプラズマに曝し、酸化物半導体層 103 の表面を酸化して酸素欠損を低減してもよい。本実施の形態では、ゲート絶縁層 104 として、酸化物半導体層 103 上に酸化シリコンを 100 nm の厚さで形成する。

#### 【 0150 】

次に、ゲート絶縁層 104 上に、スパッタリング法、真空蒸着法、またはメッキ法を用いて導電層を形成し、該導電層上にマスクを形成し、該導電層を選択的にエッチングしてゲート電極 105 を形成する。導電層上に形成するマスクは印刷法、インクジェット法、フォトリソグラフィ法を適宜用いることができる。ゲート電極 105 は、ゲート絶縁層 104 に接するゲート電極 105a と、ゲート電極 105a 上に積層されたゲート電極 105b により形成される。

#### 【 0151 】

ゲート電極 105a を形成する材料としては、窒素を含むインジウムガリウム亜鉛酸化物 ( $In-Ga-Zn-O$ ) や、窒素を含むインジウム錫酸化物 ( $In-Sn-O$ ) や、窒素を含むインジウムガリウム酸化物 ( $In-Ga-O$ ) や、窒素を含むインジウム亜鉛酸化物 ( $In-Zn-O$ ) や、窒素を含む酸化錫 ( $Sn-O$ ) や、窒素を含むインジウム酸

10

20

30

40

50

化物 (In-O) や、金属窒化物 (InN, ZnNなど) を用いることが好ましい。

【0152】

これらの材料は 5 eV、好ましくは 5.5 eV 以上の仕事関数を有し、ゲート電極 105a をゲート電極 105b とゲート絶縁層 104 の間に設け、また、ゲート電極 105a をゲート絶縁層 104 を介して酸化物半導体層 103 と重畠させることで、トランジスタの電気特性のしきい値電圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。例えば、ゲート電極 105a に窒素を含む In-Ga-Zn-O を用いる場合、少なくとも酸化物半導体層 103 より高い窒素濃度、具体的には窒素濃度が 7 原子%以上の In-Ga-Zn-O を用いる。

【0153】

ゲート電極 105b を形成する材料としては、アルミニウム (Al)、クロム (Cr)、銅 (Cu)、タンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タンゲステン (W)、ネオジム (Nd)、スカンジウム (Sc) から選ばれた金属元素、上述した金属元素を成分とする合金、上述した金属元素を組み合わせた合金、上述した金属元素の窒化物などを用いて形成することができる。また、マンガン (Mn)、マグネシウム (Mg)、ジルコニウム (Zr)、ベリリウム (Be) のいずれか一または複数から選択された金属元素を用いてもよい。

【0154】

また、ゲート電極 105b は、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウムを用いた単層構造、アルミニウム上にチタンを積層する二層構造、窒化チタン上にチタンを積層する二層構造、窒化チタン上にタンゲステンを積層する二層構造、窒化タンタル上にタンゲステンを積層する二層構造、Cu-Mg-Al 合金上に Cu を積層する二層構造、チタンと、そのチタン上にアルミニウムを積層し、さらにその上にチタンを形成する三層構造などがある。

【0155】

また、ゲート電極 105b は、インジウム錫酸化物、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属元素の積層構造とすることもできる。

【0156】

本実施の形態では、ゲート電極 105a として、窒素を含むインジウムガリウム亜鉛酸化物を用いる。また、ゲート電極 105b として、窒化チタン上にタンゲステンを積層する二層構造を用いる (図 3 (B) 参照)。なお、形成されたゲート電極 105 の端部をテーパー形状とすると、後に形成される層の被覆性が向上するため好ましい。

【0157】

次に、自己整合プロセスによりソース領域 103a 及びドレイン領域 103b を形成する。具体的には、ゲート電極 105 をマスクとして、イオンドーピング法またはイオンインプランテーション法によりドーパント 106 を酸化物半導体層 103 へ添加する。酸化物半導体層 103 に添加するドーパント 106 としては、希ガスまたは水素 (H) のうち、一種類または複数種類の元素を用いることができる。

【0158】

水素は、酸化物半導体中で電子供与体 (ドナー) となり、酸化物半導体を n 型化させる。また、希ガス元素は酸化物半導体中に欠陥を作り、酸化物半導体を n 型化させる。なお、水素は拡散しやすく、チャネル形成領域に水素が拡散すると、トランジスタ特性が劣化する恐れがある。このため、ドーパント 106 として希ガス元素を用いる方が、半導体装置の信頼性が良く好ましい。

【0159】

また、酸化物半導体層 103 のゲート電極 105 と重畠する領域は、ゲート電極 105 がマスクとなりドーパント 106 が添加されず、チャネル形成領域 103c となる。

10

20

30

40

50

## 【0160】

ドーパント106が添加されたソース領域103a及びドレイン領域103bは、n型の酸化物半導体となり、チャネル形成領域103cよりも抵抗率が低下する。このため、ソース領域103a及びドレイン領域103bの抵抗値が小さくなり、トランジスタ100を高速動作させることが可能となる。加えて、ソース領域103a及びドレイン領域103bと、ゲート電極105との重なりがほとんど生じず、寄生容量を低減することができるため、トランジスタ100をさらに高速動作させることが可能となる。

## 【0161】

また、ゲート電極105をマスクとして、ソース領域及びドレイン領域となる酸化物半導体層103上のゲート絶縁層104を除去して酸化物半導体層103を露出させ、露出した酸化物半導体層103へドーパント106を添加し、ソース領域103a及びドレイン領域103bを形成してもよい。酸化物半導体層103上のゲート絶縁層104の除去は、酸化物半導体層103がエッチングされにくい条件で行う。

10

## 【0162】

露出した酸化物半導体層103へのドーパント106の添加は、イオンドーピング法またはイオンインプランテーション法で行うことができる。なお、ドーパント106の添加は、添加する元素を含むガス雰囲気にてプラズマを発生させ、酸化物半導体層103の露出した部分に対してプラズマ処理を行うことによって行うこともできる。しかしながら、プラズマ処理による添加は、酸化物半導体がエッチングされ、薄層化されてしまう恐れがある。このため、酸化物半導体層103へのドーパント106の添加は、イオンドーピング法またはイオンインプランテーション法で行うことが好ましい。

20

## 【0163】

なお、酸化物半導体層103へのドーパント106の添加をイオンドーピング法またはイオンインプランテーション法により行う場合は、酸化物半導体層103を露出させず、ゲート絶縁層104を残したまま行うことが好ましい。ドーパント106をゲート絶縁層104を通過して酸化物半導体層103へ添加することで、ドーパント106の添加における酸化物半導体層103への過剰なダメージを軽減することができる。また、酸化物半導体層103とゲート絶縁層104の界面も清浄に保たれるので、トランジスタの特性や信頼性が高まる。また、ドーパント106の添加深さ（添加領域）が制御し易くなり、酸化物半導体層103へドーパント106を精度よく添加することができる。

30

## 【0164】

本実施の形態では、ドーパント106としてキセノン(Xe)を用い、キセノンをイオンインプランテーション法により、ゲート絶縁層104を通過させて酸化物半導体層103へ添加する。また、キセノンの添加により形成されるソース領域103a及びドレイン領域103b中のキセノン濃度が、 $5 \times 10^{19}$  atoms/cm<sup>3</sup>以上、 $1 \times 10^{22}$  atoms/cm<sup>3</sup>以下となるようにする（図3(C)参照）。

30

## 【0165】

ドーパント106の添加後、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下で、300以上600以下の温度で熱処理を行ってもよい。本実施の形態では、加熱処理装置の一つである電気炉を用いて、窒素雰囲気下で4501時間の熱処理を行う。

40

## 【0166】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、G R T A (G a s R a p i d T h e r m a l A n n e a l) 装置、L R T A (L a m p R a p i d T h e r m a l A n n e a l) 装置等のR T A (R a p i d T h e r m a l A n n e a l) 装置を用いることができる。L R T A 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。G R T A 装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しな

50

い不活性ガスが用いられる。

【0167】

例えば、熱処理として、高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すG R T Aを行ってよい。

【0168】

上記熱処理を行う場合は、ドーパント106添加後であれば、いつ行ってもよい。

【0169】

また、イオンドーピング法またはイオンインプランテーション法等によりドーパント106を添加する際に、基板を加熱しながら行ってよい。

10

【0170】

次に、酸化物半導体層103及びゲート電極105を覆って、スパッタリング法、CVD法等により、絶縁層107及び絶縁層108を形成する。絶縁層107及び絶縁層108は、窒化アルミニウム、酸化アルミニウム、窒化酸化アルミニウム、酸化窒化アルミニウム、窒化シリコン、酸化シリコン、窒化酸化シリコンまたは酸化窒化シリコンから選ばれた材料を用いて形成することができる。また、絶縁層107及び絶縁層108は、それぞれを単層または積層して用いることができる。

【0171】

このとき、少なくとも絶縁層107は、加熱により酸素を放出しにくい材料を用いることが好ましい。これは、ソース領域103a及びドレイン領域103bの導電率を低下させないためである。具体的には、CVD法により、シランガスを主材料とし、酸化窒素ガス、窒素ガス、水素ガス及び希ガスから適切な原料ガスを混合して成膜すればよい。また、基板温度を300以上550以下とすればよい。CVD法を用いることで、加熱により酸素を放出しにくい材料とすることができます。また、シランガスを主材料とすることで絶縁層中に水素が残留し、該水素が拡散することでソース領域103a及びドレイン領域103bの導電率をさらに高めることができる。絶縁層107中の水素濃度は、0.1原子%以上25原子%以下とすればよい。

20

【0172】

絶縁層107及び絶縁層108の膜厚は、50nm以上、好ましくは200nm以上500nm以下とする。本実施の形態では、絶縁層107として、膜厚300nmの酸化シリコンを形成し、絶縁層108として、膜厚100nmの酸化アルミニウムを形成する。

30

【0173】

絶縁層108は、外部からの不純物等の侵入を防ぐため、窒化シリコンまたは酸化アルミニウムを用いて形成することが好ましい。本実施の形態では、絶縁層108として、膜厚100nmの酸化アルミニウムを形成する(図3(D)参照)。また、絶縁層107と絶縁層108は、どちらか一方または両方を省略してもよい。

【0174】

絶縁層108の形成後、必要であれば、熱処理(温度範囲150以上650以下、好ましくは200以上500以下)を行ってよい。

【0175】

40

次に、絶縁層108上にマスクを形成し、該マスクを用いて、ゲート絶縁層104、絶縁層107、絶縁層108の一部を選択的にエッチングして、ソース領域103a及びドレイン領域103bの一部を露出させ、コンタクトホール109を形成する(図4(A)参照)。

【0176】

次に、絶縁層108上に導電層を形成し、該導電層上にマスクを形成し、該導電層を選択的にエッチングしてソース電極110a及びドレイン電極110bを形成する(図4(B)参照)。ソース電極110a及びドレイン電極110bを形成するための導電層は、ゲート電極105bと同様の材料を適用することができる。

【0177】

50

本実施の形態では、ソース電極 110a 及びドレイン電極 110b を形成するための導電層として、Cu - Mg - Al 合金上に Cu を積層した導電層を用いる。絶縁層 108 と接して Cu - Mg - Al 合金材料を設けることで、導電層の密着性を向上させることができる。

【0178】

なお、トランジスタ 100 のチャネル長は、図 1 (B) において、ソース領域 103a とドレイン領域 103b に挟まれた、チャネル形成領域 103c の長さに相当する。また、トランジスタ 100 のチャネル長は、ゲート電極 105 の幅とほぼ等しくなる。

【0179】

以上の工程により、トランジスタを微細化し、チャネル長を縮小した際にも電気特性が良好で、かつ信頼性の高い酸化物半導体を用いたトランジスタ 100 を作製することができる。

【0180】

トランジスタ 140 は、酸化物半導体層 103 中に低濃度領域 103d 及び低濃度領域 103e を有している。トランジスタ 140 は、トランジスタ 100 の作製工程にサイドウォール 111 の作製工程を追加し、酸化物半導体層 103 へのドーパント 106 の添加を 2 回に分けて行うことで作製することができる。

【0181】

低濃度領域 103d 及び低濃度領域 103e は、ゲート電極 105 をマスクとして用いる自己整合プロセスにより形成することができる。具体的には、ゲート電極 105 形成後、ゲート電極 105 をマスクとして、トランジスタ 100 と同様の方法によりドーパント 106 を酸化物半導体層 103 へ添加する (第 1 のドープ工程ともいう)。第 1 のドープ工程で酸化物半導体層 103 へ添加するドーパント 106 としては、トランジスタ 100 で用いるドーパント 106 と同様の元素を用いることができる。第 1 のドープ工程では、酸化物半導体層 103 中のドーパント 106 の濃度が  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 以上、 $5 \times 10^{19}$  atoms/cm<sup>3</sup> 未満となるように添加する。

【0182】

次に、ゲート電極 105 の側面にサイドウォール 111 を形成する。サイドウォール 111 は、既知の方法により作製することができる。

【0183】

次に、ゲート電極 105 及びサイドウォール 111 をマスクとして、ドーパント 106 を酸化物半導体層 103 へ添加する (第 2 のドープ工程ともいう)。第 2 のドープ工程で酸化物半導体層 103 へ添加するドーパント 106 としては、トランジスタ 100 で用いるドーパント 106 と同様の元素を用いることができる。第 2 のドープ工程では、酸化物半導体層 103 中のドーパント 106 の濃度が  $5 \times 10^{19}$  atoms/cm<sup>3</sup> 以上、 $1 \times 10^{22}$  atoms/cm<sup>3</sup> 以下となるようにする。

【0184】

このようにして、トランジスタ 140 にソース領域 103a、ドレイン領域 103b、低濃度領域 103d、及び低濃度領域 103e を形成することができる。低濃度領域 103d、及び低濃度領域 103e は、ソース領域 103a、及びドレイン領域 103b よりもドーパント濃度が低く、抵抗率が高い。

【0185】

低濃度領域 103d 及び低濃度領域 103e を設けることにより、トランジスタ特性の劣化や、短チャネル効果によるしきい値電圧のマイナスシフトを軽減することができ、より信頼性の高いトランジスタを作製することができる。

【0186】

なお、トランジスタ 140 のチャネル長は、図 2 (B) において、低濃度領域 103d 及び低濃度領域 103e に挟まれた、チャネル形成領域 103c の長さに相当する。また、トランジスタ 140 のチャネル長は、ゲート電極 105 の幅とほぼ等しくなる。

【0187】

10

20

30

40

50

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0188】

(実施の形態2)

本実施の形態では、実施の形態1で開示したトランジスタとは異なる構成を有するトランジスタの例について説明する。

【0189】

図5(A)は、トランジスタ150の構成を説明する上面図であり、図5(B)は、図5(A)にC1-C2の鎖線で示した部位の積層構造を説明する断面図である。なお、図5(A)において、基板及び絶縁層の記載は省略している。

【0190】

図5(B)に示すトランジスタ150は、実施の形態1で開示したトランジスタ100と比較して、ソース電極110a及びドレイン電極110bの積層位置が異なっている。トランジスタ150は、下地層102上にソース電極110a及びドレイン電極110bが形成され、下地層102、ソース電極110a及びドレイン電極110b上に酸化物半導体層103が形成されている。

【0191】

トランジスタ150では、ソース電極110a及びドレイン電極110bが、コンタクトホール109を介さず酸化物半導体層103のソース領域103a及びドレイン領域103bと接続する構成であるため、接続面積を増やしやすく、接触抵抗の低減が容易である。

【0192】

なお、トランジスタ150のチャネル長は、図5(B)において、ソース領域103aとドレイン領域103bに挟まれた、チャネル形成領域103cの長さに相当する。また、トランジスタ150のチャネル長は、ゲート電極105の幅とほぼ等しくなる。

【0193】

図6に示すトランジスタ160は、トランジスタ150の構成に加えて、ゲート電極105の側面にサイドウォール111を有し、酸化物半導体層103のサイドウォール111と重畳する領域に、低濃度領域103d及び低濃度領域103eを有している。低濃度領域103dはチャネル形成領域103cとソース領域103aの間に形成され、低濃度領域103eはチャネル形成領域103cとドレイン領域103bの間に形成されている。

図6(A)は、トランジスタ160の構成を説明する上面図であり、図6(B)は、図6(A)にD1-D2の鎖線で示した部位の積層構造を説明する断面図である。

【0194】

酸化物半導体層103中に低濃度領域103dまたは低濃度領域103eを設けることにより、チャネル形成領域103cと、ソース領域103aまたはドレイン領域103bの間に生じる電界を緩和し、トランジスタ特性の劣化を軽減することができる。特に、チャネル形成領域103cとドレイン領域103bに生じる電界の緩和は、トランジスタ特性の劣化軽減に有効である。また、低濃度領域103dまたは低濃度領域103eを設けることにより、トランジスタの微細化に伴う短チャネル効果を抑制することができる。

【0195】

なお、トランジスタ160のチャネル長は、図6(B)において、低濃度領域103dと低濃度領域103eに挟まれた、チャネル形成領域103cの長さに相当する。また、トランジスタ160のチャネル長は、ゲート電極105の幅とほぼ等しくなる。

【0196】

図7(A)に示すトランジスタ170は、ボトムゲート構造のトランジスタの一形態である。

【0197】

図7(A)は、トランジスタ170の断面構造を示している。トランジスタ170は、基板101上にゲート電極105が形成され、ゲート電極105上にゲート絶縁層104が形成されている。ゲート電極105は、ゲート電極105b上にゲート電極105aが積

10

20

30

40

50

層された構成を有している。基板 101 とゲート電極 105 の間に、実施の形態 1 で説明した下地層を設けても良い。

【0198】

また、ゲート絶縁層 104 上に酸化物半導体層 103 が形成され、酸化物半導体層 103 上にチャネル保護層 112、ソース電極 110a、及びドレイン電極 110b が形成されている。酸化物半導体層 103 は、チャネル保護層 112 と重畠するチャネル形成領域 103c と、ソース電極 110a と電気的に接続するソース領域 103a と、ドレイン電極 110b と電気的に接続するドレイン領域 103b を有している。

【0199】

チャネル保護層 112 は、ゲート絶縁層 104 と同様の材料及び方法を用いて形成することができる。チャネル保護層 112 の厚さは、10nm 以上 500nm 以下、より好ましくは 100nm 以上 300nm 以下とするよい。

10

【0200】

ソース領域 103a 及びドレイン領域 103b は、チャネル保護層 112 をマスクとして用い、トランジスタ 100 と同様に形成することができる。

【0201】

また、チャネル保護層 112、ソース電極 110a、及びドレイン電極 110b 上に、絶縁層 108 が形成されている。絶縁層 108 は、複数の絶縁層の積層としてもよい。

【0202】

なお、トランジスタ 170 のチャネル長は、図 7 (A) において、ソース領域 103a とドレイン領域 103b に挟まれた、チャネル形成領域 103c の長さに相当する。また、トランジスタ 170 のチャネル長は、チャネル保護層 112 の幅とほぼ等しくなる。

20

【0203】

図 7 (B) は、トランジスタ 180 の断面構造を示している。トランジスタ 180 は、トランジスタ 100 にバックゲート電極 115 と絶縁層 113 を設けた構造を有している。トランジスタ 180 は、下地層 102 上にバックゲート電極 115 が形成され、バックゲート電極 115 上に絶縁層 113 が形成されている。また、トランジスタ 180 の酸化物半導体層 103 は、絶縁層 113 を介して、バックゲート電極 115 と重畠して形成されている。

【0204】

30

バックゲート電極 115 は、ゲート電極 105 とバックゲート電極 115 で酸化物半導体層 103 のチャネル形成領域 103c を挟むように配置する。バックゲート電極 115 は導電層で形成され、ゲート電極 105 と同様に機能させることができる。また、バックゲート電極 115 の電位を変化させることで、トランジスタのしきい値電圧を変化させることができる。

【0205】

バックゲート電極 115 は、ゲート電極 105b と同様の材料及び方法で形成することができる。また、バックゲート電極 115 と絶縁層 113 の間に、ゲート電極 105a と同様の層を設けてもよい。

【0206】

40

絶縁層 113 は、ゲート絶縁層 104 と同様の材料及び方法で形成することができる。また、下地層 102 を形成せず、絶縁層 113 で下地層 102 を兼ねる構成とすることもできる。

【0207】

なお、トランジスタ 180 のチャネル長は、図 7 (B) において、ソース領域 103a とドレイン領域 103b に挟まれた、チャネル形成領域 103c の長さに相当する。また、トランジスタ 180 のチャネル長は、ゲート電極 105 の幅とほぼ等しくなる。

【0208】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【0209】

50

## (実施の形態 3 )

本実施の形態では、C A A C - O S からなる酸化物半導体膜の形成方法について、実施の形態 1 で開示した以外の方法について、以下に説明する。

## 【 0 2 1 0 】

まず、下地層 1 0 2 上に、厚さ 1 n m 以上 5 0 n m 以下の酸化物半導体膜を形成する。

## 【 0 2 1 1 】

成膜時の基板温度は 1 5 0 以上 4 5 0 以下、好ましくは 2 0 0 以上 3 5 0 以下である。1 5 0 以上 4 5 0 以下、好ましくは 2 0 0 以上 3 5 0 以下に基板を加熱しながら成膜をすることによって、膜中への水分（水素を含む）などの混入を防ぐことができる。また、結晶性を含む酸化物半導体膜である C A A C - O S を形成することができる。

10

## 【 0 2 1 2 】

さらに、酸化物半導体形成後に、基板 1 0 1 に加熱処理を施して、酸化物半導体からより水素を放出させると共に、下地層 1 0 2 に含まれる酸素の一部を、酸化物半導体と、下地層 1 0 2 における酸化物半導体の界面近傍に拡散させることができ。また、該加熱処理を行うことによって、より結晶性の高い C A A C - O S を有する酸化物半導体を形成することができる。

## 【 0 2 1 3 】

該加熱処理の温度は、酸化物半導体から水素を放出させると共に、下地層 1 0 2 に含まれる酸素の一部を放出させ、さらには酸化物半導体に拡散させる温度が好ましく、代表的には、2 0 0 以上基板 1 0 1 の歪み点未満、好ましくは 2 5 0 以上 4 5 0 以下とする。酸化物半導体に酸素を拡散させることにより、酸化物半導体中の酸素欠損を低減することができる。

20

## 【 0 2 1 4 】

また該加熱処理は、R T A ( R a p i d T h e r m a l A n n e a l ) 装置を用いることができる。R T A を用いることで、短時間に限り、基板の歪み点以上の温度で熱処理を行うことができる。そのため、非晶質領域に対して結晶領域の割合の多い酸化物半導体を形成するための時間を短縮することができる。

## 【 0 2 1 5 】

加熱処理は、不活性ガス雰囲気で行うことができ、代表的には、ヘリウム、ネオン、アルゴン、キセノン、クリプトン等の希ガス、または窒素雰囲気で行うことが好ましい。また、酸素雰囲気及び減圧雰囲気で行ってもよい。処理時間は 3 分 ~ 2 4 時間とする。処理時間を長くするほど非晶質領域に対して結晶領域の割合の多い酸化物半導体を形成することができるが、2 4 時間を超える熱処理は生産性の低下を招くため好ましくない。

30

## 【 0 2 1 6 】

以上的方法で、C A A C - O S からなる酸化物半導体を形成することができる。

## 【 0 2 1 7 】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

## 【 0 2 1 8 】

(実施の形態 4 )

40

本実施の形態では、実施の形態 1 及び実施の形態 2 に示した酸化物半導体を用いたトランジスタの電気特性への影響について、バンド図を用いて説明する。

## 【 0 2 1 9 】

図 8 は、図 1 に示すトランジスタ 1 0 0 と同等の積層構造を有するトランジスタの断面図である。図 9 は、図 8 に示す X 1 - X 2 断面におけるエネルギーバンド図（模式図）を示す。さらに、図 9 ( B ) はソースとドレインの間の電圧を等電位 ( V D = 0 V ) とした場合を示している。図 8 は、第 1 の酸化物半導体領域 ( O S 1 とする) 及び一対の第 2 の酸化物半導体領域 ( O S 2 とする) からなる酸化物半導体層と、ソース電極及びドレイン電極 ( m e t a l とする) により形成されるトランジスタである。

## 【 0 2 2 0 】

50

図8におけるトランジスタのチャネル形成領域は、OS1により形成されており、OS1は、膜中から水分（水素を含む）などの不純物をできるだけ除去、脱離させて高純度化し、さらに膜中の酸素欠損を低減することにより真性（i型）としたもの、又は限りなく真性に近づけた酸化物半導体により形成されている。そうすることにより、フェルミ準位（Ef）は真性フェルミ準位（Ei）と同じレベルにすることができる。

#### 【0221】

また、図8におけるトランジスタのソース領域及びドレイン領域は、一対のOS2により形成されており、OS2は、上記OS1と同様に、膜中から水分（水素を含む）などの不純物をできるだけ除去、脱離させて高純度化し、さらに膜中の酸素欠損を低減することにより真性（i型）としたもの、又は限りなく真性に近づけた酸化物半導体とし、その後、水素もしくは希ガスのうち、少なくともいずれか一つから選択された元素を添加することによって、ドナーもしくは酸素欠損を生じさせて形成される。それにより、OS2は、OS1と比べてキャリア密度が高くなり、フェルミ準位の位置が伝導帯の近くになる。

10

#### 【0222】

図9（A）は、真空準位（Evacとする）、第1の酸化物半導体領域（OS1とする）、第2の酸化物半導体領域（OS2とする）、及びソース電極及びドレイン電極（meta1とする）のバンド構造の関係である。ここで、IPはイオン化ポテンシャル、Eaは電子親和力、Egはエネルギーギャップ、Wfは仕事関数を示す。また、Ecは伝導帯の下端、Evは価電子帯の上端、Efはフェルミ準位を示す。なお、各符号の末尾に示す記号は、1がOS1を、2がOS2を、mがmeta1をそれぞれ示す。ここでmeta1としてWf\_mが4.1eV（チタンなど）を想定している。

20

#### 【0223】

OS1はi型または実質的にi型化された酸化物半導体であり、極めてキャリア密度が低いためEf\_1はEc及びEvの概ね中央にあるとする。また、OS2はキャリア密度の高いn型の酸化物半導体であり、Ec\_2とEf\_2が概ね一致する。OS1及びOS2に示す酸化物半導体は、エネルギーギャップ（Eg）が3.15eV、電子親和力（Ea）は4.3eVと言われている。

#### 【0224】

図9（B）に示すように、チャネル形成領域であるOS1と、ソース領域及びドレイン領域であるOS2が接触すると、フェルミ準位が一致するようにキャリアの移動が起こり、OS1及びOS2のバンド端が曲がる。さらに、OS2と、ソース電極及びドレイン電極であるmeta1が接触した場合も、フェルミ準位が一致するようにキャリアの移動が起こり、OS2のバンド端が曲がる。

30

#### 【0225】

このように、チャネル形成領域となるOS1とソース電極及びドレイン電極となるmeta1との間に、n型の酸化物半導体であるOS2が形成されることにより、酸化物半導体と金属とのコンタクトをオーミックにすることができる、またコンタクト抵抗を低減させることができる。その結果としてトランジスタのオン電流を増加させることができる。

#### 【0226】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

40

#### 【0227】

##### （実施の形態5）

図10（A）に半導体装置を構成する記憶素子（以下、メモリセルとも記す）の回路図の一例を示す。メモリセルは、酸化物半導体以外の材料をチャネル形成領域に用いたトランジスタ1160と酸化物半導体をチャネル形成領域に用いたトランジスタ1162によって構成される。

#### 【0228】

酸化物半導体をチャネル形成領域に用いたトランジスタ1162は、実施の形態1に従つて作製することができる。

#### 【0229】

50

図10(A)に示すように、トランジスタ1160のゲート電極と、トランジスタ1162のソース電極またはドレイン電極の一方とは、電気的に接続されている。また、第1の配線(1st Line:ソース線とも呼ぶ)とトランジスタ1160のソース電極とは、電気的に接続され、第2の配線(2nd Line:ビット線とも呼ぶ)とトランジスタ1160のドレイン電極とは、電気的に接続されている。そして、第3の配線(3rd Line:第1信号線とも呼ぶ)とトランジスタ1162のソース電極またはドレイン電極の他方とは、電気的に接続され、第4の配線(4th Line:第2信号線とも呼ぶ)と、トランジスタ1162のゲート電極とは、電気的に接続されている。

#### 【0230】

酸化物半導体以外の材料、例えば単結晶シリコンをチャネル形成領域に用いたトランジスタ1160は十分な高速動作が可能なため、トランジスタ1160を用いることにより、記憶内容の読み出しなどを高速に行なうことが可能である。また、酸化物半導体をチャネル形成領域に用いたトランジスタ1162は、トランジスタ1160に比べてオフ電流が小さいという特徴を有している。このため、トランジスタ1162をオフ状態とすることと、トランジスタ1160のゲート電極の電位を極めて長時間にわたって保持することが可能である。

#### 【0231】

ゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

#### 【0232】

はじめに、情報の書き込み及び保持について説明する。まず、第4の配線の電位を、トランジスタ1162がオン状態となる電位として、トランジスタ1162をオン状態とする。これにより、第3の配線の電位が、トランジスタ1160のゲート電極に与えられる(書き込み)。その後、第4の配線の電位を、トランジスタ1162がオフ状態となる電位として、トランジスタ1162をオフ状態とすることにより、トランジスタ1160のゲート電極の電位が保持される(保持)。

#### 【0233】

トランジスタ1162のオフ電流はトランジスタ1160に比べて小さいから、トランジスタ1160のゲート電極の電位は長時間にわたって保持される。例えば、トランジスタ1160のゲート電極の電位がトランジスタ1160をオン状態とする電位であれば、トランジスタ1160のオン状態が長時間にわたって保持されることになる。また、トランジスタ1160のゲート電極の電位がトランジスタ1160をオフ状態とする電位であれば、トランジスタ1160のオフ状態が長時間にわたって保持される。

#### 【0234】

次に、情報の読み出しについて説明する。上述のように、トランジスタ1160のオン状態またはオフ状態が保持された状態において、第1の配線に所定の電位(低電位)が与えられると、トランジスタ1160のオン状態またはオフ状態に応じて、第2の配線の電位は異なる値をとる。例えば、トランジスタ1160がオン状態の場合には、第1の配線の電位に対して、第2の配線の電位が低下することになる。また、トランジスタ1160がオフ状態の場合には、第2の配線の電位は変化しない。

#### 【0235】

このように、情報が保持された状態において、第2の配線の電位と、所定の電位とを比較することで、情報を読み出すことができる。

#### 【0236】

次に、情報の書き換えについて説明する。情報の書き換えは、上記情報の書き込み及び保持と同様に行われる。つまり、第4の配線の電位を、トランジスタ1162がオン状態となる電位として、トランジスタ1162をオン状態とする。これにより、第3の配線の電位(新たな情報に係る電位)が、トランジスタ1160のゲート電極に与えられる。その後、第4の配線の電位を、トランジスタ1162がオフ状態となる電位として、トランジスタ1162をオフ状態とすることにより、新たな情報が保持された状態となる。

10

20

30

40

50

## 【0237】

このように、開示する発明に係るメモリセルは、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる消去動作が不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、メモリセルを有する半導体装置の高速動作が実現される。

## 【0238】

また、図10(A)を発展させたメモリセルの回路図の一例を図10(B)に示す。

## 【0239】

図10(B)に示すメモリセル1100は、第1の配線SL(ソース線)と、第2の配線BL(ピット線)と、第3の配線S1(第1信号線)と、第4の配線S2(第2信号線)と、第5の配線WL(ワード線)と、トランジスタ1164(第1のトランジスタ)と、トランジスタ1161(第2のトランジスタ)と、トランジスタ1163(第3のトランジスタ)と、から構成されている。トランジスタ1164及びトランジスタ1163は、酸化物半導体以外の材料をチャネル形成領域に用いており、トランジスタ1161は酸化物半導体をチャネル形成領域に用いている。

10

## 【0240】

ここで、トランジスタ1164のゲート電極と、トランジスタ1161のソース電極またはドレイン電極の一方とは、電気的に接続されている。また、第1の配線SLと、トランジスタ1164のソース電極とは、電気的に接続され、トランジスタ1164のドレイン電極と、トランジスタ1163のソース電極とは、電気的に接続されている。そして、第2の配線BLと、トランジスタ1163のドレイン電極とは、電気的に接続され、第3の配線S1と、トランジスタ1161のソース電極またはドレイン電極の他方とは、電気的に接続され、第4の配線S2と、トランジスタ1161のゲート電極とは、電気的に接続され、第5の配線WLと、トランジスタ1163のゲート電極とは電気的に接続されている。

20

## 【0241】

次に、回路の動作について具体的に説明する。

## 【0242】

メモリセル1100への書き込みを行う場合は、第1の配線SLを0V、第5の配線WLを0V、第2の配線BLを0V、第4の配線S2を2Vとする。データ"1"を書き込む場合には第3の配線S1を2V、データ"0"を書き込む場合には第3の配線S1を0Vとする。このとき、トランジスタ1163はオフ状態、トランジスタ1161はオン状態となる。なお、書き込み終了にあたっては、第3の配線S1の電位が変化する前に、第4の配線S2を0Vとして、トランジスタ1161をオフ状態にする。

30

## 【0243】

その結果、データ"1"書き込み後にはトランジスタ1164のゲート電極に接続されるノード(以下、ノードA)の電位が約2V、データ"0"書き込み後にはノードAの電位が約0Vとなる。ノードAには、第3の配線S1の電位に応じた電荷が蓄積されるが、トランジスタ1161のオフ電流は、単結晶シリコンをチャネル形成領域に用いたトランジスタと比べて小さく、トランジスタ1164のゲート電極の電位は長時間にわたって保持される。

40

## 【0244】

次に、メモリセルの読み出しを行う場合は、第1の配線SLを0V、第5の配線WLを2V、第4の配線S2を0V、第3の配線S1を0Vとし、第2の配線BLに接続されている読み出し回路を動作状態とする。このとき、トランジスタ1163はオン状態、トランジスタ1161はオフ状態となる。

## 【0245】

データ"0"、つまりノードAが約0Vの状態であればトランジスタ1164はオフ状態であるから、第2の配線BLと第1の配線SL間の抵抗は高い状態となる。一方、データ"1"、つまりノードAが約2Vの状態であればトランジスタ1164がオン状態である

50

から、第2の配線B Lと第1の配線S L間の抵抗は低い状態となる。読み出し回路は、メモリセルの抵抗状態の違いから、データ"0"、"1"を読み出すことができる。なお、書き込み時の第2の配線B Lは0 Vとしたが、フローティング状態や0 V以上の電位に充電されても構わない。読み出し時の第3の配線S 1は0 Vとしたが、フローティング状態や0 V以上の電位に充電されても構わない。

#### 【0246】

なお、データ"1"とデータ"0"は便宜上の定義であって、逆であっても構わない。また、上述した動作電圧は一例である。動作電圧は、データ"0"の場合にトランジスタ1 1 6 4がオフ状態となり、データ"1"の場合にトランジスタ1 1 6 4がオン状態となるように、また、書き込み時にトランジスタ1 1 6 1がオン状態、書き込み時以外ではオフ状態となるように、また、読み出し時にトランジスタ1 1 6 3がオン状態となるように選べばよい。特に2 Vの代わりに、周辺の論理回路の電源電位V D Dを用いてもよい。

10

#### 【0247】

本実施の形態では理解の簡単のため、最小記憶単位(1ビット)のメモリセルについて説明したが、メモリセルの構成はこれに限られるものではない。複数のメモリセルを適当に接続して、より高度な半導体装置を構成することもできる。例えば、上記メモリセルを複数用いて、N A N D型やN O R型の半導体装置を構成することが可能である。配線の構成も図10(A)や図10(B)に限定されず、適宜変更することができる。

#### 【0248】

図11に、 $m \times n$ ビットの記憶容量を有する本発明の一態様に係る半導体装置のブロック回路図を示す。

20

#### 【0249】

図11に示す半導体装置は、 $m$ 本の第5の配線及び第4の配線と、 $n$ 本の第2の配線及び第3の配線と、複数のメモリセル1 1 0 0 (1, 1) ~ 1 1 0 0 (m, n)が縦 $m$ 個(行) × 横 $n$ 個(列)( $m, n$ は自然数)のマトリクス状に配置されたメモリセルアレイ1 1 1 0と、第2の配線及び第3の配線駆動回路1 1 1 1や、第4の配線及び第5の配線駆動回路1 1 1 3や、読み出し回路1 1 1 2といった周辺回路によって構成されている。他の周辺回路として、リフレッシュ回路等が設けられてもよい。

#### 【0250】

各メモリセルの代表として、メモリセル1 1 0 0 (i, j)を考える。ここで、メモリセル1 1 0 0 (i, j)(iは1以上 $m$ 以下の整数、jは1以上 $n$ 以下の整数)は、第2の配線B L (j)、第3の配線S 1 (j)、第5の配線W L (i)及び第4の配線S 2 (i)、及び第1の配線にそれぞれ接続されている。第1の配線には第1の配線電位V sが与えられている。また、第2の配線B L (1) ~ B L (n)及び第3の配線S 1 (1) ~ S 1 (n)は第2の配線及び第3の配線駆動回路1 1 1 1及び読み出し回路1 1 1 2に、第5の配線W L (1) ~ W L (m)及び第4の配線S 2 (1) ~ S 2 (m)は第4の配線及び第5の配線駆動回路1 1 1 3にそれぞれ接続されている。

30

#### 【0251】

図11に示した半導体装置の動作について説明する。本構成では、行ごとの書き込み及び読み出しを行う。

40

#### 【0252】

第*i*行のメモリセル1 1 0 0 (i, 1) ~ 1 1 0 0 (i, n)に書き込みを行う場合は、第1の配線電位V sを0 V、第5の配線W L (i)を0 V、第2の配線B L (1) ~ B L (n)を0 V、第4の配線S 2 (i)を2 Vとする。このときトランジスタ1 1 6 1は、オン状態となる。第3の配線S 1 (1) ~ S 1 (n)は、データ"1"を書き込む列は2 V、データ"0"を書き込む列は0 Vとする。なお、書き込み終了にあたっては、第3の配線S 1 (1) ~ S 1 (n)の電位が変化する前に、第4の配線S 2 (i)を0 Vとして、トランジスタ1 1 6 1をオフ状態にする。また、非選択の第5の配線W Lは0 V、非選択の第4の配線S 2 は0 Vとする。

#### 【0253】

50

その結果、データ”1”の書き込みを行ったメモリセルのトランジスタ1164のゲート電極に接続されるノード（以下、ノードA）の電位は約2V、データ”0”の書き込みを行ったメモリセルのノードAの電位は約0Vとなる。また、非選択メモリセルのノードAの電位は変わらない。

【0254】

第i行のメモリセル1100（i、1）～1100（i、n）の読み出しを行う場合は、第1の配線電位Vsを0V、第5の配線WL（i）を2V、第4の配線S2（i）を0V、第3の配線S1（1）～S1（n）を0Vとし、第2の配線BL（1）～BL（n）に接続されている読み出し回路を動作状態とする。読み出し回路では、例えば、メモリセルの抵抗状態の違いから、データ”0”，”1”を読み出すことができる。なお、非選択の第5の配線WLは0V、非選択の第4の配線S2は0Vとする。なお、書き込み時の第2の配線BLは0Vとしたが、フローティング状態や0V以上の電位に充電されていても構わない。読み出し時の第3の配線S1は0Vとしたが、フローティング状態や0V以上の電位に充電されていても構わない。

10

【0255】

なお、データ”1”とデータ”0”は便宜上の定義であって、逆であっても構わない。また、上述した動作電圧は一例である。動作電圧は、データ”0”の場合にトランジスタ1164がオフ状態となり、データ”1”の場合にトランジスタ1164がオン状態となるように、また、書き込み時にトランジスタ1161がオン状態、書き込み時以外ではオフ状態となるように、また、読み出し時にトランジスタ1163がオン状態となるように選べばよい。特に2Vの代わりに、周辺の論理回路の電源電位VDDを用いてもよい。

20

【0256】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0257】

（実施の形態6）

本実施の形態では、容量素子を有するメモリセルの回路図の一例を示す。図12（A）に示すメモリセル1170は、第1の配線SL、第2の配線BL、第3の配線S1、第4の配線S2と、第5の配線WLと、トランジスタ1171（第1のトランジスタ）と、トランジスタ1172（第2のトランジスタ）と、容量素子1173とから構成されている。トランジスタ1171は、酸化物半導体以外の材料をチャネル形成領域に用いており、トランジスタ1172はチャネル形成領域に酸化物半導体を用いている。

30

【0258】

ここで、トランジスタ1171のゲート電極と、トランジスタ1172のソース電極またはドレイン電極の一方と、容量素子1173の一方の電極とは、電気的に接続されている。また、第1の配線SLと、トランジスタ1171のソース電極とは、電気的に接続され、第2の配線BLと、トランジスタ1171のドレイン電極とは、電気的に接続され、第3の配線S1と、トランジスタ1172のソース電極またはドレイン電極の他方とは、電気的に接続され、第4の配線S2と、トランジスタ1172のゲート電極とは、電気的に接続され、第5の配線WLと、容量素子1173の他方の電極とは、電気的に接続されている。

40

【0259】

次に、回路の動作について具体的に説明する。

【0260】

メモリセル1170への書き込みを行う場合は、第1の配線SLを0V、第5の配線WLを0V、第2の配線BLを0V、第4の配線S2を2Vとする。データ”1”を書き込む場合には第3の配線S1を2V、データ”0”を書き込む場合には第3の配線S1を0Vとする。このとき、トランジスタ1172はオン状態となる。なお、書き込み終了にあたっては、第3の配線S1の電位が変化する前に、第4の配線S2を0Vとして、トランジスタ1172をオフ状態にする。

【0261】

50

その結果、データ”1”の書き込み後にはトランジスタ1171のゲート電極に接続されるノード（以下、ノードA）の電位が約2V、データ”0”の書き込み後にはノードAの電位が約0Vとなる。

【0262】

メモリセル1170の読み出しを行う場合は、第1の配線SLを0V、第5の配線WLを2V、第4の配線S2を0V、第3の配線S1を0Vとし、第2の配線BLに接続されている読み出し回路を動作状態とする。このとき、トランジスタ1172は、オフ状態となる。

【0263】

第5の配線WLを2Vとした場合のトランジスタ1171の状態について説明する。トランジスタ1171の状態を決めるノードAの電位は、第5の配線WLとノードA間の容量C1と、トランジスタ1171のゲート電極と、ソース電極及びドレイン電極間の容量C2に依存する。

10

【0264】

なお、読み出し時の第3の配線S1は0Vとしたが、フローティング状態や0V以上の電位に充電されても構わない。データ”1”とデータ”0”は便宜上の定義であって、逆であっても構わない。

【0265】

書き込み時の第3の配線S1の電位は、書き込み後にトランジスタ1172がオフ状態となり、また、第5の配線電位が0Vの場合にトランジスタ1171がオフ状態である範囲で、データ”0”、“1”の電位をそれぞれ選べばよい。読み出し時の第5の配線電位は、データ”0”の場合にトランジスタ1171がオフ状態となり、データ”1”の場合にトランジスタ1171がオン状態となるように選べばよい。また、トランジスタ1171のしきい値電圧も、一例である。上述したトランジスタ1171の状態を変えない範囲であれば、どのようなしきい値でも構わない。

20

【0266】

また、第1のゲート電極、及び第2のゲート電極を有する選択トランジスタと、容量素子を有するメモリセルを用いるNOR型の半導体記憶装置の例について図12（B）を用いて説明する。

【0267】

30

図12（B）に示す本発明の一態様に係る半導体装置は、I行（Iは2以上の自然数）J列（Jは自然数）にマトリクス状に配列された複数のメモリセルを備えたメモリセルアレイを具備する。

【0268】

図12（B）に示すメモリセルアレイは、i行（iは3以上の自然数）j列（jは3以上の自然数）にマトリクス状に配列された複数のメモリセル1180と、i本のワード線WL（ワード線WL\_1乃至ワード線WL\_i）と、i本の容量線CL（容量線CL\_1乃至容量線CL\_i）と、i本のゲート線BGL（ゲート線BGL\_1乃至ゲート線BGL\_i）と、j本のビット線BL（ビット線BL\_1乃至ビット線BL\_j）と、ソース線SLと、を具備する。

40

【0269】

さらに、複数のメモリセル1180のそれぞれ（メモリセル1180（M, N）（ただし、Mは1以上i以下の自然数、Nは1以上j以下の自然数）ともいう）は、トランジスタ1181（M, N）と、容量素子1183（M, N）と、トランジスタ1182（M, N）と、を備える。

【0270】

なお、半導体記憶装置において、容量素子は、第1の容量電極、第2の容量電極、並びに第1の容量電極及び第2の容量電極に重畠する誘電体層により構成される。容量素子は、第1の容量電極及び第2の容量電極の間に印加される電圧に応じて電荷が蓄積される。

【0271】

50

トランジスタ 1181 (M, N) は、N チャネル型トランジスタであり、ソース電極、ドレイン電極、第 1 のゲート電極、及び第 2 のゲート電極を有する。なお、本実施の形態の半導体記憶装置において、必ずしもトランジスタ 1181 を N チャネル型トランジスタにしなくてもよい。

【0272】

トランジスタ 1181 (M, N) のソース電極及びドレイン電極の一方は、ビット線 BL\_N に接続され、トランジスタ 1181 (M, N) の第 1 のゲート電極は、ワード線 WL\_M に接続され、トランジスタ 1181 (M, N) の第 2 のゲート電極は、ゲート線 BG\_L\_M に接続される。トランジスタ 1181 (M, N) のソース電極及びドレイン電極の一方がビット線 BL\_N に接続される構成にすることにより、メモリセル毎に選択的にデータを読み出すことができる。

10

【0273】

トランジスタ 1181 (M, N) は、メモリセル 1180 (M, N) において選択トランジスタとしての機能を有する。

【0274】

トランジスタ 1181 (M, N) としては、酸化物半導体をチャネル形成領域に用いたトランジスタを用いることができる。

【0275】

トランジスタ 1182 (M, N) は、P チャネル型トランジスタである。なお、本実施の形態の半導体記憶装置において、必ずしもトランジスタ 1182 を P チャネル型トランジスタにしなくてもよい。

20

【0276】

トランジスタ 1182 (M, N) のソース電極及びドレイン電極の一方は、ソース線 SL に接続され、トランジスタ 1182 (M, N) のソース電極及びドレイン電極の他方は、ビット線 BL\_N に接続され、トランジスタ 1182 (M, N) のゲート電極は、トランジスタ 1181 (M, N) のソース電極及びドレイン電極の他方に接続される。

【0277】

トランジスタ 1182 (M, N) は、メモリセル 1180 (M, N) において、出力トランジスタとしての機能を有する。トランジスタ 1182 (M, N) としては、例えば単結晶シリコンをチャネル形成領域に用いるトランジスタを用いることができる。

30

【0278】

容量素子 1183 (M, N) の第 1 の容量電極は、容量線 CL\_M に接続され、容量素子 1183 (M, N) の第 2 の容量電極は、トランジスタ 1181 (M, N) のソース電極及びドレイン電極の他方に接続される。なお、容量素子 1183 (M, N) は、保持容量としての機能を有する。

【0279】

ワード線 WL\_1 乃至ワード線 WL\_i のそれぞれの電圧は、例えばデコーダを用いた駆動回路により制御される。

【0280】

ビット線 BL\_1 乃至ビット線 BL\_j のそれぞれの電圧は、例えばデコーダを用いた駆動回路により制御される。

40

【0281】

容量線 CL\_1 乃至容量線 CL\_i のそれぞれの電圧は、例えばデコーダを用いた駆動回路により制御される。

【0282】

ゲート線 BG\_L\_1 乃至ゲート線 BG\_L\_i のそれぞれの電圧は、例えばゲート線駆動回路を用いて制御される。

【0283】

ゲート線駆動回路は、例えばダイオード及び第 1 の容量電極がダイオードのアノード及びゲート線 BG\_L に電気的に接続される容量素子を備える回路により構成される。

50

## 【0284】

トランジスタ1181の第2のゲート電極の電圧を調整することにより、トランジスタ1181の閾値電圧を調整することができる。従って、選択トランジスタとして機能するトランジスタ1181の閾値電圧を調整し、オフ状態におけるトランジスタ1181のソース電極及びドレイン電極の間に流れる電流を極力小さくすることができる。よって、記憶回路におけるデータの保持期間を長くすることができる。また、データの書き込み及び読み出しに必要な電圧を従来の半導体装置より低くすることができるため、消費電力を低減することができる。

## 【0285】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

10

## 【0286】

## (実施の形態7)

本実施の形態では、先の実施の形態に示すトランジスタを用いた半導体装置の例について、図13を参照して説明する。

## 【0287】

図13(A)には、いわゆるDRAM(Dynamic Random Access Memory)に相当する構成の半導体装置の一例を示す。図13(A)に示すメモリセルアレイ1120は、複数のメモリセル1130がマトリクス状に配列された構成を有している。また、メモリセルアレイ1120は、m本の第1の配線、及びn本の第2の配線を有する。なお、本実施の形態においては、第1の配線をピット線BLと呼び、第2の配線をワード線WLと呼ぶ。

20

## 【0288】

メモリセル1130は、トランジスタ1131と、容量素子1132と、から構成されている。トランジスタ1131のゲート電極は、第1の配線(ワード線WL)と接続されている。また、トランジスタ1131のソース電極またはドレイン電極の一方は、第2の配線(ピット線BL)と接続されており、トランジスタ1131のソース電極またはドレイン電極の他方は、容量素子の電極の一方と接続されている。また、容量素子の電極の他方は容量線CLと接続され、一定の電位が与えられている。トランジスタ1131には、先の実施の形態に示すトランジスタが適用される。

30

## 【0289】

先の実施の形態において示した酸化物半導体をチャネル形成領域に用いるトランジスタは、単結晶シリコンをチャネル形成領域に用いたトランジスタに比べてオフ電流が小さいという特徴を有する。このため、いわゆるDRAMとして認識されている図13(A)に示す半導体装置に当該トランジスタを適用する場合、実質的な不揮発性メモリを得ることが可能である。

## 【0290】

図13(B)には、いわゆるSRAM(Static Random Access Memory)に相当する構成の半導体装置の一例を示す。図13(B)に示すメモリセルアレイ1140は、複数のメモリセル1150がマトリクス状に配列された構成とすることができます。また、メモリセルアレイ1140は、第1の配線(ワード線WL)、第2の配線(ピット線BL)及び第3の配線(反転ピット線/BL)をそれぞれ複数本有する。

40

## 【0291】

メモリセル1150は、第1のトランジスタ1151、第2のトランジスタ1152、第3のトランジスタ1153、第4のトランジスタ1154、第5のトランジスタ1155、及び第6のトランジスタ1156を有している。第1のトランジスタ1151と第2のトランジスタ1152は、選択トランジスタとして機能する。また、第3のトランジスタ1153と第4のトランジスタ1154のうち、一方はnチャネル型トランジスタ(ここでは、第4のトランジスタ1154)であり、他方はpチャネル型トランジスタ(ここでは、第3のトランジスタ1153)である。つまり、第3のトランジスタ1153と第4のトランジスタ1154によってCMOS回路が構成されている。同様に、第5のトラン

50

ジスタ 1155 と第 6 のトランジスタ 1156 によって CMOS 回路が構成されている。

【0292】

第 1 のトランジスタ 1151、第 2 のトランジスタ 1152、第 4 のトランジスタ 1154、第 6 のトランジスタ 1156 は、n チャネル型のトランジスタであり、先の実施の形態において示したトランジスタを適用することができる。第 3 のトランジスタ 1153 と第 5 のトランジスタ 1155 は、p チャネル型のトランジスタであり、酸化物半導体以外の材料（例えば、単結晶シリコンなど）をチャネル形成領域に用いる。

【0293】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

10

【0294】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【0295】

（実施の形態 8）

酸化物半導体をチャネル形成領域に用いたトランジスタを少なくとも一部に用いて CPU (Central Processing Unit) を構成することができる。

【0296】

図 14 (A) は、CPU の具体的な構成を示すブロック図である。図 14 (A) に示す CPU は、基板 1190 上に、演算回路 (ALU: Arithmetic logic unit) 1191、ALU コントローラ 1192、インストラクションデコーダ 1193、インタラプトコントローラ 1194、タイミングコントローラ 1195、レジスタ 1196、レジスタコントローラ 1197、バスインターフェース (Bus I/F) 1198、書き換え可能な ROM 1199、及び ROM インターフェース (ROM I/F) 1189 を有している。基板 1190 は、半導体基板、SOI 基板、ガラス基板などを用いる。ROM 1199 及び ROM インターフェース 1189 は、別チップに設けても良い。勿論、図 14 (A) に示す CPU は、その構成を簡略化して示した一例にすぎず、実際の CPU はその用途によって多種多様な構成を有している。

20

【0297】

バスインターフェース 1198 を介して CPU に入力された命令は、インストラクションデコーダ 1193 に入力され、デコードされた後、ALU コントローラ 1192、インタラプトコントローラ 1194、レジスタコントローラ 1197、タイミングコントローラ 1195 に入力される。

30

【0298】

ALU コントローラ 1192、インタラプトコントローラ 1194、レジスタコントローラ 1197、タイミングコントローラ 1195 は、デコードされた命令に基づき、各種制御を行なう。具体的に ALU コントローラ 1192 は、ALU 1191 の動作を制御するための信号を生成する。また、インタラプトコントローラ 1194 は、CPU のプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ 1197 は、レジスタ 1196 のアドレスを生成し、CPU の状態に応じてレジスタ 1196 の読み出しや書き込みを行なう。

40

【0299】

また、タイミングコントローラ 1195 は、ALU 1191、ALU コントローラ 1192、インストラクションデコーダ 1193、インタラプトコントローラ 1194、及びレジスタコントローラ 1197 の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ 1195 は、基準クロック信号 CLK1 を元に、内部クロック信号 CLK2 を生成する内部クロック生成部を備えており、クロック信号 CLK2 を上記各種回路に供給する。

【0300】

図 14 (A) に示す CPU では、レジスタ 1196 に、記憶素子が設けられている。レジスタ 1196 の記憶素子には、実施の形態 5 に記載されている記憶素子を用いることがで

50

きる。

【0301】

図14(A)に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作の選択を行う。すなわち、レジスタ1196が有する記憶素子において、位相反転素子によるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。位相反転素子によるデータの保持が選択されている場合、レジスタ1196内の記憶素子への、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ1196内の記憶素子への電源電圧の供給を停止することができる。

【0302】

電源停止に関しては、図14(B)または図14(C)に示すように、記憶素子群と、電源電位VDDまたは電源電位VSSの与えられているノード間に、スイッチング素子を設けることにより行うことができる。以下に図14(B)及び図14(C)の回路の説明を行う。

【0303】

図14(B)及び図14(C)では、記憶素子への電源電位の供給を制御するスイッチング素子に、酸化物半導体をチャネル形成領域に用いたトランジスタを含む記憶回路の構成の一例を示す。

【0304】

図14(B)に示す記憶装置は、スイッチング素子1141と、記憶素子1142を複数有する記憶素子群1143とを有している。具体的に、各記憶素子1142には、実施の形態5に記載されている記憶素子を用いることができる。記憶素子群1143が有する各記憶素子1142には、スイッチング素子1141を介して、ハイレベルの電源電位VDDが供給されている。さらに、記憶素子群1143が有する各記憶素子1142には、信号INの電位と、ローレベルの電源電位VSSの電位が与えられている。

【0305】

図14(B)では、スイッチング素子1141として、酸化物半導体をチャネル形成領域に有するトランジスタを用いており、該トランジスタは、そのゲート電極に与えられる信号SingAによりスイッチングが制御される。

【0306】

なお、図14(B)では、スイッチング素子1141がトランジスタを一つだけ有する構成を示しているが、特に限定されず、トランジスタを複数有していても良い。スイッチング素子1141が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていても良いし、直列に接続されていても良いし、直列と並列が組み合わされて接続されていても良い。

【0307】

また、図14(B)では、スイッチング素子1141により、記憶素子群1143が有する各記憶素子1142への、ハイレベルの電源電位VDDの供給が制御されているが、スイッチング素子1141により、ローレベルの電源電位VSSの供給が制御されても良い。

【0308】

また、図14(C)には、記憶素子群1143が有する各記憶素子1142に、スイッチング素子1141を介して、ローレベルの電源電位VSSが供給されている、記憶装置の一例を示す。スイッチング素子1141により、記憶素子群1143が有する各記憶素子1142への、ローレベルの電源電位VSSの供給を制御することができる。

【0309】

記憶素子群と、電源電位VDDまたは電源電位VSSの与えられているノード間に、スイッチング素子を設け、一時的にCPUの動作を停止し、電源電圧の供給を停止した場合においてもデータを保持することが可能であり、消費電力の低減を行うことができる。具体的には、例えば、パーソナルコンピュータのユーザーが、キーボードなどの入力装置への

10

20

30

40

50

情報の入力を停止している間でも、C P Uの動作を停止することができ、それにより消費電力を低減することができる。

【0310】

ここでは、C P Uを例に挙げて説明したが、D S P ( D i g i t a l S i g n a l P r o c e s s o r )、カスタムL S I、F P G A ( F i e l d P r o g r a m m a b l e G a t e A r r a y )等のL S Iにも応用可能である。

【0311】

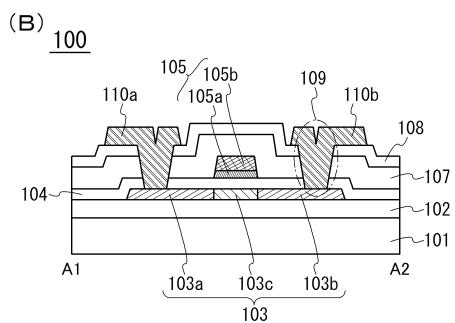
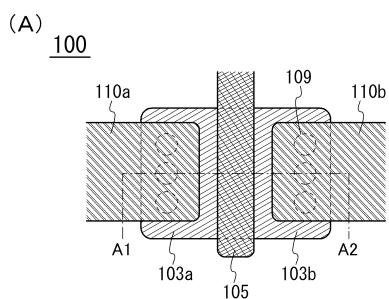
本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【符号の説明】

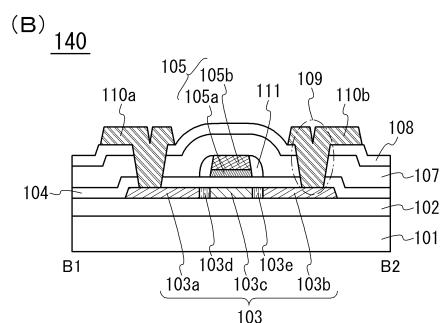
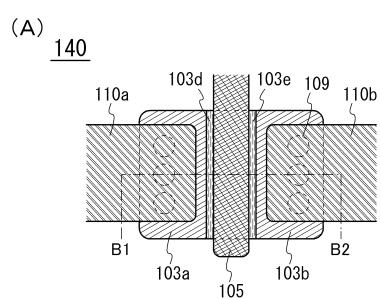
【0312】	10
100 トランジスタ	
101 基板	
102 下地層	
103 酸化物半導体層	
104 ゲート絶縁層	
105 ゲート電極	
106 ドーパント	
107 絶縁層	
108 絶縁層	
109 コンタクトホール	20
111 サイドウォール	
112 チャネル保護層	
113 絶縁層	
115 バックゲート電極	
140 トランジスタ	
150 トランジスタ	
160 トランジスタ	
170 トランジスタ	
180 トランジスタ	
190 トランジスタ	30
1100 メモリセル	
1110 メモリセルアレイ	
1111 配線駆動回路	
1112 回路	
1113 配線駆動回路	
1120 メモリセルアレイ	
1130 メモリセル	
1131 トランジスタ	
1132 容量素子	
1140 メモリセルアレイ	40
1141 スイッチング素子	
1142 記憶素子	
1143 記憶素子群	
1150 メモリセル	
1151 トランジスタ	
1152 トランジスタ	
1153 トランジスタ	
1154 トランジスタ	
1155 トランジスタ	
1156 トランジスタ	50

1 1 6 0	トランジスタ	
1 1 6 1	トランジスタ	
1 1 6 2	トランジスタ	
1 1 6 3	トランジスタ	
1 1 6 4	トランジスタ	
1 1 7 0	メモリセル	
1 1 7 1	トランジスタ	
1 1 7 2	トランジスタ	
1 1 7 3	容量素子	
1 1 8 0	メモリセル	10
1 1 8 1	トランジスタ	
1 1 8 2	トランジスタ	
1 1 8 3	容量素子	
1 1 8 9	ROMインターフェース	
1 1 9 0	基板	
1 1 9 1	ALU	
1 1 9 2	ALUコントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インターラプトコントローラ	
1 1 9 5	タイミングコントローラ	20
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	ROM	
1 0 3 a	ソース領域	
1 0 3 b	ドレイン領域	
1 0 3 c	チャネル形成領域	
1 0 3 d	低濃度領域	
1 0 3 e	低濃度領域	
1 0 5 a	ゲート電極	30
1 0 5 b	ゲート電極	
1 1 0 a	ソース電極	
1 1 0 b	ドレイン電極	

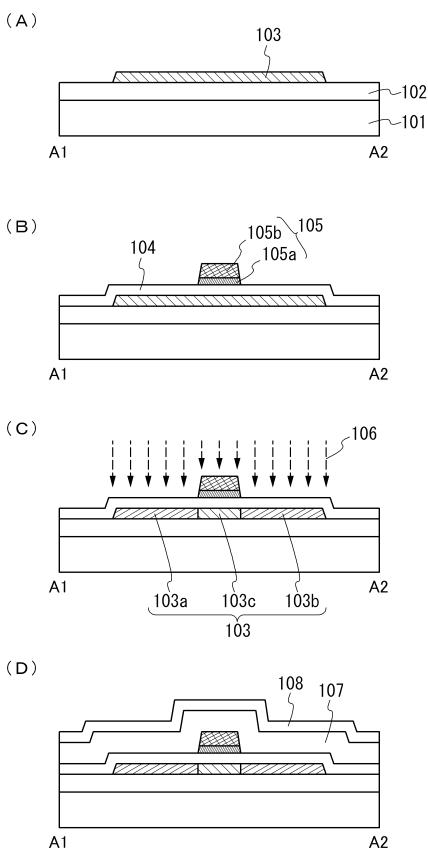
【図1】



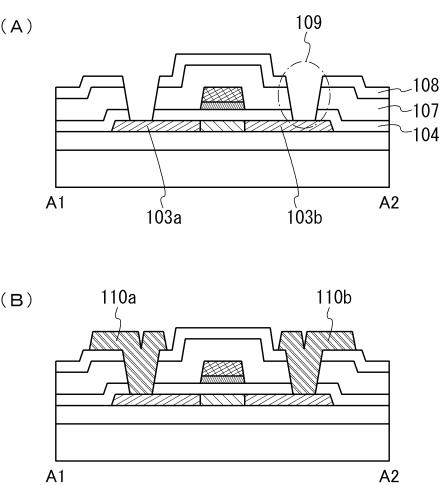
【図2】



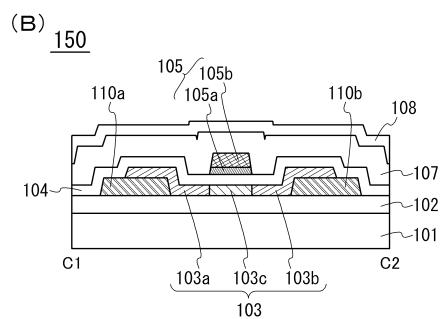
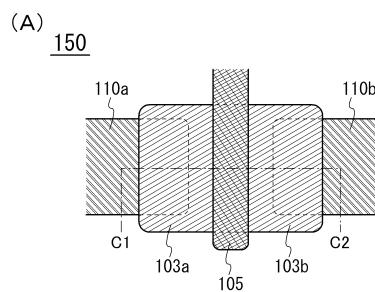
【図3】



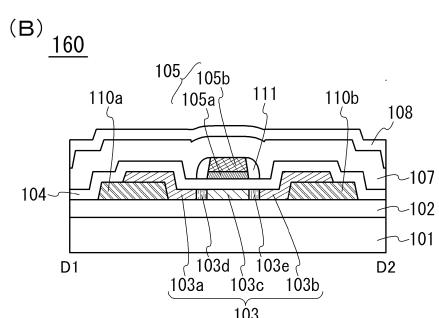
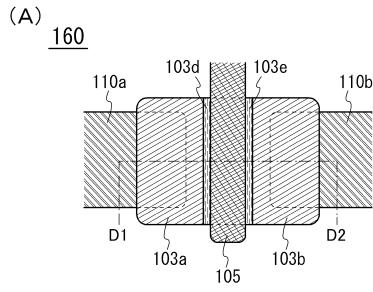
【図4】



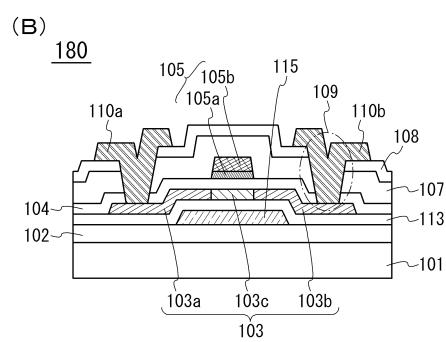
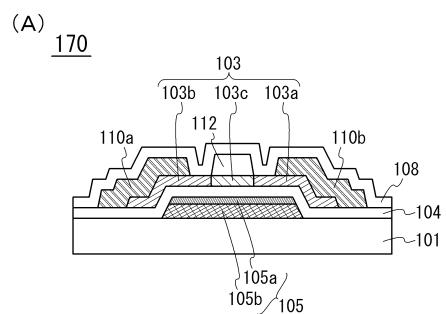
【図5】



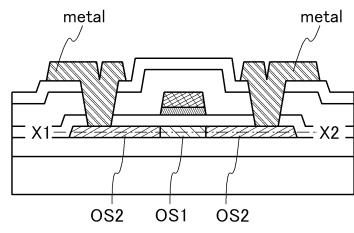
【図6】



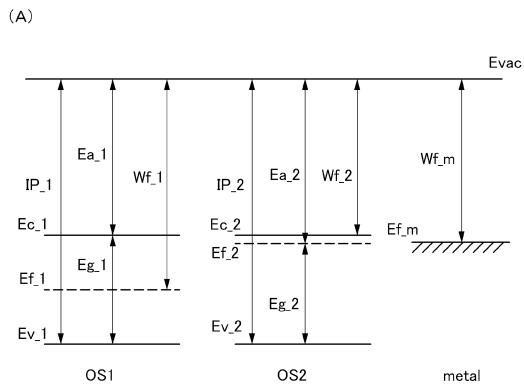
【図7】



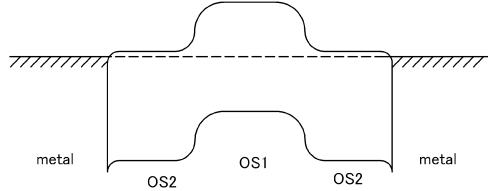
【図8】



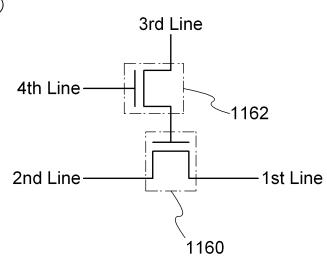
【図9】



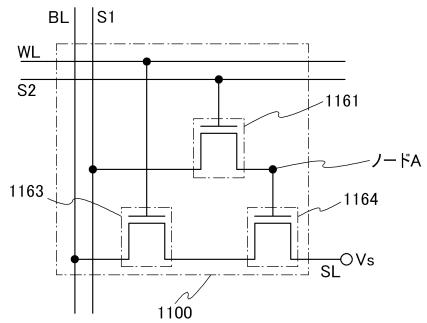
(B)



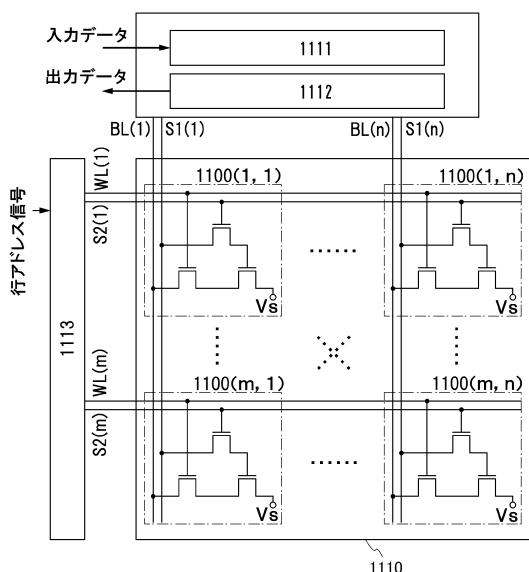
【図10】



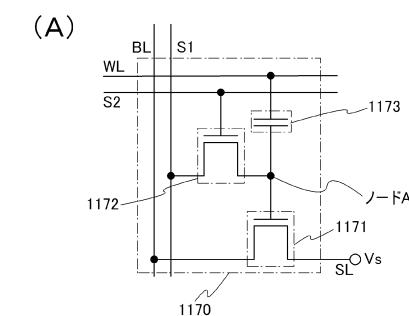
(B)



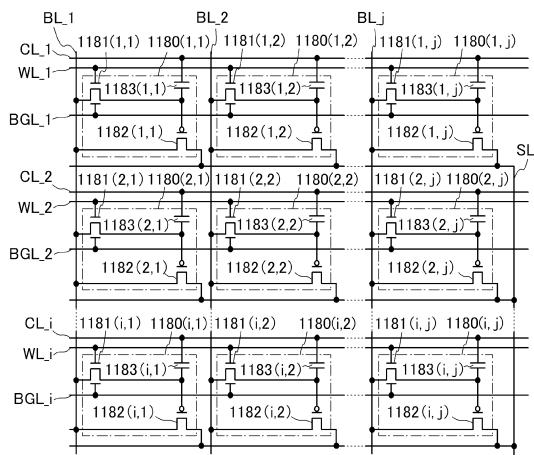
### 【図 1 1】



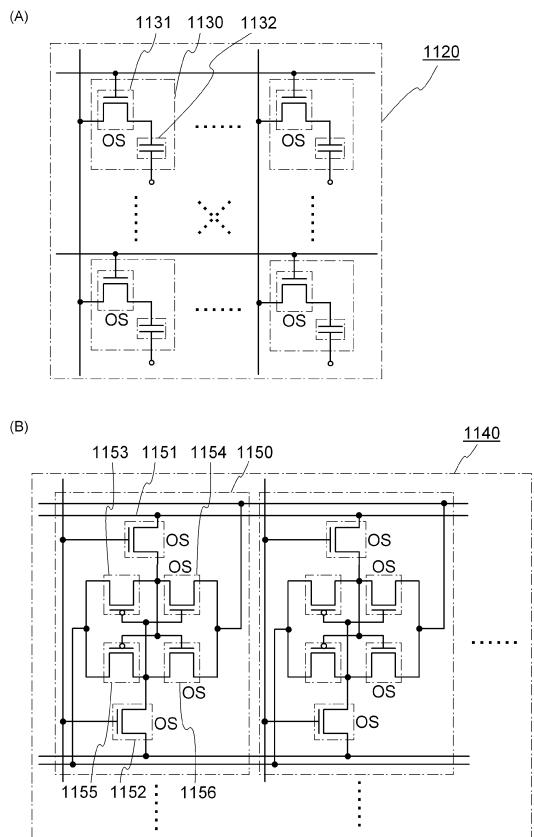
【図12】



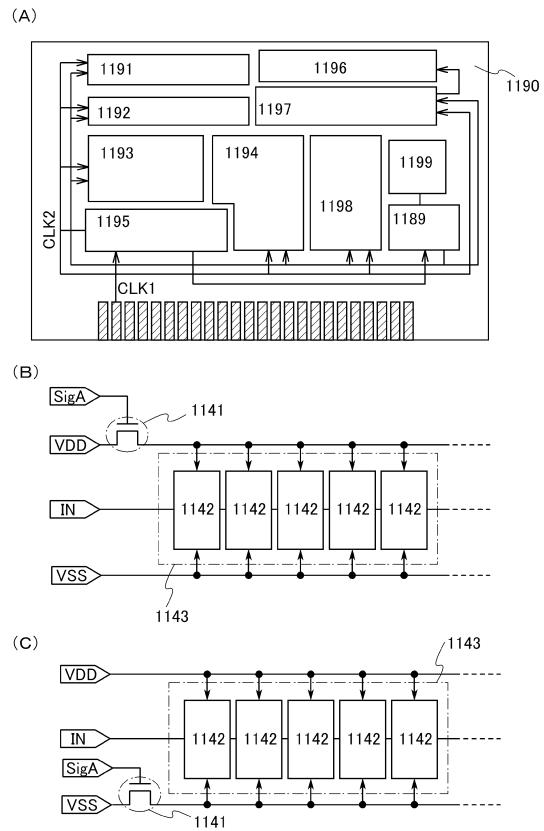
(B)



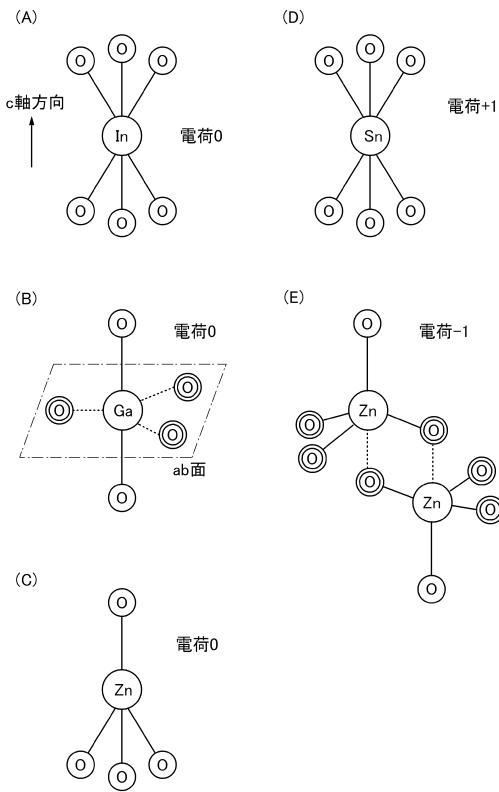
【図13】



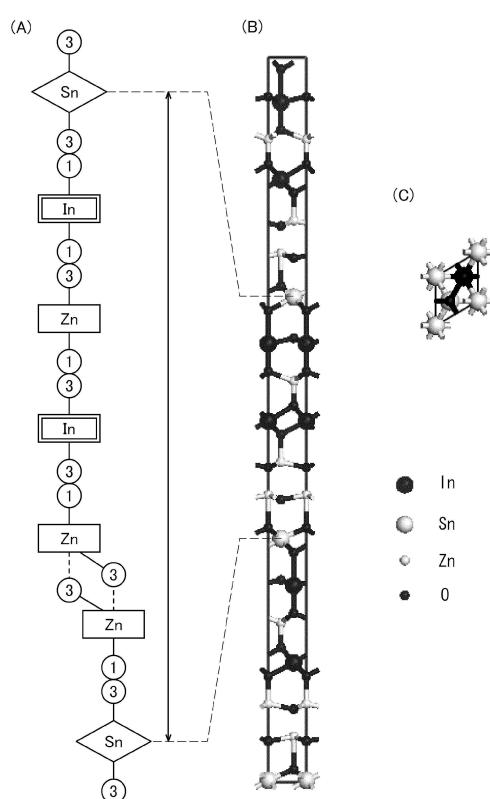
【 図 1 4 】



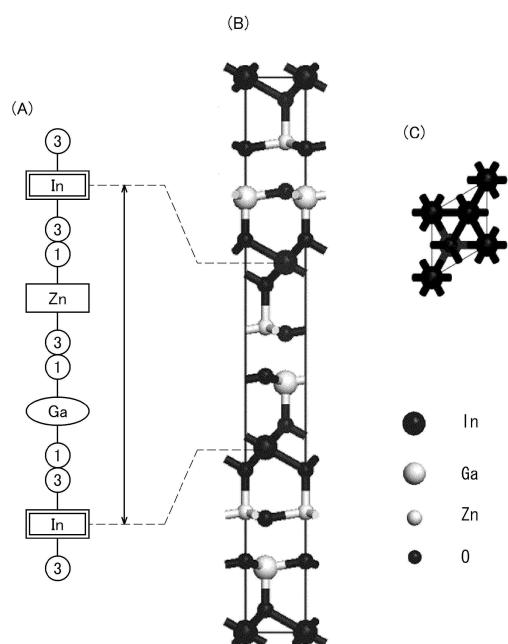
### 【図15】



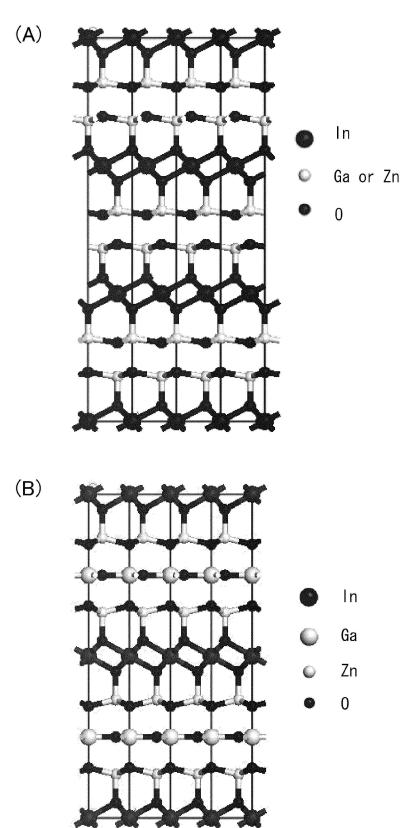
【 図 1 6 】



【図17】



【図18】



---

フロントページの続き

(51)Int.Cl.

F I

H 01 L 27/11

(58)調査した分野(Int.Cl., DB名)

H 01 L 21 / 336, 29 / 786