

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6280148号
(P6280148)

(45) 発行日 平成30年2月14日 (2018. 2. 14)

(24) 登録日 平成30年1月26日 (2018.1.26)

(51) Int. Cl.	F I				
HO 1 L 29/739 (2006.01)	HO 1 L	29/78	6 5 5 A		
HO 1 L 29/78 (2006.01)	HO 1 L	29/78	6 5 3 B		
HO 1 L 29/06 (2006.01)	HO 1 L	29/78	6 5 2 D		
	HO 1 L	29/78	6 5 2 K		
	HO 1 L	29/78	6 5 2 J		
請求項の数 8 (全 49 頁) 最終頁に続く					

(21) 出願番号	特願2016-58154 (P2016-58154)	(73) 特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(22) 出願日	平成28年3月23日 (2016. 3. 23)	(74) 代理人	110001195 特許業務法人深見特許事務所
(62) 分割の表示	特願2014-87359 (P2014-87359) の分割	(72) 発明者	中村 勝光 東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内
原出願日	平成20年3月31日 (2008. 3. 31)	審査官	棚田 一也
(65) 公開番号	特開2016-136643 (P2016-136643A)		
(43) 公開日	平成28年7月28日 (2016. 7. 28)		
審査請求日	平成28年3月23日 (2016. 3. 23)		
前置審査			
最終頁に続く			

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

互いに対向する第1主面および第2主面を有する半導体基板と、
前記第1主面側に形成されたゲート電極(5a)と、前記第1主面側に形成された第1電極(11)と、前記第2主面に接触して形成された第2電極(12)とを有する素子とを備え、

前記素子は、前記ゲート電極に加えられる電圧によりチャンネルに電界を発生させ、かつ前記チャンネルの電界によって前記第1電極と前記第2電極との間の電流を制御し、

前記第2主面に形成されたコレクタ領域をさらに備え、

前記コレクタ領域は、前記第2電極と接触する第1導電型のコレクタ拡散層(8)と、
前記コレクタ拡散層よりも前記第1主面側に形成された第2導電型のバッファ拡散層(7)と、第2導電型のドリフト拡散層(1)とを有し、前記ドリフト拡散層は前記バッファ拡散層よりも低い不純物濃度を有し、かつ前記バッファ拡散層と隣接して前記バッファ拡散層よりも前記第1主面側に形成され、

前記チャンネルとなる第1導電型のボディ拡散層(2)と、

前記ボディ拡散層と前記ドリフト拡散層(1)との間に形成された第2導電型の埋込拡散層(14、14a)とをさらに備え、

前記半導体基板の前記第1主面にはゲート用溝(1a)およびエミッタ用溝(1b)が形成されており、前記ゲート用溝(1a)内には前記ゲート電極(5a)が埋め込まれており、かつ前記エミッタ用溝(1b)内にはエミッタ電位となる導電層(5b)が埋め込

まれており、

前記埋込拡散層(14)は前記ゲート用溝に接触し、かつ前記エミッタ用溝に接触しないように形成されている、半導体装置。

【請求項2】

前記半導体基板の前記第1主面には前記ゲート用溝(1a)および前記エミッタ用溝(1b)が形成されており、前記埋込拡散層(14)における不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ となる位置よりも前記第2主面側に、前記ゲート用溝(1a)および前記エミッタ用溝(1b)は突出している、請求項1に記載の半導体装置。

【請求項3】

前記半導体基板の前記第1主面には複数の前記ゲート用溝(1a)および前記エミッタ用溝(1b)が形成されており、かつ前記複数の前記ゲート用溝(1a)および前記エミッタ用溝(1b)の各々は平面的に見て一の方向に配列されており、

前記埋込拡散層(14)は平面的に見て互いに隣り合う前記ゲート用溝(1a)と前記エミッタ用溝(1b)とに挟まれた領域にのみ形成されている、請求項1に記載の半導体装置。

【請求項4】

前記複数の前記ゲート用溝(1a)および前記エミッタ用溝(1b)の各々の配列方向に隣接して前記第1主面に形成され、かつ平面的に見て前記一の方向に延在し、かつ前記複数の前記ゲート用溝(1a)および前記エミッタ用溝(1b)の各々よりも深く形成された第1導電型のウェル層(41)をさらに備え、

前記ウェル層は前記埋込拡散層(14)よりも深く形成されている、請求項3に記載の半導体装置。

【請求項5】

互いに対向する第1主面および第2主面を有する半導体基板と、

前記第1主面側に形成されたゲート電極(5a)と、前記第1主面側に形成された第1電極(11)と、前記第2主面に接触して形成された第2電極(12)とを有する素子とを備え、

前記素子は、前記ゲート電極に加えられる電圧によりチャンネルに電界を発生させ、かつ前記チャンネルの電界によって前記第1電極と前記第2電極との間の電流を制御し、

前記第2主面に形成されたコレクタ領域をさらに備え、

前記コレクタ領域は、前記第2電極(12)と接触する第1導電型のコレクタ拡散層(8)と、前記コレクタ拡散層よりも前記第1主面側に形成された第2導電型のバッファ拡散層(7)と、第2導電型のドリフト拡散層(1)とを有し、前記ドリフト拡散層は前記バッファ拡散層よりも低い不純物濃度を有し、かつ前記バッファ拡散層と隣接して前記バッファ拡散層よりも前記第1主面側に形成され、

前記ドリフト拡散層を構成する不純物の単位面積あたりの原子数(S_N)に対する前記バッファ拡散層を構成する不純物の単位面積あたりの原子数(S_N)の比は0.05以上100以下であり、

前記チャンネルとなる第1導電型のボディ拡散層(2)と、

前記ボディ拡散層と前記ドリフト拡散層(1)との間に形成された第2導電型の埋込拡散層(14、14a)とをさらに備え、

前記半導体基板の前記第1主面にはゲート用溝(1a)およびエミッタ用溝(1b)が形成されており、前記ゲート用溝(1a)内には前記ゲート電極(5a)が埋め込まれており、かつ前記エミッタ用溝(1b)内にはエミッタ電位となる導電層(5b)が埋め込まれており、

前記埋込拡散層(14)は前記ゲート用溝に接触し、かつ前記エミッタ用溝に接触しないように形成されている、半導体装置。

【請求項6】

前記半導体基板の前記第1主面には前記ゲート用溝(1a)および前記エミッタ用溝(1b)が形成されており、前記埋込拡散層(14)における不純物濃度が $1 \times 10^{16} \text{ cm}$

10

20

30

40

50

⁻³となる位置よりも前記第2主面側に、前記ゲート用溝(1a)および前記エミッタ用溝(1b)は突出している、請求項5に記載の半導体装置。

【請求項7】

前記半導体基板の前記第1主面には複数の前記ゲート用溝(1a)および前記エミッタ用溝(1b)が形成されており、かつ前記複数の前記ゲート用溝(1a)および前記エミッタ用溝(1b)の各々は平面的に見て一方向に配列されており、

前記埋込拡散層(14)は平面的に見て互いに隣り合う前記ゲート用溝(1a)と前記エミッタ用溝(1b)とに挟まれた領域にのみ形成されている、請求項6に記載の半導体装置。

【請求項8】

前記複数の前記ゲート用溝(1a)および前記エミッタ用溝(1b)の各々の配列方向に隣接して前記第1主面に形成され、かつ平面的に見て前記一方向に延在し、かつ前記複数の前記ゲート用溝(1a)および前記エミッタ用溝(1b)の各々よりも深く形成された第1導電型のウェル層(41)をさらに備え、

前記ウェル層は前記埋込拡散層(14)よりも深く形成されている、請求項7に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置に関し、より特定的には、高耐圧半導体装置であるIGBT(Insulated Gate Bipolar Transistor)を備える半導体装置に関する。

【背景技術】

【0002】

数百Vを超える電圧を制御する高耐圧半導体装置(パワーデバイス)の分野では、その取扱う電流も大きなことから、発熱、すなわち損失を抑えた素子特性が要求される。また、それらの電圧・電流を制御するゲートの駆動方式としては、駆動回路が小さく、そこで損失の小さな電圧駆動素子が望ましい。

【0003】

近年、上記のような理由で、この分野では電圧駆動が可能で、損失の少ない素子として、絶縁ゲートバイポーラトランジスタ、すなわちIGBTが主流となってきている。このIGBTの構造は、MOS(Metal Oxide Semiconductor)トランジスタのドレインの不純物濃度を低くして耐圧を保たせるとともに、ドレイン抵抗を低くするためにドレイン側をダイオードとしたものとみなすことができる構造である。

【0004】

このようなIGBTにおいてはダイオードがバイポーラ動作をするため、本願においては、IGBTのMOSトランジスタのソース側をエミッタ側と呼び、ドレイン側をコレクタ側と呼ぶ。

【0005】

電圧駆動素子であるIGBTでは一般に、コレクタとエミッタ間に数百Vの電圧が印加され、その電圧が数V~数十Vのゲート電圧によって制御される。また、IGBTはインバータとして用いられることが多く、ゲートがオン状態にある場合にはコレクタ・エミッタ間の電圧は低いが、大電流が流れ、ゲートがオフ状態にある場合には電流は流れないがコレクタ・エミッタ間の電圧は高くなっている。

【0006】

通常は、上記のようなモードでIGBTの動作が行なわれるため、損失はオン状態での電流・電圧積である定常損失と、オン状態とオフ状態とが切替わる過渡時のスイッチング損失とに分けられる。オフ状態でのリーク電流・電圧積は非常に小さいため無視することができる。

【0007】

一方、たとえば負荷が短絡した場合など異常な状態にあっても、素子の破壊を防ぐこと

10

20

30

40

50

も重要である。この場合は、コレクタ・エミッタ間に数百Vの電源電圧が印加されたまま、ゲートがオンし、大電流が流れることになる。

【0008】

MOSトランジスタとダイオードとを直列に接続した構造を持つIGBTでは、MOSトランジスタの飽和電流で最大電流が制限される。このため、上記のような短絡時にも電流制限が働き、一定の時間発熱することによる素子の破壊を防ぐことができる。

【0009】

従来のIGBTの構造は、たとえば特開2004-247593号公報(特許文献1)に開示されている。特許文献1のIGBTは、ゲート電極と、ソース(エミッタ)電極と、ドレイン(コレクタ)電極と、n型基板とを主に備えている。n型基板の上面にはトレンチが形成されており、ゲート電極はこのトレンチの内部に埋め込まれている。n型基板内の上部にはp型ベース層が形成されており、p型ベース層の内部にはn⁺型ソース層とp⁺型ドレイン層とが形成されている。n⁺型ソース層とp⁺型ドレイン層とはn型基板の表面において互いに隣接している。そしてゲート電極と、n⁺型ソース層およびp型ベース層とは、n型基板の内部においてゲート絶縁膜を挟んで対向している。エミッタ電極はn⁺型ソース層およびp⁺型ドレイン層と電気的に接触している。n型基板の下面にはp⁺型ドレイン層が形成されており、コレクタ電極はn型基板の下面側においてp⁺型ドレイン層に接触している。n型基板の内部におけるp型ベース層とp⁺型ドレイン層との間には、n⁻型エピタキシャル層およびn型バッファ層が埋め込まれている。n⁻型エピタキシャル層はp型ベース層およびn型バッファ層と接触しており、n型バッファ層はp⁺型ドレイン層と接触している。

【0010】

また、特許文献1と同様の構造を有するIGBTは、たとえば特開2006-49933号公報(特許文献2)、特開2002-359373号公報(特許文献3)、特開平9-260662号公報(特許文献4)、米国特許第6,815,767号明細書(特許文献5)、米国特許第6,953,968号明細書(特許文献6)、および米国特許第6,781,199号明細書(特許文献7)にも開示されている。

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開2004-247593号公報

【特許文献2】特開2006-49933号公報

【特許文献3】特開2002-359373号公報

【特許文献4】特開平9-260662号公報

【特許文献5】米国特許第6,815,767号明細書

【特許文献6】米国特許第6,953,968号明細書

【特許文献7】米国特許第6,781,199号明細書

【発明の概要】

【発明が解決しようとする課題】

【0012】

パワーデバイスにおいては、1つのパッケージモジュール中に複数のIGBTおよびダイオードのチップを有しており、複数のIGBTは互いに並列に接続されている。パワーデバイスに使用されるIGBTの特性として重要なのが、オン電圧 $V_{CE(sat)}$ の温度依存性である。ここでオン電圧 $V_{CE(sat)}$ とは、任意の定格電流(密度) J_C を得るために必要なコレクタ・エミッタ間の電圧である。オン電圧 $V_{CE(sat)}$ の温度依存性が正、つまりIGBTの温度上昇とともにオン電圧 $V_{CE(sat)}$ が大きくなるのが、互いに並列に接続された複数のIGBTを動作させる(つまり、IGBTを並列的に動作させる)ことに適している。仮にオン電圧 $V_{CE(sat)}$ の温度依存性が負であると、IGBTを並列的に動作させる場合に、オン電圧 $V_{CE(sat)}$ の低いIGBTに電流が集中する。その結果、パッケージモジュールが誤作動を発生しやすくなり、破壊などの問題が起きやすくなる。

【0013】

従って、本発明の目的は、並列的な動作に適した半導体装置を得ることである。

【課題を解決するための手段】

【0014】

本発明の一の局面に従う半導体装置は、半導体基板と素子とを備えている。半導体基板は、互いに対向する第1主面および第2主面を有している。素子は、第1主面側に形成されたゲート電極と、第1主面側に形成された第1電極と、第2主面に接触して形成された第2電極とを有している。素子は、ゲート電極に加えられる電圧によりチャンネルに電界を発生させ、かつチャンネルの電界によって第1電極と第2電極との間の電流を制御する。半導体基板と第2電極との界面におけるスパイクの密度は0以上 3×10^8 個/cm²以下である。

10

【0015】

本発明の他の局面に従う半導体装置は、半導体基板と素子とを備えている。半導体基板は、互いに対向する第1主面および第2主面を有している。素子は、第1主面側に形成されたゲート電極と、第1主面側に形成された第1電極と、第2主面に接触して形成された第2電極とを有している。素子は、ゲート電極に加えられる電圧によりチャンネルに電界を発生させ、かつチャンネルの電界によって第1電極と第2電極との間の電流を制御する。半導体装置は第2主面に形成されたコレクタ領域をさらに備えている。コレクタ領域は、第2電極と接触する第1導電型のコレクタ拡散層と、コレクタ拡散層よりも第1主面側に形成された第2導電型のバッファ拡散層と、第2導電型のドリフト拡散層とを有している。ドリフト拡散層はバッファ拡散層よりも低い不純物濃度を有しており、かつバッファ拡散層と隣接してバッファ拡散層よりも第1主面側に形成されている。ドリフト拡散層を構成する不純物の単位面積あたりの原子数に対する前記バッファ拡散層を構成する不純物の単位面積あたりの原子数の比は0.05以上100以下である。

20

【発明の効果】

【0016】

本発明によれば、並列的な動作に適した半導体装置が得られる。

【図面の簡単な説明】

【0017】

【図1】本発明の実施の形態1における半導体装置の構成を示す概略断面図である。

30

【図2】本発明の実施の形態1における半導体装置の製造方法の第1工程を示す概略断面図である。

【図3】本発明の実施の形態1における半導体装置の製造方法の第2工程を示す概略断面図である。

【図4】本発明の実施の形態1における半導体装置の製造方法の第3工程を示す概略断面図である。

【図5】本発明の実施の形態1における半導体装置の製造方法の第4工程を示す概略断面図である。

【図6】本発明の実施の形態1における半導体装置の製造方法の第5工程を示す概略断面図である。

40

【図7】本発明の実施の形態1における半導体装置の製造方法の第6工程を示す概略断面図である。

【図8】本発明の実施の形態1における半導体装置の製造方法の第7工程を示す概略断面図である。

【図9】本発明の実施の形態1における半導体装置の製造方法の第8工程を示す概略断面図である。

【図10】本発明の実施の形態1における半導体装置の製造方法の第9工程を示す概略断面図である。

【図11】本発明の実施の形態1における半導体装置の製造方法の第10工程を示す概略断面図である。

50

【図12】スパイクが形成されたp型コレクタ領域とコレクタ電極との界面の状態を模式的に示す断面図である。

【図13】スパイクが形成されたp型コレクタ領域とコレクタ電極との界面の状態を模式的に示す平面図である。

【図14】本発明の実施の形態1におけるコレクタ・エミッタ間電圧 $V_{CE}(sat)$ と電流密度 J_C との関係の温度依存性を示す図である。

【図15】本発明の実施の形態1におけるスパイク密度とオン電圧の変化量との関係を示す図である。

【図16】本発明の実施の形態1におけるデバイスのオペレーション温度と $V_{CE}(sat)$ との関係のスパイク密度依存性を示す図である。

10

【図17】本発明の実施の形態1におけるコレクタ電極の膜厚とスパイク密度との関係を示す図である。

【図18】図1のXVII - XVII線に沿った濃度分布である。

【図19】図1のXIX - XIX線に沿った濃度分布である。

【図20】本発明の実施の形態2における $C_{P,P} / C_{P,N}$ と、 $V_{CE}(sat)$ およびエネルギーロス E_{off} との関係を示す図である。

【図21】本発明の実施の形態2における1200Vクラスの耐圧を有するIGBTにおける $C_{P,P} / C_{P,N}$ と、 $V_{CE}(sat)$ およびリーク電流密度 J_{CES} との関係を示す図である。

【図22】本発明の実施の形態2における $V_{CE}(sat)$ と J_C との関係の $C_{P,P} / C_{P,N}$ 依存性を示す図である。

20

【図23】本発明の実施の形態2における S_N / S_{N-} と、 $V_{CE}(sat)$ および降伏電圧 $B V_{CES}$ との関係を示す図である。

【図24】本発明の実施の形態2における $C_{S,P}$ および $C_{P,P}$ と、 $V_{CE}(sat)$ との関係の温度依存性を示す図である。

【図25】本発明の実施の形態2におけるデバイスのオペレーション温度と $V_{CE}(sat)$ との関係の $C_{S,P}$ および $C_{P,P}$ 依存性を示す図である。

【図26】本発明の実施の形態2における、 $5 \times 10^{15} < C_{S,P}$ 、 $1 \times 10^{16} < C_{P,P}$ の場合の $J_C - V_{CE}$ 特性の温度依存性を示す図である。

【図27】本発明の実施の形態2における、 $5 \times 10^{15} > C_{S,P}$ 、 $1 \times 10^{16} > C_{P,P}$ の場合の $J_C - V_{CE}$ 特性の温度依存性を示す図である。

30

【図28】本発明の実施の形態2における $D_{P,N}$ または D_{N-} と、 $V_{CE}(sat)$ および $B V_{CES}$ との関係を示す図である。

【図29】図1のXVII - XVII線に沿った濃度分布の他の例である。

【図30】本発明の実施の形態2における S_{N^+} / S_N と $V_{CE}(sat)$ との関係を示す図である。

【図31】本発明の実施の形態2における第2主面からの深さ x と $V_{CE}(sat)$ との関係を示す図である。

【図32】本発明の実施の形態2における x / L_{N-} と $V_{CE}(sat)$ との関係を示す図である。

【図33】本発明の実施の形態2における第2主面からの深さ x とキャリアライフタイムとの関係の一例を示す図である。

40

【図34】本発明の実施の形態2におけるレーザアニールの出力および拡散炉の温度と、キャリアライフタイムとの関係を示す図である。

【図35】本発明の実施の形態2におけるイオン注入量と、キャリア活性化率、 $V_{CE}(sat)$ および $B V_{CES}$ との関係を示す図である。

【図36】本発明の実施の形態3における半導体基板の第2主面を模式的に示す拡大断面図である。

【図37】本発明の実施の形態3における中心線平均粗さ R_a および最大高さ R_{max} と、破壊強度およびキャリアライフタイムとの関係を示す図である。

【図38】本発明の実施の形態3における R_a および R_{max} と、 J_{CES} および $V_{CE}(sat)$ との

50

関係を示す図である。

【図 3 9】本発明の実施の形態 4 における半導体装置の MOS トランジスタ部分の構成を示す断面図である。

【図 4 0】本発明の実施の形態 4 における半導体装置の第 1 の変形例の構成を示す断面図である。

【図 4 1】本発明の実施の形態 4 における半導体装置の第 2 の変形例の構成を示す断面図である。

【図 4 2】本発明の実施の形態 4 における半導体装置の第 3 の変形例の構成を示す断面図である。

【図 4 3】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

10

【図 4 4】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

【図 4 5】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

【図 4 6】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

【図 4 7】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

【図 4 8】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

20

【図 4 9】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

【図 5 0】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

【図 5 1】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

【図 5 2】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

【図 5 3】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

30

【図 5 4】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

【図 5 5】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

【図 5 6】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

【図 5 7】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

【図 5 8】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

40

【図 5 9】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

【図 6 0】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

【図 6 1】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

【図 6 2】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

【図 6 3】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略

50

断面図である。

【図 6 4】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

【図 6 5】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

【図 6 6】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

【図 6 7】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

【図 6 8】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

10

【図 6 9】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

【図 7 0】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

【図 7 1】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

【図 7 2】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

【図 7 3】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

20

【図 7 4】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

【図 7 5】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

【図 7 6】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

【図 7 7】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

【図 7 8】本発明の実施の形態 5 における MOS トランジスタ構造の派生構造を示す概略断面図である。

30

【図 7 9】本発明の実施の形態 6 における平面ゲート型 IGBT の各種の構成を示す概略断面図である。

【図 8 0】本発明の実施の形態 6 における平面ゲート型 IGBT の各種の構成を示す概略断面図である。

【図 8 1】本発明の実施の形態 6 における平面ゲート型 IGBT の各種の構成を示す概略断面図である。

【図 8 2】本発明の実施の形態 6 における平面ゲート型 IGBT の各種の構成を示す概略断面図である。

【図 8 3】本発明の実施の形態 6 における平面ゲート型 IGBT の各種の構成を示す概略断面図である。

40

【図 8 4】図 7 9 ~ 図 8 3 に示す構成におけるゲート電極 5 a の真下のキャリア (n 型不純物) の濃度分布を模式的に示す図である。

【図 8 5】n 型不純物拡散領域を形成した場合と形成しない場合とにおける、 V_{CE} と J_C との関係を示す図である。

【図 8 6】本発明の実施の形態 6 における S_{N14a} / S_{N-} と、 $V_{CE(sat)}$ 、 $J_{C,Break}$ および $V_{G,Break}$ との関係とを示す図である。

【図 8 7】本発明の実施の形態 7 における半導体装置のレイアウトを示す平面図である。

【図 8 8】図 8 7 の L X X X V I I I - L X V I I I 線に沿った断面図である。

【図 8 9】図 8 7 の L X X X I X - L X X X I X 線に沿った断面図である。

50

【図90】図88のXC-XC線に沿った不純物濃度分布である。

【図91】本発明の実施の形態7におけるY/Xと BV_{CES} との関係を示す図である。

【図92】本発明の実施の形態7における D_T と BV_{CES} との関係、および D_T と $E_{P/CS}$ または $E_{P/N}$ との関係を示す図である。

【図93】本発明の実施の形態7における $D_{T,Pwell}$ と BV_{CES} および BV_{CES} との関係を示す図である。

【図94】本発明の実施の形態7における平面ゲート型IGBTの各種の構成を示す概略断面図である。

【図95】本発明の実施の形態7における平面ゲート型IGBTの各種の構成を示す概略断面図である。

【図96】 W_{CS} および X_{CS} と V_{CE} および E_{SC} との関係を示す図である。

【図97】本発明の実施の形態7における半導体装置におけるn型エミッタ領域3および p^+ 不純物拡散領域6のレイアウトを示す平面図である

【図98】本発明の実施の形態7における半導体装置におけるn型エミッタ領域3および p^+ 不純物拡散領域6のレイアウトの変形例を示す平面図である

【図99】本発明の実施の形態7における $V_{CE(sat)}$ と $V_{CE(sat)}$ および E_{SC} との関係を示す図である。

【図100】本発明の実施の形態8におけるゲートパッドのレイアウトを模式的に示す平面図である。

【図101】ゲート電圧の発振現象を説明するための図である。

【図102】ゲート電圧の発振現象を説明するための図である。

【図103】本発明の実施の形態9におけるIGBTの主接合にブレイクダウン電圧よりもわずかに低い逆バイアスを印加した時の図1のXIX-XIX線に沿った電界強度分布を模式的に示す図である。

【図104】本発明の実施の形態9における接合面の電界強度と降伏電圧との関係を示す図である。

【発明を実施するための形態】

【0018】

以下、本発明の実施の形態について図面に基づいて説明する。

(実施の形態1)

図1は、本発明の実施の形態1における半導体装置の構成を示す概略断面図である。図1を参照して、本実施の形態の半導体装置は、たとえば600~6500Vの耐圧を有する半導体装置を想定すると、50~800 μ mの厚み t_1 を有する半導体基板に形成されたトレンチ型IGBTである。半導体基板は互いに対向する第1主面(上面)および第2主面(下面)を有している。n⁻ドリフト層(ドリフト拡散層)1は、たとえば600~6500Vの耐圧を有する半導体装置を想定すると、 $1 \times 10^{12} \sim 1 \times 10^{15} \text{ cm}^{-3}$ の濃度を有している。この半導体基板の第1主面側に、たとえば濃度が約 $1 \times 10^{15} \sim 1 \times 10^{18} \text{ cm}^{-3}$ で第1主面からの拡散深さが約1.0~4.0 μ mのp型半導体よりなるp型ボディ領域2が形成されている。p型ボディ領域2(ボディ拡散層)内の第1主面には、たとえば濃度が $1 \times 10^{18} \sim 1 \times 10^{20} \text{ cm}^{-3}$ で、第1主面からの拡散深さが約0.3~2.0 μ mのn型半導体よりなるn型エミッタ領域3が形成されている。このn型エミッタ領域3(第2エミッタ拡散層)と隣り合うように第1主面には、p型ボディ領域2への低抵抗コンタクトをとるための p^+ 不純物拡散領域6(第1エミッタ拡散層)が、たとえば $1 \times 10^{18} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度の濃度で、第1主面からの拡散深さがn型エミッタ領域3の深さ以下で形成されている。

【0019】

第1主面には、n型エミッタ領域3とp型ボディ領域2とを突き抜けてn⁻ドリフト層1に達するゲート用溝1aが形成されている。このゲート用溝1aは、第1主面からたとえば3~10 μ mの深さを有しており、ゲート用溝1aのピッチは、たとえば2.0 μ m~6.0 μ mである。このゲート用溝1aの内表面には、ゲート絶縁膜4aが形成されて

10

20

30

40

50

いる。このゲート絶縁膜4 aは、たとえばゲート絶縁膜の特性、信頼性およびデバイス歩留りを向上させる目的で、CVD法により形成されたシリコン酸化膜と熱酸化法により形成されたシリコン酸化膜もしくは窒素がSi/SiO₂界面に偏析しているシリコン窒化酸化膜との積層構造を有している。

【0020】

ゲート用溝1 a内を埋め込むように、たとえばリンが高濃度に導入された多結晶シリコンや、W/TiSi₂などの金属材料よりなるゲート電極5 aが形成されている。なお、ゲート電極5 aの低抵抗化のためにゲート電極5 aの表面にシリサイド層（たとえばTiSi₂、CoSiなど）が形成されていてもよい。このゲート電極5 aの上面上には、たとえばシリコン酸化膜よりなる絶縁膜2 2 Aが形成されている。またゲート電極5 aは、ゲート電位Gを与える制御電極に電氣的に接続されている。なお、ゲート電極5 aは第1主面側に形成されていればよい。

10

【0021】

このようにゲート用溝1 aとゲート絶縁膜4 aとゲート電極5 aとからゲートトレンチが構成されている。またn⁻ドリフト層1とn型エミッタ領域3とゲート電極5 aとから、n⁻ドリフト層1をドレインとし、n型エミッタ領域3をソースとし、ゲート絶縁膜4 aを挟んでゲート電極5 aと対向するp型ボディ領域2の部分をチャンネルとする絶縁ゲート型電界効果トランジスタ部（ここでは、MOSトランジスタ）が構成されている。すなわち、このMOSトランジスタは、ゲート電極5 aに加えられる電圧によりチャンネルに電界を発生させ、かつチャンネルの電界によってエミッタ電極1 1とコレクタ電極1 2との間の電流を制御する。このMOSトランジスタが第1主面には複数個配置されている。

20

【0022】

第1主面上には、たとえばシリケートガラスよりなる絶縁膜9と、CVD法により形成されたシリコン酸化膜よりなる絶縁膜2 2 Bとが形成されており、これらの絶縁膜9、2 2 Bには第1主面に達するコンタクトホール9 aが設けられている。コンタクトホール9 aの内表面および絶縁膜9、2 2 Bの上面上に沿うようにバリアメタル層1 0が形成されている。このバリアメタル層1 0と半導体基板との接する部分にはシリサイド層2 1 aが形成されている。このバリアメタル層1 0およびシリサイド層2 1 aを介して、n型エミッタ領域3およびp⁺不純物拡散領域6には、エミッタ電位Eを与えるエミッタ電極1 1（第1電極）が電氣的に接続されている。なお、エミッタ電極1 1は第1主面側に形成されていればよい。

30

【0023】

また、半導体基板の第2主面側にはp型コレクタ領域8（コレクタ拡散層）と、n型バッファ領域7（バッファ拡散層）とが形成されている。p型コレクタ領域8にはコレクタ電位Cを与えるコレクタ電極1 2（第2電極）が電氣的に接続されている。コレクタ電極1 2は半導体基板の第2主面側に形成されており、コレクタ電位Cを与える。このコレクタ電極1 2の材質は、たとえばアルミニウム化合物である。n型バッファ領域7は、p型コレクタ領域8よりも第1主面側に形成されている。n⁻ドリフト層1はn型バッファ領域7よりも低い不純物濃度を有しており、かつn型バッファ領域7と隣接してn型バッファ領域7よりも第1主面側に位置している。p型コレクタ領域8と、n型バッファ領域7と、n⁻ドリフト層1とによりコレクタ領域が構成されている。

40

【0024】

特にn型バッファ領域7を設けることにより、n型バッファ領域7がない場合に比べて、主接合リーク特性が減少し、耐圧が上昇する。また、ターンオフ時のI_Cの波形でテール電流が少なくなり、その結果、スイッチングロス（E_{OFF}）が低減する。

【0025】

また、n型バッファ領域7の拡散深さが浅くなるのは、MOSトランジスタ側の不純物拡散領域が形成された後にn型バッファ領域7を形成するためである。すなわち、MOSトランジスタ側の不純物拡散領域への高温熱処理による悪影響を抑止するために、n型バッファ領域7を形成する際に、低温アニール技術、もしくはレーザアニールのように局所

50

的に高温化するアニーリング技術を用いるためである。

【0026】

本実施の形態の半導体装置においては、たとえばインバータ接続時には、エミッタ電位を基準に、制御電極のゲート電位Gはオフ状態では-1.5Vに、オン状態では+1.5Vに設定されたパルス状の制御信号であり、コレクタ電極12のコレクタ電位Cはゲート電位Gに従って概ね電源電圧と飽和電圧との間の電圧とされる。

【0027】

次に、本実施の形態の製造方法について説明する。

図2～図11は、本発明の実施の形態1における半導体装置の製造方法を工程順に示す概略断面図である。まず図2を参照して、n⁻ドリフト層1を含む半導体基板の第1主面に、たとえばピーク濃度が $1 \times 10^{15} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 、第1主面からの拡散深さが1.0～4.0μmのp型ボディ領域2が形成される。次に、第1主面上に、マスク層31が形成される。

10

【0028】

図3を参照して、マスク層31がパターニングされる。このパターニングされたマスク層31をマスクとして、たとえばイオン注入などが施されることにより、p型ボディ領域2内の第1主面に表面濃度が $1.0 \times 10^{18} \sim 1.0 \times 10^{20} \text{ cm}^{-3}$ 、第1主面からの拡散深さが0.3～2.0μmのn型エミッタ領域3が形成される。この後、マスク層31が除去される。

【0029】

20

図4を参照して、第1主面上に、たとえば熱酸化により形成されたシリコン酸化膜32と、CVD法により形成されたシリコン酸化膜33とが順に形成される。このシリコン酸化膜32、33が、通常の写真製版技術およびエッチング技術によりパターニングされる。このパターニングされたシリコン酸化膜32、33をマスクとして半導体基板に異方性エッチングが施される。これにより、n型エミッタ領域3とp型ボディ領域2とを突き抜けてn⁻ドリフト層1に達するゲート用溝1aが形成される。

【0030】

図5を参照して、等方性プラズマエッチングおよび犠牲酸化などの処理を行なうことにより、ゲート用溝1aの開口部と底部とが丸くなり、かつゲート用溝1aの側壁の凹凸が平坦化される。また上記の犠牲酸化により、ゲート用溝1aの内表面に犠牲酸化膜32aが熱酸化膜32と一体化するように形成される。このように等方性プラズマエッチングおよび犠牲酸化を施すことにより、ゲート用溝1aの内表面に形成されるゲート絶縁膜の特性を向上させることが可能となる。この後、酸化膜32、32a、33が除去される。

30

【0031】

図6を参照して、上記酸化膜の除去により、半導体基板の第1主面およびゲート用溝1aの内表面が露出する。

【0032】

図7を参照して、ゲート用溝1aの内表面および第1主面に沿うように、たとえばシリコン酸化膜よりなるゲート絶縁膜4aが形成される。ゲート用溝1a内を埋め込むように、たとえばリンが高濃度に導入された多結晶シリコンもしくは不純物の導入されていない多結晶シリコンにリンがイオン注入により導入された材料や、W(タングステン)/TiSi₂(チタンシリサイド)などのメタル材料からなる導電層5が表面全面に形成される。

40

【0033】

なおゲート絶縁膜4aとしては、ゲート絶縁膜としての特性、信頼性およびデバイス歩留まりを向上させる目的で、CVD法により形成したシリコン酸化膜と熱酸化により形成したシリコン酸化膜もしくは窒素がシリコンと酸化シリコンとの界面に偏析した窒化酸化膜とからなる積層構造が用いられることが好ましい。

【0034】

この後、通常の写真製版技術およびエッチング技術により、導電層5がパターニングさ

50

れる。

【 0 0 3 5 】

図 8 を参照して、このパターニングにより、導電層がゲート用溝 1 a 内に残存されてゲート電極 5 a が形成される。ここで、ゲート電極 5 a の低抵抗化のためにゲート電極 5 a の表面にシリサイド層（たとえば $TiSi_2$ 、 $CoSi$ など）が形成されてもよい。この後、ゲート電極 5 a の上面が酸化されることにより、たとえばシリコン酸化膜よりなる絶縁膜 2 2 A が形成される。この後、たとえば第 1 主面における表面濃度が $1.0 \times 10^{18} \sim 1.0 \times 10^{20} \text{ cm}^{-3}$ 、第 1 主面からの拡散深さが n 型エミッタ領域 3 よりも浅い p^+ 不純物拡散領域 6 が形成される。

【 0 0 3 6 】

図 9 を参照して、第 1 主面上にたとえばシリケートガラスよりなる絶縁膜 9 と、CVD 法により形成したシリコン酸化膜よりなる絶縁膜 2 2 B とが順に形成される。この絶縁膜 9、2 2 B に、通常の写真製版技術およびエッチング技術によりコンタクトホール 9 a が形成される。

【 0 0 3 7 】

図 10 を参照して、たとえば金属層よりなるバリアメタル層 10 がスパッタリング法により形成される。この後、ランプアニールが施されてバリアメタル層 10 と半導体基板との接触部にシリサイド層 2 1 a が形成される。この後、エミッタ電極 1 1 が形成される。

【 0 0 3 8 】

図 11 を参照して、半導体基板の第 2 主面側の n^- ドリフト層 1 が研磨される。この研磨により、半導体基板の厚み t_1 は、MOS トランジスタの必要な耐圧に応じて調整される。たとえば $600 \text{ V} \sim 6500 \text{ V}$ の耐圧を有する IGBT を製造するには、 n^- ドリフト層 1 の厚み t_3 (図 1) は $50 \sim 800 \mu\text{m}$ となる。研磨後は、研磨された面の結晶性を回復するために、半導体基板の第 2 主面のエッチングなどが行なわれる。

【 0 0 3 9 】

その後、半導体基板の第 2 主面にたとえばイオン注入法により n 型不純物および p 型不純物を注入した後に、不純物を拡散させる。もしくは、n 型不純物および p 型不純物を注入した直後に、それぞれの不純物の注入深さに応じた熱処理を行なう。その結果、n 型バッファ領域 7 および p 型コレクタ領域 8 が形成される。さらにコレクタ電極 1 2 が形成されて図 1 に示す半導体装置が完成する。コレクタ電極 1 2 は、たとえばアルミニウムその他の、p 型コレクタ領域 8 とのオーミック接触性が得られるメタル材料からなる。

【 0 0 4 0 】

なお、本実施の形態においては、図 11 に示すようにエミッタ電極 1 1 を形成した後に n^- ドリフト層 1 の第 2 主面を研磨し、n 型バッファ領域 7 および p 型コレクタ領域 8 を形成してもよい。また、図 2 に示すように p 型ボディ領域 2 を形成する前に第 2 主面を研磨してもよい。また、図 9 に示すようにコンタクトホール 9 a の開口後もしくは開口前に第 2 主面を研磨し、n 型バッファ領域 7 および p 型コレクタ領域 8 を形成してもよい。

【 0 0 4 1 】

本実施の形態において、半導体基板とコレクタ電極 1 2 との界面におけるスパイク密度（p 型コレクタ領域 8 を形成する半導体材料とコレクタ電極 1 2 中の p 型コレクタ領域 8 側のメタル材料との反応により形成される合金からなるスパイクの密度）は 0 以上 3×10^8 個 / cm^2 以下である。

【 0 0 4 2 】

図 1 2 および図 1 3 は、スパイクが形成された p 型コレクタ領域とコレクタ電極との界面の状態を模式的に示す図である。図 1 2 は断面図、図 1 3 は平面図である。図 1 2 および図 1 3 を参照して、p 型コレクタ領域 8 とコレクタ電極 1 2 との界面には、通常、複数のスパイクが形成されている。スパイクとは、コレクタ電極 1 2 を構成する材料と p 型コレクタ領域 8 を構成する材料との合金よりなる、たとえば四角錐や八角錐の形状を有する突起（または凹部）である。ここで、コレクタ電極 1 2 が多層膜で形成されている場合には、スパイクは、p 型コレクタ領域 8 に直接接触する層 1 2 a を構成する材料と p 型コレ

10

20

30

40

50

クタ領域 8 を構成する材料との合金より形成される。

【 0 0 4 3 】

スパイク密度は、たとえば以下の方法によって測定される。始めに、薬液を用いてコレクタ電極 1 2 を溶解し、半導体基板から除去する。そして、露出された半導体基板の第 2 主面を顕微鏡で観察し、第 2 主面に存在する四角錐や八角錐などの凹部の個数を数える。その結果、得られた個数を観察した面積で割った値をスパイク密度と定義する。

【 0 0 4 4 】

スパイク密度が大きくなると、低温 (2 9 8 K 以下) での p 型コレクタ領域 8 の不純物のイオン化率が低下し、p 型コレクタ領域 8 から n 型バッファ領域 7 へのキャリア (ホール) の実効的な注入効率が低下する。このため、I G B T の $J_c - V_{CE}$ 特性はスパイク密度に依存する。

10

【 0 0 4 5 】

スパイク密度を 0 以上 3×10^8 個 / cm^2 以下とすることによって、以下の効果を得ることができる。図 1 4 は、本発明の実施の形態 1 におけるコレクタ・エミッタ間電圧と電流密度との関係の温度依存性を示す図である。図 1 4 を参照して、 $V_{CE}(sat)$ は、任意の定格電流密度に対応するエミッタ・コレクタ間電圧である。2 9 8 K および 3 9 8 K の温度では、スパイク密度が 3×10^8 個 / cm^2 以上の場合であっても 3×10^8 個 / cm^2 以下の場合であってもほぼ同じ曲線となっている。一方、2 3 3 K の温度では、スパイク密度が 3×10^8 個 / cm^2 以下の場合のエミッタ・コレクタ間電圧が著しく増加している。

【 0 0 4 6 】

20

図 1 5 は、本発明の実施の形態 1 におけるスパイク密度とオン電圧の変化量との関係を示す図である。図 1 5 は、p 型コレクタ領域 8 および n 型バッファ領域 7 の条件 (濃度、深さ) を一定にした場合の結果である。また、図 1 5 におけるオン電圧の変化量 V_{on} は、2 9 8 K におけるコレクタ・エミッタ間電圧 $V_{CE}(sat)$ (2 9 8 K) から 2 3 3 K におけるコレクタ・エミッタ間電圧 $V_{CE}(sat)$ (2 3 3 K) を引いた値である。図 1 5 を参照して、スパイク密度 D_{spike} が 3×10^8 個 / cm^2 以下の場合には、2 9 8 K におけるコレクタ・エミッタ間電圧 $V_{CE}(sat)$ は、2 3 3 K におけるコレクタ・エミッタ間電圧 $V_{CE}(sat)$ 以上の値である。一方、スパイク密度 D_{spike} が 3×10^8 個 / cm^2 を超える場合には、2 9 8 K におけるコレクタ・エミッタ間電圧 $V_{CE}(sat)$ は、2 3 3 K におけるコレクタ・エミッタ間電圧 $V_{CE}(sat)$ 未満の値となる。

30

【 0 0 4 7 】

図 1 6 は、本発明の実施の形態 1 におけるデバイスのオペレーション温度とコレクタ・エミッタ間電圧との関係のスパイク密度依存性を示す図である。図 1 6 を参照して、スパイク密度 D_{spike} が 3×10^8 個 / cm^2 以下の場合には、電圧 $V_{CE}(sat)$ の温度依存性が正であるのに対して、スパイク密度 D_{spike} が 3×10^8 個 / cm^2 以上の場合には、2 9 8 K 未満の領域で電圧 $V_{CE}(sat)$ の温度依存性が負である。

【 0 0 4 8 】

以上より、本実施の形態のように半導体基板とコレクタ電極 1 2 との界面におけるスパイク密度を 0 以上 3×10^8 個 / cm^2 以下とすることにより、コレクタ・エミッタ間電圧 V_{CE} の温度依存性を正にすることができる。その結果、I G B T を並列的に動作させる場合に、電圧 V_{CE} の低い I G B T への電流の集中がなくなり、並列的な動作に適した半導体装置を得ることができる。

40

【 0 0 4 9 】

スパイク密度は、たとえばコレクタ電極の材質、熱処理条件、またはコレクタ電極の膜厚によって制御することができる。コレクタ電極の材質としては、Al、AlSi、Ti、および金属を含むシリサイドが適している。金属を含むシリサイドとしては、Ti を含むシリサイド、Ni を含むシリサイド、または Co を含むシリサイドが挙げられる。また、コレクタ電極の材質としては、たとえば Al や AlSi などの、接触する半導体層 (図 1 では p 型コレクタ領域 8) との間でオーミック抵抗性を示す材料が好ましい。半導体基板の材質としては、Si、SiC、GaN、または Ge が適している。特にコレクタ電極

50

としてシリサイドを使用した場合には、半導体基板とコレクタ電極との界面にスパイクが存在しなくなる。シリサイドよりなるコレクタ電極は、Si、SiC、GaN、またはGeなどよりなる半導体基板の第2主面にTi、Co、またはNiなどよりなる金属を形成し、熱処理を施すことにより形成される。

【0050】

また、コレクタ電極の膜厚は200nm以上であることが好ましい。図17は、本発明の実施の形態1におけるコレクタ電極の膜厚とスパイク密度との関係を示す図である。図17を参照して、コレクタ電極の膜厚が200nm以上である場合には、スパイク密度が 3×10^8 個/cm²以下となっている。一方、製造限界の観点から、コレクタ電極の膜厚は10000nm以下であることが好ましい。

10

【0051】

上記のような、コレクタ電極の材質、熱処理条件、またはコレクタ電極の膜厚を適宜組み合わせることにより、スパイク密度を0以上 3×10^8 個/cm²以下とすることができる。

【0052】

なお、本実施の形態においては図1に示す構成を有するIGBTである場合について示した。しかし、本発明の半導体装置は、図1の構成のものに限定されず、互いに対向する第1主面および第2主面を有する半導体基板と、素子とを備えるものであればよい。この素子は、第1主面側に形成されたゲート電極と、第1主面側に形成された第1電極と、前記第2主面に接触して形成された第2電極とを有している。この素子は、ゲート電極に加えられる電圧によりチャンネルに電界を発生させ、かつチャンネルの電界によって第1電極と前記第2電極との間の電流を制御する。さらに、ダイオードのようなデバイス構造でもよい。

20

【0053】

(実施の形態2)

図18は、図1のXVII-XVII線に沿った濃度分布である。図19は、図1のXIX-XIX線に沿った濃度分布である。なお、図18には、従来におけるp型不純物またはn型不純物の濃度分布もあわせて示されている。

【0054】

図18および図19を参照して、濃度 $C_{s,p}$ は、コレクタ電極12とp型コレクタ領域8との界面(半導体基板の第2主面)におけるp型コレクタ領域8の不純物濃度であり、濃度 $C_{p,p}$ は、p型コレクタ領域8の不純物濃度の最大値である。濃度 $C_{p,N}$ は、n型バッファ領域7の不純物濃度の最大値である。濃度 $C_{s,ub}$ は、n⁻ドリフト層1の不純物濃度である。深さ D_p は、p型コレクタ領域8とn型バッファ領域7との接合面までの第2主面からの深さである。深さ $D_{p,N}$ は、n型バッファ領域7における濃度 $C_{p,N}$ となる位置までの第2主面からの深さである。深さ D_{N-} は、n型バッファ領域7とn⁻ドリフト層1との接合面までの第2主面からの深さである。なお、後述の図29で示すようにn型中間層7aが形成されている場合には、深さ D_N は、n型バッファ領域7とn型中間層7aとの接合面の第2主面からの深さである。 τ_p はp型コレクタ領域8のキャリアライフタイムであり、 τ_N はn型バッファ領域7のキャリアライフタイムであり、 τ_{N-} はn⁻ドリフト層1のキャリアライフタイムである。 τ_x は第2主面からxの深さにある位置のキャリアライフタイムである。 S_N はn型バッファ領域7を構成する不純物の単位面積あたりの原子数(atom/cm²)であり、 S_{N-} はn⁻ドリフト層1を構成する不純物の単位面積あたりの原子数(atom/cm²)である。所望の領域における不純物の単位面積あたりの原子数は、その領域における不純物濃度プロファイルを深さ方向全体にわたって積分することによって求められる。

30

40

【0055】

本願発明者は、p型コレクタ領域8とn型バッファ領域7とn⁻ドリフト層1との関係を以下の条件とすることによって、IGBTの異常動作を抑止できることを見出した。ここで、IGBTの異常動作を抑止するとは、以下のことを意味している。

50

【0056】

a. 298 K以下の温度で $J_c - V_{CE}$ 特性にスナップバック (snap back) 特性が発生しないこと。

【0057】

b. 298 K以下の低温でもIGBTがオンすること。

c. 所望の耐圧を有する、または398 K以上においてIGBTが熱暴走しないこと。

【0058】

図20は、本発明の実施の形態2における $C_{P,P}/C_{P,N}$ と、 $V_{CE}(\text{sat})$ およびターンオフ時のエネルギーロス E_{Off} との関係を示す図である。 E_{Off} とは、スイッチングデバイスがターンオフする際のエネルギーロスである。 $V_{\text{snap-back}}$ とは、スナップバック特性が生じた場合の図22中に示すポイントAでのコレクタ・エミッタ間電圧である。図21は、本発明の実施の形態2におけるIGBTにおける $C_{P,P}/C_{P,N}$ と、 $V_{CE}(\text{sat})$ およびリーク電流密度 J_{CES} との関係を示す図である。リーク電流密度 J_{CES} とは、ゲート・エミッタ間をショートした状態でのコレクタ・エミッタ間のリーク電流密度である。図20および図21を参照して、n型バッファ領域7の不純物濃度の最大値に対するp型コレクタ領域8の不純物濃度の最大値の比 $C_{P,P}/C_{P,N}$ が $C_{P,P}/C_{P,N} < 1$ の場合には、スナップバック特性が発生し、それに伴うスナップバック電圧 $V_{\text{snap-back}}$ が発生する。その結果、図22に示すように、 $C_{P,P}/C_{P,N} < 1$ の場合には、任意の電流密度に対する $V_{CE}(\text{sat})$ が増加する。また、 $C_{P,P}/C_{P,N} > 1 \times 10^3$ の場合には、 J_{CES} が増加し、IGBTの熱暴走が発生する。以上より、IGBTの異常動作を抑止するためには、 $1 < C_{P,P}/C_{P,N}$

10

20

【0059】

図23は、本発明の実施の形態2における S_N/S_{N-} と、 $V_{CE}(\text{sat})$ および降伏電圧 $B V_{\text{CES}}$ との関係を示す図である。降伏電圧 $B V_{\text{CES}}$ とは、コレクタ・エミッタ間をショートさせた状態でのコレクタ・エミッタ間の降伏電圧である。図23を参照して、nドリフト層1を構成する不純物の単位面積あたりの原子数 (atom/cm^2) に対するn型バッファ領域7を構成する不純物の単位面積あたりの原子数 (atom/cm^2) の比 S_N/S_{N-} が $0.05 < S_N/S_{N-}$ の場合には、高い降伏電圧 $B V_{\text{CES}}$ が得られている。また、 S_N/S_{N-} が $S_N/S_{N-} < 100$ の場合には、スナップバック特性が抑制されており、かつエミッタ・コレクタ間電圧 $V_{CE}(\text{sat})$ も低く抑えられている。以上より、IGBTの異常動作を抑止し、並列動作を可能とするためには、 $0.05 < S_N/S_{N-} < 100$ であることが好ましい。

30

【0060】

図24は、本発明の実施の形態2における $C_{S,P}$ および $C_{P,P}$ と、 $V_{CE}(\text{sat})$ との関係の温度依存性を示す図である。図24を参照して、233 K、298 K、および398 Kいずれの温度の場合でも、 $5 \times 10^{15} < C_{S,P}$ 、 $1 \times 10^{16} < C_{P,P}$ とすることで、エミッタ・コレクタ間電圧 $V_{CE}(\text{sat})$ が大きく低下している。また、製造限界を考慮すると、 $C_{S,P} > 1.0 \times 10^{22} \text{ cm}^{-3}$ 、 $C_{P,P} > 1.0 \times 10^{22} \text{ cm}^{-3}$ であることが好ましい。

【0061】

図25は、本発明の実施の形態2におけるデバイスのオペレーション温度と $V_{CE}(\text{sat})$ との関係の $C_{S,P}$ および $C_{P,P}$ 依存性を示す図である。図26および図27は、本発明の実施の形態2における $J_c - V_{CE}$ 特性の温度依存性を示す図である。図24～図27を参照して、 $5 \times 10^{15} < C_{S,P}$ 、 $1 \times 10^{16} < C_{P,P}$ の場合には $V_{CE}(\text{sat})$ の温度依存性が正になることが分かる。

40

【0062】

以上より、IGBTの異常動作を抑止するためには、 $5 \times 10^{15} < C_{S,P}$ 、 $1 \times 10^{16} < C_{P,P}$ であることが好ましい。

【0063】

図28は、本発明の実施の形態2における $D_{P,N}$ または D_{N-} と、 $V_{CE}(\text{sat})$ および $B V_{\text{CES}}$ との関係を示す図である。図28を参照して、n型バッファ領域7における濃度 $C_{P,N}$ と

50

なる位置までの第2主面からの深さ $D_{P,N}$ が $0.4\ \mu\text{m} < D_{P,N}$ の場合、またはn型バッファ領域7とnドリフト層1との接合面の第2主面からの深さ D_N が $0.4\ \mu\text{m} < D_N$ の場合には、高い降伏電圧 $B V_{CES}$ および低いエミッタ・コレクタ間電圧 $V_{CE}(\text{sat})$ が得られている。一方、 $D_{P,N} > 50\ \mu\text{m}$ の場合または $D_N > 50\ \mu\text{m}$ の場合には、スナップバック特性が発生している。

【0064】

以上より、IGBTの異常動作を抑止するためには、 $0.4\ \mu\text{m} < D_{P,N} < 50\ \mu\text{m}$ 、 $0.4\ \mu\text{m} < D_N < 50\ \mu\text{m}$ であることが好ましい。

【0065】

図29は、図1のXVII-XVII線に沿った濃度分布の他の例である。図29を参照して、コレクタ領域はn型中間層7aをさらに有していてもよい。n型中間層7aの不純物濃度の最大値 C_{P,N^*} は、n型バッファ領域7の不純物濃度の最大値 $C_{P,N}$ よりも低く、nドリフト層1の不純物濃度 C_{sub} よりも高い。またn型中間層7aは、n型バッファ領域7およびnドリフト層1の両方に接触している。深さ D_N は、n型バッファ領域7とn型中間層7aとの接合面の第2主面からの深さである。深さ D_{N^*} は、n型中間層7aとnドリフト層1との接合面の第2主面からの深さである。 S_{N^*} はn型中間層7aを構成する不純物の単位面積あたりの原子数(atom/cm^2)である。n型中間層7aは、n型バッファ領域7の一部へ不純物イオンを注入することによって形成されてもよい。また、プロトンの照射などの方法で、ライフタイムキラーとなる結晶欠陥を生成するイオンをn型バッファ領域7の一部へ注入することによって形成されてもよい。

【0066】

図30は、本発明の実施の形態2における S_{N^*}/S_N と $V_{CE}(\text{sat})$ との関係を示す図である。図30を参照して、n型バッファ領域7を構成する不純物の単位面積あたりの原子数(atom/cm^2)に対するn型中間層7aを構成する不純物の単位面積あたりの原子数(atom/cm^2)の比 S_{N^*}/S_N が $0.5 < S_{N^*}/S_N$ の場合に、スナップバック特性が発生している。

【0067】

以上より、IGBTの異常動作を抑止するためには、 $0 < S_{N^*}/S_N < 0.5$ であることが好ましい。

【0068】

図31は、本発明の実施の形態2における第2主面からの深さ x と $V_{CE}(\text{sat})$ との関係を示す図である。図32は、本発明の実施の形態2における x/N_N と $V_{CE}(\text{sat})$ との関係を示す図である。図33は、本発明の実施の形態2における第2主面からの深さ x とキャリアライフタイムとの関係の一例を示す図である。特に図33を参照して、第2主面近傍の半導体基板内には、p型コレクタ領域8およびn型バッファ領域7を形成するためのイオン注入の際に欠陥が導入される。n型バッファ領域7を形成する際にはp型コレクタ領域8を形成する際よりも深く不純物を注入する必要があるため、n型バッファ領域7はp型コレクタ領域8よりも高温でアニールする必要がある。その結果、n型バッファ領域7にアニールによる熱ストレスが発生し、n型バッファ領域7のキャリアライフタイム τ_{N} はp型コレクタ領域8のキャリアライフタイム τ_p よりも低くなる。また、n型バッファ領域7およびp型コレクタ領域8のキャリアライフタイムは、nドリフト層1のキャリアライフタイム τ_{N_1} よりも低くなる。

【0069】

そこで、特に第2主面からの深さ x が $0.50\ \mu\text{m} < x < 60.0\ \mu\text{m}$ である領域において、nドリフト層1のキャリアライフタイム τ_{N_1} に対する第2主面から深さ x の位置のキャリアライフタイム τ_x の比 τ_x/τ_{N_1} を、 $1 \times 10^{-6} < \tau_x/\tau_{N_1} < 1$ とすることにより、特に図31および図32に示すように、コレクタ・エミッタ間電圧 $V_{CE}(\text{sat})$ が著しく低減される。

【0070】

ここで、キャリアライフタイムが低下する原因は、p型コレクタ領域8およびn型バッ

10

20

30

40

50

ファ領域 7 を形成する際のイオン注入の際に、p 型コレクタ領域 8 および n 型バッファ領域 7 に欠陥が導入されることにある。キャリアライフタイムを向上するためには、欠陥が導入された部分をアニールする方法が有効である。次に、アニール技術とキャリアライフタイムとの関係を示す。

【 0 0 7 1 】

図 3 4 は、本発明の実施の形態 2 におけるレーザアニールの出力および拡散炉の温度と、キャリアライフタイムとの関係を示す図である。図 3 4 を参照して、拡散炉でアニールを行なう場合には、拡散炉の温度を高くしすぎるとキャリアライフタイムが低下する。また、レーザアニール技術において高出力エネルギーでレーザアニールを行なう場合には、キャリアライフタイムの低下が起きる。また、レーザは半導体基板の内部で減衰する性質を有しているため、半導体基板の第 2 主面から p 型コレクタ領域 8 と n 型バッファ領域 7 との接合面までの深さが深すぎると、レーザアニールの出力を高くする必要があり、レーザアニールによってキャリアライフタイムを向上することが難しくなる。このことを考慮して、半導体基板の第 2 主面から p 型コレクタ領域 8 と n 型バッファ領域 7 との接合面までの深さは 0 より大きく $1.0 \mu\text{m}$ 以下であることが好ましい。

【 0 0 7 2 】

図 3 5 は、本発明の実施の形態 2 におけるイオン注入量と、キャリア活性化率、 $V_{CE}(\text{sat})$ および $B V_{CES}$ との関係を示す図である。図 3 5 を参照して、n 型バッファ領域 7 および p 型コレクタ領域 8 の各々の活性化率は、n 型バッファ領域 7 および p 型コレクタ領域 8 のイオン注入量、またはイオンの種類などに依存する。図 3 5 では、p 型コレクタ領域 8 における活性化率と n 型バッファ領域 7 における活性化率とが互いに異なっており、p 型コレクタ領域 8 における活性化率は n 型バッファ領域 7 における活性化率よりも低くなっている。これにより、IGBT が正常に動作し、降伏電圧 $B V_{CES}$ を高くすることができる。特に、p 型コレクタ領域 8 における活性化率が 0 より大きく 90% 以下である場合に、コレクタ・エミッタ間電圧 $V_{CE}(\text{sat})$ が大きく低減されている。

【 0 0 7 3 】

なお、活性化率は、以下の式 (1) にて算出される。

活性化率 : $\{ (S R (\text{spreading-resistance}) \text{測定などの方法で算出される抵抗値より得られる不純物濃度} (\text{cm}^{-3})) / (S I M S (\text{Secondary Ionization Mass Spectrometer}) \text{を用いて測定される不純物濃度} (\text{cm}^{-3})) \} \times 100 \quad \dots (1)$

上記コレクタ構造を用いることで、正常な IGBT の動作を保障することができ、高い耐圧を保持することができ、IGBT の熱暴走を抑制することができる。また、デバイス特性を改善する際に N⁻ドリフト層を薄厚化した上で、 $V_{CE}(\text{sat}) - E_{OFF}$ のトレードオフ特性の自由度 (制御性) を得ることができる。

【 0 0 7 4 】

(実施の形態 3)

IGBT の重要なデバイス特性である $V_{CE}(\text{sat}) - E_{off}$ 特性を改善するためには、N⁻ドリフト層 1 の薄膜化を行なうことが有効である。しかし、図 1 1 に示すように半導体基板の第 2 主面を研磨する場合には、研磨面の表面粗さが、IGBT の種々の特性に影響を与えることを本願発明者は見出した。

【 0 0 7 5 】

図 3 6 は、本発明の実施の形態 3 における半導体基板の第 2 主面を模式的に示す拡大断面図である。図 3 6 を参照して、本実施の形態において規定される中心線平均粗さとは、JIS (Japanese Industrial Standard) に規定される中心線平均粗さ R_a であり、平均線からの絶対値偏差の平均値である。また、最大高さとは、JIS に規定される最大高さ R_{max} であり、基準長さにおける最低の谷底から (高さ H_{min}) と最大の山頂 (高さ H_{max}) までの高さ ($R_{max} = H_{max} - H_{min}$) である。

【 0 0 7 6 】

図 3 7 は、本発明の実施の形態 3 における中心線平均粗さおよび最大高さ、破壊強度およびキャリアライフタイムとの関係を示す図である。図 3 7 を参照して、 $0 < R_a$

10

20

30

40

50

00 nm、 $0 < R_{max} \leq 2000$ nmの場合には、高い破壊強度およびキャリアライフタイムを得ることができる。また、図38は、本発明の実施の形態3における中心線平均粗さおよび最大高さ、 J_{CES} および $V_{CE(sat)}$ との関係を示す図である。図38を参照して、 $0 < R_a \leq 200$ nm、 $0 < R_{max} \leq 2000$ nmの場合には、低いコレクタ・エミッタ間電圧 $V_{CE(sat)}$ および低いリーク電流密度 J_{CES} を得ることができる。

【0077】

以上により、 $0 < R_a \leq 200$ nmまたは $0 < R_{max} \leq 2000$ nmとすることによって、IGBTの種々の特性を向上することができる。

【0078】

(実施の形態4)

本実施の形態においては、実施の形態1～3の構成により得られる効果と同様の効果の得られるMOSトランジスタの構成を示す。

【0079】

図39は、本発明の実施の形態4における半導体装置のMOSトランジスタ部分の構成を示す断面図である。図39を参照して、本実施の形態のMOSトランジスタ部分の構造Dにおいては、 n^- ドリフト層1がp型ボディ領域2とpn接合を構成する領域付近に比較的高濃度のn型不純物拡散領域14(埋込拡散層)が設けられている点において、図1に示す構造Cと異なっている。n型不純物拡散領域14は、p型ボディ領域2と n^- ドリフト層1との間に形成されている。なお、図示しないが、図39の構造Dの下部には、図1の構造Aが形成されている。

【0080】

なお、これ以外の構成については、図1に示す構造Cの構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

【0081】

n型不純物拡散領域14を設けた構成は、図39の構成に限定されず、たとえば図40および図41に示す構成であってもよい。つまり、エミッタトレンチが設けられた構成にn型不純物拡散領域14が設けられてもよい。

【0082】

図40は、本発明の実施の形態4における半導体装置の変形例の構成を示す断面図である。図40を参照して、この構造Eにおいては、2つのMOSトランジスタに挟まれる領域にエミッタトレンチが設けられている。エミッタトレンチは、エミッタ用溝1bと、エミッタ用絶縁膜4bと、エミッタ用導電層5bとから構成されている。エミッタ用溝1bは、p型ボディ領域2およびn型不純物拡散領域14を突き抜けて n^- ドリフト層1に達している。エミッタ用絶縁膜4bは、このエミッタ用溝1bの内表面に沿うように形成されている。エミッタ用導電層5bは、エミッタ用溝1b内を埋め込むように形成されており、その上層のエミッタ電極11と電気的に接続されている。エミッタトレンチは何本形成されてもよく、複数の溝のうち少なくとも1つの溝にゲートトレンチが形成されればよい。

【0083】

エミッタ電極11の下層にはバリアメタル層10が形成されており、このバリアメタル層10とエミッタ用導電層5bとの間にはシリサイド層21bが形成されている。

【0084】

2つのエミッタトレンチに挟まれる第1主面にはp型ボディ領域2への低抵抗コンタクトを取るための p^+ 不純物拡散領域6が形成されており、その上にはシリサイド層21aが形成されている。

【0085】

このような構成において、 n^- ドリフト層1がp型ボディ領域2とpn接合を構成する領域付近に比較的高濃度のn型不純物拡散領域14が設けられている。

【0086】

なお、これ以外の構成については、図39に示す構造Dの構成とほぼ同じであるため、

10

20

30

40

50

同一の部材については同一の符号を付し、その説明を省略する。

【0087】

また図41に示す構造Fは、図40に示す構造Eと比較して、エミッタトレンチの側壁であって、第1主面にn型不純物拡散領域3を追加した点において異なる。

【0088】

なおこれ以外の構成については図39に示す構造Eの構成とほぼ同じであるため、同一の部材については同一の符号を付しその説明を省略する。

【0089】

図40および図41においては、エミッタ用溝1b内を埋め込むエミッタ用導電層5bがエミッタ電位となる場合について説明したが、このエミッタ用導電層5bはフローティング電位を有していてもよい。その構成を以下に説明する。

10

【0090】

図42を参照して、エミッタ用溝1b内を埋め込むエミッタ用導電層5bがエミッタ電極11と電気的に分離されており、フローティングな電位を有している。この場合、エミッタ用溝1b内を埋め込むエミッタ用導電層5b上にはたとえばシリコン酸化膜よりなる絶縁膜22Aと、たとえばシリケートガラスよりなる絶縁膜9と、たとえばシリコン酸化膜よりなる絶縁膜22Bとが形成されている。

【0091】

なおこれ以外の構成については、図40に示す構造Eの構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

20

【0092】

本実施の形態で設けられるn型不純物拡散領域14は、p型ボディ領域2が形成される前にイオン注入および拡散により形成される。この後、p型ボディ領域2が形成され、さらに実施の形態1と同様の後工程を経ることにより本実施の形態の各種の半導体装置(図39~図42)が製造される。

【0093】

また、MOSトランジスタ構造E(図40)、F(図41)、G(図42)の各々は、エミッタ電位もしくはフローティング電位のトレンチを有することにより、MOSトランジスタ構造C(図1)、D(図39)よりも実効的なゲート幅が少なくなっている。その結果、構造E、F、Gは、構造C、Dよりも流れる電流が少なく飽和電流を抑制する効果を有する。

30

【0094】

さらに構造E、F、Gは、構造Dよりも低電圧/低電流密度のところON電圧が大きくなる。またMOSトランジスタ構造DにおいてON電圧が低下するのは、コレクタ構造Aでn⁻ドリフト層1が厚くても、USP6,040,599に記載されたn型不純物拡散領域14によるキャリア蓄積効果があるからである。MOSトランジスタ構造Dでは、従来構造よりn⁻ドリフト層1が厚くても、ON電圧を低下させる効果がある。

【0095】

MOSトランジスタ構造E、F、Gでは、飽和電流が低くなる効果により、デバイスが無負荷状態でスイッチングしたときに、従来構造やMOSトランジスタ構造C、Dよりも長い時間任意の電流を保持することができる。つまり、MOSトランジスタ構造E、F、Gでは、デバイスの飽和電流を抑え、かつ破壊耐量を向上させる効果がある。

40

【0096】

さらに、ON電圧を下げる効果があるMOSトランジスタ構造Dでは、無負荷状態でのスイッチング時に発振現象が発生する。しかし、MOSトランジスタ構造E、F、Gでは、n型不純物拡散領域14が存在してもエミッタ電位もしくはフローティング電位になるエミッタ用導電層5bが存在することにより発振現象を防止する効果がある。

【0097】

(実施の形態5)

図43~図78は、実施の形態4と同じ効果が得られるMOSトランジスタ構造の各種

50

の派生構造を示す概略断面図である。図 4 3 ~ 図 7 8 に示すどの構造でも、実施の形態 4 に示す MOS トランジスタ構造による効果を得ることができる。

【 0 0 9 8 】

以下に、図 4 3 ~ 図 7 8 に示す各 MOS トランジスタ構造について説明する。

図 4 3 に示す構成は、2つの MOS トランジスタ部に挟まれる領域にエミッタ電位となる 1つのエミッタトレンチが設けられている点およびゲート用溝 1 a の一方側面にのみ n 型エミッタ領域 3 が形成されている点において図 4 0 に示す構成 E の構成と異なる。

【 0 0 9 9 】

図 4 4 に示す構成は、複数のエミッタ用溝 1 b 内が、一体化された単一の層よりなるエミッタ用導電層 5 b によって埋め込まれている。またエミッタ用導電層 5 b は、シリサイド層 2 1 b を介して、バリアメタル層 1 0 とエミッタ電極 1 1 とに電気的に接続されている。このシリサイド層 2 1 b は各エミッタ用溝 1 b 間を繋ぐブリッジ上に形成されている。またシリサイド層 2 1 b が形成された領域以外のエミッタ用導電層 5 b 上には、絶縁膜 2 2 A、9、2 2 B が形成されている。

10

【 0 1 0 0 】

これ以外の構成については、上述した図 4 0 に示す構成 E の構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

【 0 1 0 1 】

図 4 5 に示す構成は、エミッタ用溝 1 b の両側壁であって第 1 主面に n 型不純物拡散領域 3 が追加されている点において図 4 4 に示す構成と異なる。

20

【 0 1 0 2 】

図 4 6 に示す構成は、エミッタ用溝 1 b 内を埋め込むエミッタ用導電層 5 b がフローティング電位となっている点において図 4 4 の構成と異なる。この場合、エミッタ用導電層 5 b の全面上に絶縁膜 2 2 A、9、2 2 B が形成されており、エミッタ用導電層 5 b はエミッタ電極 1 1 と電気的に絶縁されている。

【 0 1 0 3 】

図 4 7 に示す構成は、エミッタ用溝 1 b の両側壁であって第 1 主面に n 型不純物拡散領域 3 が追加されている点において図 4 3 に示す構成と異なる。

【 0 1 0 4 】

図 4 8 に示す構成は、エミッタ用導電層 5 b の上面がエミッタ用溝 1 b よりも上方に突出している点において図 4 3 に示す構成と異なる。この場合、エミッタ用導電層 5 b は、その一部表面上に形成されたシリサイド層 2 1 b を介して、バリアメタル層 1 0 およびエミッタ電極 1 1 と電気的に接続されている。またシリサイド層 2 1 b が形成された領域以外のエミッタ用導電層 5 b 上には、絶縁膜 2 2 A、9、2 2 B が形成されている。

30

【 0 1 0 5 】

図 4 9 に示す構成は、エミッタ用溝 1 b の両側面であって第 1 主面に n 型不純物拡散領域 3 が追加されている点において図 4 8 に示す構成と異なる。

【 0 1 0 6 】

図 5 0 に示す構成は、p 型ボディ領域 2 がゲート用溝 1 a の側壁付近にのみ形成されている点において図 4 0 に示す構成 E の構成と異なる。

40

【 0 1 0 7 】

図 5 1 に示す構成は、p 型ボディ領域 2 がゲート用溝 1 a の側壁付近にのみ形成されている点において図 4 1 に示す構成 F の構成と異なる。

【 0 1 0 8 】

図 5 2 に示す構成は、エミッタ用溝 1 b 内を埋め込むエミッタ用導電層 5 b がフローティング電位となっている点において図 5 0 に示す構成と異なる。この場合、エミッタ用導電層 5 b 上には、絶縁膜 2 2 A、9、2 2 B が形成されている。

【 0 1 0 9 】

図 5 3 に示す構成は、2つのゲートトレンチに挟まれる領域にのみ p 型ボディ領域 2 が形成されている点において図 4 3 に示す構成と異なる。

50

【 0 1 1 0 】

図 5 4 に示す構成は、p 型ボディ領域 2 がゲート用溝 1 a の側壁付近にのみ形成されている点において図 4 4 に示す構成と異なる。

【 0 1 1 1 】

図 5 5 に示す構成は、p 型ボディ領域 2 がゲート用溝 1 a の側壁付近にのみ形成されている点において図 4 5 に示す構成と異なる。

【 0 1 1 2 】

図 5 6 に示す構成は、p 型ボディ領域 2 がゲート用溝 1 a の側壁付近にのみ形成されている点において図 4 6 に示す構成と異なる。

【 0 1 1 3 】

図 5 7 に示す構成は、エミッタ用溝 1 b の両側壁であって第 1 主面に n 型不純物拡散領域 3 が追加されている点において図 5 3 に示す構成と異なる。

【 0 1 1 4 】

図 5 8 に示す構成は、2 つのゲートトレンチに挟まれる領域にのみ p 型ボディ領域 2 が形成されている点において図 4 8 に示す構成と異なる。

【 0 1 1 5 】

図 5 9 に示す構成は、2 つのゲートトレンチに挟まれる領域にのみ p 型ボディ領域 2 が形成されている点において図 4 9 に示す構成と異なる。

【 0 1 1 6 】

図 6 0 に示す構成は、図 4 0 に示す構造 E においてエミッタトレンチが存在した領域にトレンチを形成せずに、上記の MOS トランジスタ構造 E ~ G とゲート幅 (W) が同じになるようにゲートトレンチを形成した構成、つまりゲートトレンチの間をエミッタ電位となるように任意の寸法まで広げた構成である。

【 0 1 1 7 】

この場合、2 つのゲートトレンチに挟まれる第 1 主面には p 型ボディ領域との低抵抗コンタクトを取るための p⁺不純物拡散領域 6 が延在している。この p⁺不純物拡散領域 6 および n 型エミッタ領域 3 と接するようにシリサイド層 2 1 a が形成されている。p⁺不純物拡散領域 6 および n 型エミッタ領域 3 は、このシリサイド層 2 1 a とバリアメタル層 1 0 とを介してエミッタ電極 1 1 に電氣的に接続されている。

【 0 1 1 8 】

なお、これ以外の構成については、上述した図 4 0 の構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

【 0 1 1 9 】

図 6 1 に示す構成は、図 4 3 においてエミッタトレンチが存在した領域にトレンチを形成せずに、上記の MOS トランジスタ構造 E ~ G とゲート幅が同じになるようにゲートトレンチを形成した構成、つまりゲートトレンチの間をエミッタ電位となるように任意の寸法まで広げた構成である。

【 0 1 2 0 】

この構成においてもゲートトレンチに挟まれる第 1 主面に p 型ボディ領域への低抵抗コンタクトを取るために p⁺不純物拡散領域 6 が延在している。この p⁺不純物拡散領域 6 および n 型エミッタ領域 3 と接するようにシリサイド層 2 1 a が形成されている。p⁺不純物拡散領域 6 および n 型エミッタ領域 3 は、このシリサイド層 2 1 a とバリアメタル層 1 0 とを介してエミッタ電極 1 1 に電氣的に接続されている。

【 0 1 2 1 】

なお、これ以外の構成については、上述した図 4 3 の構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

【 0 1 2 2 】

図 6 2 は、p 型ボディ領域 2 がゲート用溝 1 a の側壁付近にのみ形成されている点において図 6 0 に示す構成と異なる。

【 0 1 2 3 】

10

20

30

40

50

図 6 3 に示す構成は、2つのゲートトレンチに挟まれる領域にのみ p 型ボディ領域 2 が形成されている点において図 6 1 に示す構成と異なる。

【 0 1 2 4 】

上記においては、ゲート電極 5 a の上面がゲート用溝 1 a 内に位置する場合について説明したが、ゲート用溝 1 a 上に突出していてもよい。ゲート電極 5 a の上面がゲート用溝 1 a の上面に突出した構成を図 6 4 ~ 図 7 4 に示す。

【 0 1 2 5 】

図 6 4 は図 4 0 に示す構造 E の構成、図 6 5 は図 4 1 に示す構成、図 6 6 は図 4 2 に示す構成、図 6 7 は図 4 3 に示す構成、図 6 8 は図 4 4 に示す構成、図 6 9 は図 4 5 に示す構成、図 7 0 は図 4 6 に示す構成、図 7 1 は図 4 7 に示す構成、図 7 2 は図 4 8 に示す構成、図 7 3 は図 4 9 に示す構成、図 7 4 は図 5 0 に示す構成において、ゲート電極 5 a の上面がゲート用溝 1 a 上に突出した構成に対応している。なお、図 6 6 に示す構成は、エミッタ用溝 1 b 内を埋め込むエミッタ用導電層 5 b の上面もエミッタ用溝 1 b 上に突出している。

【 0 1 2 6 】

なお、上記においてはトレンチ型ゲート構造について説明したが、平面ゲート型の I G B T においても実施の形態 1 ~ 4 の構成を適用することができる。図 7 5 ~ 図 7 8 は平面ゲート型 I G B T の構成を示す概略断面図である。

【 0 1 2 7 】

図 7 5 を参照して、平面ゲート型 I G B T は、たとえば厚さが約 $50 \mu\text{m}$ 以上 $250 \mu\text{m}$ の半導体基板に形成されている。たとえば濃度が $1 \times 10^{14} \text{cm}^{-3}$ の n⁻ドリフト層 1 の第 1 主面側には、p 型半導体よりなる p 型ボディ領域 2 が選択的に形成されている。p 型ボディ領域 2 は、たとえば $1 \times 10^{15} \sim 1 \times 10^{18} \text{cm}^{-3}$ の濃度を有し、第 1 主面から約 $1.0 \sim 4.0 \mu\text{m}$ の拡散深さを有している。p 型ボディ領域 2 内の第 1 主面には、たとえば濃度が $1 \times 10^{18} \sim 1 \times 10^{20} \text{cm}^{-3}$ 以上で、第 1 主面からの拡散深さが約 $0.3 \sim 2.0 \mu\text{m}$ の n 型半導体よりなる n 型エミッタ領域 3 が形成されている。この n 型エミッタ領域 3 の隣には、p 型ボディ領域 2 への低抵抗コンタクトを取るための p⁺不純物拡散領域 6 がたとえば $1 \times 10^{18} \sim 1 \times 10^{20} \text{cm}^{-3}$ 程度で、第 1 主面からの拡散深さが n 型エミッタ領域 3 の深さ以下で形成されている。

【 0 1 2 8 】

n⁻ドリフト層 1 と n 型エミッタ領域 3 とに挟まれる p 型ボディ領域 2 と対向するように第 1 主面上にゲート絶縁膜 4 を介してゲート電極 5 a が形成されている。

【 0 1 2 9 】

この n⁻ドリフト層 1 と n 型エミッタ領域 3 とゲート電極 5 a により、n⁻ドリフト層 1 をドレインとし、n 型エミッタ領域 3 をソースし、ゲート絶縁膜 4 を挟んでゲート電極 5 a と対向する p 型ボディ領域 2 の部分をチャンネルとする絶縁ゲート型電界効果トランジスタ部（ここでは MOS トランジスタ部）が構成されている。

【 0 1 3 0 】

2つの MOS トランジスタ部に挟まれる第 1 主面上には、エミッタ電位となるエミッタ用導電層 5 b が形成されている。このエミッタ用導電層 5 b とゲート電極 5 a との材質には、たとえばリンを高濃度に導入した多結晶シリコン、高融点金属材料、高融点金属シリサイドまたはそれらの複合膜が用いられる。

【 0 1 3 1 】

第 1 主面上には絶縁膜 9 が形成されており、この絶縁膜 9 には第 1 主面の一部表面に達するコンタクトホール 9 a が形成されている。このコンタクトホール 9 a の底部にはバリアメタル層 1 0 が形成されている。このバリアメタル層 1 0 を介してエミッタ用導電層 5 b、p⁺不純物拡散領域 6 および n 型エミッタ領域 3 とに、エミッタ電位 E を与えるエミッタ電極 1 1 が電氣的に接続されている。

【 0 1 3 2 】

また n⁻ドリフト層 1 の第 2 主面側には、n 型バッファ領域 7 と p 型コレクタ領域 8 と

10

20

30

40

50

が順に形成されている。p型コレクタ領域8には、コレクタ電位Cを与えるコレクタ電極12が電氣的に接続されている。このコレクタ電極12の材質は、たとえばアルミニウム化合物である。

【0133】

本実施の形態において、半導体基板とコレクタ電極12との界面（つまり、p型コレクタ領域8とコレクタ電極12との界面）におけるスパイク密度は0以上 3×10^8 個/cm²以下である。

【0134】

なお、図75の構成に対して、図76に示すようにn型不純物拡散領域14が追加されてもよく、また図77に示すようにn型バッファ領域7が省略されてもよく、また図78に示すようにn型不純物拡散領域14が追加されかつn型バッファ領域7が省略されてもよい。

10

【0135】

（実施の形態6）

本実施の形態においては、図75～図78に示す平面ゲート型IGBTの他の構成について説明する。図79～図83は、本発明の実施の形態6における平面ゲート型IGBTの各種の構成を示す概略断面図である。

【0136】

図79を参照して、平面ゲート型IGBTは、たとえば厚さが約50μm以上800μmの半導体基板に形成されている。n⁻ドリフト層1の図中左側の第1主面には、p型半導体よりなるp型ボディ領域2が選択的に形成されている。p型ボディ領域2は、たとえば $1 \times 10^{15} \sim 1 \times 10^{18}$ cm⁻³の濃度を有し、第1主面から約1.0～4.0μmの拡散深さを有している。p型ボディ領域2内の第1主面には、たとえば濃度が $1 \times 10^{18} \sim 1 \times 10^{20}$ cm⁻³以上で、第1主面からの拡散深さが約0.3～2.0μmのn型半導体よりなるn型エミッタ領域3が形成されている。このn型エミッタ領域3の図中左側には、n型エミッタ領域3と間隔をおいて、p型ボディ領域2への低抵抗コンタクトを取るためのp⁺不純物拡散領域6が形成されている。p⁺不純物拡散領域6は、たとえば $1 \times 10^{18} \sim 1 \times 10^{20}$ cm⁻³程度で、第1主面からの拡散深さがn型エミッタ領域3の深さ以下で形成されている。

20

【0137】

n⁻ドリフト層1とn型エミッタ領域3とに挟まれるp型ボディ領域2と対向するように第1主面上にゲート絶縁膜4を介してゲート電極5aが形成されている。ゲート電極5aは図中右端まで延在しており、図中右側ではゲート絶縁膜4を介してn⁻ドリフト層1と対向している。

30

【0138】

このn⁻ドリフト層1とn型エミッタ領域3とゲート電極5aにより、n⁻ドリフト層1をドレインとし、n型エミッタ領域3をソースとし、ゲート絶縁膜4を挟んでゲート電極5aと対向するp型ボディ領域2の部分をチャンネルとする絶縁ゲート型電界効果トランジスタ部（ここでは、MOSトランジスタ）が構成されている。

【0139】

第1主面上には絶縁膜9およびエミッタ電極11が形成されている。絶縁膜9は第1主面におけるn型エミッタ領域3およびp型ボディ領域2と、ゲート電極5aとを覆っている。エミッタ電極11はp⁺不純物拡散領域6と絶縁膜9とを覆っており、p⁺不純物拡散領域6およびn型エミッタ領域3にエミッタ電位Eを与える。

40

【0140】

またn⁻ドリフト層1の第2主面側には、n型バッファ領域7とp型コレクタ領域8とが順に形成されている。p型コレクタ領域8には、コレクタ電位Cを与えるコレクタ電極12が電氣的に接続されている。

【0141】

本実施の形態において、半導体基板とコレクタ電極12との界面（つまり、p型コレク

50

タ領域 8 とコレクタ電極 1 2 との界面)におけるスパイク密度は 0 以上 3×10^8 個 / cm^2 以下である。

【 0 1 4 2 】

図 8 0 に示す構成は、平面的に見て絶縁膜 9 が形成されていない領域において、p 型ボディ領域 2 がさらに深く(さらに第 2 主面側に近く)形成されている点において、図 7 9 の構成とは異なっている。このような p 型ボディ領域 2 は、絶縁膜 9 をマスクとして p 型不純物を第 1 主面に注入する工程を加えることにより形成される。

【 0 1 4 3 】

図 8 1 に示す構成は、p 型ボディ領域 2 の側面に隣接するように n⁻ドリフト層 1 内に n 型不純物拡散領域 1 4 a が形成されている点において、図 7 9 の構成とは異なっている。

10

【 0 1 4 4 】

図 8 2 に示す構成は、平面的に見て絶縁膜 9 が形成されていない領域において、p 型ボディ領域 2 がさらに深く(さらに第 2 主面側に近く)形成されている点において、図 8 1 の構成とは異なっている。

【 0 1 4 5 】

図 8 3 に示す構成は、p 型ボディ領域 2 の底面に隣接するように n⁻ドリフト層 1 内に n 型不純物拡散領域 1 4 a がさらに形成されている点において、図 8 1 の構成とは異なっている。

【 0 1 4 6 】

図 8 1 ~ 図 8 3 に示す構造のように、p 型ボディ領域 2 に隣接して n 型不純物拡散領域 1 4 a を形成することにより、図 8 4 に示すように、IGBT がオン状態の場合のエミッタ側(第 1 主面側)のキャリア濃度が増加する。その結果、IGBT の特性を向上することができる。図 8 5 は、n 型不純物拡散領域を形成した場合と形成しない場合とにおける、 V_{CE} と J_C との関係を示す図である。図 8 5 を参照して、n 型不純物拡散領域 1 4 a を形成した場合には、電流密度 J_C に対するエミッタ・コレクタ間電圧 V_{CE} が低減されている。

20

【 0 1 4 7 】

図 8 6 は、本発明の実施の形態 6 における S_{N14a} / S_{N-} と、 $V_{CE}(\text{sat})$ 、 $J_{C, \text{Break}}$ および $V_{G, \text{Break}}$ との関係とを示す図である。ここで、 S_{N14a} / S_{N-} とは、n⁻ドリフト層 1 を構成する不純物の単位面積あたりの原子数 ($\text{atom} / \text{cm}^2$) S_{N-} に対する n 型不純物拡散領域 1 4 a を構成する不純物の単位面積あたりの原子数 ($\text{atom} / \text{cm}^2$) S_{N14a} の比である。 $J_{C, \text{Break}}$ とは、RBSOA (Reverse Bias Safety Operation Area) モードでデバイスが遮断可能な電流密度であり、 $V_{G, \text{Break}}$ とは、SCSOA (Short Circuit Safe Operation Area) モードでデバイスが遮断可能なゲート電圧である。図 8 6 を参照して、 $0 < S_{N14a} / S_{N-} < 2.0$ である場合には、高い遮断性能が得られており、かつ低いコレクタ・エミッタ間電圧 $V_{CE}(\text{sat})$ が得られている。したがって、RBSOA および SCSOA を確保した上でオン電圧を低減するためには、n 型不純物拡散領域 1 4 a が $0 < S_{N14a} / S_{N-} < 2.0$ を満たすことが好ましい。

30

【 0 1 4 8 】

(実施の形態 7)

図 8 7 は、本発明の実施の形態 7 における半導体装置のレイアウトを示す平面図である。図 8 8 は、図 8 7 の L X X X V I I I - L X V I I I 線に沿った断面図であり、図 8 9 は、図 8 7 の L X X X I X - L X X X I X 線に沿った断面図である。図 9 0 は、図 8 8 の X C - X C 線に沿った不純物濃度分布である。なお、図 8 7 において斜線で示す部分は、p 型不純物拡散領域 4 1 が形成されている領域である。また、図 8 7 においては、1 つのゲート電極配線 1 1 a に沿って形成されたゲート用溝 1 a (図中点線)のみを示しているが、実際には、それぞれのゲート電極配線 1 1 a に沿って複数のゲート用溝 1 a (あるいはエミッタ用溝 1 b) が形成されている。図 8 7 ~ 図 9 0 を参照して、本実施の形態における IGBT の構成について説明する。

40

50

【0149】

特に図87を参照して、エミッタ電極11とゲート電極配線11aとは図中横方向に交互に配置されており、かつ図中縦方向に延在している。チップ中央部にあるゲート電極配線11aの図中下方端部には、他の配線と電氣的に接続するためのゲートパッド28が設けられている。また、複数のゲート用溝1aの各々は、ゲート電極配線11aの真下において、ゲート電極配線11aの延在方向に沿って図中縦方向に配列している。複数のゲート用溝1aの各々は、その長方形の平面形状の短辺の延在方向（図中縦方向）に沿って配列している。図中縦方向で隣接するゲート用溝1a同士の間には、p型ボディ領域2およびn型不純物拡散領域14が形成されている。また、図中横方向で隣接するエミッタ電極11同士の間（すなわち、ゲート用溝1aの端部）には、p型不純物拡散領域41（ウェル層）が形成されている。p型不純物拡散領域41は、ゲート電極配線11aの真下において、エミッタ電極11に沿って図中縦方向に延在している。

10

【0150】

特に図88を参照して、n型不純物拡散領域14は、p型ボディ領域2とn⁻ドリフト層1との間に形成されている。n型不純物拡散領域14は、図90に示すように、n⁻ドリフト層1の不純物濃度よりも高い不純物濃度を有している。n型不純物拡散領域14が存在している場合、ゲート用溝1aおよびエミッタ用溝1b（たとえば図40）のうち少なくともいずれか一方を、n型不純物拡散領域14における不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ となる位置よりも第2主面側に突出させることで、高い耐圧（ BV_{CES} ）を保持可能になる。図88に示す構成は、図39に示す構造Dの構成と実質的に同じである。

20

【0151】

特に図89を参照して、ゲート用溝1a内を埋め込むゲート電極5aは、ゲート用溝1a外部の第1主面上にも延びており、その延びた部分においてゲート電極配線11aと電氣的に接続されている。ゲート電極配線11aの下層にはバリアメタル層10が位置し、バリアメタル層10とゲート電極5aとが接する領域にシリサイド層21aが形成されている。ゲート電極配線11aおよびエミッタ電極11上にパッシベーション膜15が形成されている。p型不純物拡散領域41は、ゲート用溝1aよりも深い位置に（第2主面側に）達している。

【0152】

なお、図87で示されている溝は全てゲート電極5aが埋め込まれたゲート用溝1aであるが、これらの溝のうち少なくとも1つがゲート用溝であればよく、その他の溝はたとえばエミッタ用溝であってもよい。

30

【0153】

ここで、図88を参照して、ゲート用溝1aと隣接する他の溝（図では右側のゲート用溝1a）とのピッチをピッチXと規定する。また、半導体基板の第1主面からゲートトレンチを構成するゲート用溝1aの底部までの深さを深さYと規定する。また、p型ボディ領域2とn型不純物拡散領域14との接合面（n型不純物拡散領域14が形成されていない場合には、p型ボディ領域2とn⁻ドリフト層1との接合面）からのゲート用溝1aの突出量を突出量 D_T と規定する。さらに図89を参照して、p型不純物拡散領域41とn⁻ドリフト層1との接合面からゲート用溝1aの底部までの距離（深さ）を深さ $D_{T, Pwell}$ と規定する。

40

【0154】

本願発明者は、トレンチ型ゲート構造のIGBTにおいて、ゲート用トレンチを以下の条件で設計することによって、IGBTの耐圧（降伏電圧）を向上できることを見出した。

【0155】

図91は、本発明の実施の形態7における Y/X と BV_{CES} との関係を示す図である。図91を参照して、半導体基板の第1主面からゲートトレンチを構成するゲート用溝1aの底部までの深さYがゲート用溝1aと隣接する他の溝とのピッチよりも大きい場合（つまり $1.0 < Y/X$ の場合）には、高い降伏電圧 BV_{CES} が得られている。

50

【 0 1 5 6 】

図 9 2 は、本発明の実施の形態 7 における D_T と $B V_{CES}$ との関係、および D_T と $E_{P/CS}$ または $E_{P/N}$ との関係を示す図である。ここで $E_{P/CS}$ とは、p 型ボディ領域 2 と n 型不純物拡散領域 1 4 との接合面における電界強度を意味しており、 $E_{P/N}$ とは、n 型不純物拡散領域 1 4 が形成されていない場合の p 型ボディ領域 2 と n ドリフト層 1 との接合面における電界強度を意味している。図 9 2 を参照して、p 型ボディ領域 2 と n 型不純物拡散領域 1 4 との接合面からのゲート用溝 1 a の突出量 D_T が $1.0 \mu m$ D_T である場合には、電界強度 $E_{P/CS}$ または $E_{P/N}$ が低減されており、かつ高い降伏電圧 $B V_{CES}$ が得られている。

【 0 1 5 7 】

図 9 3 は、本発明の実施の形態 7 における $D_{T,Pwell}$ と $B V_{CES}$ および $B V_{CES}$ との関係を示す図である。ここで $B V_{CES}$ とは、ゲート電位を $0 V$ (エミッタ電位と同電位) とした場合の $B V_{CES}$ からゲート電位を $-20 V$ とした場合の $B V_{CES}$ を引いた値を意味している。図 9 3 を参照して、ゲート用溝 1 a の底面から p 型不純物拡散領域 4 1 の底面 (p 型不純物拡散領域 4 1 と n ドリフト層 1 との接合面) までの深さ $D_{T,Pwell}$ が $D_{T,Pwell} \geq 1.0 \mu m$ の場合には、高い降伏電圧 $B V_{CES}$ が得られており、降伏電圧の変動量 $B V_{CES}$ も低く抑えられている。

【 0 1 5 8 】

以上により、 $1.0 \mu m \leq D_T / X$ 、 $1.0 \mu m \leq D_T$ 、または $0 < D_{T,Pwell} \leq 1.0 \mu m$ の条件を満たすようにゲート用溝 1 a、エミッタ用溝 1 b を製造することによって、IGBT の耐圧を向上できる。

【 0 1 5 9 】

なお、図 8 8 においては、n 型不純物拡散領域 1 4 がゲート用溝 1 a 同士の間全体にわたって形成されている構成について説明したが、n 型不純物拡散領域 1 4 は、以下の図 9 4 および図 9 5 に示すように、複数の溝同士の間の一部にのみ形成されていてもよい。

【 0 1 6 0 】

図 9 4 および図 9 5 は、本発明の実施の形態 7 におけるトレンチゲート型 IGBT の各種の構成を示す概略断面図である。図 9 4 に示す構成においては、n 型不純物拡散領域 1 4 がゲートトレンチの周囲にのみ形成されている。n 型不純物拡散領域 1 4 は、ゲート用溝 1 a に接触し、かつエミッタ用溝 1 b に接触しないように形成されている。一方、図 9 5 に示す構成では、n 型不純物拡散領域 1 4 がエミッタトレンチの周囲にのみ形成されている。n 型不純物拡散領域 1 4 は、2 つのエミッタ用溝 1 b の各々に接触し、かつゲート用溝 1 a に接触しないように形成されている。

【 0 1 6 1 】

なお、これ以外の構成については、図 4 0 に示す構成 E の構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

【 0 1 6 2 】

本願発明者は、n 型不純物拡散領域 1 4 の幅およびエミッタ用溝 1 b からの距離を制御することによって、コレクタ・エミッタ間電圧を低減でき、破壊エネルギーを向上できることを見出した。

【 0 1 6 3 】

図 9 6 は、 W_{CS} および X_{CS} と V_{CE} および E_{SC} との関係を示す図である。ここで、 W_{CS} は平面的に見た場合の、エミッタ用溝 1 b の周囲に存在する領域における n 型不純物拡散領域 1 4 の幅であり、 X_{CS} はエミッタ用溝 1 b から n 型不純物拡散領域 1 4 の端部までの距離である。図 9 6 を参照して、n 型不純物拡散領域 1 4 の幅 W_{CS} が $6 \mu m \leq W_{CS} < 9 \mu m$ の場合、またはエミッタ用溝 1 b から n 型不純物拡散領域 1 4 の端部までの距離 X_{CS} が $0.5 \mu m \leq X_{CS} < 2 \mu m$ の場合には、コレクタ・エミッタ間電圧 V_{CE} が低減され、かつ高い短絡時の破壊エネルギー E_{SC} が得られる。

【 0 1 6 4 】

図 9 7 は、本発明の実施の形態 7 における半導体装置における n 型エミッタ領域 3 およ

10

20

30

40

50

び p^+ 不純物拡散領域 6 の平面レイアウトを示す図である。図 9 7 を参照して、ゲート電極 5 a およびエミッタ用導電層 5 b の各々が図中縦方向に延在しており、ゲート電極 5 a とエミッタ用導電層 5 b との間、およびエミッタ用導電層 5 b 同士の間には n 型エミッタ領域 3 が形成されている。そして、 n 型エミッタ領域 3 は図中縦方向に延在しているおり、 n 型エミッタ領域 3 に挟まれた領域に p^+ 不純物拡散領域 6 が周期的に形成されている。また、図 9 8 に示すように、 n 型エミッタ領域 3 と p^+ 不純物拡散領域 6 とがゲート電極 5 a またはエミッタ用導電層 5 b の延在方向（図中縦方向）に沿って交互に形成されていてもよい。

【0165】

ここで、図 9 7 および図 9 8 に示すように、ゲート電極 5 a の延在方向に沿った n 型エミッタ領域 3 の幅を W_{SO} と規定し、ゲート電極 5 a の延在方向に沿った p^+ 不純物拡散領域 6 の幅を W_{PC} と規定する。本願発明者は、 W_{SO} と W_{PC} との関係を制御することによって、コレクタ・エミッタ間電圧を低減でき、破壊エネルギーを向上できることを見出した。

【0166】

図 9 9 は、本発明の実施の形態 7 における α と $V_{CE(sat)}$ および E_{SC} との関係を示す図である。 α (%) は、 $\alpha = (W_{SO} / (W_{SO} + W_{PC})) \times 100$ で定義される値である。図 9 9 を参照して、 α が 8.0% から 20.0% の範囲である場合には、低いコレクタ・エミッタ間電圧 $V_{CE(sat)}$ が得られ、高い破壊エネルギー E_{SC} が得られる。

【0167】

(実施の形態 8)

図 100 は、本発明の実施の形態 8 におけるゲートパッドの平面レイアウトを模式的に示す図である。図 100 を参照して、本実施の形態においては、ゲート電極配線 11 a (図 8 7) の電流経路の一部が、局所的に高い抵抗を有する抵抗体 28 a によって形成されている。図 100 では、配線（表面ゲート配線）とゲート電極配線 11 a とを電氣的に接続するためのゲートパッド 28 の一部が抵抗体 28 a によって形成されている。抵抗体 28 a の各々は、ゲートパッド 28 の中央部に設けられた開口部において、互いに対向するように突き出ている。抵抗体 28 a はたとえば図 1 または図 7 5 に示すゲート電極 5 a と同一の構造を有していてもよい。

【0168】

図 101 および図 102 は、ゲート電圧の発振現象を説明するための図である。トレンチゲート構造の IGBT や MOS トランジスタなどでは、スイッチング速度が速くなると、図 101 に示すような電流 I_c の変動時に、コレクタ・エミッタ間電圧 V_{CE} が発振する。この原因は、デバイスが発振してしまうような LCR 回路定数になることにある。そこで、抵抗体 28 a を設けることにより、デバイスが発振しにくい LCR 回路定数となる。その結果、図 102 に示すように、ゲート電圧 V_{ge} の発振現象を抑制することができる。

【0169】

(実施の形態 9)

IGBT における $V_{CE(sat)} - E_{OFF}$ 特性を向上するためには、 n^- ドリフト層 1 の厚みを薄くすることが効果的であるが、 n^- ドリフト層 1 の厚みを薄くすると、高耐圧を実現することが難しくなる。そこで本願発明者は、 p 型ボディ領域 2 と n 型不純物拡散領域 1 4 との接合面の電界強度 $E_{P/CS}$ (n 型不純物拡散領域 1 4 が形成されていない場合には p 型ボディ領域 2 と n^- ドリフト層 1 との接合面の電界強度 E_{P/N^-}) と、 n 型バッファ領域 7 と n^- ドリフト層 1 との接合面の電界強度 E_{N/N^-} との関係に着目することで、IGBT の耐圧を向上できることを見出した。

【0170】

図 103 は、本発明の実施の形態 9 における IGBT の主接合にブレークダウン電圧よりもわずかに低い逆バイアスを印加した時の図 1 の $XIX - XIX$ 線に沿った電界強度分布を模式的に示す図である。図 104 は、本発明の実施の形態 9 における接合面の電界強度と降伏電圧との関係を示す図である。

【0171】

10

20

30

40

50

図103を参照して、IGBTの主接合にブレークダウン電圧よりもわずかに低い逆バイアスを印加した時の半導体内の電界は、半導体基板の第1主面からp型ボディ領域2とn⁻ドリフト層1との接合面までの領域において急激に増加し、その後、n⁻ドリフト層1内では緩やかに減少し、n⁻ドリフト層1とn型バッファ領域7において急激に減少している。また、p型ボディ領域2およびn型バッファ領域7内で電界が0となっている。図104を参照して、n⁻ドリフト層1とp型ボディ領域2との接合面の電界強度 $E_{P/N}$ が $0 < E_{P/N} < 3.0 \times 10^{15}$ (V/cm)の場合に、高い降伏電圧 BV_{CES} が得られる。また、n型バッファ領域7とn⁻ドリフト層1との接合面の電界強度 $E_{N/N}$ が $2.0 \times 10^{14} < E_{N/N} < 3.0 \times 10^{14}$ (V/cm)の場合に、高い降伏電圧 BV_{CES} が得られる。 $E_{N/N}$ は $E_{P/N}$ 以下であることが好ましい。

10

【0172】

なお、実施の形態1～8で説明した構造または数値範囲は、適宜組み合わせることができる。

【0173】

以上に開示された実施の形態はすべての点で例示であって制限的なものではないと考慮されるべきである。本発明の範囲は、以上の実施の形態ではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての修正や変形を含むものと意図される。

【産業上の利用可能性】

【0174】

本発明は、並列的な動作に適した高耐圧半導体装置、特にIGBTを備える半導体装置として適している。

20

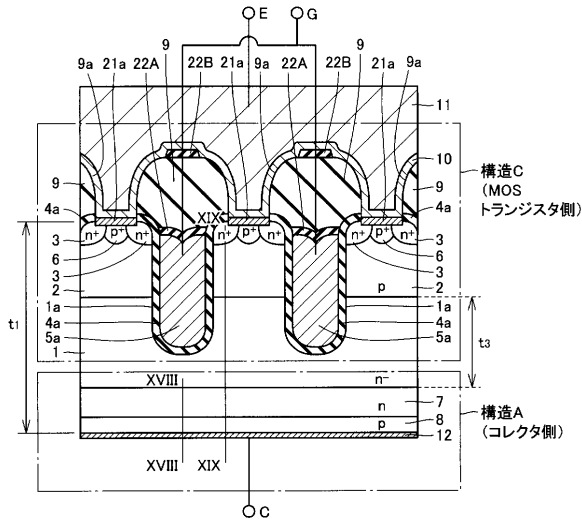
【符号の説明】

【0175】

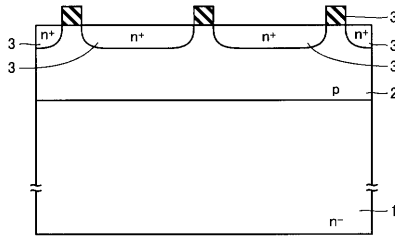
1 n⁻ドリフト層、1a ゲート用溝、1b エミッタ用溝、2 p型ボディ領域、3 n型エミッタ領域またはn型不純物拡散領域、4, 4a ゲート絶縁膜、4b エミッタ用絶縁膜、5 導電層、5a ゲート電極、5b エミッタ用導電層、6 p⁺不純物拡散領域、7 n型バッファ領域、7a n型中間層、8 p型コレクタ領域、9, 22A, 22B 絶縁膜、9a コンタクトホール、10 バリアメタル層、11 エミッタ電極、11a ゲート電極配線、12, 12a コレクタ電極、14, 14a n型不純物拡散領域、15 パッシベーション膜、21a, 21b シリサイド層、28 ゲートパッド、28a 抵抗体、31 マスク層、32, 33 シリコン酸化膜、32a 犠牲酸化膜、41 p型不純物拡散領域。

30

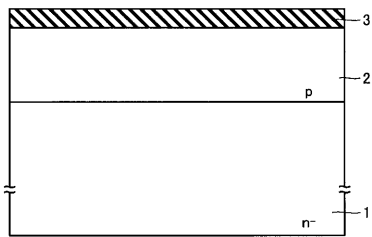
【図1】



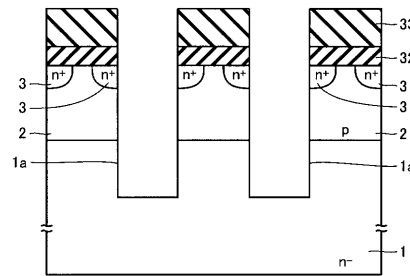
【図3】



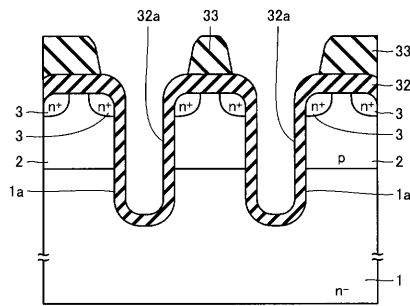
【図2】



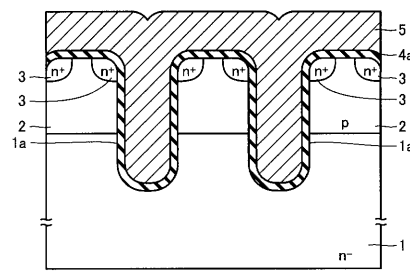
【図4】



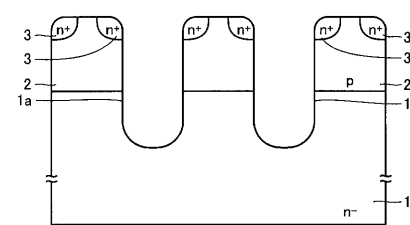
【図5】



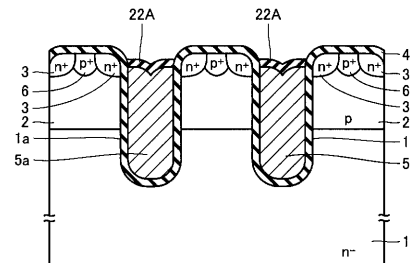
【図7】



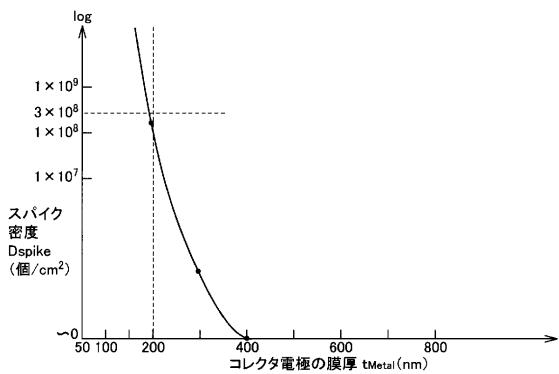
【図6】



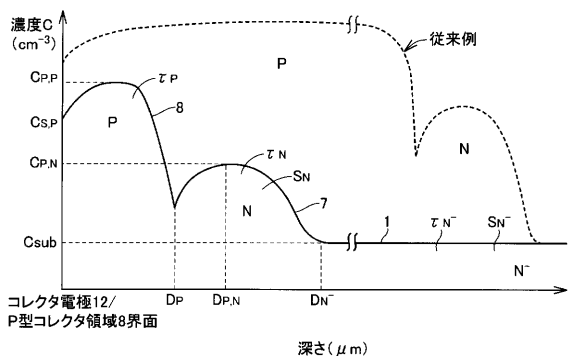
【図8】



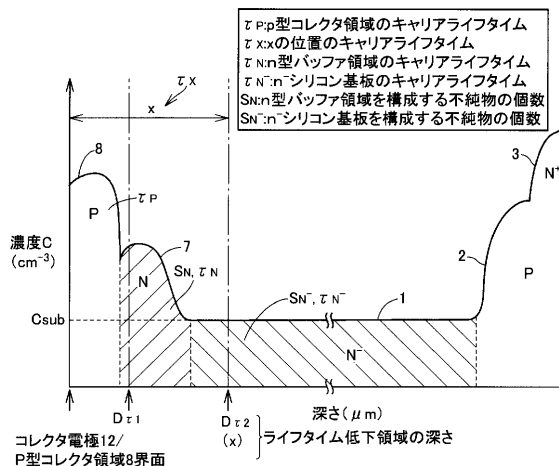
【図17】



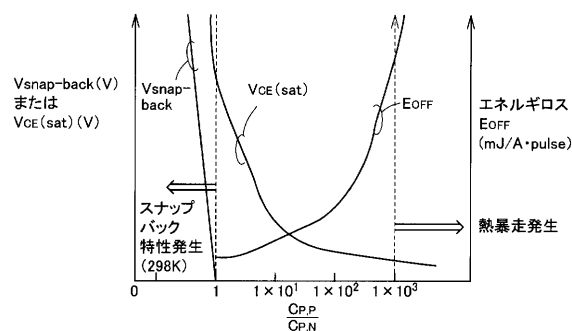
【図18】



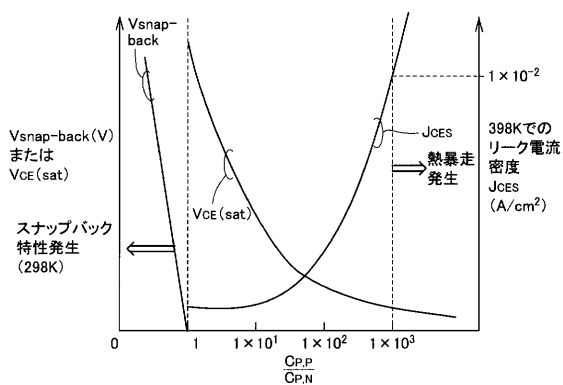
【図19】



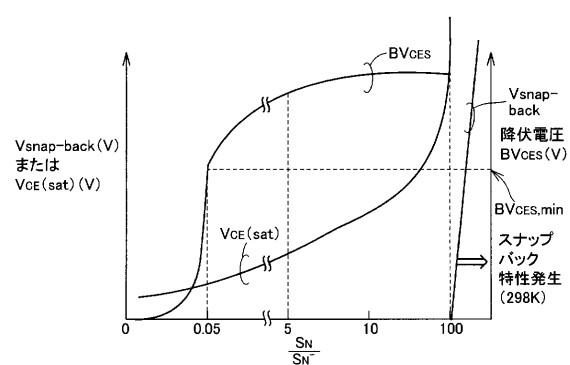
【図20】



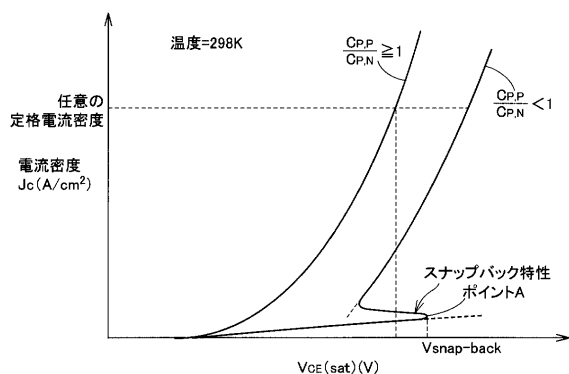
【図21】



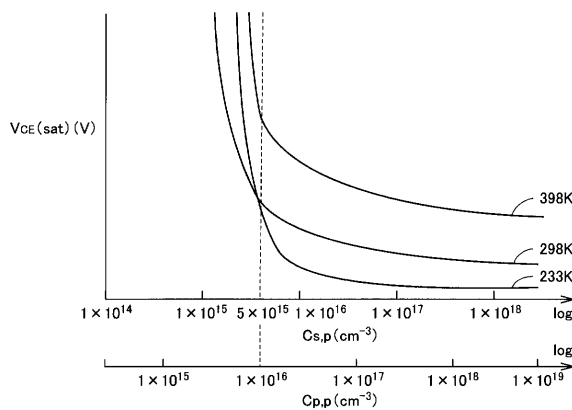
【図23】



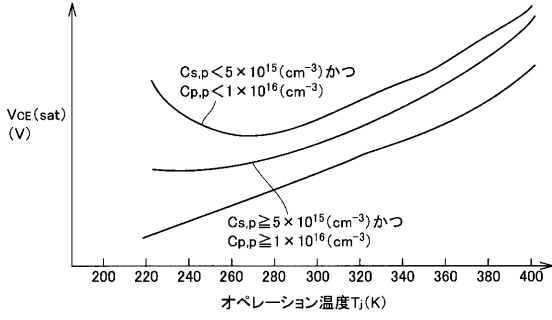
【図22】



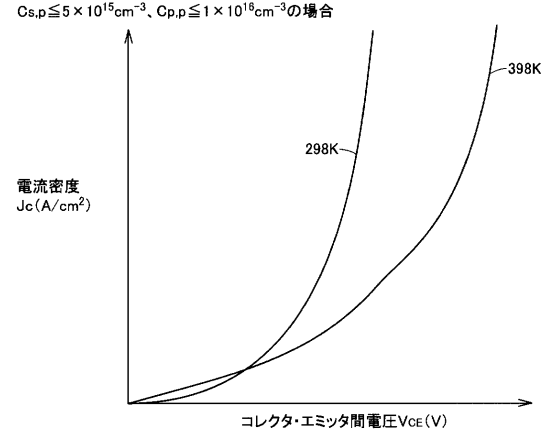
【図24】



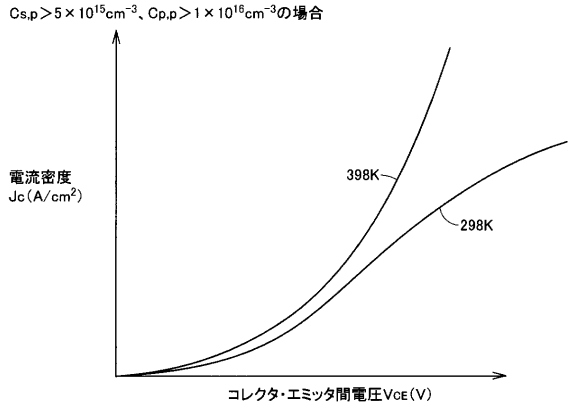
【図 25】



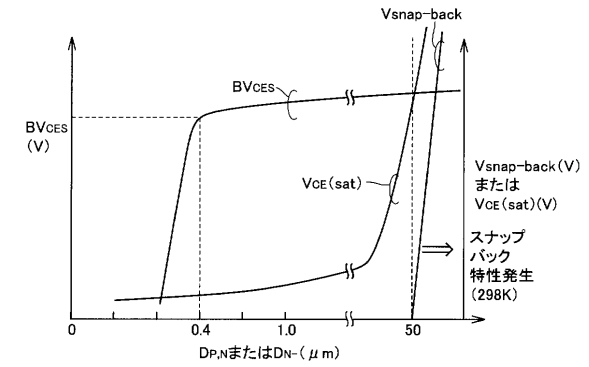
【図 26】



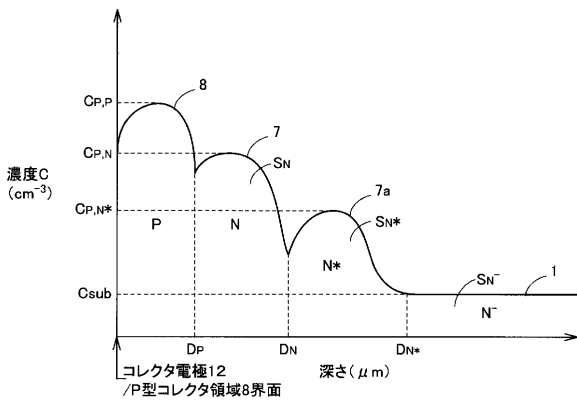
【図 27】



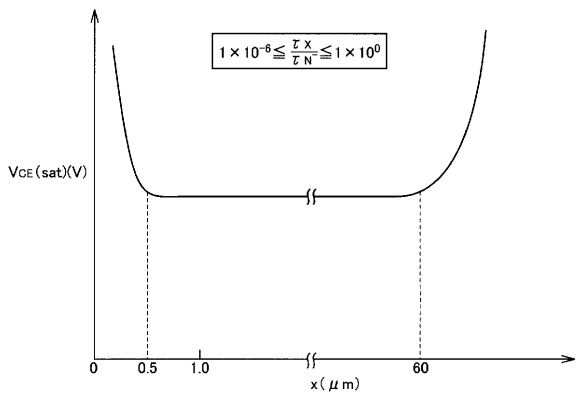
【図 28】



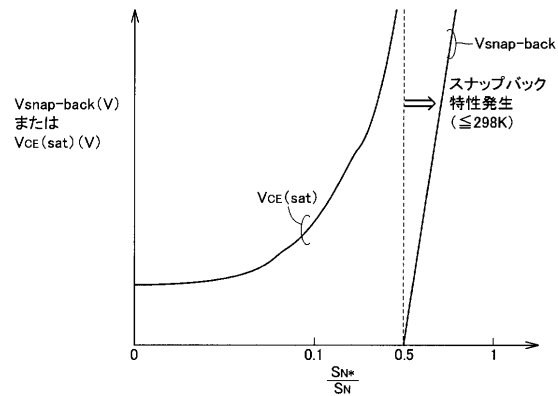
【図 29】



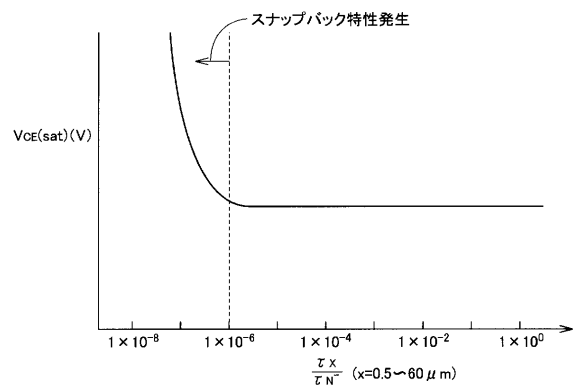
【図 31】



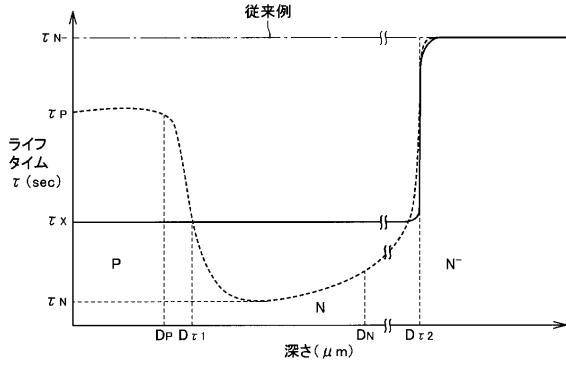
【図 30】



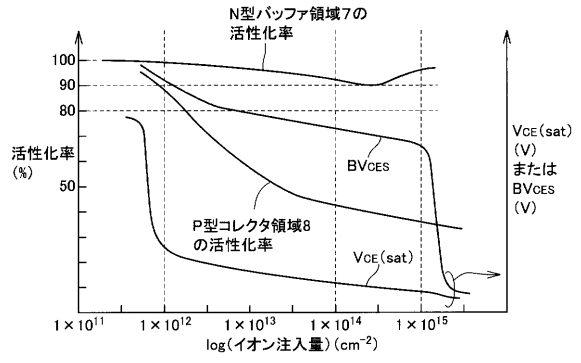
【図 32】



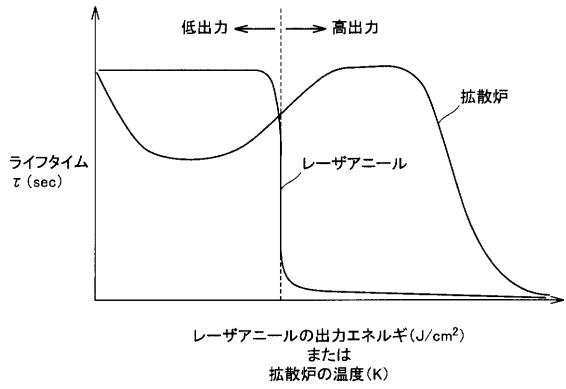
【図33】



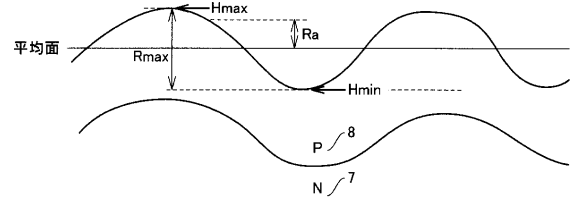
【図35】



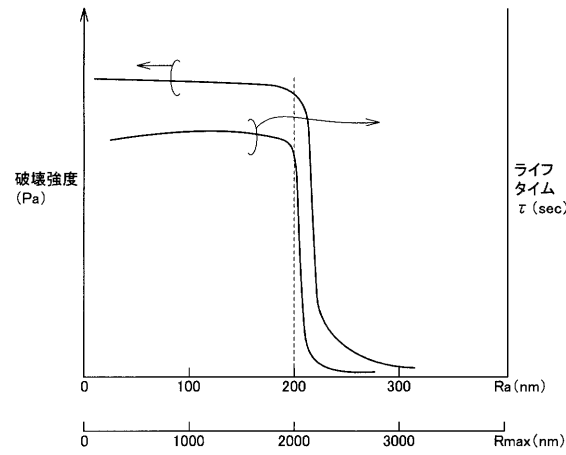
【図34】



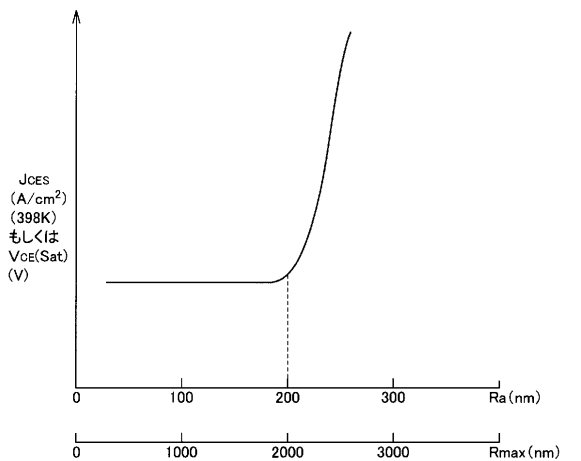
【図36】



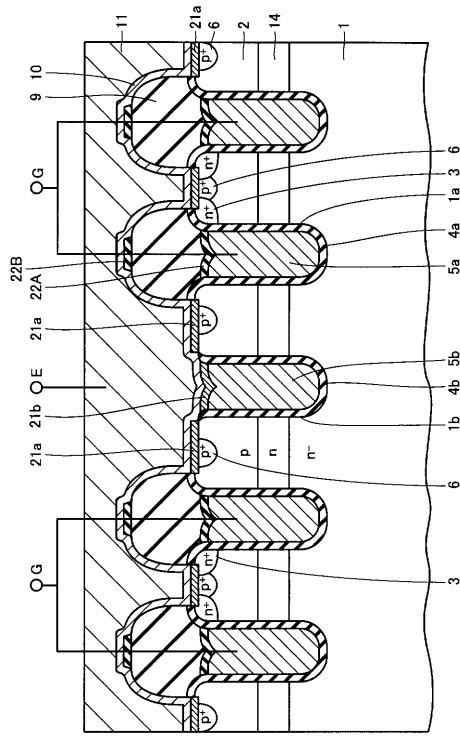
【図37】



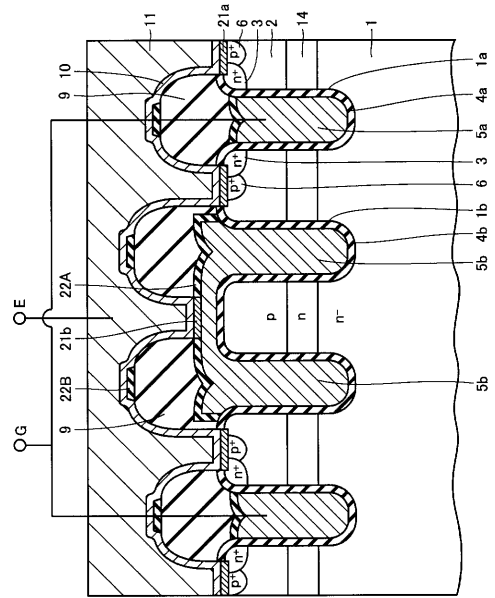
【図38】



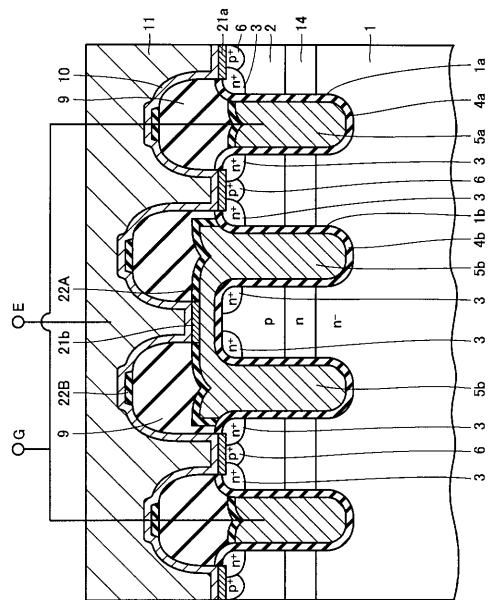
【 4 3 】



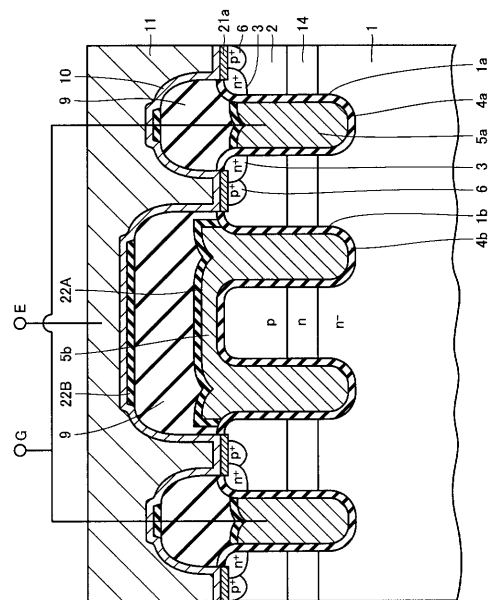
【 4 4 】



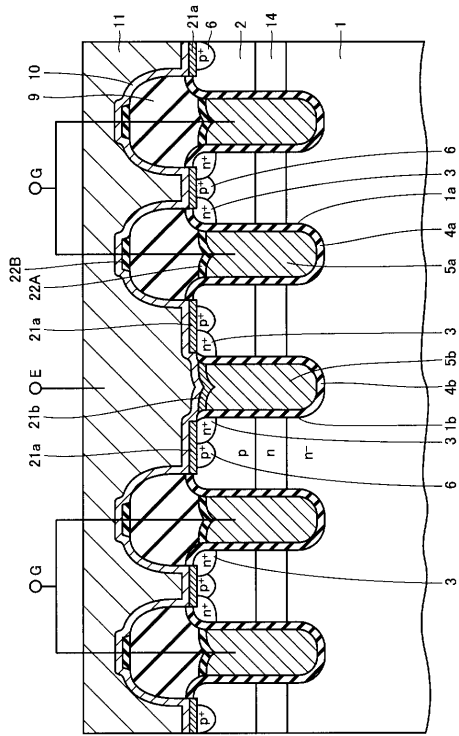
【 4 5 】



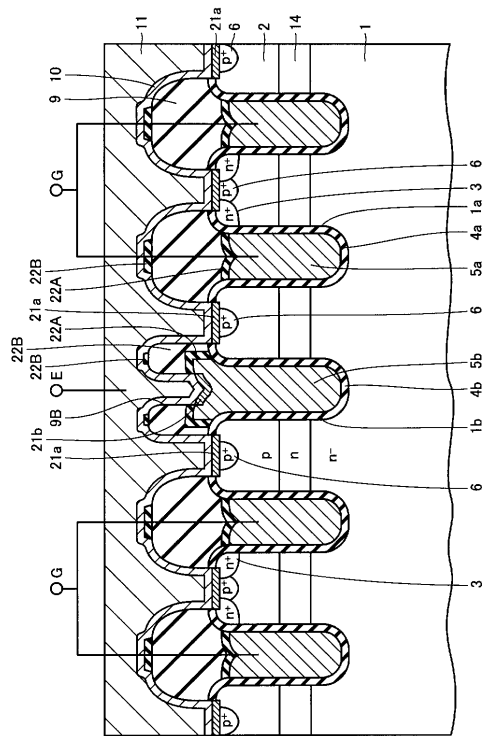
【 4 6 】



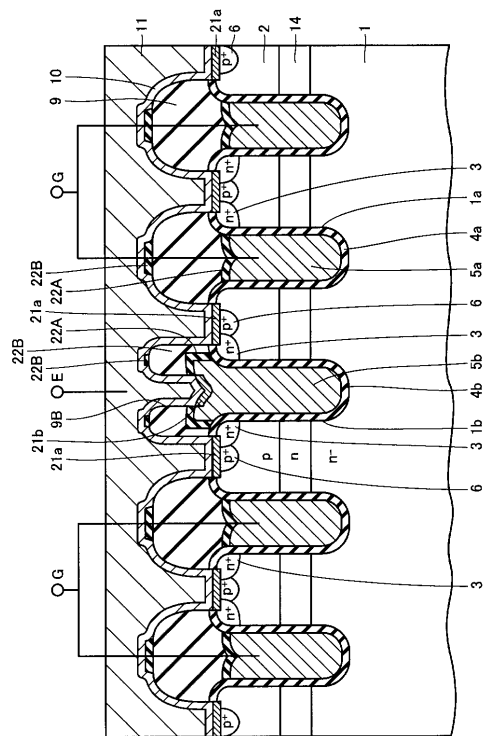
【 47 】



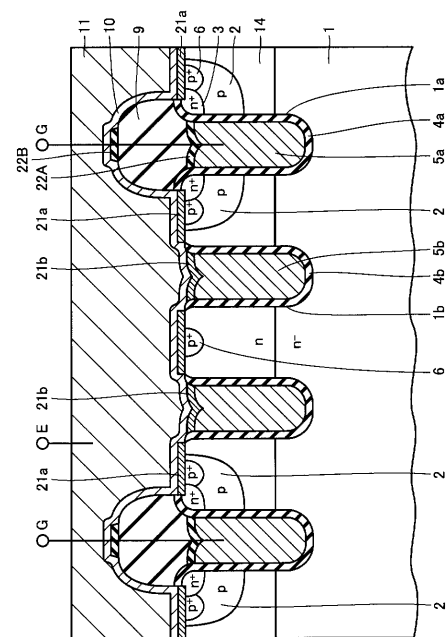
【 48 】



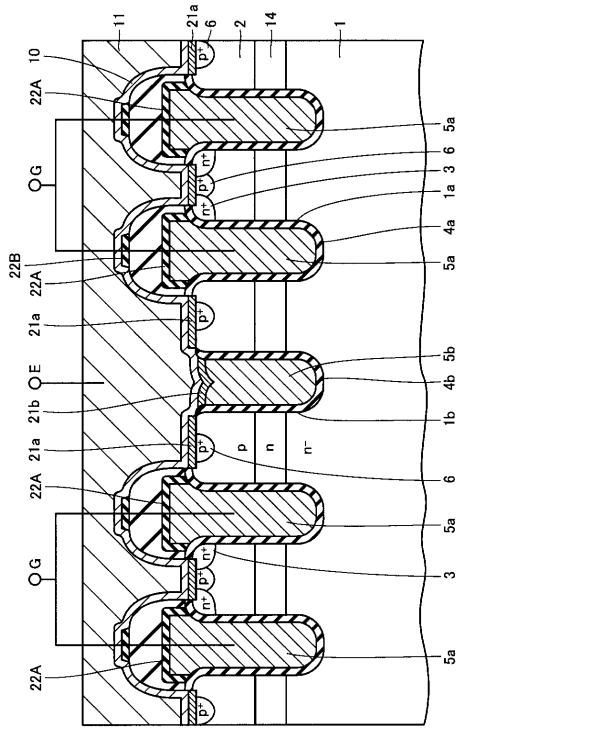
【 49 】



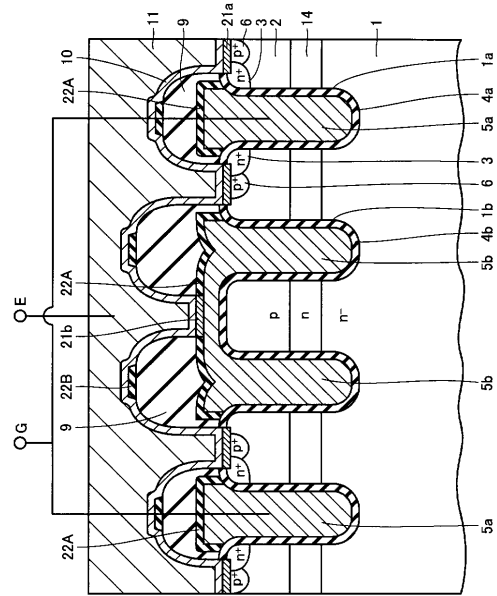
【 50 】



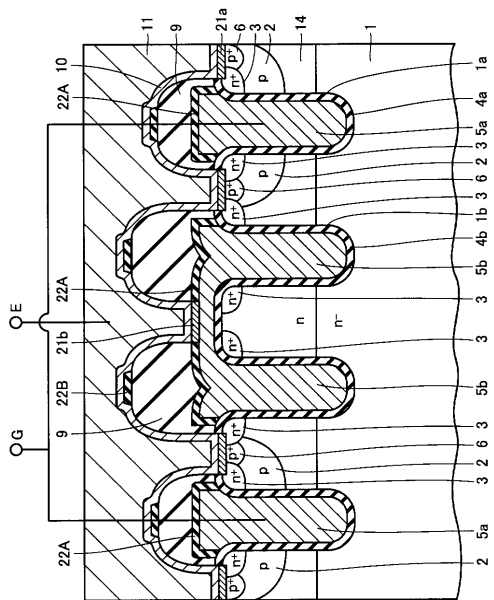
【 67 】



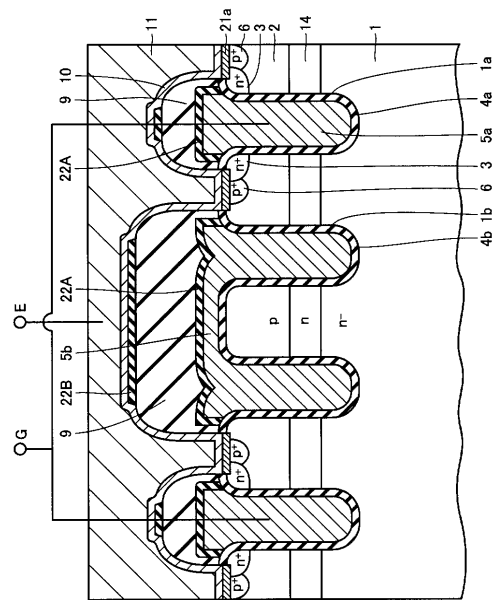
【 68 】



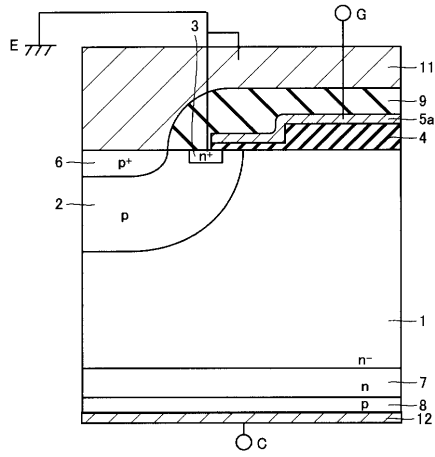
【 69 】



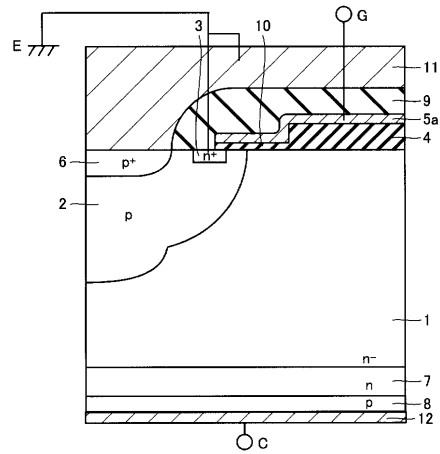
【 70 】



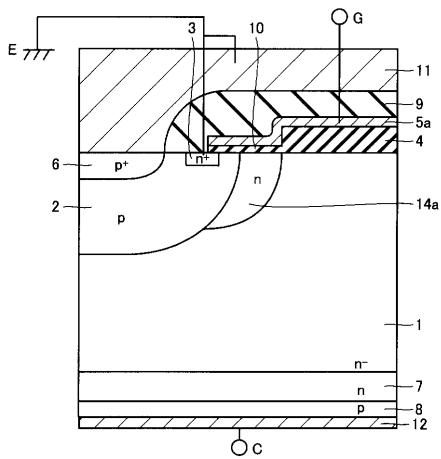
【図 79】



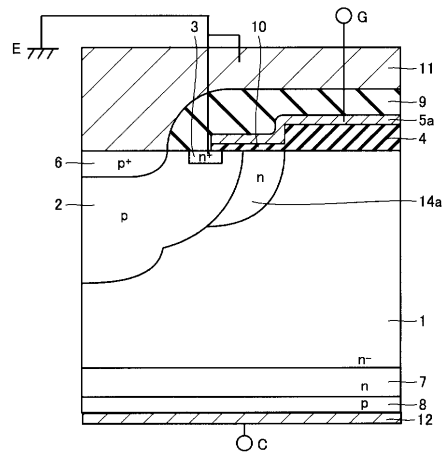
【図 80】



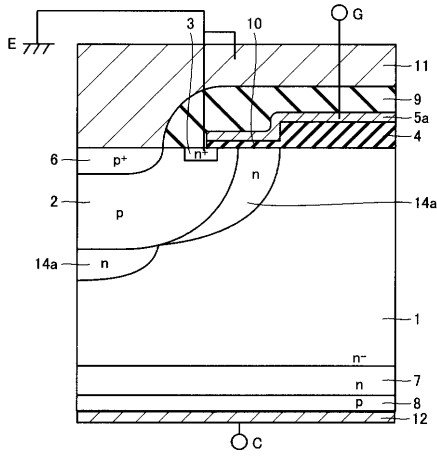
【図 81】



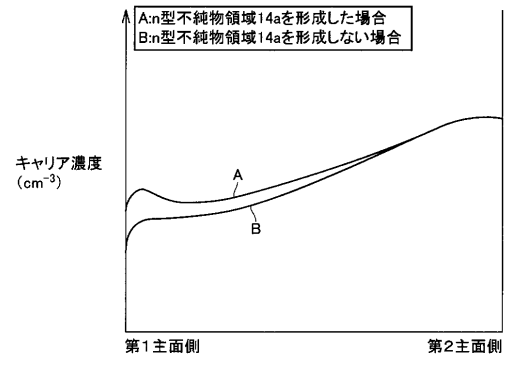
【図 82】



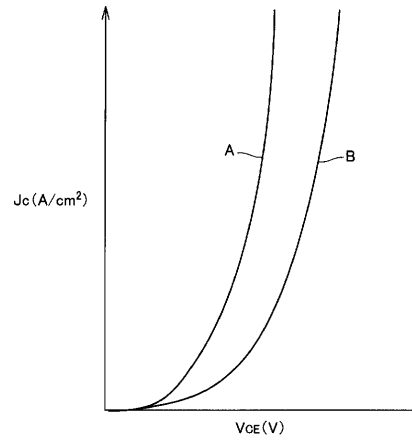
【図83】



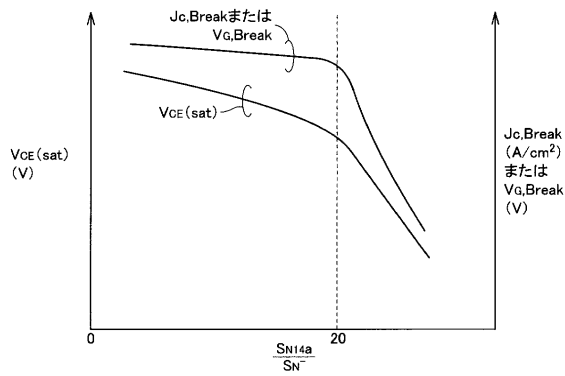
【図84】



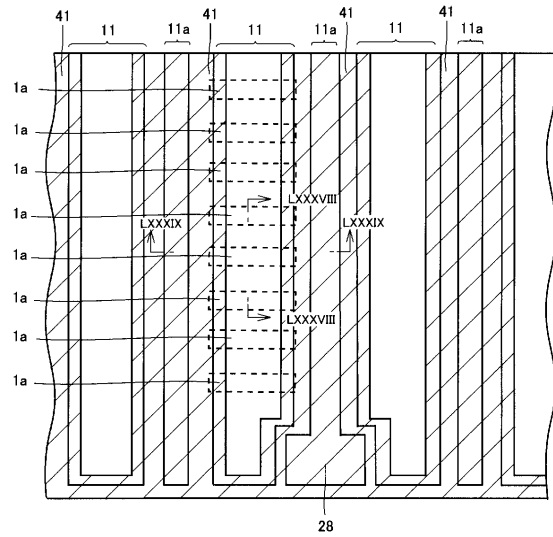
【図85】



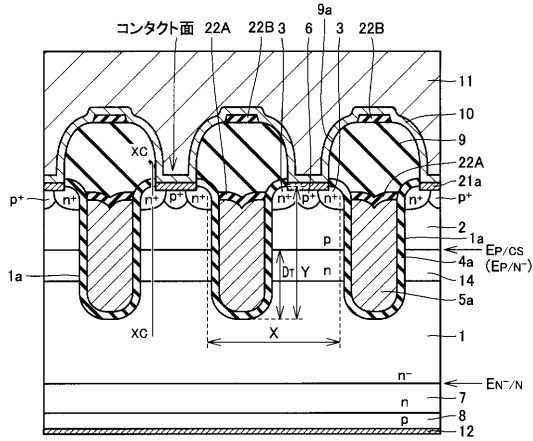
【図86】



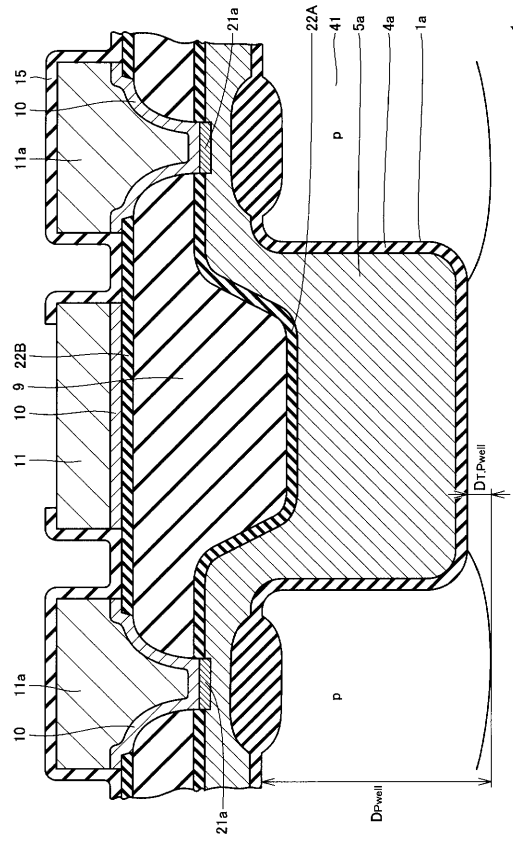
【図87】



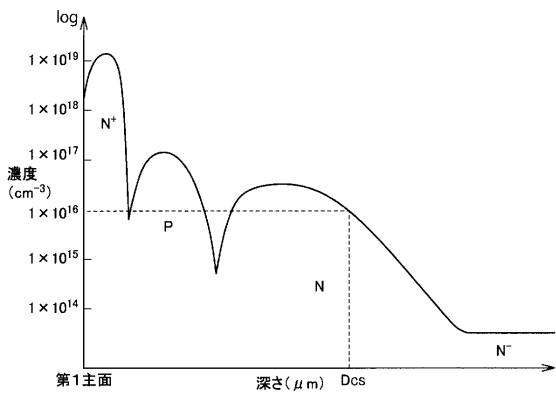
【図 88】



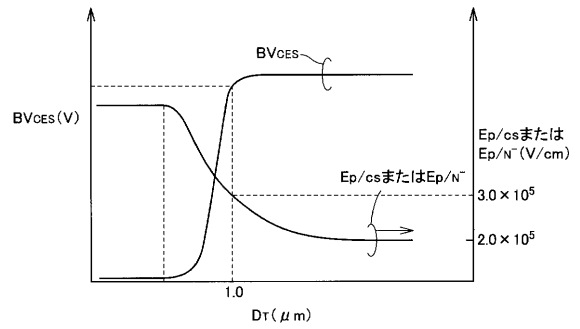
【図 89】



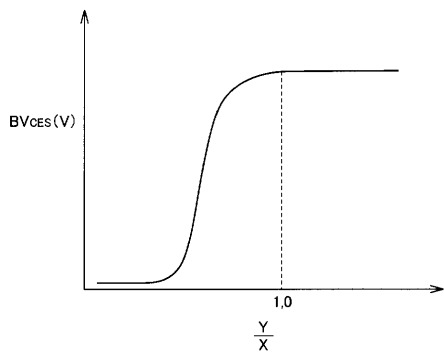
【図 90】



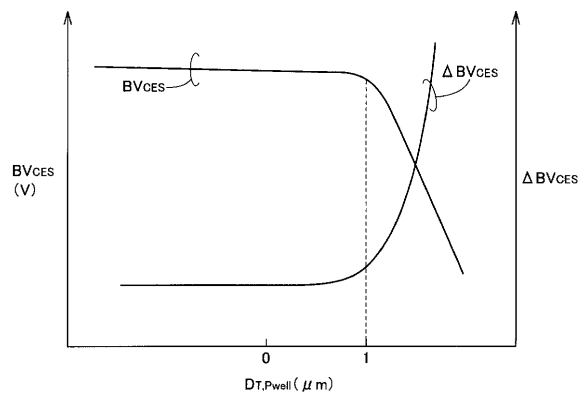
【図 92】



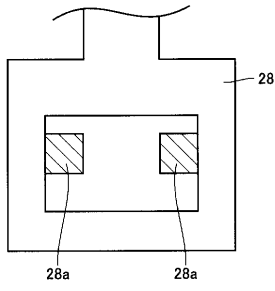
【図 91】



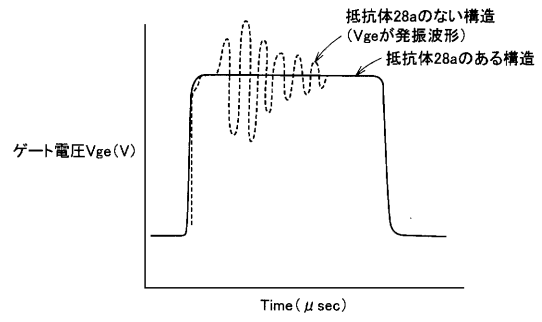
【図 93】



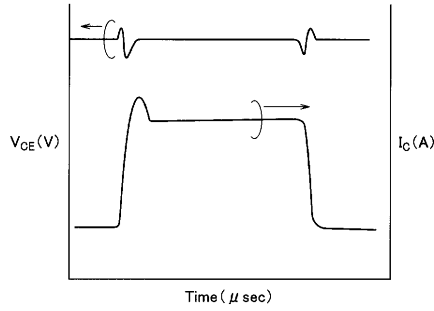
【図100】



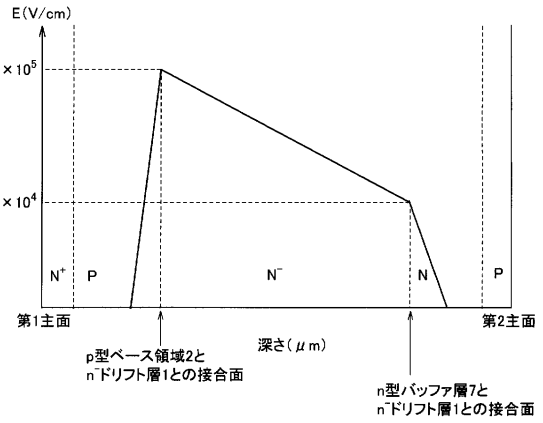
【図102】



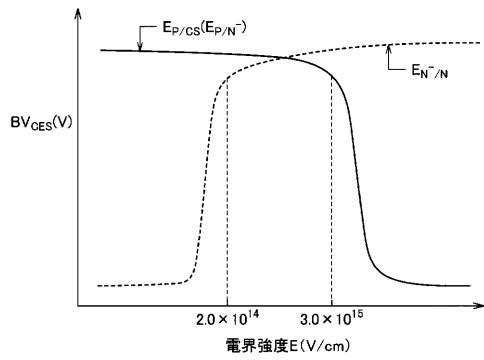
【図101】



【図103】



【図104】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/78 6 5 2 M
H 0 1 L 29/78 6 5 5 F
H 0 1 L 29/06 3 0 1 V
H 0 1 L 29/06 3 0 1 D

(56)参考文献 国際公開第 2 0 0 2 / 0 5 8 1 6 0 (W O , A 1)
特開平 1 1 - 0 3 1 8 1 5 (J P , A)
特開平 0 5 - 0 0 3 3 2 4 (J P , A)

(58)調査した分野(Int.Cl. , DB名)
H 0 1 L 2 9 / 7 3 9
H 0 1 L 2 9 / 0 6
H 0 1 L 2 9 / 7 8
H 0 1 L 2 7 / 0 4
H 0 1 L 2 1 / 3 3 6