

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 12 月 1 日 (01.12.2005)

PCT

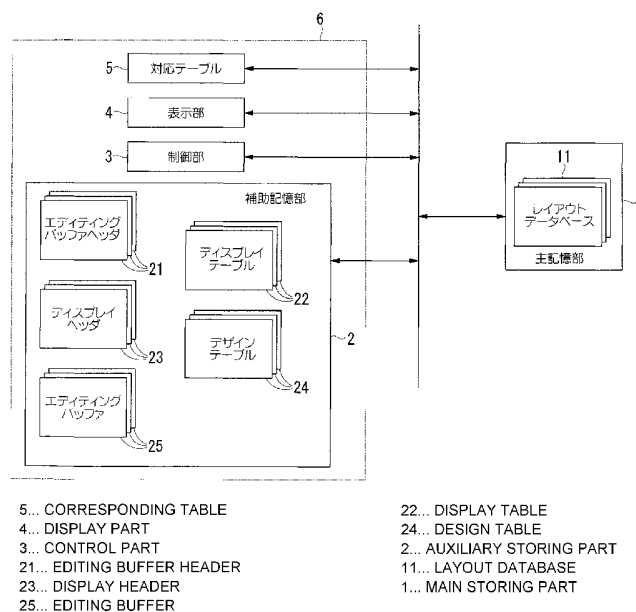
(10) 国際公開番号
WO 2005/114498 A1

- (51) 国際特許分類: **G06F 17/50**, H01L 21/82 (72) 発明者; および
(21) 国際出願番号: PCT/JP2005/009359 (75) 発明者/出願人 (米国についてのみ): 今村 義彦 (IMA-MURA, Yoshihiko) [JP/JP]; 〒3510114 埼玉県和光市本町 8 丁目 1 番 株式会社ホンダ・リサーチ・インスティテュート・ジャパン内 Saitama (JP).
(22) 国際出願日: 2005 年 5 月 23 日 (23.05.2005)
(25) 国際出願の言語: 日本語 (74) 代理人: 志賀 正武, 外 (SHIGA, Masatake et al.); 〒1048453 東京都中央区八重洲 2 丁目 3 番 1 号 Tokyo (JP).
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願 2004-153148 2004 年 5 月 24 日 (24.05.2004) JP (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, JP).
(71) 出願人 (米国を除く全ての指定国について): 本田技研工業株式会社 (HONDA MOTOR CO., LTD.) [JP/JP]; 〒1078556 東京都港区南青山二丁目 1 番 1 号 Tokyo (JP).

[続葉有]

(54) Title: LSI LAYOUT APPARATUS, AND METHOD AND PROGRAM THEREOF

(54) 発明の名称: L S I レイアウト装置及びその方法並びにプログラム



(57) Abstract: An LSI layout apparatus is provided with a layout database for storing pattern data of circuit layout patterns, an editing buffer for storing the read pattern data, a design table which is provided for each circuit design for storing design information indicating the editing buffer wherein the pattern data is stored, a display table for storing display information of the circuit layout pattern to be displayed, and a display part, which reads out a circuit layout pattern layer from the design information from the editing buffer and displays the pattern data of each layer. The LSI layout apparatus adds identification information to each layer unit.

(57) 要約: 本発明の L S I レイアウト装置は、回路レイアウトパターンのパターンデータを記憶するレイアウトデータベースと、読み込まれたパターンデータを記憶するエディティングバッファと、回路デザイン毎に設けられた、パターンデータの記憶されたエディティングバッファを示すデザイン情報が記憶されたデザインテーブルと、表示する回路レイアウト

[続葉有]

WO 2005/114498 A1



SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

パターンのディスプレイ情報を記憶するディスプレイテーブルと、デザイン情報から回路レイアウトパターンのレイヤをエディティングバッファから読み出し、この各レイヤのパターンデータを表示する表示部とを有し、各レイヤ単位に識別情報を付与する。

明 細 書

LSIレイアウト装置及びその方法並びにプログラム

技術分野

- [0001] 本発明は、LSI(大規模集積回路)を設計する際に用いられるLSIレイアウト装置及びそのレイアウト方法並びにレイアウトプログラムに関する。

本願は、2004年5月24日に出願された特願2004-153148号に基づき優先権を主張し、その内容をここに援用する。

背景技術

- [0002] 通常、LSIを製造するとき、LSIの仕様決定から量産に入るまで、仕様に基づく基本設計、ハードウェア記述言語におけるRTL(Register Transfer Level)による回路構成記述、ハードウェア記述言語レベルでの論理合成、合成された回路の論理検証、この合成回路のマスクパターン作成を行うレイアウトパターン設計、作成されたマスクによる試作、試作後の量産、量産品のテストなどの順に、複数の処理が行われる。

LSIの製造工程においては、回路機能を構成する複数の素子を、上記マスクを用いてシリコン等の基板上に形成する。

また、LSIの設計において、素子構造を形成するレイアウトパターン設計は、比較的自動化が進んでおり、ほぼ実用レベルに達している。

- [0003] 通常、自動設計ツールにおいては、論理合成された回路に対応するレイアウトパターンが、回路レイアウト情報として、予めレイアウトデータベースとして準備されている。

そして、以下に示す特許文献1～3には、上述したレイアウトデータベースを作成したり、このレイアウトデータベースを用いてレイアウトパターン設計を行うLSIレイアウト装置が記載されている。

特許文献1:特開平09-237839号公報

特許文献2:特開平11-297836号公報

特許文献3:特開2000-314954号公報

発明の開示

発明が解決しようとする課題

[0004] 上述したレイアウトデータベースは、所定の機能デバイス、すなわち回路デザインにおける回路レイアウトパターンによるレイヤのセットから構成されている。

ここで、複数の機能デバイスを複数、例えば2種類を組み合わせる1つのLSIを構成しようとする際、両者の接続作業を行うために、2種のレイアウトデータベース(例えば、レイヤセットA及びレイヤセットB)に属する、各々のレイヤのパターンデータを、同時に表示装置に表示する必要がある。

従来のLSIレイアウト装置においては、編集処理において、例えば、レイヤセットAにおけるレイヤのパターンデータが、エディティングバッファに読み込まれ、次に、レイヤセットBにおけるレイヤのパターンデータが読み込まれ、エディティングバッファにおいて、レイヤセットAのパターンデータに対して、レイヤセットBのパターンデータが上書きされ、2つのレイアウトセットのパターンデータが混在したものとなる。

[0005] すなわち、エディティングバッファにおいて、レイヤセットAに対して、レイヤセットBのパターンデータがインクルードされた状態となる。

これにより、エディティングバッファにおいて混在したレイアウトパターンが、装置の表示装置に表示されることとなる。

ここで、エディティングバッファとは、表示画面上においてレイアウトパターンの編集を行う際、編集対象のレイアウトデータベースの各レイヤのパターンデータを一時的に保持する記憶部である。

[0006] しかしながら、従来のLSIレイアウト装置においては、レイアウトパターンのレイヤが同一のレイヤ番号を有する場合、エディティングバッファにおいて、レイヤセットAとレイヤセットBとの各レイヤのパターンデータが混在してしまうこととなり、混在後のレイアウトパターンがいずれのレイヤセットに属するかを、データの的に区別できなくなる。

したがって、従来のLSIレイアウト装置においては、作業の取り消しを行うアンドゥ機能を有しているが、一端、インクルードが行われたエディティングバッファでのレイアウトデータベースに対して、元に戻すための分離を行うことができない。

[0007] このため、従来のLSIレイアウト装置においては、異なったレイアウトセットを間違っ

てインクルードしてしまったり、任意のレイアウトセットに対してインクルードが複数回実行されたりしたとき、エディティングバッファの内容が次々に更新されてしまい、初期の状態に戻すことができなくなり、容易に、編集の処理をやり直すことができなくなるという問題があった。

本発明は、このような事情に鑑みてなされたもので、複数の回路デザイン間におけるインクルード処理により、複数の回路デザインのレイヤが合成されたパターンデータにおいて、それぞれの回路デザインに属するレイヤのパターンデータの識別ができるLSIレイアウト装置及びそのレイアウト方法並びにレイアウトプログラムを提供することを目的とする。

課題を解決するための手段

[0008] 上記目的を達成するために、本発明のLSIレイアウト装置は、異なる回路デザインに属する回路レイアウトパターンを用い、LSIのレイアウトパターン設計を行う際、該回路レイアウトパターンを構成する各レイヤのパターンデータの表示及び編集を行うLSIレイアウト装置であって、前記回路レイアウトパターンを構成する各レイヤのパターンデータが、回路デザイン毎に記憶されるレイアウトデータベース(例えば、一実施形態におけるレイアウトデータベース11)と、表示画面に表示される際、前記レイアウトデータベースから読み込まれる該回路レイアウトパターンを記憶するエディティングバッファ(例えば、一実施形態におけるエディティングバッファ25)と、前記回路デザイン毎に設けられ、回路レイアウトパターンが記憶されている前記エディティングバッファのアドレス情報を含むデザイン情報が記憶されたデザインテーブル(例えば、一実施形態におけるデザインテーブル24)と、前記表示画面に対応し、該表示画面に表示する回路レイアウトパターンを示すディスプレイ情報が記憶されたディスプレイテーブル(例えば、一実施形態におけるディスプレイテーブル22)と、前記ディスプレイ情報を参照して、所定の回路レイアウトパターンのレイヤを各エディティングバッファから、前記デザイン情報により読み出し、この各レイヤのパターンデータを前記表示画面に表示する表示部(例えば、一実施形態における表示部4)とを有し、前記エディティングバッファに、前記回路レイアウトパターンの各レイヤを格納する際、いずれの回路デザインに含まれるかを示す識別情報を、該各レイヤ単位に付与する。

[0009] また、本発明のLSIレイアウト方法は、異なる回路デザインに属する回路レイアウトパターンを用い、LSIのレイアウトパターン設計を行う際、該回路レイアウトパターンを構成する各レイヤのパターンデータの表示及び編集を行うLSIレイアウト方法であって、前記回路レイアウトパターンを構成するレイヤのパターンデータが回路デザイン毎に対応して、レイアウトデータベースに記憶する記憶過程（例えば、一実施形態におけるステップS0）と、表示画面に表示される際、前記レイアウトデータベースから読み込まれる該回路レイアウトパターンをエディティングバッファに記憶するバッファ過程（例えば、一実施形態におけるステップS7, S8）と、前記回路デザイン毎に設けられ、回路レイアウトパターンが記憶されている前記エディティングバッファのアドレス情報を含むデザイン情報を、デザインテーブルに記憶するデザインテーブル記憶過程（例えば、一実施形態におけるステップS3～S6）と、前記表示画面に対応し、該表示画面に表示する回路レイアウトパターンを示すディスプレイ情報を、ディスプレイテーブルに記憶するディスプレイテーブル記憶過程（例えば、一実施形態におけるステップS9～S14）と、前記ディスプレイ情報を参照して、所定の回路レイアウトパターンのレイヤを各エディティングバッファから、前記デザイン情報により読み出し、この各レイヤのパターンデータを前記表示画面に表示する表示過程（例えば、一実施形態におけるステップS17, 18）とを有し、前記エディティングバッファに、前記回路レイアウトパターンの各レイヤを格納する際、いずれの回路デザインに含まれるかを示す識別情報を、該各レイヤ単位に付与する。

[0010] さらに、本発明のコンピュータが実行可能なLSIレイアウトプログラムは、異なる回路デザインに属する回路レイアウトパターンを用い、LSIのレイアウトパターン設計を行う際、該回路レイアウトパターンを構成する各レイヤのパターンデータの表示及び編集を行うLSIレイアウト処理を、コンピュータに実行させるプログラムであって、前記回路レイアウトパターンを構成するレイヤのパターンデータが回路デザイン毎に対応して、レイアウトデータベースに記憶する記憶処理（例えば、一実施形態におけるステップS0）と、表示画面に表示される際、前記レイアウトデータベースから読み込まれる該回路レイアウトパターンをエディティングバッファに記憶するバッファ処理（例えば、一実施形態におけるステップS7, S8）と、前記回路デザイン毎に設けられ、該回路レ

レイアウトパターンが記憶されている前記エディティングバッファのアドレス情報を含むデザイン情報を、デザインテーブルに記憶するデザインテーブル記憶処理(例えば、一実施形態におけるステップS3～S6)と、前記表示画面に対応し、該表示画面に表示する回路レイアウトパターンを示すディスプレイ情報を、ディスプレイテーブルに記憶するディスプレイテーブル記憶処理(例えば、一実施形態におけるステップS9～S14)と、前記ディスプレイ情報を参照して、所定の回路レイアウトパターンのレイヤを各エディティングバッファから、前記デザイン情報により読み出し、この各レイヤのパターンデータを前記表示画面に表示する表示処理(例えば、一実施形態におけるステップS17, 18)とを有し、前記エディティングバッファに、前記回路レイアウトパターンの各レイヤを格納する際、いずれの回路デザインに含まれるかを示す識別情報を、該各レイヤ単位に付与する。

[0011] 上述した構成により、本発明のLSIレイアウト装置、その方法及びそのプログラムは、任意の回路レイアウトパターンに対して、他の回路レイアウトパターンをインクルードしたとき、回路デザイン毎の識別情報が各レイヤに付与されていることにより、上記任意の回路レイアウトパターンの各レイヤが同一のレイヤ番号を有していたとしても、それぞれ異なったエディティングバッファに書き込まれるため、合成された状態で表示されたとしても、実質的に異なる回路レイアウトパターンが一つのエディティングバッファで合成されているわけではないので、回路デザイン毎に各レイヤのパターンデータを容易に認識することができる。

これにより、本発明のLSIレイアウト装置、その方法及びそのプログラムは、編集の結果をレイアウトデータベースに戻す際、各レイヤに付与されている上記識別情報を参照して、各回路デザインに対応する各レイヤのパターンデータを、エディティングバッファから読み出し、各レイヤのパターンデータを対応するレイアウトデータベースに書き込むことが可能となり、従来のように、複数の回路デザインのパターンデータを合成させてしまい、初期状態に戻すことが出来ないような破壊的な編集操作を、レイアウトデータベースに対して行うことを防止することができる。

[0012] また、本発明のLSIレイアウト装置は、前記デザインテーブル毎に対応して設けられ、前記各レイヤを示すレイヤ番号及びエディティングバッファのアドレスを含むレイ

ヤバッファ情報が記憶されたバッファヘッダテーブル(例えば、一実施形態におけるエディティングバッファヘッダ21)と、前記ディスプレイテーブルに対応して設けられ、前記レイヤ番号を含む、前記各回路レイアウトパターンを表示画面上に表示するために必要な表示情報が記憶されたディスプレイヘッダテーブル(例えば、一実施形態におけるディスプレイヘッダ23)とを有し、ディスプレイテーブルのディスプレイ情報により、表示画面上に各レイヤを表示する際、前記ディスプレイヘッダテーブルに記憶された前記レイヤ番号に対応するレイヤのパターンデータを、前記バッファヘッダテーブルを介して、前記エディティングテーブルから読み出す。

- [0013] さらに、本発明LSIレイアウト方法は、前記デザインテーブル毎に対応して設けられ、前記各レイヤを示すレイヤ番号及びエディティングバッファのアドレスを含むレイヤバッファ情報をバッファヘッダテーブルへ記憶するバッファヘッダテーブル記憶過程(例えば、一実施形態におけるステップS5, S6)と、前記ディスプレイテーブルに対応して設けられ、前記レイヤ番号を含む、前記各回路レイアウトパターンを表示画面上に表示するために必要な表示情報を、ディスプレイヘッダテーブルへ記憶するディスプレイヘッダテーブル記憶過程(例えば、一実施形態におけるステップS13, S14)とを有し、ディスプレイテーブルのディスプレイ情報により、表示画面上に各レイヤを表示する際、前記ディスプレイヘッダテーブルに記憶された前記レイヤ番号に対応するレイヤのパターンデータを、前記バッファヘッダテーブルを介して、前記エディティングテーブルから読み出す。

上述した構成により、本発明のLSIレイアウト装置及びその方法は、上述した構成により、回路レイアウトパターン毎にレイヤのエディティングバッファを、各レイアウトデータベース及び表示画面単位で独立に管理することが可能となり、各レイヤが属する回路レイアウトパターンに関係なく、容易に、表示画面に表示するレイヤを選択することができる。

- [0014] また、本発明のLSIレイアウト装置は、前記ディスプレイテーブルを複数有し、このディスプレイテーブル毎に対応してディスプレイヘッダテーブルが設けられる。

上述した構成により、本発明のLSIレイアウト装置は、装置のディスプレイに、複数の表示画面(ウィンドウ)を表示する際、各表示画面を独立に管理することが可能とな

り、各表示画面に表示する各レイヤの属する回路レイアウトパターンに関係なく、容易に、表示画面に表示するレイヤを選択することができる。

[0015] また、本発明のLSIレイアウト装置においては、前記識別情報が各レイヤのレイヤ番号に付加される所定の文字または数字で表される。

上述した構成により、本発明のLSIレイアウト装置は、予め設定された回路デザインを識別する識別情報を、元のレイヤ番号に対するオア演算等により、容易に付加することが可能となり、識別番号の付与を容易に行うことができ、かつエディティングバッファにおいて各レイヤの判別処理を簡易な手段により行うことができる。

発明の効果

[0016] 本発明によれば、レイアウトデータベースから読み出した各回路パターンにおける各レイヤのパターンデータを、エディティングバッファに記憶させる際、各レイヤ単位にいずれの回路デザインに含まれるかを示す識別番号を付与するので、編集の結果をレイアウトデータベースに戻す際、各レイヤに付与されている上記識別情報を参照して、各回路デザインに対応する各レイヤのパターンデータを、エディティングバッファから読み出し、各レイヤのパターンデータを対応する回路デザインのレイアウトデータベースに書き込むことが可能となる。

図面の簡単な説明

[0017] [図1]図1は、本発明の一実施形態によるLSIレイアウト装置の構成例を示すブロック図である。

[図2]図2は、図1におけるデザインテーブル、エディティングバッファヘッダ及びエディティングバッファの関係を示す概念図である。

[図3]図3は、回路デザインA及び回路デザインBの各レイヤの元のレイヤ番号と、識別子を付加した新たなレイヤ番号との関係を示す図である。

[図4]図4は、ディスプレイテーブルとディスプレイヘッダとの関係を示す概念図である。

[図5]図5は、回路デザインAと回路デザインBとの回路レイアウトパターンにおける各レイヤの表示処理を説明する概念図である。

[図6]図6は、回路デザインAと回路デザインBとの回路レイアウトパターンにおける各

レイヤの表示処理を説明するシーケンス図である。

符号の説明

- [0018]
- 1 主記憶部
 - 2 補助記憶部
 - 3 制御部
 - 4 表示部
 - 5 対応テーブル
 - 6 LSIレイアウト部
 - 4-1, 4-2 表示画面
 - 11 レイアウトデータベース
 - 21, 21-1, 21-2 エディティングバッファヘッダ
 - 22, 22-1, 22-2 ディスプレイテーブル
 - 23, 23-1, 23-2 ディスプレイヘッダ
 - 24, 24-1, 24-2 デザインテーブル
 - 25, 25-1, 25-2 エディティングバッファ

発明を実施するための最良の形態

- [0019] 以下、本発明の一実施形態によるLSIレイアウト装置を図面を参照して説明する。

図1は同実施形態の一構成例を示すブロック図である。

この図において、LSIレイアウト装置は、主記憶部1とLSIレイアウト部6とから構成されている。主記憶部1には、回路デザイン毎に対応し、各回路デザインに属する回路レイアウトパターンを含む回路レイアウト情報が格納された複数のレイアウトデータベース11が設けられている。

ここで、回路デザインとは、例えば、製造工程において同一の加工寸法で製造可能な、すなわちマスクデザインルール等が同様な、回路設計情報(例えば、ハードマクロやソフト・マクロの各レイアウト階層(レイヤ)におけるレイアウトパターン情報)である。その回路設計情報は、メモリ回路やロジック回路のライブラリで所定の機能を有するように別々に設計される。

- [0020] また、LSIレイアウト部6は、補助記憶部2、制御部3及び表示部4を有する。

補助記憶部2には、エディティングバッファヘッダ21、ディスプレイヘッダ23、ディスプレイテーブル22、デザインテーブル24、及びエディティングバッファ25等の記憶領域を有している。これらの記憶領域各々には、各回路レイアウトパターンの管理をする管理データが記憶されている。この管理データは、ユーザが異なる複数の回路デザインに属する回路レイアウトパターンを用い、これらを組み合わせて、LSIの回路レイアウトパターンの編集操作を行うとき、この編集操作に基づき、制御部3が各回路レイアウトパターンの編集処理や表示部5への表示処理を行う場合に用いる。

[0021] エディティングバッファ25には、各回路レイアウトパターンに対応し、レイヤ毎に設けられた各レイヤのパターンデータが記憶されている。

ここで、デザインテーブル24の示す回路レイアウトパターンにおける各レイヤのパターンデータと、各エディティングバッファ25内のレイヤのパターンデータとは、図2に示すように、エディティングバッファヘッダ21により対応付けられている。

すなわち、デザインテーブル24は、図2に示すように、上述したエディティングバッファヘッダアドレスを含めて、この回路デザインのデザイン名、初期作成者名、最終変更者名、初期作成日、最終変更日、最大レイヤ層数、全体のメモリ使用領域などのデザイン情報を有している。

ここで、デザインテーブル24に記載されているエディティングバッファヘッダアドレスが、このデザインテーブル24に記載された回路デザインの回路レイアウトパターンにおける各レイヤに対応するエディティングバッファヘッダ21のアドレスを示している。

また、エディティングバッファヘッダ21には、エディティングバッファ25に読み込まれた回路レイアウトパターンの各レイヤに対して、1対1に対応するレイヤバッファ情報がエントリー単位に記憶されている。

[0022] ここで、回路レイアウトパターンが例えば、「poly」、「n-well」、「p-well」、「contact」、「diff p+」、「diff n+」、「via-1」、「via-2」、「metal-2」及び「metal-3」の名称の各レイヤのパターンデータから構成されている場合、上記エントリーはこれらの各レイヤ（製造工程においてフォトリソグラフィに用いられる各マスクに対応するマスクレイヤ）に1対1で対応し、かつレイヤ番号も上記レイヤ名にリンクされている（関連づけられている）。

このエントリーは、図2に示すように、エントリーフィールドにおいて、いずれの回路

デザインに属するかを示すデザイン番号、レイヤの名称、レイヤ番号、及びこのエントリーに対応するレイヤのパターンデータが記憶されるエディティングバッファ25の先頭アドレス等のレイヤバッファ情報を有している。

[0023] 制御部3は、主記憶部1から読み出した回路レイアウトパターンを、エディティングバッファ25へ各回路レイアウトパターンにおけるレイヤ毎に対応して書き込むとき、デザインテーブル24及びエディティングバッファヘッダ21を形成する。

また、制御部3は、エディティングバッファヘッダ21の各エントリーフィールドにおいて、レイヤ番号を書き込むとき、このレイヤがいずれの回路デザインに属するかの識別情報として、所定の数値または文字の識別子を、レイヤ番号に付与する。

ところで、図3に示す回路デザインA及びBのように、回路デザインの回路レイアウトパターンにおいて、レイアウト装置は、従来慣習的に、レイアウトパターンにおける各レイヤ番号を割り当てており、同様のレイヤの種類に対して同一の数字が用いられる場合が多い。

[0024] 例えば、レイヤ名「poly」のレイヤ番号は回路デザインA及びBともに「101」の同一のレイヤ番号が用いられているとき、回路デザインAとBとを用いてレイアウトパターンの編集を行う場合、回路デザインAの回路レイアウトパターンを先に読み込み、後に、この回路レイアウトパターンに対して、回路デザインBの回路レイアウトパターンをインクルード処理する。

従ってこのままでは、表示画面においては、回路デザインAの回路レイアウトパターンにおけるレイヤ番号「101」と、回路デザインBの回路レイアウトパターンにおけるレイヤ番号「101」との、同一のレイヤ番号同士のパターンデータが混在した状態となってしまう。

[0025] そこで本発明では、制御部3は、エディティングバッファヘッダ21におけるエントリーフィールドに各レイヤ番号を書き込む際、このレイヤ番号に対して、上述したように識別子として、所定の数値または文字を論理和演算(オア演算)し、新たにレイヤ識別番号を生成し、このレイヤ識別番号をエントリーフィールドへ書き込む。ここで、論理和演算される所定の数値または文字が回路デザインを識別する識別子となる。

識別子としての所定の数値は、主記憶部1におけるレイアウトデータベース11で用

いられている本来のレイヤ番号より桁数の大きい数値を用い、オア演算を行った場合に、本来のレイヤ番号の各桁の数値を変化させないものが管理を容易とする。

また、識別子としての所定の文字も、オア演算により、レイヤ番号の最下位桁の後ろに付加(「101A」)し、またはレイヤ番号の最上位桁の上に付加(「A101」)しても良い。

また、制御部3は、回路デザインのデザイン名またはデザイン番号と、この回路デザインに付加した識別子との対応関係を、補助記憶部2に設けられた対応テーブル5に書き込む。

[0026] 図1に戻り、表示部4は、ディスプレイテーブル22毎に表示画面(ウィンドウ)を生成し、この各表示画面において、このディスプレイテーブル22に示されたディスプレイヘッダ23を参照し、このディスプレイヘッダ23に記載されている単数または複数のエディティングバッファ25に格納されているパターンデータを表示する。

上記ディスプレイテーブル22は、表示部4における表示画面毎に作成され、図4に示すように、上述したディスプレイヘッダアドレスを含めて、表示画面の名称(例えば、図5における表示画面4-1)であるディスプレイ名、この表示画面の初期作成者、初期作成日、最終変更日、最大レイヤ数、全体のメモリ使用領域などのディスプレイ情報を有している。ここで、ディスプレイテーブル22の示す回路レイアウトパターンの各レイヤと、この表示部4における表示画面単位におけるレイヤとは、図4に示すように、ディスプレイヘッダ23により1対1に対応付けられている。

[0027] すなわち、ディスプレイテーブル22に記載されているディスプレイヘッダアドレスが、対応する表示画面単位に表示されるレイヤを管理するディスプレイヘッダ23のアドレスを示している。このディスプレイヘッダ23には、表示対象の表示画面に表示される各レイヤに1対1に対応して、表示情報を示すエントリーが記憶されている。

このエントリーは、図4に示すように、各エントリーフィールドにおいて、上述したディスプレイヘッダアドレスだけでなく、いずれのレイヤかを示すレイヤ番号、このレイヤを表示するときの色を示す表示の色、レイアウトパターンの柄を示す表示のパターン、表示の優先順位を示す表示順、表示を行うか否かを示す表示のイネーブル、このレイアウトパターンの表示位置を示す表示の座標、及び表示するときの回転角度を示

す表示の回転等の情報を有している。

[0028] 次に、図1、図5及び図6を参照して、本発明の一実施形態によるLSIレイアウト装置の一動作例を説明する。図5は、2つの異なる表示画面を表示部4に表示する場合において、各表示画面毎のエディティングバッファヘッダ21とディスプレイヘッダ23との関連を説明する概念図である。図6は、上記LSIレイアウト装置の画面処理の流れを示すシーケンス図である。

ここで、主記憶部1における異なったデバイスのレイアウトデータベース11から、各々回路デザインA及びBの回路レイアウトパターンを読み出し、表示部4に表示される2つの表示画面において、回路デザインA及びB各々のレイヤを、それぞれの表示画面毎に合成して表示する場合を、動作例として説明する。また、回路デザインAをメモリデバイスとし、回路デザインBをロジックデバイスとする。

予め主記憶部1には、所望のLSIのレイアウト設計に必要な回路デザインが、ユーザにより外部から入力されて予め格納される(ステップS0)。

[0029] ユーザが回路デザインAの配線を、回路デザインBの配線に対応させ、両者を複合して新たなデバイス設計を行うために、回路レイアウトパターンを読み出す処理を行う読出命令を入力する。

これにより、制御部3は、編集対象の回路デザインAと、この回路デザインAに対してインクルード処理を行う回路デザインBとを、主記憶部1のそれぞれのレイアウトデータベース11から読み出す(ステップS1, S2)。

そして、制御部3は、上記読出命令により、レイアウトデータベース11から、回路デザインA及びB各々のデザイン名、初期作成者名、最終変更者名、初期作成日、最終変更日、最大レイヤ層数、全体のメモリ使用領域を含むデザイン情報を読み出し、デザイン回路Aのデザインテーブル24-1と、デザイン回路Bのデザインテーブル24-2とを、補助記憶部2に生成する(ステップS3, S4)。

[0030] 次に、制御部3は、補助記憶部2において、回路デザインAに対応して、回路デザインAの回路レイアウトパターンを記憶させるエディティングバッファ25-1に対応したエディティングバッファヘッダ21-1を生成し(ステップS5)、同様に、回路デザインBに対応して、回路デザインAの回路レイアウトパターンを記憶させるエディティング

バッファ25-2に対応したエディティングバッファヘッダ21-2を生成する(ステップS6)。

この時点において、制御部3は、生成したエディティングバッファヘッダ21-1及び21-2各々のエディティングバッファヘッダアドレスを、デザインテーブル24-1, 24-2それぞれへ書き込む。

[0031] エディティングバッファヘッダ21-1は、エディティングバッファ25-1の各レイヤに対応した領域毎のエントリーに回路デザインAのレイヤバッファ情報が記憶されており、回路デザインAの回路レイアウトパターンにおける各レイヤ番号と、このレイヤのパターンデータが記憶されているエディティングバッファ25-1の領域とを関連づけている。

同様に、エディティングバッファヘッダ21-2は、エディティングバッファ25-2の各レイヤに対応した領域毎のエントリーに回路デザインBのレイヤバッファ情報が記憶されており、回路デザインBの回路レイアウトパターンにおける各レイヤ番号と、このレイヤのパターンデータが記憶されているエディティングバッファ25-2の領域とを関連づけている。

[0032] ここで、制御部3は、各レイヤ番号に対して、識別子として所定の数値を付与する。
すなわち、制御部3は、そのレイアウトデータベース11内の回路レイアウトパターンにおける各レイヤを編集する際、エディティングバッファヘッダ21を生成する時点において、本来持つレイヤ番号に識別子としての数値を加算して、新たにレイヤ識別番号として管理する。

この結果、このレイヤ識別番号は、レイヤ番号としての本来の意義はなくなり、LSIレイアウト装置が内部的に、レイヤのパターンデータを管理する管理番号としての意味を有することになる。

このとき、例えば、レイアウトデータベース11における回路デザインが本来持つレイヤ番号を1000の桁の範囲内で設定しておき、識別する識別子としての数値を10000の桁以上の範囲で設定しておく。

[0033] これにより、回路デザインAに対応するエディティングバッファヘッダ21-1を生成する際、図3に示すように、回路デザインAの回路レイアウトパターンが元来持つレイ

ヤ番号に対し、回路デザインAを示す識別子として、50000を論理和演算(または加算)し、50101から始まるレイヤ識別番号に変換している。

同様に、制御部3は、回路デザインBに対応するエディティングバッファヘッダ21-2を生成する際、図3に示すように、回路デザインBの回路レイアウトパターンが元来持つレイヤ番号に対し、回路デザインBを示す識別子として、60000を論理和演算し、60101から始まるレイヤ識別番号に変換している。

このとき、制御部3は、対応テーブル5に、回路デザインAと識別子50000との対応関係、及び回路デザインBと識別子60000との対応関係を書き込む。

[0034] 従来技術の場合、同一番号のレイヤが上書きされたものは、同一のエディティングバッファにおいて混合されてしまうため、回路デザインAのものか、回路デザインBのものかの区別はつかなくなる。

そのため、上述したように、本発明では、LSIレイアウト装置が異なる回路デザインを複数用いて編集作業を行う場合、もともとのレイヤ番号を管理するのではなく、一旦、回路デザインを識別できる別のレイヤ識別番号に変換し、異なるエディティングバッファに記憶させて管理するようにする。

これにより、異なる回路デザインにおける同様のレイヤを、同一のレイヤ番号により管理することがなくなるので、上述したように同一のエディティングバッファに記憶されず、破壊的な編集がなされることが無くなる。

そして、編集される回路デザインA及びBの回路レイアウトパターンが、表示部4の表示画面において合成されて表示された後にも、異なる回路レイアウトパターンにおける各々のレイヤのパターンデータの区別を付けることが可能となる。

[0035] 次に、制御部3は、主記憶部11の回路デザインAのレイアウトデータベース11から、回路デザインAの回路レイアウトパターンにおける各レイヤのパターンデータを読み出し、エディティングバッファヘッダ21-1の各エントリーのエディティングバッファアドレスに対応させて、エディティングバッファ25-1の所定の領域に、読み出したレイヤのデータを書き込む(ステップS7)。

同様に、制御部3は、主記憶部11の回路デザインBのレイアウトデータベース11から、回路デザインBの回路レイアウトパターン各々のレイヤのデータを読み出し、エデ

イテイングバッファヘッダ21-2の各エントリーのエディテイングバッファアドレスに対応させて、エディテイングバッファ25-2の所定の領域に、読み出したレイヤのデータを書き込む(ステップS8)。

[0036] 次に、ユーザが、表示画面4-1と、表示画面4-2とを、表示部4に表示する表示命令を、LSIレイアウト装置に入力する(ステップS9, S10)。

これにより、制御部3は、上記表示命令により、ユーザが入力する、表示画面の名称であるディスプレイ名、初期作成者名、最終変更者名、初期作成日、最終変更日、最大レイヤ層数、全体のメモリ使用領域等に基づき、また、画面1のディスプレイテーブル22-1と、画面2のディスプレイテーブル22-2とを、補助記憶部2に生成する(ステップS11, S12)。

[0037] そして、制御部3は、補助記憶部2において、表示画面4-1に表示させるレイヤの情報を記憶するディスプレイヘッダ23-1を生成し、同様に、表示画面4-2に表示させるレイヤの情報を記憶させるディスプレイヘッダ23-2を生成する。

また、制御部3は、生成したディスプレイヘッダ23-1及び23-2のディスプレイヘッダアドレスを、ディスプレイテーブル22-1, 22-2各々へ書き込む。

そして、ユーザにより、表示部4に表示された回路デザインA及びB各々の回路レイアウトにおけるレイヤー一覧表から、表示画面4-1及び表示画面4-2に表示するレイヤが選択される。

これにより、制御部3は、ユーザが入力する表示画面4-1及び表示画面4-2に各々表示するレイヤの表示情報を、それぞれディスプレイヘッダ23-1及び23-2における各エントリーの領域に書き込む。

[0038] ここで、回路デザインAの回路レイアウトパターンにはレイヤA1～A7があり、回路デザインBの回路レイアウトパターンにはレイヤB1～B7があるとする。

そして、ユーザが、回路デザインAのメモリデバイスと回路デザインBのロジックデバイスとの各配線層の接続位置を編集するため、回路デザインAにおけるレイヤA2, A3, A4, A5, A6及び回路デザインBにおけるレイヤB2, B7を表示画面4-1に表示し、一方、回路デザインAにおけるレイヤA1, A7, A6, A3及び回路デザインBにおけるレイヤB1, B3, B6を表示画面4-2に表示するように、表示部4の選択画面にお

いて、各回路レイアウトパターンにおけるレイヤの選択処理を行う。

[0039] これにより、制御部3は、図5に示すように、ディスプレイヘッダ23-1において、レイヤA2, A3, A4, A5, A6, B2, B7に対応するエントリーを作成して、各々のエントリーフィールドにレイヤの表示情報を書き込む(ステップS13)。

また、同様に、制御部3は、ディスプレイヘッダ23-2において、レイヤA1, A7, A6, A3, B1, B3, B6に対応するエントリーを作成して、各々のエントリーフィールドにレイヤの表示情報を書き込む(ステップS14)。

ここで、表示情報における表示の色, 表示のパターン, 表示順, 表示のイネーブル, 表示の座標, 表示の回転は、ユーザの入力により設定される。

[0040] 次に、制御部3は、ディスプレイテーブル22-1を参照し、対応するディスプレイヘッダ23-1の各エントリーに記載されている各レイヤ識別番号により、エディティングバッファヘッダ21-1, 21-2を介し、上記各レイヤそれぞれのレイアウトパターンである画像データをエディティングバッファ25-1, 25-2から読み出す。

そして、制御部3は、エディティングバッファ25-1, 25-2から読み出した各レイヤの画像データを、表示部4の表示画面4-1に対応する表示バッファの領域に書き込む(ステップS15)。

[0041] また、同様に、制御部3は、ディスプレイテーブル22-2を参照し、対応するディスプレイヘッダ23-2に基づき、エディティングバッファヘッダ21-1, 21-2を介し、エディティングバッファ25-1, 25-2から読み出した各レイヤの画像データを表示部4の表示画面4-1に対応する表示バッファの領域に書き込む(ステップS16)。

そして、制御部3は、上記各々の表示バッファに書き込まれた画面1及び画面2の画像データを表示部4へ表示する(ステップS17, S18)。

[0042] 上述したように、編集対象のデザイン回路Aと、このデザイン回路Aにインクルードされる回路デザインBとは、各同一のレイヤにおけるパターンデータとして区別が無いが、本実施形態のように、レイヤ番号に対して識別子を設けることにより、レイアウトパターンにおいて同一のレイヤであっても、格納されるエディティングバッファが異なるため、レイヤが合成されて混在してしまうことがなく、回路デザインA及びBのいずれの回路レイアウトパターンに属したものを明確に判定できる。

[0043] そして、制御部3は、ユーザの編集終了の命令が入力されると、回路デザインA及びBの各レイヤの編集を終了し、この編集結果をレイアウトデータベース11へ戻す。

このとき、制御部3は、エディティングバッファ23-1に記載されているレイヤ識別番号を読み込み、対応テーブル5を参照して、回路デザインと識別子との関係から、エディティングバッファ25-1に記憶されているレイヤが回路デザインAに対応していると判定し、レイヤ番号から識別子を選択的に除去し、得られたレイヤ番号に基づいて、エディティングバッファ25-1の各レイヤを、回路デザインAのレイアウトデータベース11の各レイヤに対応する領域に上書きする。

[0044] 同様に、制御部3は、エディティングバッファ23-2に記載されているレイヤ識別番号を読み込み、対応テーブル5を参照して、回路デザインと識別子との関係から、エディティングバッファ25-2に記憶されているレイヤが回路デザインBに対応していると判定し、レイヤ識別番号から識別子を選択的に除去し、得られたレイヤ番号に基づいて、エディティングバッファ25-2の各レイヤを、回路デザインBのレイアウトデータベース11の各レイヤに対応する領域に上書きする。

[0045] なお、図1におけるLSIレイアウト部の機能を実現するためのプログラムをコンピュータ読み取り可能な記録媒体に記録して、この記録媒体に記録されたプログラムをコンピュータシステムに読み込ませ、実行することによりLSIのレイアウト処理を行ってもよい。なお、ここでいう「コンピュータシステム」とは、OSや周辺機器等のハードウェアを含むものとする。また、「コンピュータシステム」は、ホームページ提供環境(あるいは表示環境)を備えたWWWシステムも含むものとする。また、「コンピュータ読み取り可能な記録媒体」とは、フレキシブルディスク、光磁気ディスク、ROM、CD-ROM等の可搬媒体、コンピュータシステムに内蔵されるハードディスク等の記憶装置のことをいう。さらに「コンピュータ読み取り可能な記録媒体」とは、インターネット等のネットワークや電話回線等の通信回線を介してプログラムが送信された場合のサーバやクライアントとなるコンピュータシステム内部の揮発性メモリ(RAM)のように、一定時間プログラムを保持しているものも含むものとする。

[0046] また、上記プログラムは、このプログラムを記憶装置等に格納したコンピュータシステムから、伝送媒体を介して、あるいは、伝送媒体中の伝送波により他のコンピュータ

システムに伝送されてもよい。ここで、プログラムを伝送する「伝送媒体」は、インターネット等のネットワーク(通信網)や電話回線等の通信回線(通信線)のように情報を伝送する機能を有する媒体のことをいう。また、上記プログラムは、前述した機能の一部を実現するためのものであっても良い。さらに、前述した機能をコンピュータシステムにすでに記録されているプログラムとの組み合わせで実現できるもの、いわゆる差分ファイル(差分プログラム)であっても良い。

産業上の利用可能性

- [0047] 本発明は、レイアウトデータベースから読み出した各回路パターンにおける各レイヤのパターンデータを、エディティングバッファに記憶させる際、各レイヤ単位にいずれの回路デザインに含まれるかを示す識別番号を付与するので、編集の結果をレイアウトデータベースに戻す際、各レイヤに付与されている上記識別情報を参照して、各回路デザインに対応する各レイヤのパターンデータを、エディティングバッファから読み出し、各レイヤのパターンデータを対応する回路デザインのレイアウトデータベースに書き込むことが可能となる。

請求の範囲

- [1] 異なる回路デザインに属する回路レイアウトパターンを用い、LSIのレイアウトパターン設計を行う際、該回路レイアウトパターンを構成する各レイヤのパターンデータの表示及び編集を行うLSIレイアウト装置であって、
- 前記回路レイアウトパターンを構成する各レイヤのパターンデータが、回路デザイン毎に記憶されるレイアウトデータベースと、
- 表示画面に表示される際、前記レイアウトデータベースから読み込まれる該回路レイアウトパターンを記憶するエディティングバッファと、
- 前記回路デザイン毎に設けられ、回路レイアウトパターンが記憶されている前記エディティングバッファのアドレス情報を含むデザイン情報が記憶されたデザインテーブルと、
- 前記表示画面に対応し、該表示画面に表示する回路レイアウトパターンを示すディスプレイ情報が記憶されたディスプレイテーブルと、
- 前記ディスプレイ情報を参照して、所定の回路レイアウトパターンのレイヤを各エディティングバッファから、前記デザイン情報により読み出し、この各レイヤのパターンデータを前記表示画面に表示する表示部と
- を有し、
- いずれの回路デザインに含まれるかを示す識別情報を、該各レイヤ単位に付与するLSIレイアウト装置。
- [2] 請求項1に記載のLSIレイアウト装置であって、
- 前記デザインテーブル毎に対応して設けられ、前記各レイヤを示すレイヤ番号及びエディティングバッファのアドレスを含むレイヤバッファ情報が記憶されたバッファヘッダテーブルと、
- 前記ディスプレイテーブルに対応して設けられ、前記レイヤ番号を含む、前記各回路レイアウトパターンを表示画面上に表示するために必要な表示情報が記憶されたディスプレイヘッダテーブルと
- を有し、
- ディスプレイテーブルのディスプレイ情報により、表示画面上に各レイヤを表示する

際、前記ディスプレイヘッダテーブルに記憶された前記レイヤ番号に対応するレイヤのパターンデータは、前記バッファヘッダテーブルを介して、前記エディティングテーブルから読み出されるLSIレイアウト装置。

- [3] 請求項2記載のLSIレイアウト装置であって、前記ディスプレイテーブルを複数有し、該ディスプレイテーブル毎に対応してディスプレイヘッダテーブルが設けられるLSIレイアウト装置。
- [4] 請求項1から請求項3のいずれかに記載のLSIレイアウト装置であって、前記識別情報が各レイヤのレイヤ番号に付加される所定の文字または数字で表されるLSIレイアウト装置。
- [5] 異なる回路デザインに属する回路レイアウトパターンを用い、LSIのレイアウトパターン設計を行う際、該回路レイアウトパターンを構成する各レイヤのパターンデータの表示及び編集を行うLSIレイアウト方法であって、
前記回路レイアウトパターンを構成するレイヤのパターンデータが回路デザイン毎に対応して、レイアウトデータベースに記憶する記憶過程と、
表示画面に表示される際、前記レイアウトデータベースから読み込まれる該回路レイアウトパターンをエディティングバッファに記憶するバッファ過程と、
前記回路デザイン毎に設けられ、回路レイアウトパターンが記憶されている前記エディティングバッファのアドレス情報を含むデザイン情報を、デザインテーブルに記憶するデザインテーブル記憶過程と、
前記表示画面に対応し、該表示画面に表示する回路レイアウトパターンを示すディスプレイ情報を、ディスプレイテーブルに記憶するディスプレイテーブル記憶過程と、
前記ディスプレイ情報を参照して、所定の回路レイアウトパターンのレイヤを各エディティングバッファから、前記デザイン情報により読み出し、この各レイヤのパターンデータを前記表示画面に表示する表示過程と
を有し、
いずれの回路デザインに含まれるかを示す識別情報を、該各レイヤ単位に付与することを特徴とするLSIレイアウト方法。
- [6] 請求項5に記載のLSIレイアウト方法であって、

前記デザインテーブル毎に対応して設けられ、前記各レイヤを示すレイヤ番号及びエディティングバッファのアドレスを含むレイヤバッファ情報をバッファヘッダテーブルへ記憶するバッファヘッダテーブル記憶過程と、

前記ディスプレイテーブルに対応して設けられ、前記レイヤ番号を含む、前記各回路レイアウトパターンを表示画面上に表示するために必要な表示情報を、ディスプレイヘッダテーブルへ記憶するディスプレイヘッダテーブル記憶過程と

を有し、

ディスプレイテーブルのディスプレイ情報により、表示画面上に各レイヤを表示する際、前記ディスプレイヘッダテーブルに記憶された前記レイヤ番号に対応するレイヤのパターンデータを、前記バッファヘッダテーブルを介して、前記エディティングテーブルから読み出すLSIレイアウト方法。

- [7] 異なる回路デザインに属する回路レイアウトパターンを用い、LSIのレイアウトパターン設計を行う際、該回路レイアウトパターンを構成する各レイヤのパターンデータの表示及び編集を行うLSIレイアウト処理を、コンピュータに実行させるプログラムであって、

前記回路レイアウトパターンを構成するレイヤのパターンデータが回路デザイン毎に対応して、レイアウトデータベースに記憶する記憶処理と、

表示画面に表示される際、前記レイアウトデータベースから読み込まれる該回路レイアウトパターンをエディティングバッファに記憶するバッファ処理と、

前記回路デザイン毎に設けられ、回路レイアウトパターンが記憶されている前記エディティングバッファのアドレス情報を含むデザイン情報を、デザインテーブルに記憶するデザインテーブル記憶処理と、

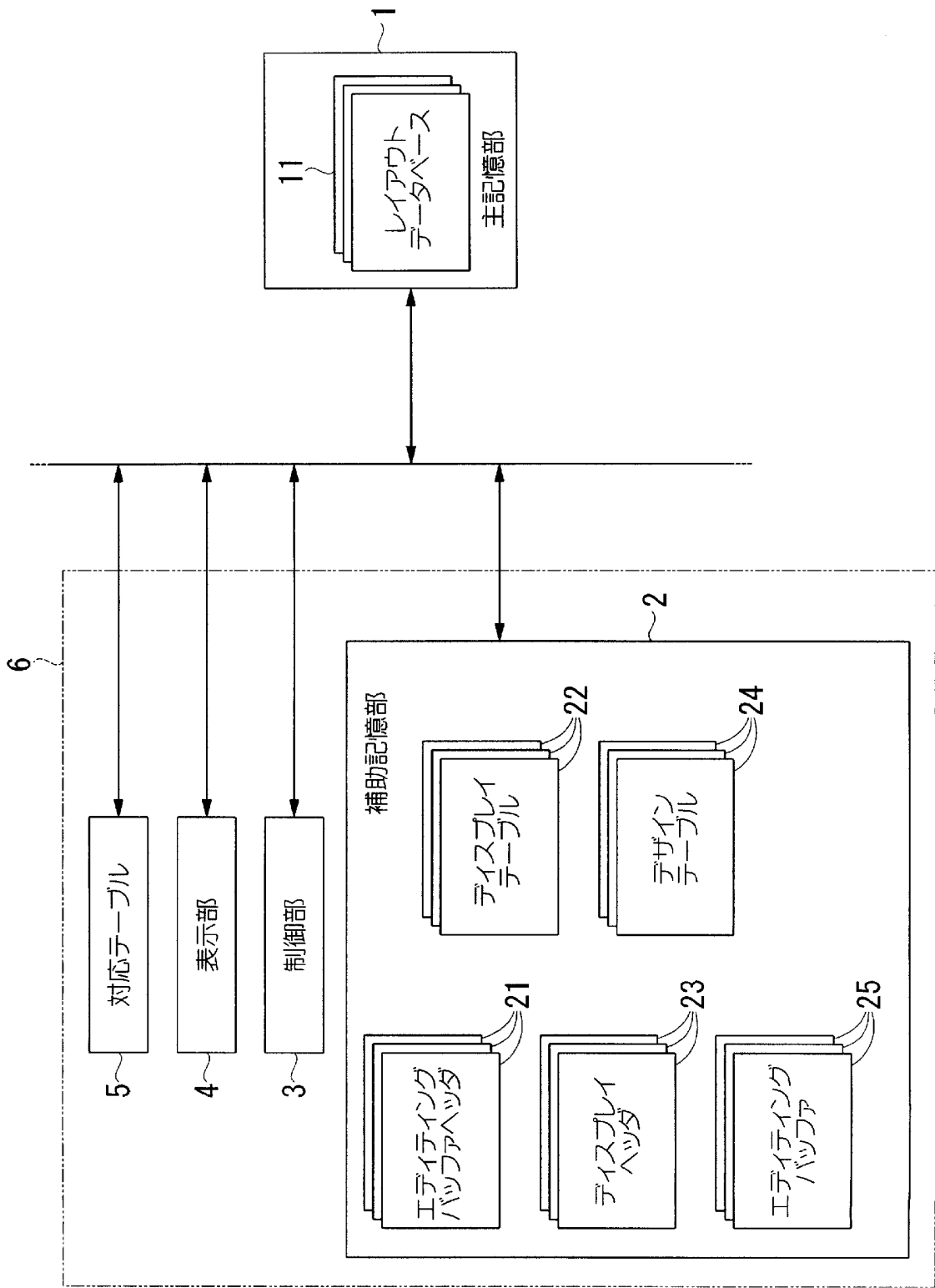
前記表示画面に対応し、該表示画面に表示する回路レイアウトパターンを示すディスプレイ情報を、ディスプレイテーブルに記憶するディスプレイテーブル記憶処理と、

前記ディスプレイ情報を参照して、所定の回路レイアウトパターンのレイヤを各エディティングバッファから、前記デザイン情報により読み出し、この各レイヤのパターンデータを前記表示画面に表示する表示処理と

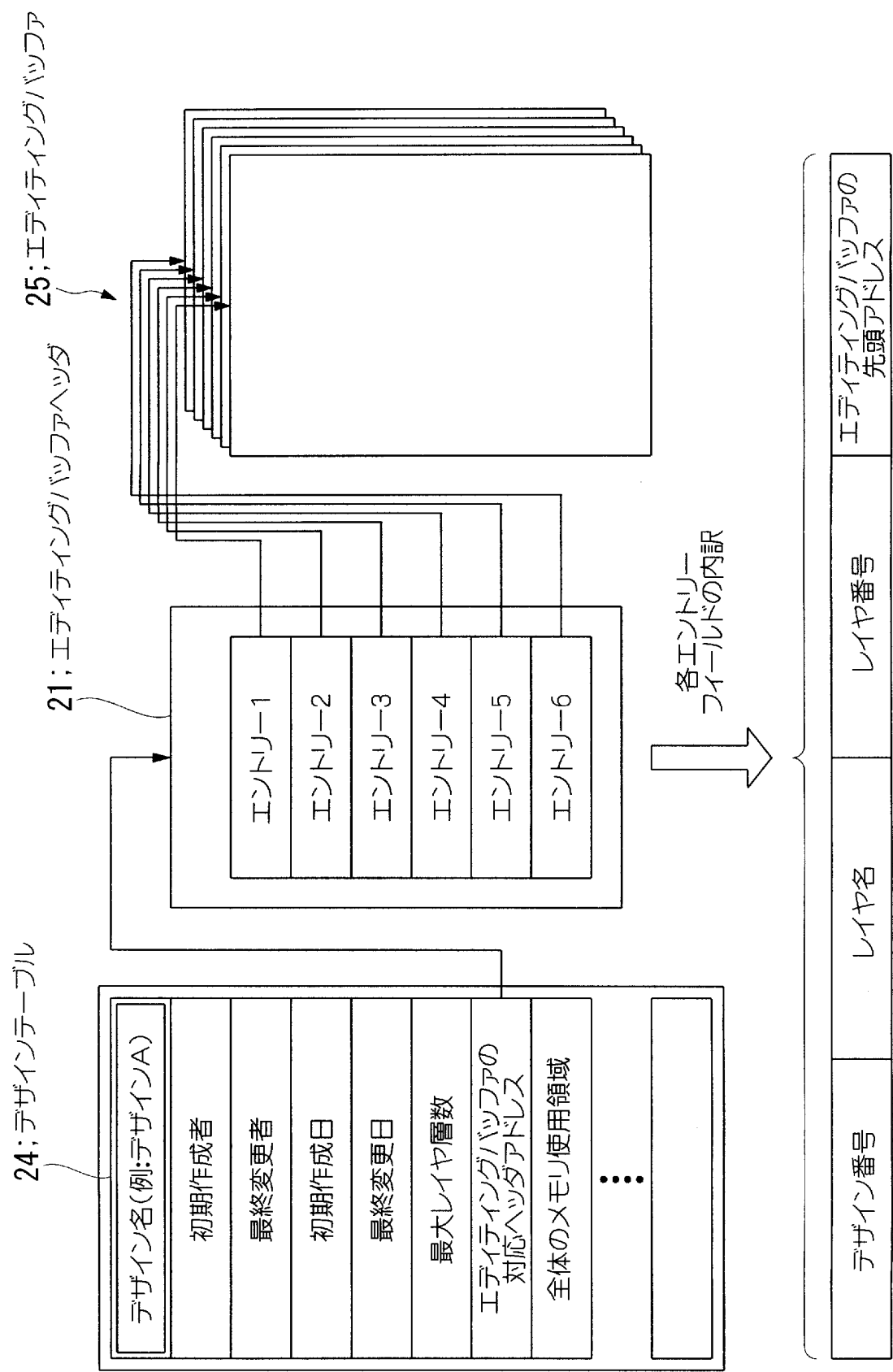
を有し、

いずれの回路デザインに含まれるかを示す識別情報を、該各レイヤ単位に付与することを特徴とするコンピュータ実行可能なLSIレイアウトプログラム。

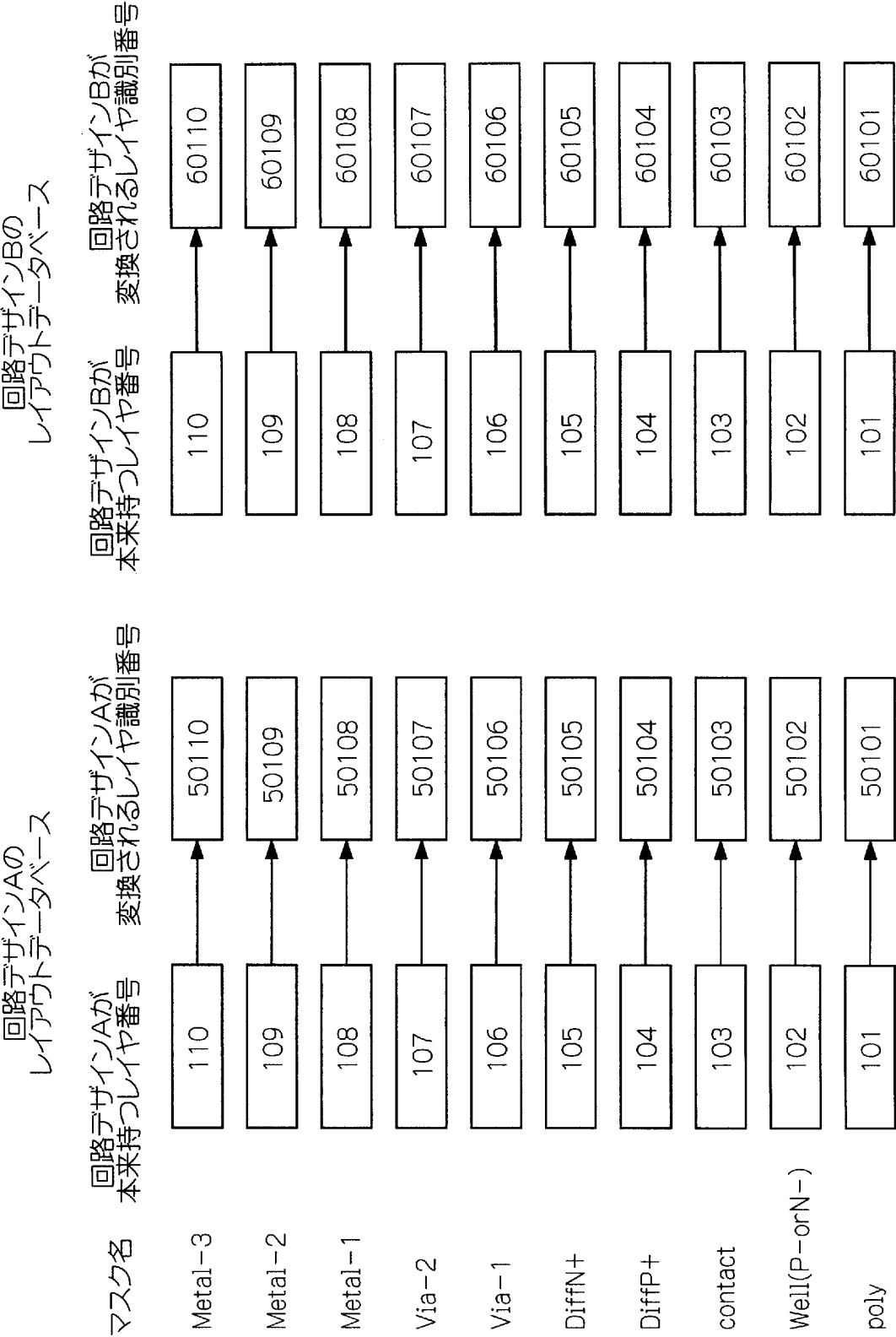
[図1]



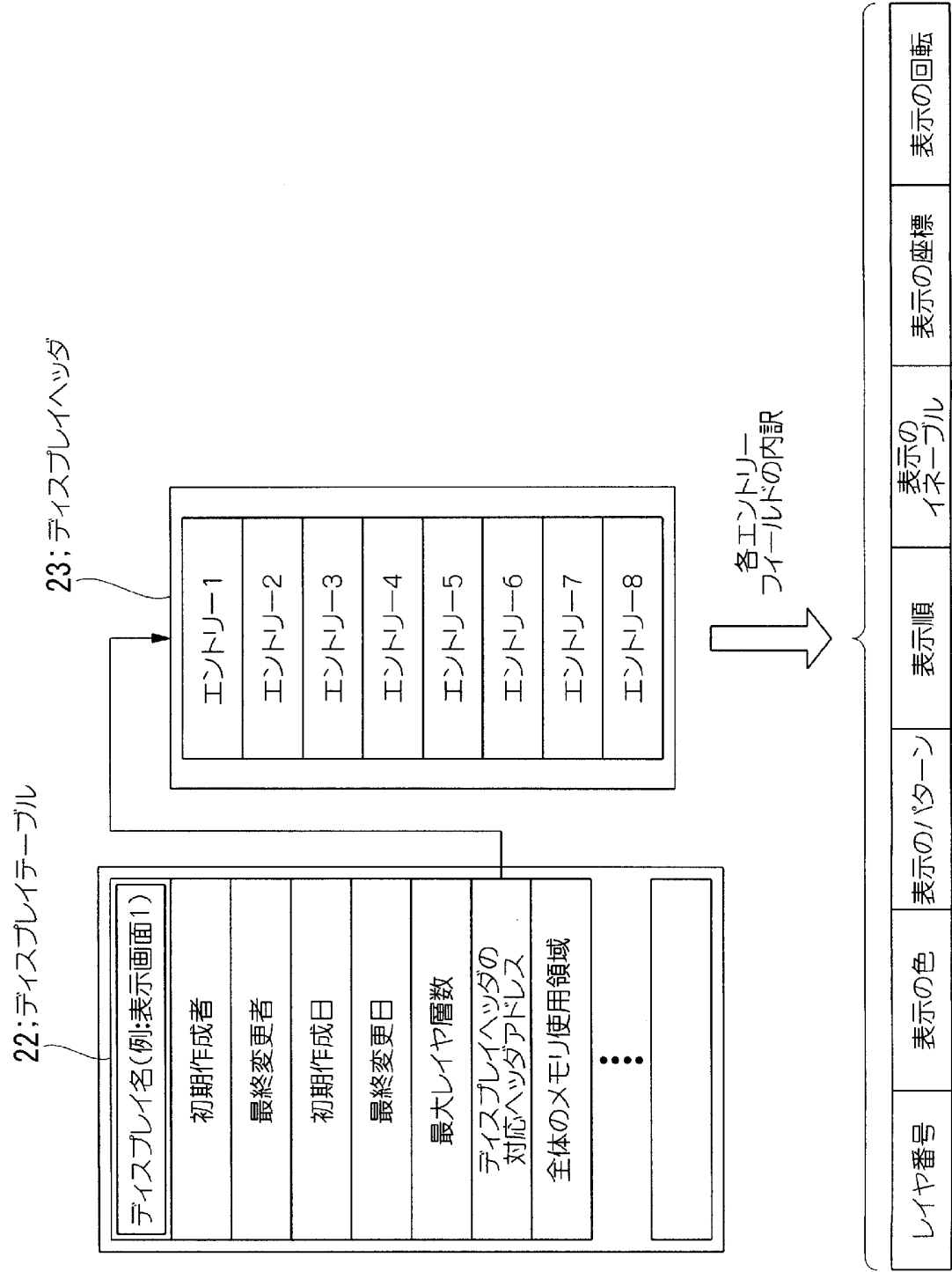
[図2]



[図3]



[図4]



[図5]

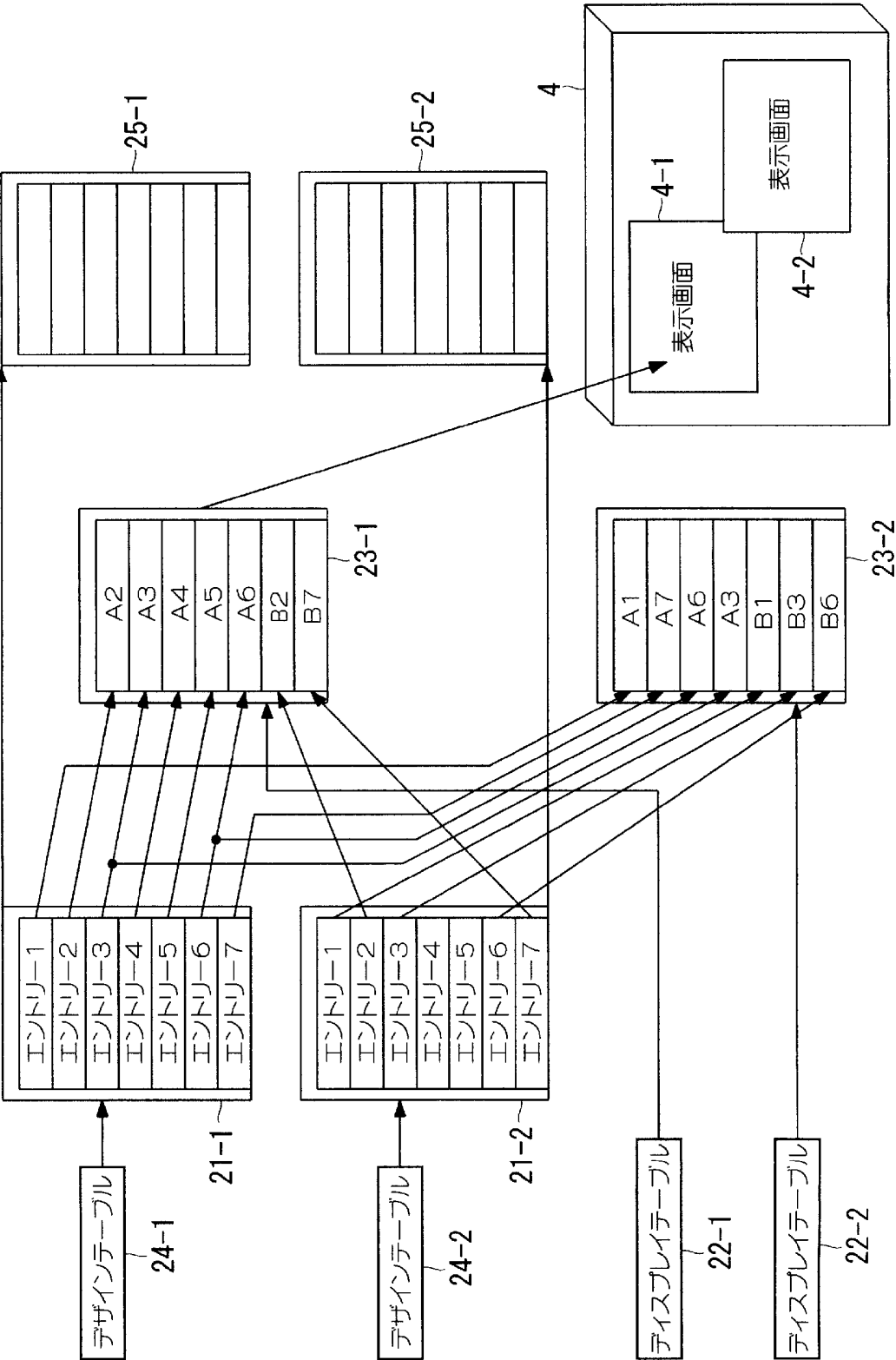
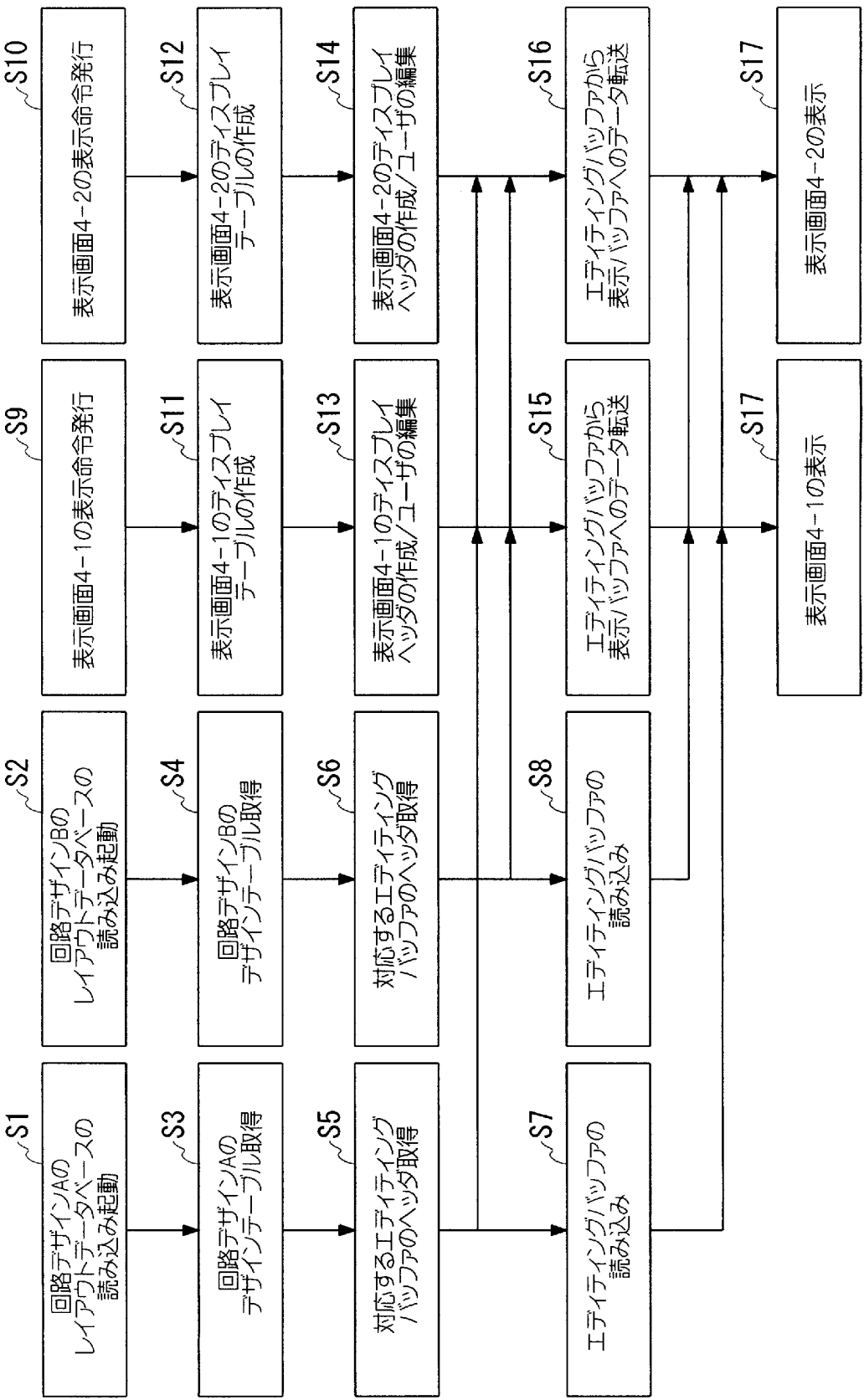


図6



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/009359

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ G06F17/50, H01L21/82

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ G06F17/50, H01L21/82

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 9-101982 A (New Japan Radio Co., Ltd.), 15 April, 1997 (15.04.97), Full text; all drawings (Family: none)	1, 4, 5, 7 2, 3, 6

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 June, 2005 (06.06.05)Date of mailing of the international search report
21 June, 2005 (21.06.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ G06F17/50, H01L21/82

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ G06F17/50, H01L21/82

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 9-101982 A (新日本無線株式会社) 1997.04.15, 全文全図 ファミリー無し	1, 4, 5, 7 2, 3, 6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

06.06.2005

国際調査報告の発送日

21.6.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

田中 幸雄

電話番号 03-3581-1101 内線 3531

5H

9191