



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I698854 B

(45)公告日：中華民國 109 (2020) 年 07 月 11 日

(21)申請案號：108104606

(22)申請日：中華民國 99 (2010) 年 07 月 13 日

(51)Int. Cl. : **G09G3/36 (2006.01)****G02F1/1368 (2006.01)**

(30)優先權：2009/07/24 日本

2009-172949

(71)申請人：日商半導體能源研究所股份有限公司(日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：梅崎敦司 UMEZAKI,ATSUSHI (JP)；荒澤亮 ARASAWA,RYO (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200937377A

US 2004/0189585A1

US 2007/0229409A1

審查人員：陳恩笙

申請專利範圍項數：8 項 圖式數：19 共 120 頁

(54)名稱

半導體裝置

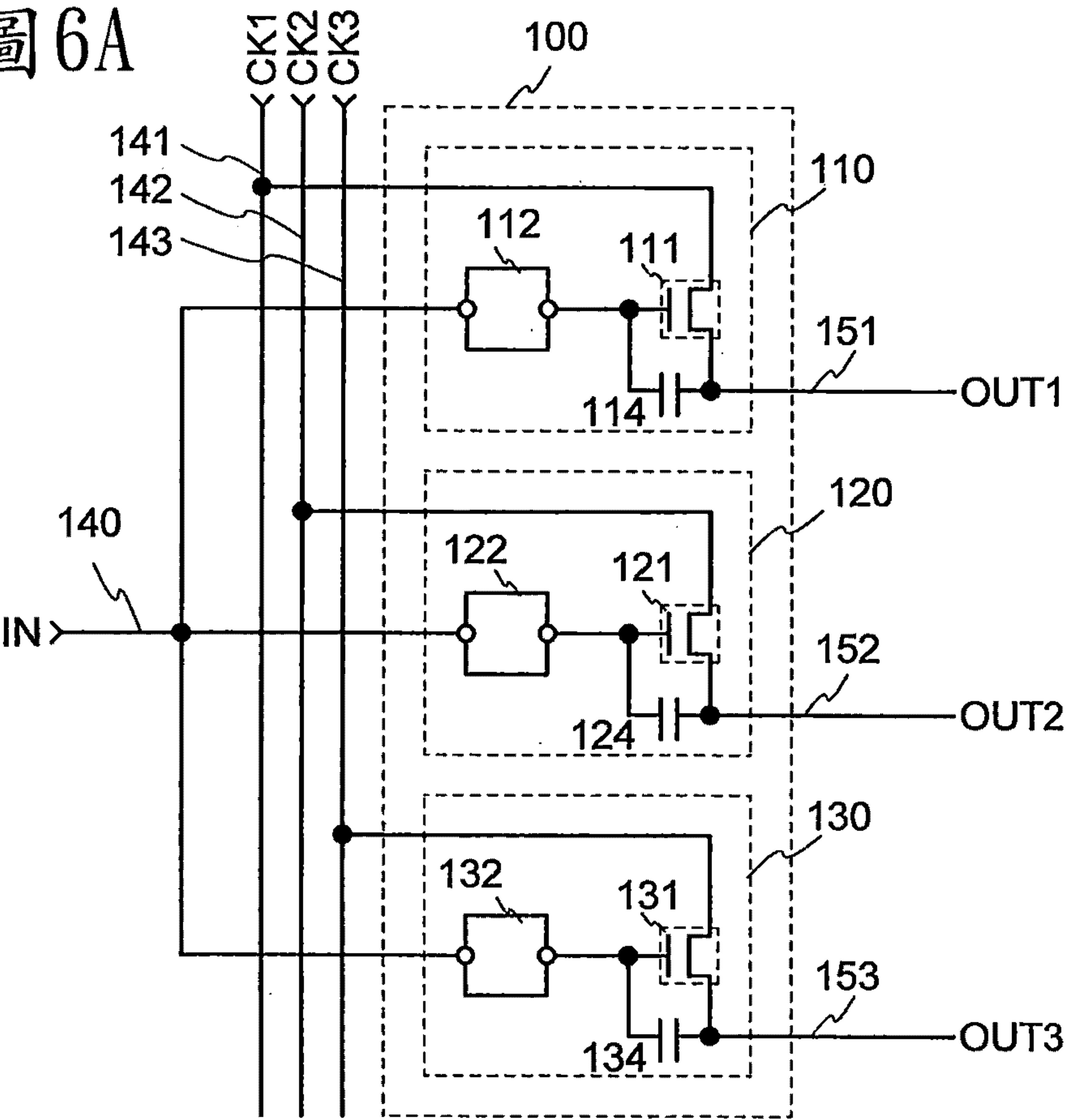
(57)摘要

本發明的一個目的是要提供一種半導體裝置其可在功率消耗保持在很小的同時將具有足夠振幅的訊號提供至掃描線。又，本發明的一個目的為提供一種半導體裝置其可在功率消耗保持在很小的同時抑制被提供至訊號線的訊號的變形並縮短上升時間及下降時間。一種半導體裝置，其包含多個像素，每個像素包括顯示元件及至少一第一電晶體及掃描線驅動電路其將一用來選擇該等多個像素的訊號提供至掃描線。一種透光的導體層被用於該顯示元件的像素電極層，該第一電晶體的閘極電極層，該第一電晶體的源極與汲極電極層，及該掃描線。該掃描線驅動電路包括第二電晶體及用來維持該第二電晶體的閘極電極層與第二電晶體的源極電極層之間的電壓之電容器。該第二電晶體的源極電極層係連接至該掃描線。

It is an object to provide a semiconductor device which can supply a signal with sufficient amplitude to a scan line while power consumption is kept small. Further, it is an object to provide a semiconductor device which can suppress distortion of a signal supplied to the scan line and shorten a rising time and a falling time while power consumption is kept small. A semiconductor device which includes a plurality of pixels each including a display element and at least one first transistor and a scan line driver circuit supplying a signal for selecting the plurality of pixels to a scan line. A light-transmitting conductive layer is used for a pixel electrode layer of the display element, a gate electrode layer of the first transistor, source and drain electrode layers of the first transistor, and the scan line. The scan line driver circuit includes a second transistor and a capacitor for holding a voltage between a gate electrode layer of the second transistor and a source electrode layer of the second transistor. The source electrode of the second transistor is connected to the scan line.

指定代表圖：

圖 6A



符號簡單說明：
100、110、112、
120、122、130、
132 . . . 電路
111、121、
131 . . . 電晶體
114、124、
134 . . . 電容器
140~143、
151~153 . . . 布線
CK1~CK3、IN、
OUT1~OUT3 . . .
訊號

I698854

發明摘要

【發明名稱】(中文/英文)

半導體裝置

SEMICONDUCTOR DEVICE

【中文】

本發明的一個目的是要提供一種半導體裝置其可在功率消耗保持在很小的同時將具有足夠振幅的訊號提供至掃描線。又，本發明的一個目的為提供一種半導體裝置其可在功率消耗保持在很小的同時抑制被提供至訊號線的訊號的變形並縮短上升時間及下降時間。一種半導體裝置，其包含多個像素，每個像素包括顯示元件及至少一第一電晶體及掃描線驅動電路其將一用來選擇該等多個像素的訊號提供至掃描線。一種透光的導體層被用於該顯示元件的像素電極層，該第一電晶體的閘極電極層，該第一電晶體的源極與汲極電極層，及該掃描線。該掃描線驅動電路包括第二電晶體及用來維持該第二電晶體的閘極電極層與第二電晶體的源極電極層之間的電壓之電容器。該第二電晶體的源極電極層係連接至該掃描線。

【 英文 】

It is an object to provide a semiconductor device which can supply a signal with sufficient amplitude to a scan line while power consumption is kept small. Further, it is an object to provide a semiconductor device which can suppress distortion of a signal supplied to the scan line and shorten a rising time and a falling time while power consumption is kept small. A semiconductor device which includes a plurality of pixels each including a display element and at least one first transistor and a scan line driver circuit supplying a signal for selecting the plurality of pixels to a scan line. A light-transmitting conductive layer is used for a pixel electrode layer of the display element, a gate electrode layer of the first transistor, source and drain electrode layers of the first transistor, and the scan line. The scan line driver circuit includes a second transistor and a capacitor for holding a voltage between a gate electrode layer of the second transistor and a source electrode layer of the second transistor. The source electrode of the second transistor is connected to the scan line.

【代表圖】

【本案指定代表圖】：第(6A)圖。

【本代表圖之符號簡單說明】：

100、110、112、120、122、130、132：電路

111、121、131：電晶體

114、124、134：電容器

140～143、151～153：布線

CK1～CK3、IN、OUT1～OUT3：訊號

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

SEMICONDUCTOR DEVICE

【技術領域】

本發明係有關於一種主動型矩陣半導體裝置。

【先前技術】

在主動型矩陣顯示裝置中，多條掃描線被引導用以與多條在列方向及在行方向上的訊號線交會，及多個像素被設置在該等交會點處，每一像素都包括一電晶體，一像素電極，及一儲存電容器。該等像素受依序地驅動該等像素之該等多條掃描線及提供顯示訊號至該等像素電極之該等多條訊號線控制。掃描線係連接至用來控制掃描線的掃描線驅動電路。訊號線係連接至用來控制訊號線的訊號線驅動電路。為了要依序地控制多個像素，掃描線驅動電路包括與掃描線數量一樣多的輸出端子。訊號線驅動電路包括與訊號線數量一樣多的輸出端子。

應指出的是，在最近幾年，顯示裝置已具有高解析度且尺寸更大，但功率消耗隨著掃描線及訊號線的數量增加而增加已成為一項問題。同時，極需要降低功率消耗。一項藉由減少外部驅動電路的輸出數量來降低功率消耗的技

術被提出。

詳言之，下面的專利文獻中描述了一種技術：多個掃描線切換元件及一包括一掃描線驅動 IC 的掃描線驅動電路及一掃描線訊號分支電路被製造，藉此，該掃描線驅動 IC 的輸出端子數可被減少，使得低功率消耗的驅動可被實施且掃描線切換元件的工作比（duty ratio）可被降低，以改善可靠度。

[參考文獻]

[專利文獻]日本公開專利申請案第 2002-311879 號

【發明內容】

在傳統技術中，在使用單極掃描線切換元件的例子中，當掃描線驅動電路的輸出訊號經由掃描線切換元件被提供至掃描線時，掃描線選擇訊號的振幅通常比掃描線驅動電路的輸出訊號的振幅小了該掃描線切換元件的門檻電壓（ V_{th} ）（掃描線選擇訊號 = 掃描線驅動電路的輸出訊號 - 掃描線切換元件的 V_{th} ）。例如，電晶體可被用作為該掃描線切換元件；在此處，該掃描線切換元件被描述為電晶體。

該掃描線驅動電路的輸出訊號被輸入到該電晶體的閘極電極及源極電極與汲極電極中的一者，其將該掃描線驅動電路的輸出訊號的振幅降低該電晶體的 V_{th} （此訊號為掃描線選擇訊號）。例如，該掃描線驅動電路的輸出訊號

被輸入至該電晶體的閘極電極及源極電極與汲極電極中的一者，且該電晶體被打開。因為該電晶體被打開，所以該源極電極與汲極電極中的另一者的電位被改變，用以與該掃描線驅動電路的輸出訊號的電位相同。然而，介於該電晶體的閘極電極與源極電極之間的電壓 V_{gs} 有時候會在該源極電極與汲極電極中的另一者的電位變成與該掃描線驅動電路的輸出訊號的電位相同之前變成 V_{th} 。在此例子中，因為電晶體被關閉，所以該源極電極與汲極電極中的另一者的電位停止改變，造成一被提供至該掃描線的掃描線選擇訊號的振幅比該掃描線驅動電路的輸出訊號的振幅小了該電晶體的 V_{th} 。

在另一例子中，該掃描線選擇訊號有時候被變形。又，該掃描線選擇訊號的上升時間及下降時間有時候很長。上述原因造成這些現象。例如，該掃描線驅動電路的輸出訊號被輸入到該電晶體的閘極電極及源極電極與汲極電極中的一者，且該電晶體被打開。因為該電晶體被動，所以該源極電極與汲極電極中的另一者的電位被改變，用以與該掃描線驅動電路的輸出訊號的電位相同。在此時，電晶體的 V_{gs} 根據該電晶體的閘極電極與源極電極中的另一者的電位改變有時候會變得很小，使得該掃描線選擇訊號經常被變形且上升時間及下降時間經常變得很長。

為了解決上述問題，額外地需要一具有振幅高於該掃描線驅動電路的輸出訊號的振幅之訊號或一電源供應電壓，但它會造成功率消耗的増加。

本發明的一個目的是要提供一種半導體裝置其可在功率消耗保持在很小的同時將具有足夠振幅的訊號提供至掃描線。又，本發明的一個目的為提供一種半導體裝置其可在功率消耗保持在很小的同時抑制被提供至訊號線的訊號的變形並縮短上升時間及下降時間。

本發明的實施例為一半導體裝置，其包括一顯示元件，多個像素，每個像素包括至少一電晶體，一掃描線驅動電路其將一用來從該等多個像素中選擇一特定的像素的訊號提供至一掃描線。該顯示元件的一像素電極層，一電晶體的閘極電極層，該電晶體的源極與汲極電極層，及一掃描線係使用一透光的導體層來形成。該掃描線驅動電路包括一電晶體及一用來維持該電晶體的閘極電極層與該電晶體的源極電極層之間的電壓之電容器。該電晶體的源極電極層係連接至該掃描線。

本發明的一實施例為一半導體裝置，其包括一顯示元件，多個像素，每個像素包括至少一第一電晶體，一掃描線驅動電路其將一用來從該等多個像素中選擇一特定的像素的訊號提供至一掃描線。該顯示元件的一像素電極層，該第一電晶體的閘極電極層，該電晶體的源極與汲極電極層，及一掃描線係使用一透光的導體層來形成。一掃描線驅動電路包括一第二電晶體，一用來維持該第二電晶體的閘極電極層與第二電晶體的源極電極層之間的電壓之電容器，及一用來控制該第二電晶體的閘極電極層與一地極電極之間的連接的第三電晶體。該第二電晶體的源極電極層

係連接至該掃描線。

本發明的一實施例讓一具有足夠的振幅的訊號能夠藉由靴環式操作（bootstrap operation）而被供應至一掃描線。又，本發明的一實施例可抑制訊號的變形及縮短上升時間及下降時間。再者，本發明的一實施例不需要有一高於輸入訊號的電壓的電源供應電壓，這可產生低功率消耗驅動。

【圖式簡單說明】

在附圖中：

圖 1A 至 1F 為顯示實施例 1 的剖面圖；

圖 2A 及 2C 為顯示實施例 1 的剖面圖及圖 2B-1 及 2B-2 為平面圖；

圖 3A-1 及 3A-2 為顯示實施例 1 的平面圖及圖 3B 與 3C 為剖面圖；

圖 4A 至 4E 為顯示實施例 2 的剖面圖；

圖 5A 至 5E 為顯示實施例 2 的剖面圖；

圖 6A 為顯示實施例 3 的電路圖及圖 6B 為時序圖；

圖 7A 為顯示實施例 4 的電路圖及圖 7B 為時序圖；

圖 8 為顯示實施例 5 的電路圖；

圖 9 為顯示實施例 6 的電路圖；

圖 10 為顯示實施例 7 的電路圖；

圖 11 為顯示實施例 8 的電路圖；

圖 12 為顯示實施例 9 的電路圖；

圖 13 為顯示實施例 9 的時序圖；

圖 14A 為一液晶顯示裝置的頂視圖及圖 14B 及 14C 為該液晶顯示裝置的剖面圖；

圖 15A 及 15B 為一發光元件顯示裝置的剖面圖；

圖 16A 及 16B 為電子紙的剖面圖；

圖 17A 至 17H 為顯示實際產品的例子的圖式；

圖 18A 至 18H 為顯示實際產品的例子的圖式；及

圖 19 為顯示實施例 1 的剖面圖。

【實施方式】

本發明的實施例將參考圖式來加以描述。應指出的是，本發明並不侷限於下面的描述，且熟習此技藝這將可輕易地瞭解的是，各式改變及改良可在沒有偏離本發明的精神及範圍下被實施。因此，本發明不應被解讀為受限於下面的實施例描述。

[實施例 1]

一種半導體裝置及該半導體裝置的製造方法將參考圖 1A 至 1F 及圖 2A，2B-1，2B-2，及 2C 來描述。圖 2A 顯示兩個在結構上彼此不同且形成在同一基材上的薄膜電晶體的剖面結構的例子。圖 2A 顯示一通道蝕刻型的薄膜電晶體 1470（其為底部閘極結構的一種）與一（顛倒的共平面型）底部接觸型的薄膜電晶體 1460（其為底部閘極結構的一種）。

圖 2B-1 為設置在一驅動電路中之該通道蝕刻型的薄膜電晶體 1470 的平面圖。圖 2A 為沿著圖 2B-1 的線 C1-C2 所取的剖面圖。此外，圖 2C 為沿著圖 2B-1 的線 C3-C4 所取的剖面圖。

設置在該驅動電路中的該薄膜電晶體 1470 為一通道蝕刻型薄膜電晶體且包括一閘極電極層 1401；一第一閘極絕緣層 1402a；一第二閘極絕緣層 1402b；氧化物半導體層其包括至少一通道形成區 1434，一第一高光阻（high resist）汲極區 1431，及一第二高光阻汲極區 1432；一源極電極層 1405a；及一汲極電極層 1405b 於一具有絕緣表面的基材 1400 上。又，氧化物絕緣層 1407 被設置來覆蓋該薄膜電晶體 1470 及與該通道形成區 1434 接觸。

該第一高光阻汲極區 1431 係以自對準方式被形成為與該源極電極層 1405a 的底部表面接觸。又，該第二高光阻汲極區 1432 係以自對準方式被形成為與該汲極電極層 1405b 的底部表面接觸。此外，該通道形成區 1434 與該氧化物絕緣層 1407 接觸，具有薄的厚度，且是一光阻高於該第一高光阻汲極區 1431 的光阻及高於該第二高光阻汲極區 1432 的光阻的區域（I 型區域）。

此外，在該薄膜電晶體 1470 中，一金屬材料被用於該源極電極層 1405a 及該汲極電極層 1405b 用以讓布線（wiring）具有低阻值是較佳的。

此外，一像素部分與一驅動電路被形成在該液晶顯示裝置內的同一基材上，在該驅動電路中，只有正極性與負

極性中的一者被施加在一用來建構一邏輯閘，譬如像是反向器電路、NAND 電路、NOR 電路及閃鎖電路的薄膜電晶體或一用來建構類比電路，譬如像是感測放大器、固定電壓產生電路及 VCO 的薄膜電晶體的源極電極與汲極電極之間。因此，必需承受電壓的該第二高光阻汲極區 1432 的寬度被設計成大於及該第一高光阻汲極區 1431 的寬度。又，與該第一高光阻汲極區 1431 及該第二高光阻汲極區 1432 重疊的該閘極電極層的寬度可以是大的。

又，設置在該驅動電路中的該薄膜電晶體 1470 係使用單閘薄膜電晶體來描述；然而，一包括多個通道形成區的多閘薄膜電晶體亦可在有需要時被使用。

又，一導體層 1406 被形成在該通道形成區 1434 上用以與該通道形成區重疊。該導體層 1406 被電連接至該閘極電極層 1401 且具有與該閘極電極層 1401 相同的電位，使得一閘極電壓可從設置在該閘極電極層 1401 與該導體層 1406 之間的氧化物半導體的上及下側被施加。又，當該導體層 1406 的電位不同於閘極電極層 1401 的電位且其為例如一固定的電位，GND，及 0V 時，該薄膜電晶體的電特性，如門檻電壓，可被控制。

此外，一保護絕緣層 1408 及一平坦化絕緣層 1409 被堆疊在該導體層 1406 與該氧化物絕緣層 1407 之間。

又，用該保護絕緣層 1408 與設置在該保護絕緣層 1408 或一作為基底的絕緣層的底下的該第一閘極絕緣層 1402a 接觸並防止雜質，譬如水氣、氫離子、及 OH^- ，從

側面方向進入該氧化物半導體內的結構是較佳的。詳言之，當與該保護絕緣層 1408 接觸的該第一閘極絕緣層 1402a 或作為基底的該絕緣薄膜是氮化矽薄膜時，效果可被加強。

應指出的是，圖 2B-2 為設置在像素中之底部接觸型薄膜電晶體 1460 的平面圖。圖 2A 為沿著圖 2B-2 的線 D1-D2 所取的剖面圖。又，圖 2C 為沿著圖 2B-2 的線 D3-D4 所取的剖面圖。

設置在像素中之該薄膜電晶體 1460 是底部接觸型薄膜電晶體且包括一閘極電極層 1451，該第一閘極絕緣層 1402a，該第二閘極絕緣層 1402b，一包括通道形成區的氧化物半導體層 1454，一源極電極層 1455a，及一汲極電極層 1455b 其在具有絕緣表面的基材 1400 上。又，氧化物絕緣層 1407 被設置來覆蓋該薄膜電晶體 1460 及與該氧化物半導體層 1454 的頂面及側面接觸。

應提出的是，AC 驅動被實施於一液晶顯示裝置中以防止液晶劣化。該 AC 驅動讓施加至一像素電極層的訊號電位的極性以規律的時間間距被反轉為負或正。在一連接至該像素電極層的薄膜電晶體中，一對電極交替地分別作為一源極電極層與一汲極電極層。在本說明書中，一像素的薄膜電晶體中的一者被稱為一源極電極層及另一者為汲極電極層；實際上，在該 AC 驅動中，該等電極中的一者交替地作為一源極電極層及一汲極電極層。此外，為了降低漏電，設置在像素中的薄膜電晶體 1460 的閘極電極層

1451 的寬度可小於驅動電路之薄膜電晶體 1470 的閘極電極層 1401 的寬度。此外，為了要減少漏電，設置在該像素中的該薄膜電晶體 1460 的閘極電極層 1451 可被設成不與該源極電極層 1455a 或汲極電極層 1455b 重疊。

又，設置在該像素中的該薄膜電晶體 1460 係用單閘薄膜電晶體來描述；然而，一包括多個通道形成區的多閘薄膜電晶體亦可在有需要時被使用。

又，在至少一個氧化物半導體薄膜被形成之後，熱處理（用於脫水及除氫的處理）被實施在該氧化物半導體層 1454 上用以減少雜質，如水氣。在用於脫水及除氫的熱處理及緩慢冷卻之後，該氧化物絕緣層 1407 被形成為與該氧化物半導體層 1454 接觸以減少該氧化物半導體層 1454 的載體濃度，這可改善該薄膜電晶體 1460 的電特性及可靠度。

應指出的是，該氧化物半導體層 1454 被形成在該源極電極層 1455a 和汲極電極層 1455b 上且與其部分重疊。又，在該第一閘極絕緣層 1402a 及第二閘極絕緣層 1402b 介於該氧化物半導體層 1454 與該閘極電極層 1451 之間的情形下，該氧化物半導體層 1454 與該閘極電極層 1451 重疊。設置於該像素內之該薄膜電晶體 1460 的通道形成區是一個該氧化物半導體層 1454 被夾設在該源極電極層 1455a 的側表面和該汲極電極層 1455b 的側表面之間的區域，其面向該源極電極層 1455a，亦即，一個與該第二閘極絕緣層 1402b 接觸且與閘極電極層 1451 重疊的區域。

此外，為了要用透光的薄膜電晶體作為該薄膜電晶體 1460 來實施孔徑比很高的顯示裝置，一透光的導體薄膜被用於該源極電極層 1455a 和汲極電極層 1455b。

又，透光的導體薄膜亦被用於該薄膜電晶體 1460 的閘極電極層 1451。

再者，在設有該薄膜電晶體 1460 的像素中，一相對於可見光具有高透光性的導體薄膜被用作為像素電極層 1456，其它電極層（譬如像是電容器電極層），或其它布線層（譬如像是電容器布線層）；因此，可實施具有高孔徑比的顯示裝置。無需贅言地，相對於可見光具有高透光性的導體薄膜亦被用於該閘極絕緣層 1402a，該閘極絕緣層 1402b，及氧化物絕緣層 1407 是較佳的。

在此說明書中，相對於可見光具有高透光性的薄膜是一具有一厚度的薄膜，其相對於可見光的透射性為大於或等於 75% 且小於或等於 100%。當該薄膜是導體時，該薄膜亦被稱為透明的導體薄膜。此外，一相對於可見光是半透射性的導體薄膜可被用於閘極電極層，源極電極層，汲極電極層，像素電極層，其它的電極層，或施用於其它布線層的金屬氧化物。“相對於可見光是半透射性”一詞係指可見光的透射率為大於或等於 50% 且小於或等於 75%。

形成在同一基材上的該薄膜電晶體 1470 及該薄膜電晶體 1460 的製程將參考圖 1A 至 1F 及圖 2A 於下文中描述。

首先，一透光的導體薄膜被形成在具有絕緣表面的該

基材 1400 上；然後，該閘極電極層 1401 及 1451 藉由第一微影蝕刻（photolithography）處理來形成。此外，一電容器布線層藉由相同的第一微影蝕刻處理使用與閘極電極層 1401 及 1451 相同的透光的材料而被形成在像素部分中。又，當該驅動電路需要電容器時，一電容器布線層不只被形成在該像素部分中，其還被形成在該驅動電路中。應指出的是，一光阻罩幕可用噴墨方法來形成。當光阻罩幕可用噴墨方法來形成時，就不需要光罩；因此，可降低製造成本。

雖然對於用作為該具有絕緣表面的基材 1400 的基材沒有特別限制，但該基材至少要具有足夠的耐熱性來承受稍後實施的熱處理。鋇硼矽酸鹽玻璃基材，鋁硼矽酸鹽玻璃基材，或變形點的溫度為 600°C 至 750°C 的玻璃基材可被用作為該具有絕緣表面的基材。

應指出的是，當稍後實施的熱處理在高溫下實施時，變形點溫度為 730°C 或更高的玻璃基材被用作為該玻璃基材 1400 是較佳的。又，例如，一像是鋁矽酸鹽玻璃，鋁硼矽酸鹽玻璃，或鋇硼矽酸鹽玻璃的玻璃材料被用於該玻璃基材 1400。應指出的是，通常，玻璃基材含有的氧化鋇（BaO）的量大於硼酸的量，因而可獲得一更為實用之耐熱玻璃基材。因此，最好是使用含有 BaO 及 B_2O_3 且 BaO 的量大於 B_2O_3 的量的玻璃基材。

應指出的是，用絕緣體形成的基材，譬如陶瓷基材，石英基材，或青玉基材，可被用來取代該玻璃基材

1400。或者，可使用結晶化玻璃或類此者。

應指出的是，一作為基底薄膜的絕緣薄膜可設置在基材 1400 與閘極電極層 1401 及 1451 之間。該基底薄膜具有防止雜質元素從基材 1400 擴散的功能且可被形成為具有使用一或多層氮化矽薄膜，氧化矽薄膜，氮化矽氧化物（silicon nitride oxide）薄膜，及氮氧化矽（silicon oxynitride）薄膜的單層或疊層結構。

一相對於可見光具有透光性的導體材料，譬如以 In-Sn-Zn-O 為主的金屬氧化物、以 In-Al-Zn-O 為主的金屬氧化物、以 Sn-Ga-Zn-O 為主的金屬氧化物、以 Al-Ga-Zn-O 為主的金屬氧化物、以 Sn-Al-Zn-O 為主的金屬氧化物、以 In-Zn-O 為主的金屬氧化物、以 Sn-Zn-O 為主的金屬氧化物、以 Al-Zn-O 為主的金屬氧化物、以 In-O 為主的金屬氧化物、以 Sn-O 為主的金屬氧化物、及以 Zn-O 為主的金屬氧化物，可被用作為閘極電極層 1401 及 1451 的材料。閘極電極層 1401 及 1451 的厚度被適當地選擇在 50nm 至 300nm 的範圍內。濺鍍方法、真空蒸鍍方法（電子束蒸鍍方法）、電弧離子電鍍方法、或噴灑方法可被用作為用於閘極電極層 1401 及 1451 的金屬氧化物的沉積方法。應指出的是，當使用濺鍍方法時，沉積係使用一包括大於或等於 2%重量百分比且小於或等於 10%重量百分比的 SiO_2 的靶材來實施且一透光的導體薄膜被製造成包括可抑制結晶化的 SiO_x ($x>0$)，使得結晶化可在稍後的製程中實施用於脫水及除氫的熱處理時被抑制。

接下來，閘極絕緣層被形成在閘極電極層 1401 及 1451 上。

該閘極絕緣層可用氧化矽層、氮化矽層、氮氧化矽層、或氮化矽氧化物層的單層或堆疊層，藉由 CVD 方法或濺鍍方法來形成。例如，氮氧化矽層可使用包含 SiH_4 、氧氣及氮氣的沉積氣體用電漿 CVD 方法來形成。

在此實施例中，閘極絕緣層是一由厚度為大於或等於 50nm 且小於或等於 200nm 的第一閘極絕緣層 1402a 與厚度為大於或等於 50nm 且小於或等於 300nm 的第二閘極絕緣層 1402b 構成的堆疊層。一厚度為 100nm 的氮化矽薄膜或氮化矽氧化物薄膜被用作為該第一閘極絕緣層 1402a。又，一厚度為 100nm 的氧化矽薄膜被用作為該第二閘極絕緣層 1402b。

接下來，在透光導體薄膜被形成在第二閘極絕緣層 1402b 上之後，源極電極層 1455a 及汲極電極層 1455b 藉由第二微影蝕刻處理來形成（參見圖 1A）。濺鍍方法、真空蒸鍍方法（電子束蒸鍍方法）、電弧離子電鍍方法、或噴灑方法可被用作為該透光導體薄膜的沉積方法。一相對於可見光具有透光性的導體材料，譬如以 In-Sn-Zn-O 為主的金屬氧化物、以 In-Al-Zn-O 為主的金屬氧化物、以 Sn-Ga-Zn-O 為主的金屬氧化物、以 Al-Ga-Zn-O 為主的金屬氧化物、以 Sn-Al-Zn-O 為主的金屬氧化物、以 In-Zn-O 為主的金屬氧化物、以 Sn-Zn-O 為主的金屬氧化物、以 Al-Zn-O 為主的金屬氧化物、以 In-O 為主的金屬

氧化物、以 Sn-O 為主的金屬氧化物、及以 Zn-O 為主的金屬氧化物，可被用作為該導體薄膜的材料。導體薄膜的厚度被適當地選擇在 50nm 至 300nm 的範圍內。應指出的是，當使用濺鍍方法時，沉積係使用一包括大於或等於 2%重量百分比且小於或等於 10%重量百分比的 SiO_2 的靶材來實施且一透光的導體薄膜被製造成包括可抑制結晶化的 SiO_x ($x>0$)，使得結晶化可在稍後的製程中實施用於脫水及除氫的熱處理時被抑制。

應指出的是，用於形成源極電極層 1455a 及汲極電極層 1455b 的光阻罩幕可用噴墨方法來形成。當光阻罩幕可用噴墨方法來形成時，就不需要光罩；因此，可降低製造成本。

接下來，一厚度為大於或等於 2nm 且小於或等於 200nm 的氧化物半導體薄膜被形成在該第二閘極絕緣層 1402b、該源極電極層 1455a 及汲極電極層 1455b 上。該厚度較佳地為小於或等於 50nm，使得即使是在該用於脫水及除氫的熱處理是在該氧化物半導體薄膜被形成之後實施，該氧化物半導體薄膜仍可以是非晶型。該氧化物半導體薄膜之薄的厚度可在用於脫水及除氫的熱處理於該氧化物半導體薄膜被形成之後實施的時候抑制結晶化。

應指出的是，在該氧化物半導體薄膜用濺鍍方法來形成之前，在該第二閘極絕緣層 1402b 的表面的灰塵較佳地係用導入氬氣並產生電漿之逆濺鍍 (reverse sputtering) 來去除。該逆濺鍍指的是一種在沒有施加電

壓至靶材側之下，一 RF 功率源被使用來在氬氣氛圍中施加電壓至基材側用以在基材的附近產生電漿以改變一表面的方法。應指出的是，氮氣、氬氣、氧氣或類此者可被用來取代該該氬氣氛圍。

下列的薄膜被用於該氧化物半導體薄膜：以 In-Ga-Zn-O 為主的氧化物半導體薄膜、以 In-Sn-Zn-O 為主的氧化物半導體薄膜、以 In-Al-Zn-O 為主的氧化物半導體薄膜、以 Sn-Ga-Zn-O 為主的氧化物半導體薄膜、以 Al-Ga-Zn-O 為主的氧化物半導體薄膜、以 Sn-Al-Zn-O 為主的氧化物半導體薄膜、以 In-Zn-O 為主的氧化物半導體薄膜、以 Sn-Zn-O 為主的氧化物半導體薄膜、以 Al-Zn-O 為主的氧化物半導體薄膜、以 In-O 為主的氧化物半導體薄膜、以 Sn-O 為主的氧化物半導體薄膜、及以 Zn-O 為主的氧化物半導體薄膜。在此實施例中，該氧化物半導體薄膜係使用 In-Ga-Zn-O 為主的氧化物半導體靶材以濺鍍方法來形成。或者，該氧化物半導體薄膜可在稀有氣體（典型地為氬氣）氛圍、氧氣氛圍、或包含稀有氣體（典型地為氬氣）及氧氣的氛圍下用濺鍍方法來形成。應提出的是，當使用濺鍍方法時，沉積係使用一包括大於或等於 2%重量百分比且小於或等於 10%重量百分比的 SiO_2 的靶材來實施且該氧化物半導體薄膜被製造成包括可抑制結晶化的 SiO_x ($x>0$)，使得結晶化可在稍後的製程中實施用於脫水及除氫的熱處理時被抑制。

接下來，該氧化物半導體薄膜用第三微影蝕刻處理來

處理成島型半導體層。應提出的是，為了要獲得與源極電極層 1455a 和汲極電極層 1455b 重疊的氧化物半導體層，蝕刻的材料及條件在該源極電極層 1455a 和汲極電極層 1455b 必需於該氧化物半導體層的蝕刻中去除的例子中被加以適當地調整。應提出的是，用來形成該島型氧化物半導體層的光阻罩幕可用噴墨方法來形成。當光阻罩幕可用噴墨方法來形成時，就不需要光罩；因此，可降低製造成本。

接下來，實施氧化物半導體層的脫水及除氫。實施脫水及除氫的第一熱處理的溫度為大於或等於 350°C 且小於或等於基材的變形點，或更佳地為 400°C 或更高。在此處，該基材被引入到熱處理裝置的一種的電子爐中且熱處理是在氮氣氛圍下實施於該氧化物半導體層上。然後，藉由不曝露於空氣下來防止水或氫再進入該氧化物半導體中。因此，可獲得氧化物半導體層 1403 及 1453（參見圖 1B）。在此實施例中，同一爐子被使用，從實施該氧化物半導體層的脫水及除氫的加熱溫度 T 至足以防止水再進入的溫度。詳言之，該基材在氮氣氛圍中被緩慢地冷卻直到溫度變成比加熱溫度 T 低 100°C 或更多為止。應提出的是，此實施例並不侷限於氮氣氛圍。脫水及除氫可在氮氣、氬氣、氫氣或類此者下或在低壓力下實施。

應提出的是，在該第一熱處理時，氮氣或稀有氣體，譬如像是氮氣、氬氣，或氫氣不包括水、氫或類此者是較佳的。或者，氮氣或稀有氣體，譬如像是氮氣、氬氣，或

氫氣，的純度是 6N (99.9999%) 或更高是較佳的，更佳地為 7N (99.9999%) 或更高 (即，雜質的濃度為 1ppm 或更低，更佳地為 0.1ppm 或更低)。

又，該氧化物半導體薄膜被結晶化且可以是微結晶薄膜或多晶型薄膜，其依該第一熱處理的條件或氧化物半導體層的材料而定。

又，該氧化物半導體層的第一熱處理可在該氧化物半導體薄膜被處理成為島型氧化物半導體層之前被實施在該氧化物半導體薄膜上。在此例子中，該基材在該第一熱處理之後從加熱裝置中被取出；然後，實施微影蝕刻處理。

再者，該熱處理 (加熱溫度為大於或等於 400°C 且小於或等於基材的變形點) 在鈍氣氛圍 (氮氣、氬氣、氖氣、氫氣或類此者)、氧氣氛圍或低壓力下於該氧化物半導體薄膜的沉積之前實施且該氧化物半導體層是一其內的雜質，如氫及水，已被去除的閘極絕緣層是可接受的。

接下來，一金屬導體薄膜被形成在該第二閘極絕緣層 1402b 上，一光阻罩幕 1436 藉由第四微影蝕刻處理來形成，及蝕刻被選擇性地實施，使得一金屬電極層 1435 被形成 (參見圖 1C)。一選自於 Al、Cr、Cu、Ta、Ti、Mo 及 W、包含這些元素的任何一者作為成份的合金、包含這些元素的組合的合金、及類此者可被用作為該金屬導體薄膜的材料。

使用三層式的堆疊層是較佳的，其中一鋁層被形成在一鈦層上且一鈦層被形成在該鋁層上或一鋁層被形成在一

鋁層上及一鋁層被形成在該鋁層上。不待贅言地，單一層、兩層的堆疊層或四層或更多層的堆疊層亦可被用作為該金屬導體薄膜。

應指出的是，為了要選擇性地去除與該氧化物半導體層 1453、該源極電極層 1455a、及該汲極電極層 1455b 重疊的金屬導體薄膜，蝕刻的材料及條件在該氧化物半導體層 1453、該源極電極層 1455a 及該汲極電極層 1455b 必需於該金屬導體薄膜的蝕刻中去除的例子中被加以適當地調整。應提出的是，用來形成該金屬電極層 1435 的光阻罩幕可用噴墨方法來形成。當光阻罩幕可用噴墨方法來形成時，就不需要光罩；因此，可降低製造成本。

接下來，該光阻罩幕 1436 被去除，一光阻罩幕 1437 藉由第五微影蝕刻處理來形成，及蝕刻被選擇性地實施，使得該源極電極層 1405a 及該汲極電極層 1405b 被形成（參見圖 1D）。應指出的是，在該第五微影蝕遮處理中，只有部分的氧化物半導體層被蝕刻，以形成具有凹槽（凹陷）的氧化物半導體層 1433。又，一用來形成凹槽（凹陷）於該氧化物半導體層中的光阻罩幕可用噴墨方法來形成。當用來形成溝槽於該氧化物半導體層中的光阻罩幕可用噴墨方法來形成時，就不需要光罩；因此，可降低製造成本。

接下來，該光阻罩幕 1437 被去除，且該氧化物絕緣層 1407 被形成作為與該氧化物半導體層 1453 的頂面及側面及該氧化物半導體層 1433 的凹槽（凹陷）接觸的保護

絕緣薄膜。

該氧化物絕緣層 1407 具有至少 1nm 或更大的厚度且可用一種雜質，譬如像是水及氫，不會進入該氧化物絕緣層 1407 的方法、用濺鍍方法或類此者來形成。在此實施例中，厚度為 300nm 的氧化矽薄膜係用濺鍍方法來沉積成為該氧化物絕緣層 1407。在沉積時，該基材的溫度可以是大於或等於室溫且小於或等於 300°C。在此實施例中，基材在沉積時的溫度為 100°C。該氧化矽薄膜可在稀有氣體（典型地為氬氣）氛圍、氧氣氛圍、或包含稀有氣體（典型地為氬氣）及氧氣的氛圍下用濺鍍方法來形成。此外，氧化矽靶材或矽靶材可被用作為靶材。例如，該氧化矽薄膜可使用矽靶材藉由濺鍍方法在包括氧氣及氮氣的氛圍下來形成。一不含雜質，譬如像是水氣、氫離子、及 OH⁻，且可防止雜質從外部進入到該氧化物絕緣層內的無機薄膜被用作為被形成來與一低阻值氧化物半導體層接觸的該氧化物絕緣層 1407；典型地，氧化矽薄膜、氮氧化矽薄膜、氧化鋁薄膜、氮氧化鋁薄膜，或類此者被使用。

接下來，第二熱處理（例如，在大於或小於 200°C 且小於或等於 400°C，較佳地為大於或小於 250°C 且小於或等於 350°C）在鈍氣氛圍或氧氣氛圍下被實施（參見圖 1E）。例如，第二熱處理在 250°C 於氮氣氛圍下實施 1 小時。在第二熱處理中，與該氧化物絕緣層 1407 接觸的該氧化物半導體層 1433 的凹槽及氧化物半導體層 1453 的頂面及側面被加熱。

經由上述的處理，用於脫水及除氫的熱處理被實施於該被沉積的氧化物半導體薄膜上以降低阻值，然後，該氧化物半導體薄膜的一部分被選擇性地製造，用以包括過多的氧。因此，與該閘極電極層 1401 重疊的該通道形成區 1434 變成 I 型且與該源極電極層 1405a 重疊的該第一高光阻汲極區 1431 及與該汲極電極層 1405b 重疊的該第二高光阻汲極區 1432 係以自對準方式來形成。又，與該閘極電極層 1451 重疊的該氧化物半導體層 1453 變成該氧化物半導體層 1454，其整體為 I 型。

應提出的是，該第二高光阻汲極區 1432（或該第一高光阻汲極區 1431）係形成在與該汲極電極層 1405b（或該源極電極層 1405a）重疊的氧化物半導體層中，使得形成驅動電路的可靠度可獲得改善。詳言之，藉由形成該第二高光阻汲極區 1432，導電性可逐漸地從該源極電極層改變至該第二高光阻汲極區 1432 及該通道形成區。因此，在電晶體是在該汲極電極層 1405b 連接至一供應高功率電位 VDD 的布線的狀態被驅動的例子中，即使是在高電場被施加於該閘極電極層 1401 與該汲極電極層 1405b 之間時，該高光阻汲極區係如一緩衝器般作用且高電場不是局部地施加，使得該電晶體的承受電壓可獲得改善。

此外，該第二高光阻汲極區 1432（或該第一高光阻汲極區 1431）係形成在與該汲極電極層 1405b（或該源極電極層 1405a）重疊的氧化物半導體層中，使得在形成該驅動電路時在該通道形成區 1434 內的漏電可被減少。

接下來，該保護絕緣層 1408 被形成在該氧化物絕緣層 1407 上（參見圖 1F）。在此實施例中，氮化矽薄膜係用 RF 濺鍍方法來形成。RF 濺鍍方法因為它數量生產率的關係所以是該保護絕緣層 1408 的一較佳的沉積方法。一不含雜質，譬如像是水氣、氫離子、及 OH^- ，且可防止雜質從外部進入到該氧化物絕緣層內的無機薄膜被用作為該保護絕緣層 1408：氧化矽薄膜、氮氧化矽薄膜、氧化鋁薄膜、氮氧化鋁薄膜，或類此者可被使用。不待贅言地，該保護絕緣層 1408 為透光的絕緣薄膜。

又，使用該保護絕緣薄膜 1408 與設置在該保護絕緣薄膜 1408 底下的第一閘極絕緣層 1402a 或作為一基底的絕緣層接觸且可防止雜質，譬如像是水氣、氫離子、及 OH^- ，從其側邊的附近進入該氧化物半導體層內的結構是較佳的。詳言之，當與該保護絕緣層 1408 接觸的該第一閘極絕緣層 1402 或該作為基底的絕緣薄膜是氮化矽膜時，效果可被強化。亦即，當氮化矽薄膜被設置在該氧化物半導體層的底面、頂面及側面上用以包圍該氧化物半導體層時，可改善顯示裝置的可靠性。

接下來，該平坦化絕緣層 1409 被形成在該保護絕緣層 1408 上。該平坦化絕緣層 1409 可用具有耐熱性的有機材料來形成，譬如像是聚醯亞胺、丙烯酸、苯并環丁烯、聚醯胺或環氧樹脂。除了這些有機材料之外，亦可使用低介電常數材料（低 k 材料）、矽氧烷基樹脂、PSG（磷矽酸玻璃）、BPSG（硼磷矽酸玻璃）、或類此者。應指出

的是，該平坦化絕緣層 1409 可藉由堆疊多層這些材料形成的絕緣薄膜來形成。

應指出的是，該矽氧烷基樹脂相當於一包含了使用矽氧烷基材料作為起始材料所形成的 Si-O-Si 鍵的樹脂。該矽氧烷基樹脂可包括有機基團（如，烷基基團或芳基基團）或氟基團作為取代基。此外，該有機基團可包括一氟基團。

該平坦化絕緣層 1409 的形成方法並不侷限於一特定的方法且可依據該平坦化絕緣層的材料來使用像是濺鍍方法、SOG 方法、旋轉塗佈、浸泡塗佈、噴灑塗佈、滴液排放方法（如，噴墨方法、網版印刷或偏位印刷），或類此者的方法，及像是刮刀、滾筒塗佈機、布幕塗佈機、刀型塗佈機，或類此者等工具。

接下來，光阻罩幕係用第六微影蝕刻處理形成，且該平坦化絕緣層 1409、該保護絕緣層 1408 及該氧化物絕緣層 1407 被蝕刻用以形成一到達該汲極電極層 1455b 的接點孔。此外，到達該閘極電極層 1401 及 1451 的接點孔亦被形成。應指出的是，用來形成到達該汲極電極層 1455b 的接點孔的光阻罩幕可用噴墨方法來形成。當光阻罩幕可用噴墨方法來形成時，就不需要光罩；因此，可降低製造成本。

接下來，在該光阻罩幕被去除之後，一透光的導體薄膜被形成。該透光的導體薄膜是用氧化銦（ In_2O_3 ）、氧化銦-氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，縮寫為 ITO）或類此者用

濺鍍方法、真空蒸鍍方法或類此者來形成。該透光的導體薄膜的其它材料可以是包括氮之以 Al-Zn-O 為主的非單一結晶薄膜，亦即，以 Al-Zn-O-N 為主的非單一結晶薄膜、包括氮之以 Zn-O 為主的非單一結晶薄膜或包括氮之以 Sn-Zn-O 為主的非單一結晶薄膜。應指出的是，鋅在以 Al-Zn-O-N 為主的非單一結晶薄膜中的相對比例（原子%）為 47 原子%或更少，其大於鋁在該非單一結晶薄膜中的相對比例（原子%）。鋁在該非單一結晶薄膜中的相對比例（原子%）大於氮在該非單一結晶薄膜中的相對比例（原子%）。此材料是用氫氯酸基溶液來蝕刻。然而，因為在蝕刻 ITO 時很容易產生殘留物，所以氧化銦-氧化鋅合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）可被用來改善蝕刻可處理性。

應指出的是，在該透光的導體薄膜中之相對比例的單位是原子百分比，該相對比例是由使用電子探針 X 光微型分析儀（EPMA）的分析來評估。

接下來，第七微影蝕刻被實施。一光阻罩幕被形成且不必要的部分用蝕刻來去除掉，藉以形成像素電極層 1456 及導體層 1406（參見圖 2A）。

經由上述的處理，用七個罩幕，該薄膜電晶體 1470 及該薄膜電晶體 1460 可被分別形成在該驅動電路及該像素部分內的同一基材上。又，一使用電容器布線層及一電容器電極層形成且使用作為介電質的該第一閘極絕緣層 1402a 及該第二閘極絕緣層 1402b 形成的儲存電容器可被形成在同一基材上。該像素部分係藉由將用於該像素的該

等薄膜電晶體 1460 及該等儲存電容器以矩陣形式提供來形成且一包括該薄膜電晶體 1470 的驅動電路被設置在該像素部分附近，以形成一用來製造主動型矩陣顯示裝置的基材。在此說明書中，為了方便，此基材被稱為主動型矩陣基材。

應指出的是，該像素電極層 1456 透過形成在該平坦化絕緣層 1409、該保護絕緣層 1408 及該氧化物絕緣層 1407 中的接點孔而被電連接至電容器電極層。應指出的是，該電容器電極層可使用與該汲極電極層 1455b 相同的透光的材及相同的處理來形成。

該導體層 1406 被設置成與該氧化物半導體層的通道形成區 1434 重疊，使得在用於檢測薄膜電晶體的可靠度的偏壓-溫度應力測試（下文中稱為 BT 測試）中，該薄膜電晶體 1470 的門檻電壓在 BT 測試之前與之後的改變量可被減小。又，該導體層 1406 可如第一閘極電極層般作用。該導體層 1406 的電位可以與該閘極電極層 1406 的電位相同或不同，或可以是 GND，0V，或在浮動狀態。

應指出的是，在此實施例中，用於該驅動電路的該薄膜電晶體 1470 具有與該通道形成區 1434 重疊的導體層 1406。然而，一用於該驅動電路的薄膜電晶體不一定要具有該導體層 1406。具有該導體層 1406 的該薄膜電晶體 1470 及一不具有該導體層 1401 的薄膜電晶體可使用上述的處理被形成在同一基材上。

在一與本發明的實施例有關的半導體裝置中，當一用

於像素的薄膜電晶體的閘極電極層、源極電極層及汲極電極層、顯示元件的像素電極層及譬如像是掃描線及訊號線的布線層是用透光的導體薄膜來形成時，就可提高該像素的孔徑比。應指出的是，用於該驅動電路的薄膜電晶體不一定是氧化物半導體。應指出的是，當用於該驅動電路的該薄膜電晶體 1470 如此實施例所示地被形成在用於該像素之薄膜電晶體 1460 將會形成於其上的基材上時，使用氧化物半導體來將該薄膜電晶體 1470 與該薄膜電晶體 1460 形成在一起是較佳的，因為可減少步驟數目。在此例子中，用於該驅動電路的該薄膜電晶體 1470 及用於該像素的該薄膜電晶體 1460 兩者皆為單極電晶體。

應指出的是，用於形成像素電極層 1456 的光阻罩幕可用噴墨方法來形成。當光阻罩幕可用噴墨方法來形成時，就不需要光罩；因此，可降低製造成本。

接下來，圖 19 顯示一主動型矩陣的剖面結構的例子，其中電容器及薄膜電晶體係用上述處理來製造。

圖 19 顯示在同一基材上之除了用於該驅動電路的薄膜電晶體 1470 及用於該像素部分的薄膜電晶體 1460 之外之用於該像素的電容器 1502 及用於該驅動電路的電容器 1505。該電容器可藉由上述處理與該薄膜電容器一起製造而無需增加罩幕及步驟的數目。又，一訊號線及一電容器布線層藉由使用透光的導體薄膜而被形成在是該像素部分的顯示部分的部分中，這可實現高孔徑比。再者，一金屬布線可被形成在一不是在該顯示部分的區域內的驅動電路

中，用以降低布線電阻。

在圖 19 中，該薄膜電晶體 1470 是一設置在該驅動電路中之通道蝕刻式薄膜電晶體及該被電連接至像素電極層 1456 的薄膜電晶體 1460 是一設置在該像素部分中之底部接觸式薄膜電晶體。

使用與薄膜電晶體 1460 的閘極電極 1451 相同的透光材料且相同的處理形成的電容器布線層 1500 以該第一閘極絕緣層 1402a 及第二閘極絕緣層 1402b 作為介電質與電容器電極層 1501 重疊並形成一像素的電容器 1502 於它們之間。應指出的是，該電容器電極層 1501 是用與薄膜電晶體 1460 的源極電極層 1455a 或汲極電極層 1455b 相同的材料及相同的處理來形成。因此，一像素的薄膜電晶體 1460 及電容器 1502 具有透光的特性，使得孔徑比可被增加。

電容器 1502 的透光特性對於提高孔徑比是很重要的。詳言之，在螢幕尺寸小於或等於 10 英吋的小型液晶顯示面板中，即使是在像素尺寸被小型化時高孔徑比仍可被實現，使得顯示影像的高解析度可藉由增加掃描線數量來達成。又，透光薄膜被用作為該薄膜電晶體 1460 及該電容器 1502 的構件，使得即使是一個像素被分割成多個子像素以實現大視角時仍可實現高孔徑比。亦即，孔徑比即使是在設置有緻密的薄膜電晶體組群時仍可以是大的，使得一足夠的顯示區域面積得以被確保。例如，當一個像素包括兩個或四個子像素及電容器 1502 時，因為電容器

1502 及薄膜電晶體具有透光特性，所以孔徑比可被提高。

應指出的是，電容器 1502 被設置在該像素電極層 1456 底下且該電容器電極層 1501 被電連接至該像素電極層 1456。

在此實施例中，用該電容器電極層 1501 及該電容器布線層 1500 形成的該電容器 1502 被顯示。然而，用於像素的電容器結構並不侷限於此。例如，在沒有電容器布線層時，電容器可如下所示地來形成：像素電極層與相鄰的像素的掃描線重疊，它們之間有平坦化絕緣層、保護絕緣層、第一閘極電極層及第二閘極電極層。

又，在製造主動型矩陣液晶顯示裝置時，一主動型矩陣基材及一具有相反電極之相反基材彼此結合在一起，它們之間及設一液晶層。應指出的是，一電連接至該相反基材的相反電極的共同電極被設置在該主動型矩陣基材上，且一電連接至該共同電極的端子電極被設置在該端子部分中。該端子電極被設置成該共同電極被設定至一固定的電位，譬如像是 GND 或 0V。該端子電極可用與該像素電極 1456 相同的透光材料來形成。

再者，一用與該薄膜電晶體 1470 的閘極電極層 1401 相同的透光材料及相同的處理形成的電容器布線層 1503 以該第一閘極絕緣層 1402a 及第二閘極絕緣層 1402b 作為介電質與電容器電極層 1504 重疊並形成一驅動電路的電容器 1505 於它們之間。應指出的是，該電容器電極層

1504 是用與薄膜電晶體 1470 的源極電極層 1405a 或汲極電極層 1405b 相同的材料及相同的處理來形成。

[實施例 2]

一種半導體裝置及該半導體裝置的製造方法將參考圖 3A-1、3A-2、3B 及 3C，圖 4A-4E 及圖 5A 至 5E 來描述。

圖 3A-1、3A-2、3B 及 3C 顯示兩個在結構上彼此不同且形成在同一基材上的薄膜電晶體的平面圖及剖面圖的例子。圖 3A-1、3A-2、3B 及 3C 顯示一通道蝕刻型的薄膜電晶體 2410（其為底部閘極結構的一種）與一通道保護型（亦被稱為通道停止型）的薄膜電晶體 2420（其為底部閘極結構的一種）。薄膜電晶體 2410 及薄膜電晶體 2420 可被稱為顛倒交錯（inverted-staggered）式薄膜電晶體。

圖 3A-1 為設置在驅動電路中之通道蝕刻型薄膜電晶體 2410 的平面圖。圖 3B 為沿著圖 3A-1 的線 C1-C2 所取的剖面圖圖 3C 為沿著圖 3A-1 中的線 C3-C4 所取的剖面圖。

設置在該驅動電路中的該薄膜電晶體 2410 為一通道蝕刻型薄膜電晶體且包括一閘極電極層 2411；一第一閘極絕緣層 2402a；一第二閘極絕緣層 2402b；氧化物半導體層 2412 其包括至少一通道形成區 2413，一第一高光阻汲極區 2414a，及一第二高光阻汲極區 2414b；一源極電

極層 2415a；及一汲極電極層 2415b 於一具有絕緣表面的基材 2400 上。又，氧化物絕緣層 2416 被設置來覆蓋該薄膜電晶體 2410 及與該通道形成區 2413 接觸。

該第一高光阻汲極區 2414a 係以自對準方式被形成為與該源極電極層 2415a 的底部表面接觸。又，該第二高光阻汲極區 2414b 係以自對準方式被形成為與該汲極電極層 2415b 的底部表面接觸。此外，該通道形成區 2413 與該氧化物絕緣層 2416 接觸，具有薄的厚度，且是一光阻高於該第一高光阻汲極區 2414a 的光阻及高於該第二高光阻汲極區 2414b 的光阻的區域（I 型區域）。

此外，在該薄膜電晶體 2410 中，一金屬材料被用於該源極電極層 2415a 及該汲極電極層 2415b 用以讓布線（wiring）具有低阻值是較佳的。

此外，一像素部分與一驅動電路被形成在該液晶顯示裝置內的同一基材上，在該驅動電路中，只有正極性與負極性中的一者被施加在一用來建構一邏輯閘，譬如像是反向器電路、NAND 電路、NOR 電路及閃鎖電路的薄膜電晶體或一用來建構類比電路，譬如像是感測放大器、固定電壓產生電路及 VCO 的薄膜電晶體的源極電極與汲極電極之間。因此，必需承受電壓的該第二高光阻汲極區 2414b 的寬度被設計成大於及該第一高光阻汲極區 2414a 的寬度。又，與該第一高光阻汲極區 2414a 及該第二高光阻汲極區 2414b 重疊的該閘極電極層的寬度可以是大的。

又，設置在該驅動電路中的該薄膜電晶體 2410 係使

用單閘薄膜電晶體來描述；然而，一包括多個通道形成區的多閘薄膜電晶體亦可在有需要時被使用。

又，一導體層 2417 被形成在該通道形成區 2413 上用以與該通道形成區重疊。該導體層 2417 被電連接至該閘極電極層 2411 且具有與該閘極電極層 2411 相同的電位，使得一閘極電壓可從設置在該閘極電極層 2411 與該導體層 2417 之間的氧化物半導體的上及下側被施加。又，當該導體層 2417 的電位不同於閘極電極層 2411 的電位且其為例如一固定的電位，GND，及 0V 時，該薄膜電晶體的電特性，如門檻電壓，可被控制。

此外，一保護絕緣層 2403 及一平坦化絕緣層 2404 被堆疊在該導體層 2417 與該氧化物絕緣層 2416 之間。

又，用該保護絕緣層 2403 與設置在該保護絕緣層 2403 或一作為基底的絕緣層的底下的該第一閘極絕緣層 2402a 接觸並防止雜質，譬如水氣、氫離子、及 OH^- ，從側面方向進入該氧化物半導體內的結構是較佳的。詳言之，當與該保護絕緣層 2403 接觸的該第一閘極絕緣層 2402 或作為基底的該絕緣薄膜是氮化矽薄膜時，效果可被加強。

應指出的是，圖 3A-2 為設置在像素中之通道保護型薄膜電晶體 2420 的平面圖。圖 3B 為沿著圖 3A-2 的線 D1-D2 所取的剖面圖。又，圖 3C 為沿著圖 3A-2 的線 D3-D4 所取的剖面圖。

設置在像素中之該薄膜電晶體 2420 是通道保護型薄

膜電晶體且包括一閘極電極層 2421，該第一閘極絕緣層 2402a，該第二閘極絕緣層 2402b，一包括通道形成區的氧化物半導體層 2422，一作為通道保護層的氧化物絕緣層 2426，一源極電極層 2425a，及一汲極電極層 2425b 其在具有絕緣表面的基材 2400 上。又，該保護絕緣層 2403 與該平坦化絕緣層 2404 的一堆疊層被設置來覆蓋該薄膜電晶體 2420 及與該氧化物絕緣層 2426、該源極電極層 2425a 及汲極電極層 2425b 接觸。與該汲極電極層 2425b 接觸的該像素電極層 2427 被設置在該平坦化絕緣層 2404 上且電連接至該薄膜電晶體 2420。

又，在至少一個氧化物半導體薄膜被形成之後，熱處理（用於脫水及除氫的處理）被實施在該氧化物半導體層 2422 上用以減少雜質，如水氣。在用於脫水及除氫的熱處理及緩慢冷卻之後，該氧化物絕緣層 2426 被形成為與該氧化物半導體層 2422 接觸以減少該氧化物半導體層 2422 的載體濃度，這可改善該薄膜電晶體 2420 的電特性及可靠度。

設置在該像素中之該薄膜電晶體 2420 的通道形成區是該氧化物半導體層 2422 的一部分。該薄膜電晶體 2420 的通道形成區與該閘極電極層 2421 重疊且與該氧化物絕緣層 2426（其為一通道保護層）接觸。因為該薄膜電晶體 2420 受到該氧化物絕緣層 2426 的保護，所以該氧化物半導體層 2422 在形成該源極電極層 2425a 及汲極電極層 2425b 的蝕刻處理中沒有被蝕刻。

此外，為了要用透光的薄膜電晶體作為該薄膜電晶體 2420 來實施孔徑比很高的顯示裝置，一透光的導體薄膜被用於該源極電極層 2425a 和汲極電極層 2425b。

又，透光的導體薄膜亦被用於該薄膜電晶體 2420 的閘極電極層 2421。

再者，在設有該薄膜電晶體 2420 的像素中，一相對於可見光具有高透光性的導體薄膜被用作為像素電極層 2427，其它電極層（譬如像是電容器電極層），或其它布線層（譬如像是電容器布線層）；因此，可實現具有高孔徑比的顯示裝置。無需贅言地，相對於可見光具有高透光性的導體薄膜亦被用於該閘極絕緣層 2402a，該閘極絕緣層 2402b，及氧化物絕緣層 2426 是較佳的。

在此說明書中，相對於可見光具有高透光性的薄膜是一具有一厚度的薄膜，其相對於可見光的透射性為大於或等於 75% 且小於或等於 100%。當該薄膜是導體時，該薄膜亦被稱為透明的導體薄膜。此外，一相對於可見光是半透射性的導體薄膜可被用於閘極電極層，源極電極層，汲極電極層，像素電極層，其它的電極層，或施用於其它布線層的金屬氧化物。“相對於可見光是半透射性”一詞係指可見光的透射率為大於或等於 50% 且小於或等於 75%。

形成在同一基材上的該薄膜電晶體 2410 及該薄膜電晶體 2420 的製程將參考圖 4A 至 4E 及圖 5A 至 5E 於下文中描述。

首先，一透光的導體薄膜被形成在具有絕緣表面的該

基材 2400 上；然後，該閘極電極層 2411 及 2412 藉由第一微影蝕刻處理來形成。此外，一電容器布線層藉由相同的第一微影蝕刻處理使用與閘極電極層 2411 及 2412 相同的透光的材料而被形成在像素部分中。又，當該驅動電路需要電容器時，一電容器布線層不只被形成在該像素部分中，其還被形成在該驅動電路中。應指出的是，一光阻罩幕可用噴墨方法來形成。當光阻罩幕可用噴墨方法來形成時，就不需要光罩；因此，可降低製造成本。

雖然對於用作為該具有絕緣表面的基材 2400 的基材沒有特別限制，但該基材至少要具有足夠的耐熱性來承受稍後實施的熱處理。與實施例 1 中所用之玻璃基材相類似的基材可被用作為具有絕緣表面的基材 2400。

應指出的是，用絕緣體形成的基材，譬如陶瓷基材，石英基材，或青玉基材，可被用來取代該玻璃基材。或者，可使用結晶化玻璃或類此者。

應指出的是，一作為基底薄膜的絕緣薄膜可設置在基材 2400 與閘極電極層 2411 及 2421 之間。該基底薄膜具有防止雜質元素從基材 2400 擴散的功能且可被形成為具有使用一或多層氮化矽薄膜，氧化矽薄膜，氮化矽氧化物薄膜，及氮氧化矽薄膜的單層或疊層結構。

一相對於可見光具有透光性的導體材料，譬如以 In-Sn-Zn-O 為主的金屬氧化物、以 In-Al-Zn-O 為主的金屬氧化物、以 Sn-Ga-Zn-O 為主的金屬氧化物、以 Al-Ga-Zn-O 為主的金屬氧化物、以 Sn-Al-Zn-O 為主的金屬氧化物、

以 In-Zn-O 為主的金屬氧化物、以 Sn-Zn-O 為主的金屬氧化物、以 Al-Zn-O 為主的金屬氧化物、以 In-O 為主的金屬氧化物、以 Sn-O 為主的金屬氧化物、及以 Zn-O 為主的金屬氧化物，可被用作為閘極電極層 2411 及 2421 的材料。閘極電極層 2411 及 2421 的厚度被適當地選擇在 50nm 至 300nm 的範圍內。濺鍍方法、真空蒸鍍方法（電子束蒸鍍方法）、電弧離子電鍍方法、或噴灑方法可被用作為用於閘極電極層 2411 及 2421 的金屬氧化物的沉積方法。應指出的是，當使用濺鍍方法時，係使用一包括大於或等於 2%重量百分比且小於或等於 10%重量百分比的 SiO₂ 的靶材來實施沉積，且一透光的導體薄膜被製造成包括可抑制結晶化的 SiO_x (X>0)，使得結晶化可在稍後的製程中實施用於脫水及除氫的熱處理時被抑制。

接下來，閘極絕緣層被形成在閘極電極層 2411 及 2421 上。

該閘極絕緣層可用氧化矽層、氮化矽層、氮氧化矽層、或氮化矽氧化物層的單層或堆疊層，藉由 CVD 方法或濺鍍方法來形成。例如，氮氧化矽層可使用包含 SiH₄、氧氣及氮氣的沉積氣體用電漿 CVD 方法來形成。

在此實施例中，閘極絕緣層是一由厚度為大於或等於 50nm 且小於或等於 200nm 的第一閘極絕緣層 2402a 與厚度為大於或等於 50nm 且小於或等於 300nm 的第二閘極絕緣層 2402b 構成的堆疊層。一厚度為 100nm 的氮化矽薄膜或氮化矽氧化物薄膜被用作為該第一閘極絕緣層

2402a。又，一厚度為 100nm 的氧化矽薄膜被用作為該第二閘極絕緣層 2402b。

一厚度為大於或等於 2nm 且小於或等於 200nm 的氧化物半導體薄膜 2430 被形成在該第二閘極絕緣層 2402b 上。該厚度較佳地為小於或等於 50nm，使得即使是在該用於脫水及除氫的熱處理是在該氧化物半導體薄膜 2430 被形成之後實施，該氧化物半導體薄膜仍可以是非晶型。該氧化物半導體薄膜之薄的厚度可在用於脫水及除氫的熱處理於該氧化物半導體薄膜被形成之後實施的時候抑制結晶化。

應指出的是，在該氧化物半導體薄膜 2430 用濺鍍方法來形成之前，在該第二閘極絕緣層 2402b 的表面的灰塵較佳地係用導入氬氣並產生電漿之逆濺鍍（reverse sputtering）來去除。該逆濺鍍指的是一種在沒有施加電壓至靶材側之下，一 RF 功率源被使用來在氬氣氛圍中施加電壓至基材側用以在基材的附近產生電漿以改變一表面的方法。應指出的是，氮氣、氬氣、氧氣或類此者可被用來取代該氬氣氛圍。

下列的薄膜被用於該氧化物半導體薄膜 2430：以 In-Ga-Zn-O 為主的氧化物半導體薄膜、以 In-Sn-Zn-O 為主的氧化物半導體薄膜、以 In-Al-Zn-O 為主的氧化物半導體薄膜、以 Sn-Ga-Zn-O 為主的氧化物半導體薄膜、以 Al-Ga-Zn-O 為主的氧化物半導體薄膜、以 Sn-Al-Zn-O 為主的氧化物半導體薄膜、以 In-Zn-O 為主的氧化物半導體薄

膜、以 Sn-Zn-O 為主的氧化物半導體薄膜、以 Al-Zn-O 為主的氧化物半導體薄膜、以 In-O 為主的氧化物半導體薄膜、以 Sn-O 為主的氧化物半導體薄膜、及以 Zn-O 為主的氧化物半導體薄膜。在此實施例中，該氧化物半導體薄膜係使用 In-Ga-Zn-O 為主的氧化物半導體靶材以濺鍍方法來形成。或者，該氧化物半導體薄膜 2430 可在稀有氣體（典型地為氬氣）氛圍、氧氣氛圍、或包含稀有氣體（典型地為氬氣）及氧氣的氛圍下用濺鍍方法來形成。應提出的是，當使用濺鍍方法時，沉積係使用一包括大於或等於 2%重量百分比且小於或等於 10%重量百分比的 SiO_2 的靶材來實施且該氧化物半導體薄膜 2430 被製造成包括可抑制結晶化的 SiO_x ($x>0$)，使得結晶化可在稍後的製程中實施用於脫水及除氫的熱處理時被抑制。

接下來，該氧化物半導體薄膜 2430 用第二微影蝕刻處理來處理成島型半導體層。應提出的是，用來形成該島型氧化物半導體層的光阻罩幕可用噴墨方法來形成。當光阻罩幕可用噴墨方法來形成時，就不需要光罩；因此，可降低製造成本。

接下來，實施氧化物半導體層的脫水及除氫。實施脫水及除氫的第一熱處理的溫度為大於或等於 350°C 且小於或等於基材的變形點，或更佳地為 400°C 或更高。在此處，該基材被引入到熱處理裝置的一種的電子爐中且熱處理是在氬氣氛圍下實施於該氧化物半導體層上。然後，藉由不曝露於空氣下來防止水或氫再進入該氧化物半導體

中。因此，可獲得氧化物半導體層 2431 及 2432（參見圖 4B）。在此實施例中，同一爐子被使用，從實施該氧化物半導體層的脫水及除氫的加熱溫度 T 至足以防止水再進入的溫度。詳言之，該基材被緩慢地冷卻直到溫度變成比加熱溫度 T 低 100°C 或更多為止。應提出的是，此實施例並不侷限於氮氣氛圍。脫水及除氫可在氮氣、氖氣、氬氣或類此者下或在低壓力下實施。

應提出的是，在該第一熱處理時，氮氣或稀有氣體，譬如像是氮氣、氖氣，或氬氣不包括水、氫或類此者是較佳的。或者，氮氣或稀有氣體，譬如像是氮氣、氖氣，或氬氣，的純度是 6N（99.9999%）或更高是較佳的，更佳地為 7N（99.9999%）或更高（即，雜質的濃度為 1ppm 或更低，更佳地為 0.1ppm 或更低）。

又，該氧化物半導體薄膜被結晶化且可以是微結晶薄膜或多晶型薄膜，其依該第一熱處理的條件或氧化物半導體層的材料而定。

又，該氧化物半導體層 2430 的第一熱處理可在該氧化物半導體薄膜被處理成為島型氧化物半導體層之前被實施在該氧化物半導體薄膜上。在此例子中，該基材在該第一熱處理之後從加熱裝置中被取出；然後，實施微影蝕刻處理。

再者，該熱處理（加熱溫度為大於或等於 400°C 且小於或等於基材的變形點）在鈍氣氛圍（氮氣、氬氣、氖氣、氬氣或類此者）、氧氣氛圍或低壓力下於該氧化物半

導體薄膜 2430 的沉積之前實施且該氧化物半導體層是一其內的雜質，如氫及水，已被去除的閘極絕緣層是可接受的。

接下來，一金屬導體薄膜被形成在該第二閘極絕緣層 2402b 上，該氧化物半導體層 2431 及該氧化物半導體層 2432，光阻罩幕 2433a 及 2433b 藉由第三微影蝕刻處理來形成，及蝕刻被選擇性地實施，使得金屬電極層 2434 及 2435 被形成（參見圖 4C）。一選自於 Al、Cr、Cu、Ta、Ti、Mo 及 W、包含這些元素的任何一者作為成份的合金、包含這些元素的組合的合金、及類此者可被用作為該金屬導體薄膜的材料。

使用三層式的堆疊層是較佳的，其中一鋁層被形成在一鈦層上且一鈦層被形成在該鋁層上或一鋁層被形成在一鉬層上及一鉬層被形成在該鋁層上。不待贅言地，單一層、兩層的堆疊層或四層或更多層的堆疊層亦可被用作為該金屬導體薄膜。

應指出的是，用來形成金屬電極層 2434 及 2435 的光阻罩幕可用噴墨方法來形成。當光阻罩幕可用噴墨方法來形成時，就不需要光罩；因此，可降低製造成本。

接下來，該光阻罩幕 2433a 及 2433b 被去除，光阻罩幕 2436a 及 2436b 藉由第四微影蝕刻處理來形成，及蝕刻被選擇性地實施，使得該源極電極層 2415a 及該汲極電極層 2415b 被形成（參見圖 4D）。應指出的是，在該第四微影蝕遮處理中，只有部分的氧化物半導體層 2431 被蝕

刻，以形成具有凹槽（凹陷）的氧化物半導體層 2437。又，用來形成凹槽（凹陷）於該氧化物半導體層 2431 中的光阻罩幕 2436a 及 2436b 可用噴墨方法來形成。當光阻罩幕可用噴墨方法來形成時，就不需要光罩；因此，可降低製造成本。

接下來，該光阻罩幕 2436a 及 2436b 被去除，一覆蓋該氧化物半導體層 2437 的光阻罩幕 2438 藉由第五微影蝕刻處理來形成，且在該氧化物半導體層 2432 上的金屬電極層 2435 被去除掉（參見圖 4E）。

應指出的是，為了要用第五微影蝕刻處理來去除與該氧化物半導體層 2432 重疊的金屬導體層 2435，在該氧化物半導體層 2432 應於金屬電極層 2435 的蝕刻中被去除的例子中，材料及蝕刻條件被適當地調整。

該氧化物絕緣層 2439 被形成作為與該氧化物半導體層 2432 的頂面及側面及該氧化物半導體層 2437 的凹槽（凹陷）接觸的保護絕緣薄膜。

該氧化物絕緣層 2439 具有至少 1nm 或更大的厚度且可使用雜質，譬如像是水及氫，不會進入該氧化物絕緣層 2439 的方法，來形成。在此實施例中，厚度為 300nm 的氧化矽薄膜係用濺鍍方法來沉積成為該氧化物絕緣層 2439。在沉積時，該基材的溫度可以是大大於或等於室溫且小於或等於 300°C。在此實施例中，基材在沉積時的溫度為 100°C。該氧化矽薄膜可在稀有氣體（典型地為氬氣）氛圍、氧氣氛圍、或包含稀有氣體（典型地為氬氣）及氧

氣的氛圍下用濺鍍方法來形成。此外，氧化矽靶材或矽靶材可被用作為靶材。例如，該氧化矽薄膜可使用矽靶材藉由濺鍍方法在包括氧氣及氮氣的氛圍下來形成。一不含譬如像是水氣、氫離子、及 OH^- 之雜質，且可防止雜質從外部進入到該氧化物絕緣層內的無機薄膜被用作為被形成來與一低阻值氧化物半導體層接觸的該氧化物絕緣層 2439；典型地，氧化矽薄膜、氮氧化矽薄膜、氧化鋁薄膜、氮氧化鋁薄膜，或類此者被使用。

接下來，第二熱處理（例如，在大於或小於 200°C 且小於或等於 400°C ，較佳地為大於或小於 250°C 且小於或等於 350°C ）在鈍氣氛圍或氧氣氛圍下被實施（參見圖 5A）。例如，第二熱處理在 250°C 於氮氣氛圍下實施 1 小時。在第二熱處理中，與該氧化物絕緣層 2439 接觸的該氧化物半導體層 2437 的凹槽及氧化物半導體層 2432 的頂面及側面被加熱。

經由上述的處理，用於脫水及除氫的熱處理被實施於該被沉積的氧化物半導體薄膜上以降低阻值，然後，該氧化物半導體薄膜的一部分被選擇性地製造，用以包括過多的氧。因此，與該閘極電極層 2411 重疊的該通道形成區 2413 變成 I 型且與該源極電極層 2415a 重疊的該第一高光阻汲極區 2414a 及與該汲極電極層 2415b 重疊的該第二高光阻汲極區 2414b 係以自對準方式來形成。又，當與該閘極電極層 2421 重疊的該氧化物半導體層 2432 的整體變成為 I 型時，與該閘極電極層 2421 重疊的該氧化物半導體

層 2432 變成該氧化物半導體層 2422。

然而，當熱處理是在氮氣氛圍下實施，該被作成具有高光阻（其為 I 型）的該氧化物半導體層 2422 被曝露在鈍氣氛圍下或低壓下時，該被作成具有高光阻（其為 I 型）的該氧化物半導體層 2422 阻值被降低。因此，當該氧化物半導體層 2422 被外露時，熱處理是在氧氣氛圍、 N_2O 氣氛圍、或超乾空氣（其在空氣壓力下的露點為 -40°C 或更低，較佳地為 -60°C 或更低）下實施。

應指出的是，該第二高光阻汲極區 2414b（或該第一高光阻汲極區 2414a）係形成在與該汲極電極層 2415b（或該源極電極層 2415a）重疊的氧化物半導體層中，使得形成驅動電路的可靠度可獲得改善。詳言之，藉由形成該第二高光阻汲極區 2414b，導電性可逐漸地從該源極電極層 2415b 改變至該第二高光阻汲極區 2414b 及該通道形成區 2413。因此，在電晶體是在該汲極電極層 2415b 連接至一供應高功率電位 VDD 的布線的狀態被驅動的例子中，即使是在高電場被施加於該閘極電極層 2411 與該汲極電極層 2415b 之間時，該高光阻汲極區係如一緩衝器般作用且高電場不是局部地施加，使得該電晶體的承受電壓可獲得改善。

此外，該第二高光阻汲極區 2414b（或該第一高光阻汲極區 2414a）係形成在與該汲極電極層 2415b（或該源極電極層 2415a）重疊的氧化物半導體層中，使得在形成該驅動電路時在該通道形成區 2413 內的漏電可被減少。

接下來，光阻罩幕 2400a 及 2400b 藉由第六微影蝕刻來形成，且氧化物絕緣層 2416 及 2426 係由被選擇性地蝕刻的氧化物絕緣層 2439 來形成（參見圖 5B）。該氧化物絕緣層 2426 被設置在該氧化物半導體層 2422 的通道形成區上且當作一通道保護層。應指出的是，當氧化物絕緣層如此實施例般地被用作為該閘極絕緣層 2402b 時，該氧化物絕緣層的薄膜厚度有時候被減小，因為該氧化物絕緣層 2402b 的一部分被該氧化物絕緣層 2439 的蝕刻處理給蝕刻掉了。當一相對於該氧化物絕緣層 2439 的選擇比（selective ratio）很高的氮化物絕緣層被用作為該氧化物絕緣層 2402b 時，該氧化物絕緣層 2402b 就不會被部分地蝕刻掉。

接下來，在一透光的導體薄膜被形成在該氧化物半導體層 2422 及該氧化物半導體層 2426 上之後，該源極電極層 2425a 及汲極電極層 2425b 用第七蝕刻處理來形成（參見圖 5C）。濺鍍方法、真空蒸鍍方法（電子束蒸鍍方法）、電弧離子電鍍方法、或噴灑方法可被用作為該透光的導體薄膜的沉積方法。一相對於可見光具有透光性的導體材料，譬如以 In-Sn-Zn-O 為主的金屬氧化物、以 In-Al-Zn-O 為主的金屬氧化物、以 Sn-Ga-Zn-O 為主的金屬氧化物、以 Al-Ga-Zn-O 為主的金屬氧化物、以 Sn-Al-Zn-O 為主的金屬氧化物、以 In-Zn-O 為主的金屬氧化物、以 Sn-Zn-O 為主的金屬氧化物、以 Al-Zn-O 為主的金屬氧化物、以 In-O 為主的金屬氧化物、以 Sn-O 為主的金屬氧化

物、及以 Zn-O 為主的金屬氧化物，可被用作為該導體薄膜的材料。該厚度被適當地選擇在 50nm 至 300nm 的範圍內。應指出的是，當使用濺鍍方法時，沉積係使用一包括大於或等於 2%重量百分比且小於或等於 10%重量百分比的 SiO_2 的靶材來實施且一透光的導體薄膜被製造成包括可抑制結晶化的 SiO_x ($x>0$)，使得結晶化可在稍後的製程中實施用於脫水及除氫的熱處理時被抑制。

應指出的是，用來形成該源極電極層 2425a 及汲極電極層 2425b 的光阻罩幕可用噴墨方法來形成。當光阻罩幕可用噴墨方法來形成時，就不需要光罩；因此，可降低製造成本。

接下來，該保護絕緣層 2403 被形成在該氧化物絕緣層 2416、該氧化物絕緣層 2426、該源極電極層 2425a、及該汲極電極層 2425b 上。在此實施例中，氮化矽薄膜係用 RF 濺鍍方法來形成。RF 濺鍍方法因為它數量生產率的關係所以是該保護絕緣層 2403 的一較佳的沉積方法。一不含雜質，譬如像是水氣、氫離子、及 OH^- ，且可防止雜質從外部進入到該氧化物絕緣層內的無機薄膜被用作為該保護絕緣層 2403：氧化矽薄膜、氮氧化矽薄膜、氧化鋁薄膜、氮氧化鋁薄膜，或類此者可被使用。不待贅言地，該保護絕緣層 2403 是透光的絕緣薄膜。

又，使用該保護絕緣薄膜 2403 與設置在該保護絕緣薄膜 2403 底下的第一閘極絕緣層 2402a 或作為一基底的絕緣層接觸且可防止雜質，譬如像是水氣、氫離子、及

OH⁻，從其側邊的附近進入該氧化物半導體層內的結構是較佳的。詳言之，當與該保護絕緣層 2403 接觸的該第一閘極絕緣層 2402 或該作為基底的絕緣薄膜是氮化矽膜時，效果可被強化。亦即，當氮化矽薄膜被設置在該氧化物半導體層的底面、頂面及側面上用以包圍該氧化物半導體層時，可改善顯示裝置的可靠性。

接下來，該平坦化絕緣層 2404 被形成在該保護絕緣層 2403 上。該平坦化絕緣層 2404 可用具有耐熱性的有機材料來形成，譬如像是聚醯亞胺、丙烯酸、苯并環丁烯、聚醯胺或環氧樹脂。除了這些有機材料之外，亦可使用低介電常數材料（低 k 材料）、矽氧烷基樹脂、PSG（磷矽酸玻璃）、BPSG（硼磷矽酸玻璃）、或類此者。應指出的是，該平坦化絕緣層 2404 可藉由堆疊多層這些層料形成的絕緣薄膜來形成。

應指出的是，該矽氧烷基樹脂相當於一包含了使用矽氧烷基材料作為起始材料所形成的 Si-O-Si 鍵的樹脂。該矽氧烷基樹脂可包括有機基團（如，烷基基團或芳基基團）或氟基團作為取代基。此外，該有機基團可包括一氟基團。

該平坦化絕緣層 2404 的形成方法並不侷限於一特定的方法且可依據該平坦化絕緣層的材料來使用像是濺鍍方法、SOG 方法、旋轉塗佈、浸泡塗佈、噴灑塗佈、滴液排放方法（如，噴墨方法、網版印刷或偏位印刷），或類此者的方法，及像是刮刀、滾筒塗佈機、布幕塗佈機、刀型

塗佈機，或類此者等工具。

接下來，光阻罩幕係用第八微影蝕刻處理形成，且該平坦化絕緣層 2404 及該保護絕緣層 2403 被蝕刻用以形成一到達該汲極電極層 2425b 的接點孔 2441（參見圖 5D）。此外，到達該閘極電極層 2411 及 2421 的接點孔亦被形成。應指出的是，用來形成到達該汲極電極層 2425b 的接點孔的光阻罩幕可用噴墨方法來形成。當光阻罩幕可用噴墨方法來形成時，就不需要光罩；因此，可降低製造成本。

接下來，在該光阻罩幕被去除之後，一透光的導體薄膜被形成。該透光的導體薄膜是用氧化銦（ In_2O_3 ）、氧化銦-氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，縮寫為 ITO）或類此者用濺鍍方法、真空蒸鍍方法或類此者來形成。該透光的導體薄膜的其它材料可以是包括氮之以 Al-Zn-O 為主的非單一結晶薄膜，亦即，以 Al-Zn-O-N 為主的非單一結晶薄膜、包括氮之以 Zn-O 為主的非單一結晶薄膜或包括氮之以 Sn-Zn-O 為主的非單一結晶薄膜。應指出的是，鋅在以 Al-Zn-O-N 為主的非單一結晶薄膜中的相對比例（原子%）為 47 原子%或更少，其大於鋁在該非單一結晶薄膜中的相對比例（原子%）。鋁在該非單一結晶薄膜中的相對比例（原子%）大於氮在該非單一結晶薄膜中的相對比例（原子%）。此材料是用氫氯酸基溶液來蝕刻。然而，因為在蝕刻 ITO 時很容易產生殘留物，所以氧化銦-氧化鋅合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）可被用來改善蝕刻可處理性。

應指出的是，在該透光的導體薄膜中之相對比例的單位是原子百分比，該相對比例是由使用電子探針 X 光微型分析儀（EPMA）的分析來評估。

接下來，第九微影蝕刻被實施。一光阻罩幕被形成且不必要的部分用蝕刻來去除掉，藉以形成像素電極層 2427 及導體層 2417（參見圖 5E）。

經由上述的處理，用九個罩幕，該薄膜電晶體 2410 及該薄膜電晶體 2420 可被分別形成在該驅動電路及該像素部分內的同一基材上。用於驅動電路的該薄膜電晶體 2410 是一通道蝕刻型薄膜電晶體其包括具有該第一高光阻汲極區 2414a，該第二高光阻汲極區 2414b，及該通道形成區 2413 的氧化物半導體層 2412。用於該像素的薄膜電晶體 2420 是一通道保護型薄膜電晶體其具有該氧化物半導體層 2422，其整體變成為 I 型。

又，一使用電容器布線層及一電容器電極層形成且使用作為介電質的該第一閘極絕緣層 2402a 及該第二閘極絕緣層 2402b 形成的儲存電容器可被形成在同一基材上。該像素部分係藉由將用於像素的該等薄膜電晶體 2420 及該等儲存電容器以矩陣形式提供來形成且一包括該薄膜電晶體 2410 的驅動電路被設置在該像素部分附近，以形成一用來製造主動型矩陣顯示裝置的基材。在此說明書中，為了方便，此基材被稱為主動型矩陣基材。

應指出的是，該像素電極層 2427 透過形成在該平坦化絕緣層 2404 及該保護絕緣層 2403 中的接點孔而被電連

接至電容器電極層。應指出的是，該電容器電極層可使用與該源極電極層 2425a 及該汲極電極層 2425b 相同的透光的材及相同的處理來形成。

該導體層 2417 被設置成與該氧化物半導體層 2412 的通道形成區 2413 重疊，使得在用於檢測薄膜電晶體的可靠度的偏壓-溫度應力測試（下文中稱為 BT 測試）中，該薄膜電晶體 2410 的門檻電壓在 BT 測試之前與之後的改變量可被減小。又，該導體層 2417 可當作一第二閘極電極層。該導體層 2417 的電位可以與該閘極電極層 2411 的電位相同或不同，或可以是 GND，0V，或在浮動狀態。

應指出的是，在此實施例中，用於該驅動電路的該薄膜電晶體 2410 具有與該通道形成區 2413 重疊的導體層 2417。然而，一用於該驅動電路的薄膜電晶體不一定要具有該導體層 2417。具有該導體層 2417 的該薄膜電晶體 2410 及一不具有該導體層 2417 的薄膜電晶體可使用上述的處理被形成在同一基材上。

又，用於該驅動電路的薄膜電晶體不一定要是氧化物半導體。應指出的是，當用於該驅動電路的該薄膜電晶體 2410 如此實施例所示地被形成在用於該像素之薄膜電晶體 2420 將會形成於其上的基材上時，使用氧化物半導體來將該薄膜電晶體 2410 與該薄膜電晶體 2420 形成在一起是較佳的，因為可減少步驟數目。在此例子中，用於該驅動電路的該薄膜電晶體 2410 及用於該像素的該薄膜電晶體 2420 兩者皆為單極電晶體。

應指出的是，用於形成像素電極層 2427 的光阻罩幕可用噴墨方法來形成。當光阻罩幕可用噴墨方法來形成時，就不需要光罩；因此，可降低製造成本。

[實施例 3]

此實施例描述可從一個訊號獲得多個訊號之半導體裝置的例子。在此處，可從一個訊號獲三個訊號的例子將被描述，此實施例並不侷限於此。各式例子都是可接受的，只要可從一個訊號獲得兩個或更多個訊號。

首先，此實施例的半導體裝置的結構將參考圖 6A 加以描述。

電路 100 包括電路 110、電路 120 及電路 130。電路 110 包括一對應於掃描線切換元件的電晶體 111，一電路 112，及一電容器 114。電路 120 包括一對應於掃描線切換元件的電晶體 121，一電路 122，及一電容器 124。電路 130 包括一對應於掃描線切換元件的電晶體 131，一電路 132，及一電容器 134。訊號 IN，訊號 CK1，訊號 CK2，訊號 CK3，訊號 OUT1，訊號 OUT2，及訊號 OUT3 分別被傳送通過布線 140，布線 141，布線 142，布線 143，布線 151，布線 152，及布線 153。

接下來，將描述連接關係。

電路 100 被連接至布線 140，布線 141，布線 142，及布線 143。電路 110 被連接至布線 140，布線 141，及布線 151。電路 120 被連接至布線 140，布線 142，及布

線 152。電路 130 被連接至布線 140，布線 143，及布線 153。亦即，布線 140 被連接至電路 110，電路 120 及電路 130 的每一者。

接下來，圖 6A 中的半導體裝置的操作將參考圖 6B 的時序圖來描述。

圖 6B 的時序圖具有週期 T1，週期 T2 及週期 T3。訊號 IN 為電路 100 的輸入訊號。訊號 CK1，訊號 CK2，及訊號 CK3 分別為送至電路 110，電路 120 及電路 130 的輸入訊號。訊號 OUT1，訊號 OUT2 及訊號 OUT3 分別為來自電路 110，電路 120 及電路 130 的輸出訊號。

首先，將描述圖 6A 中的半導體裝置在週期 T1 的操作。在週期 T1 中，訊號 IN 是在 H 位準，訊號 CK1 是在 H 位準，訊號 CK2 是在 L 位準，及訊號 CK3 是在 L 位準。然後，包括在該電路 110 內的電晶體 111 被打開；因此，訊號 OUT1 是在 H 位準，訊號 OUT2 是在 L 位準及訊號 OUT3 是在 L 位準。

接下來，在週期 T2 中，訊號 IN 是在 H 位準，訊號 CK1 是在 L 位準，訊號 CK2 是在 H 位準，及訊號 CK3 是在 L 位準。然後，包括在該電路 120 內的電晶體 121 被打開；因此，訊號 OUT1 是在 L 位準，訊號 OUT2 是在 H 位準及訊號 OUT3 是在 L 位準。

然後，在週期 T3 中，訊號 IN 是在 H 位準，訊號 CK1 是在 L 位準，訊號 CK2 是在 L 位準，及訊號 CK3 是在 H 位準。然後，包括在該電路 130 內的電晶體 131 被打

開；因此，訊號 OUT1 是在 L 位準，訊號 OUT2 是在 L 位準及訊號 OUT3 是在 H 位準。

然後，分別從電路 110，電路 120 及電路 130 輸出的訊號 OUT1，訊號 OUT2 及訊號 OUT3 被當作掃描線選擇訊號從掃描線驅動電路被輸入至對應的掃描線。

以此方式，可從該訊號 IN 獲得多個訊號。在此時，分別包括在電路 110，電路 120 及電路 130 中之電容器 114，電容器 124 及電容器 134 的電容式耦接讓訊號 OUT1，訊號 OUT2 及訊號 OUT3 的振幅分別與訊號 CK1，訊號 CK2，及訊號 CK3 的振幅相同。

又，電晶體 111，電晶體 121 及電晶體 131 各自的閘極電極的電位依據各自的訊號 OUT1，訊號 OUT2 及訊號 OUT3 藉由靴環式操作（bootstrap operation）而被提高。亦即，電晶體的 V_{gs} 可被提高或保持在很大，使得訊號 OUT1 至 OUT3 的變形被減小。或者，訊號 OUT1 至 OUT3 的上升時間或下降時間可被縮短。

此外，因為訊號的振幅大於訊號 IN 或沒有額外需要電源供應電壓，所以可以降低電力消耗。

[實施例 4]

在此實施例中，將描述實施例 3 的特定例子。

首先，此實施例的半導體裝置的結構將參考圖 7A 來加以描述。

該電路 100 包括電路 110，電路 120 及電路 130。該

電路 110 包括電晶體 111，電晶體 113，電晶體 115 及電容器 114。該電路 120 包括電晶體 121，電晶體 123，電晶體 125 及電容器 124。該電路 130 包括電晶體 131，電晶體 133，電晶體 135 及電容器 134。訊號 IN1，訊號 CK1，訊號 CK2，訊號 CK3，訊號 IN2，訊號 OUT1，訊號 OUT2，及訊號 OUT3 分別被傳送通過布線 140，布線 141，布線 142，布線 143，布線 240，布線 151，布線 152，及布線 153。

接下來，將描述連接關係。

電路 100 被連接至布線 140，布線 141，布線 142，布線 143，及布線 240。電路 110 被連接至布線 140，布線 141，布線 240，及布線 151。電路 120 被連接至布線 140，布線 142，布線 240，及布線 152。電路 130 被連接至布線 140，布線 143，布線 240，及布線 153。亦即，布線 140 及布線 240 被連接至電路 110，電路 120 及電路 130 的每一者。

包括在電路 110 中的電晶體 111 的閘極電極被連接至該電晶體 115 的源極電極與汲極電極中的一者及該電容器 114 的諸電極的一者。該電晶體 111 的源極電極與汲極電極中的一者被連接至該布線 141。該電晶體 111 的源極電極與汲極電極中的另一者被連接至該布線 151 及該電容器 114 的諸電極的另一者。該電晶體 115 的閘極電極被連接至布線 140 及該電晶體 115 的源極電極與汲極電極中的另一者。該電晶體 115 的源極電極與汲極電極中的一者被連

接至電晶體 111 的閘極電極及該電容器 114 的諸電極的一者。該電晶體 113 的閘極電極被連接至布線 240。該電晶體 113 的源極電極與汲極電極中的一者被連接至電晶體 111 的閘極電極、該電晶體 115 的源極電極與汲極電極中的一者及該電容器 114 的諸電極的一者。該電晶體 113 的源極電極與汲極電極中的另一者被連接至 GND（地極）電極。

包括在電路 120 中的電晶體 121 的閘極電極被連接至該電晶體 125 的源極電極與汲極電極中的一者及該電容器 124 的諸電極的一者。該電晶體 121 的源極電極與汲極電極中的一者被連接至該布線 142。該電晶體 121 的源極電極與汲極電極中的另一者被連接至該布線 152 及該電容器 124 的諸電極的另一者。該電晶體 125 的閘極電極被連接至布線 140 及該電晶體 125 的源極電極與汲極電極中的另一者。該電晶體 125 的源極電極與汲極電極中的一者被連接至電晶體 121 的閘極電極及該電容器 124 的諸電極的一者。該電晶體 123 的閘極電極被連接至布線 240。該電晶體 123 的源極電極與汲極電極中的一者被連接至電晶體 121 的閘極電極、該電晶體 125 的源極電極與汲極電極中的一者及該電容器 124 的諸電極的一者。該電晶體 123 的源極電極與汲極電極中的另一者被連接至 GND（地極）電極。

包括在電路 130 中的電晶體 131 的閘極電極被連接至該電晶體 135 的源極電極與汲極電極中的一者及該電容器

134 的諸電極的一者。該電晶體 131 的源極電極與汲極電極中的一者被連接至該布線 143。該電晶體 131 的源極電極與汲極電極中的另一者被連接至該布線 153 及該電容器 134 的諸電極的另一者。該電晶體 135 的閘極電極被連接至布線 140 及該電晶體 135 的源極電極與汲極電極中的另一者。該電晶體 135 的源極電極與汲極電極中的一者被連接至電晶體 131 的閘極電極及該電容器 134 的諸電極的一者。該電晶體 133 的閘極電極被連接至布線 240。該電晶體 133 的源極電極與汲極電極中的一者被連接至電晶體 131 的閘極電極、該電晶體 135 的源極電極與汲極電極中的一者及該電容器 134 的諸電極的一者。該電晶體 133 的源極電極與汲極電極中的另一者被連接至 GND（地極）電極。

接下來，將參考圖 7B 的時序圖來描述圖 7A 中的半導體裝置的操作。

圖 7B 的時序圖具有週期 T1，週期 T2，週期 T3，週期 T4，週期 T5 及週期 T6。訊號 IN1 為電路 100 在第一階段的輸入訊號。訊號 IN2 為電路 100 在第二階段的輸入訊號。訊號 CK1，訊號 CK2 及訊號 CK3 分別為包括在電路 100 內之電路 110，電路 120 及電路 130 在第一階段及第二階段的輸入訊號。訊號 OUT1，訊號 OUT2 及訊號 OUT3 分別為來自包括在電路 100 內之電路 110，電路 120 及電路 130 在第一階段的輸出訊號。訊號 OUT1，訊號 OUT2 及訊號 OUT3 被當作掃描線訊選擇訊號從掃描線驅

動電路被輸入至相應的掃描線。

首先，將描述圖 7A 中的半導體裝置在週期 T1 的操作。在週期 T1 中，訊號 IN1 是在 H 位準，訊號 IN2 是在 L 位準，訊號 CK1 是在 H 位準，訊號 CK2 是在 L 位準，及訊號 CK3 是在 L 位準。然後，包括在電路 110 內的電晶體 111 被打開；因此，訊號 OUT1 是在 H 位準，訊號 OUT2 是在 L 位準，及訊號 OUT3 是在 L 位準。

接下來，在週期 T2 中，訊號 IN1 是在 H 位準，IN2 是在 L 位準，訊號 CK1 是在 L 位準，訊號 CK2 是在 H 位準，及訊號 CK3 是在 L 位準。然後，包括在該電路 120 內的電晶體 121 被打開；因此，訊號 OUT1 是在 L 位準，訊號 OUT2 是在 H 位準及訊號 OUT3 是在 L 位準。在當時，包括在電路 110 內的電晶體 111 被保持在 ON 的狀態。

然後，在週期 T3 中，訊號 IN1 是在 H 位準，訊號 IN2 是在 L 位準，訊號 CK1 是在 L 位準，訊號 CK2 是在 L 位準，及訊號 CK3 是在 H 位準。然後，包括在該電路 130 內的電晶體 131 被打開；因此，訊號 OUT1 是在 L 位準，訊號 OUT2 是在 L 位準及訊號 OUT3 是在 H 位準。在當時，包括在電路 110 內的電晶體 111 及包括在電路 120 內的電晶體 121 都被保持在 ON 的狀態。

亦即，在週期 T3 中，電晶體 111，電晶體 121 及電晶體 131 都被保持在 ON 狀態。如果此狀態被持續的話，則在週期 T3 結束之後，訊號 OUT1，訊號 OUT2 及訊號

OUT3 會在訊號 CK1，訊號 CK2 及訊號 CK3 進入 H 位準時進入位準 H。

接下來，在週期 T4 中，訊號 IN1 是在 L 位準，訊號 IN2 是在 H 位準，訊號 CK1 是在 H 位準，訊號 CK2 是在 L 位準，及訊號 CK3 是在 L 位準。當訊號 IN2 進入 H 位準時，包括在該電路 110 內的電晶體 113，包括在電路 120 內的電晶體 123 及包括在電路 130 內的電晶體 133 被打開。這些電晶體的每一電晶體的汲極電極與源極電極的另一者被連接至 GND 電極，使得這些電晶體的每一電晶體的汲極電極與源極電極的一者的電位進入 L 位準。因此，連接至電晶體 113，123，133 的源極電極及汲極電極的一者的電晶體 111，電晶體 121 及電晶體 131 的閘極電極分別進入 L 位準，電晶體 111，121 及 131 藉以被關閉。因此，在週期 T4 中，即使是在訊號 CK1 在 H 位準時，訊號 OUT1 仍可被保持來 L 位準。

在週期 T5 及週期 T6 中，與在週期 T4 中時一樣，在訊號 IN2 是在 H 位準的例子中，因為電晶體 111，電晶體 121 及電晶體 131 是關閉（OFF）的，所以即使是在訊號 CK2 及訊號 CK3 是在 H 位準時，訊號 OUT2 及訊號 OUT3 仍可被保持在 L 位準。此外，在當時，從電路 100 輸出的訊號 OUT4，訊號 OUT5 及訊號 OUT6 在第二階段依序地進入 H 位準，就像在第一階段中訊號 IN1 被輸入到該電路 100 中的例子一樣。

在電晶體 111，電晶體 121 及電晶體 131 未被關閉的

結構被使用例子中，訊號 OUT1，訊號 OUT2 及訊號 OUT3 進入 H 位準的時間與訊號 CK1，訊號 CK2 及訊號 CK3 進入 H 位準的時間相同，這有時候會造成掃描線選擇上的缺陷。

[實施例 5]

在此實施例中，將描述實施例 3 的另一特定的例子。

首先，將參考圖 8 描述此實施例的半導體裝置的結構。

電路 100 包括電路 110，電路 120 及電路 130。電路 110 包括電晶體 111，電晶體 113，電晶體 115，電晶體 116 及電容器 114。該電路 120 包括電晶體 121，電晶體 123，電晶體 125，電晶體 126 及電容器 124。該電路 130 包括電晶體 131，電晶體 133，電晶體 135，電晶體 136 及電容器 134。訊號 IN1，訊號 CK1，訊號 CK2，訊號 CK3，訊號 IN2，訊號 OUT1，訊號 OUT2，及訊號 OUT3 分別被傳送通過布線 140，布線 141，布線 142，布線 143，布線 240，布線 151，布線 152，及布線 153。

接下來，將描述連接關係。

電路 100 被連接至布線 140，布線 141，布線 142，布線 143，及布線 240。電路 110 被連接至布線 140，布線 141，布線 240，及布線 151。電路 120 被連接至布線 140，布線 142，布線 240，及布線 152。電路 130 被連接至布線 140，布線 143，布線 240，及布線 153。亦即，布

線 140 及布線 240 被連接至電路 110，電路 120 及電路 130 的每一者。

包括在電路 110 中的電晶體 111 的閘極電極被連接至該電晶體 115 的源極電極與汲極電極中的一者及該電容器 114 的諸電極的一者。該電晶體 111 的源極電極與汲極電極中的一者被連接至該布線 141。該電晶體 111 的源極電極與汲極電極中的另一者被連接至該布線 151，電晶體 116 的源極電極與汲極電極中的一者及該電容器 114 的諸電極的另一者。該電晶體 115 的閘極電極被連接至布線 140 及該電晶體 115 的源極電極與汲極電極中的另一者。該電晶體 115 的源極電極與汲極電極中的一者被連接至電晶體 111 的閘極電極及該電容器 114 的諸電極的一者。該電晶體 113 的閘極電極被連接至布線 240。該電晶體 113 的源極電極與汲極電極中的一者被連接至電晶體 111 的閘極電極、該電晶體 115 的源極電極與汲極電極中的一者及該電容器 114 的諸電極的一者。該電晶體 113 的源極電極與汲極電極中的另一者被連接至 GND（地極）電極。電晶體 116 的閘極電極被連接至布線 143。電晶體 116 的源極電極與汲極電極中的一者被連接至布線 151、該電晶體 111 的源極電極與汲極電極中的另一者及該電容器 114 的諸電極的另一者。該電晶體 116 的源極電極與汲極電極中的另一者被連接至 GND（地極）電極。

包括在電路 120 中的電晶體 121 的閘極電極被連接至該電晶體 125 的源極電極與汲極電極中的一者及該電容器

124 的諸電極的一者。該電晶體 121 的源極電極與汲極電極中的一者被連接至該布線 142。該電晶體 121 的源極電極與汲極電極中的另一者被連接至該布線 152，電晶體 126 的源極電極與汲極電極中的一者及該電容器 124 的諸電極的另一者。該電晶體 125 的閘極電極被連接至布線 140 及該電晶體 125 的源極電極與汲極電極中的另一者。該電晶體 125 的源極電極與汲極電極中的一者被連接至電晶體 121 的閘極電極及該電容器 124 的諸電極的一者。該電晶體 123 的閘極電極被連接至布線 240。該電晶體 123 的源極電極與汲極電極中的一者被連接至電晶體 121 的閘極電極、該電晶體 125 的源極電極與汲極電極中的一者及該電容器 124 的諸電極的一者。該電晶體 123 的源極電極與汲極電極中的另一者被連接至 GND（地極）電極。電晶體 126 的閘極電極被連接至布線 141。電晶體 126 的源極電極與汲極電極中的一者被連接至布線 152、該電晶體 121 的源極電極與汲極電極中的另一者及該電容器 124 的諸電極的另一者。該電晶體 126 的源極電極與汲極電極中的另一者被連接至 GND（地極）電極。

包括在電路 130 中的電晶體 131 的閘極電極被連接至該電晶體 135 的源極電極與汲極電極中的一者及該電容器 134 的諸電極的一者。該電晶體 131 的源極電極與汲極電極中的一者被連接至該布線 143。該電晶體 131 的源極電極與汲極電極中的另一者被連接至該布線 153，電晶體 136 的源極電極與汲極電極中的一者及該電容器 134 的諸

電極的另一者。該電晶體 135 的閘極電極被連接至布線 140 及該電晶體 135 的源極電極與汲極電極中的另一者。該電晶體 135 的源極電極與汲極電極中的一者被連接至電晶體 131 的閘極電極及該電容器 134 的諸電極的一者。該電晶體 133 的閘極電極被連接至布線 240。該電晶體 133 的源極電極與汲極電極中的一者被連接至電晶體 131 的閘極電極、該電晶體 135 的源極電極與汲極電極中的一者及該電容器 134 的諸電極的一者。該電晶體 133 的源極電極與汲極電極中的另一者被連接至 GND（地極）電極。電晶體 136 的閘極電極被連接至布線 142。電晶體 136 的源極電極與汲極電極中的一者被連接至布線 153、該電晶體 131 的源極電極與汲極電極中的另一者及該電容器 134 的諸電極的另一者。該電晶體 136 的源極電極與汲極電極中的另一者被連接至 GND（地極）電極。

接下來，將參考圖 7B 的時序圖來描述圖 8 中的半導體裝置的操作。

圖 7B 的時序圖具有週期 T1，週期 T2，週期 T3，週期 T4，週期 T5 及週期 T6。訊號 IN1 為電路 100 在第一階段的輸入訊號。訊號 IN2 為電路 100 在第二階段的輸入訊號。訊號 CK1，訊號 CK2 及訊號 CK3 分別為包括在電路 100 內之電路 110，電路 120 及電路 130 在第一階段及第二階段的輸入訊號。訊號 OUT1，訊號 OUT2 及訊號 OUT3 分別為來自包括在電路 100 內之電路 110，電路 120 及電路 130 在第一階段的輸出訊號。然後，訊號 OUT1，

訊號 OUT2 及訊號 OUT3 被當作掃描線訊選擇訊號從掃描線驅動電路被輸入至對應的掃描線。

首先，將描述圖 8 中的半導體裝置在週期 T1 的操作。在週期 T1 中，訊號 IN1 是在 H 位準，訊號 IN2 是在 L 位準，訊號 CK1 是在 H 位準，訊號 CK2 是在 L 位準，及訊號 CK3 是在 L 位準。然後，包括在電路 110 內的電晶體 111 被打開；因此，訊號 OUT1 是在 H 位準，訊號 OUT2 是在 L 位準，及訊號 OUT3 是在 L 位準。在當時，包括在電路 120 中的電晶體 126 被打開且訊號 OUT2 進入 L 位準。

接下來，在週期 T2 中，訊號 IN1 是在 H 位準，IN2 是在 L 位準，訊號 CK1 是在 L 位準，訊號 CK2 是在 H 位準，及訊號 CK3 是在 L 位準。然後，包括在該電路 120 內的電晶體 121 被打開；因此，訊號 OUT1 是在 L 位準，訊號 OUT2 是在 H 位準及訊號 OUT3 是在 L 位準。在當時，包括在電路 110 內的電晶體 111 被保持在 ON 的狀態。又，包括在電路 130 中的電晶體 136 被打開且訊號 OUT3 進入 L 位準。

然後，在週期 T3 中，訊號 IN1 是在 H 位準，訊號 IN2 是在 L 位準，訊號 CK1 是在 L 位準，訊號 CK2 是在 L 位準，及訊號 CK3 是在 H 位準。然後，包括在該電路 130 內的電晶體 131 被打開；因此，訊號 OUT1 是在 L 位準，訊號 OUT2 是在 L 位準及訊號 OUT3 是在 H 位準。在當時，包括在電路 110 內的電晶體 111 及包括在電路 120

內的電晶體 121 都被保持在 ON 的狀態。又，包括在電路 110 中的電晶體 116 被打開且訊號 OUT1 進入 L 位準。

接下來，在週期 T4 中，訊號 IN1 是在 L 位準，訊號 IN2 是在 H 位準，訊號 CK1 是在 H 位準，訊號 CK2 是在 L 位準，及訊號 CK3 是在 L 位準。當訊號 IN2 進入 H 位準時，包括在電路 110 中的電晶體 113，包括在電路 120 中的電晶體 123，及包括在電路 130 中的電晶體 133 被打開。這些電晶體的每一者的汲極電極與源極電極中的另一者被連接至 GND 電極，使得這些電晶體的每一者的汲極電極與源極電極中的一者的電位進入 L 位準。因此，連接至電晶體 111，121，131 的源極電極及汲極電極的一者的電晶體 111，電晶體 121 及電晶體 131 的閘極電極進入 L 位準，這些電晶體藉以被關閉。因此，在週期 T4 中，即使是在訊號 CK1 進入 H 位準時，訊號 OUT1 仍可被保持來 L 位準。又，在週期 T1 時，因為訊號 CK1 是在 H 位準，包括在電路 120 中的電晶體 126 是 ON 狀態，所以訊號 OUT2 是在 L 位準。

在週期 T5 及週期 T6 時，與在週期 T4 中時一樣，在訊號 IN2 是在 H 位準的例子中，因為電晶體 111，電晶體 121 及電晶體 131 是關閉（OFF）的，所以即使是在訊號 CK2 及訊號 CK3 是在 H 位準時，訊號 OUT2 及訊號 OUT3 仍可被保持在 L 位準。此外，在當時，從電路 100 輸出的訊號 OUT4，訊號 OUT5 及訊號 OUT6 在第二階段依序地進入 H 位準，就像在第一階段中訊號 IN1 被輸入到該電

路 100 中的例子一樣。又，包括在電路 130 中的電晶體 136 在週期 T5 中是在 ON 狀態且包括在電路 110 中的電晶體 116 在週期 T6 中是在 ON 狀態，使得訊號 OUT3 及訊號 OUT1 進入 L 位準。

如上文所述，訊號 OUT1，訊號 OUT2 及訊號 OUT3 藉由將包括在電路 110 中的電晶體 116，包括在電路 120 中的電晶體 126 及包括在電路 130 中的電晶體 136 打開而進入 L 位準；使得在掃描線選擇上的缺陷可被抑制。

[實施例 6]

此實施例描述可從一個訊號獲得多個訊號之半導體裝置的另一個例子。在此實施例中，實施例 3 中之電晶體與訊號 IN 之間的連接關係及電晶體與訊號 CK 的連接關係被改變。

首先，此實施例的半導體裝置的結構將參考圖 9 加以描述。

電路 100 包括電路 110、電路 120 及電路 130。電路 110 包括電晶體 111，電路 112，及電容器 114。電路 120 包括電晶體 121，電路 122，及電容器 124。電路 130 包括電晶體 131，電路 132，及電容器 134。訊號 IN，訊號 CK1，訊號 CK2，訊號 CK3，訊號 OUT1，訊號 OUT2，及訊號 OUT3 分別被傳送通過布線 140，布線 141，布線 142，布線 143，布線 151，布線 152，及布線 153。

接下來，將描述連接關係。

電路 100 被連接至布線 140，布線 141，布線 142，及布線 143。電路 110 被連接至布線 140，布線 141，及布線 151。電路 120 被連接至布線 140，布線 142，及布線 152。電路 130 被連接至布線 140，布線 143，及布線 153。亦即，布線 140 被連接至電路 110，電路 120 及電路 130 的每一者。

接下來，圖 9 中的半導體裝置的操作將參考圖 6B 的時序圖來描述。

圖 6B 的時序圖具有週期 T1，週期 T2 及週期 T3。訊號 IN 為電路 100 的輸入訊號。訊號 CK1，訊號 CK2，及訊號 CK3 分別為送至電路 110，電路 120 及電路 130 的輸入訊號。訊號 OUT1，訊號 OUT2 及訊號 OUT3 分別為來自電路 110，電路 120 及電路 130 的輸出訊號。

首先，將描述圖 9 中的半導體裝置在週期 T1 的操作。在週期 T1 中，訊號 IN 是在 H 位準，訊號 CK1 是在 H 位準，訊號 CK2 是在 L 位準，及訊號 CK3 是在 L 位準。然後，包括在該電路 110 內的電晶體 111 被打開；因此，訊號 OUT1 是在 H 位準，訊號 OUT2 是在 L 位準及訊號 OUT3 是在 L 位準。

接下來，在週期 T2 中，訊號 IN 是在 H 位準，訊號 CK1 是在 L 位準，訊號 CK2 是在 H 位準，及訊號 CK3 是在 L 位準。然後，包括在該電路 120 內的電晶體 121 被打開；因此，訊號 OUT1 是在 L 位準，訊號 OUT2 是在 H 位準及訊號 OUT3 是在 L 位準。

然後，在週期 T3 中，訊號 IN 是在 H 位準，訊號 CK1 是在 L 位準，訊號 CK2 是在 L 位準，及訊號 CK3 是在 H 位準。然後，包括在該電路 130 內的電晶體 131 被打開；因此，訊號 OUT1 是在 L 位準，訊號 OUT2 是在 L 位準及訊號 OUT3 是在 H 位準。

然後，分別從電路 110，電路 120 及電路 130 輸出的訊號 OUT1，訊號 OUT2 及訊號 OUT3 被當作掃描線選擇訊號從掃描線驅動電路被輸入至對應的掃描線。

以此方式，可從該訊號 IN 獲得多個訊號。在此時，分別包括在電路 110，電路 120 及電路 130 中之電容器 114，電容器 124 及電容器 134 的電容式耦接讓訊號 OUT1，訊號 OUT2 及訊號 OUT3 的振幅分別與訊號 CK1，訊號 CK2，及訊號 CK3 的振幅相同。

又，電晶體 111，電晶體 121 及電晶體 131 各自的閘極電極的電位依據各自的訊號 OUT1，訊號 OUT2 及訊號 OUT3 藉由靴環式操作（bootstrap operation）而被提高。亦即，電晶體的 V_{gs} 可被提高或保持在很大，使得訊號 OUT1 至 OUT3 的變形被減小。或者，訊號 OUT1 至 OUT3 的上升時間或下降時間可被縮短。

此外，因為訊號的振幅大於訊號 IN 或沒有額外需要電源供應電壓，所以可以降低電力消耗。

[實施例 7]

在此實施例中，將描述實施例 4 的特定例子。

首先，此實施例的半導體裝置的結構將參考圖 10 來加以描述。

該電路 100 包括電路 110，電路 120 及電路 130。該電路 110 包括電晶體 111，電晶體 113，電晶體 115 及電容器 114。該電路 120 包括電晶體 121，電晶體 123，電晶體 125 及電容器 124。該電路 130 包括電晶體 131，電晶體 133，電晶體 135 及電容器 134。訊號 IN，訊號 CK1，訊號 CK2，訊號 CK3，訊號 OUT1，訊號 OUT2，及訊號 OUT3 分別被傳送通過布線 140，布線 141，布線 142，布線 143，布線 151，布線 152，及布線 153。

接下來，將描述連接關係。

電路 100 被連接至布線 140，布線 141，布線 142，及布線 143。電路 110 被連接至布線 140，布線 141，及布線 151。電路 120 被連接至布線 140，布線 142，及布線 152。電路 130 被連接至布線 140，布線 143，及布線 153。亦即，布線 140 被連接至電路 110，電路 120 及電路 130 的每一者。

包括在電路 110 中的電晶體 111 的閘極電極被連接至該電晶體 115 的源極電極與汲極電極中的一者及該電容器 114 的諸電極的一者。該電晶體 111 的源極電極與汲極電極中的一者被連接至該布線 140。該電晶體 111 的源極電極與汲極電極中的另一者被連接至該布線 151 及該電容器 114 的諸電極的另一者。該電晶體 115 的閘極電極被連接至布線 141 及該電晶體 115 的源極電極與汲極電極中的另

一者。該電晶體 115 的源極電極與汲極電極中的一者被連接至電晶體 111 的閘極電極及該電容器 114 的諸電極的一者。該電晶體 113 的閘極電極被連接至布線 142。該電晶體 113 的源極電極與汲極電極中的一者被連接至電晶體 111 的閘極電極、該電晶體 115 的源極電極與汲極電極中的一者及該電容器 114 的諸電極的一者。該電晶體 113 的源極電極與汲極電極中的另一者被連接至 GND（地極）電極。

包括在電路 120 中的電晶體 121 的閘極電極被連接至該電晶體 125 的源極電極與汲極電極中的一者及該電容器 124 的諸電極的一者。該電晶體 121 的源極電極與汲極電極中的一者被連接至該布線 140。該電晶體 121 的源極電極與汲極電極中的另一者被連接至該布線 152 及該電容器 124 的諸電極的另一者。該電晶體 125 的閘極電極被連接至布線 142 及該電晶體 125 的源極電極與汲極電極中的另一者。該電晶體 125 的源極電極與汲極電極中的一者被連接至電晶體 121 的閘極電極及該電容器 124 的諸電極的一者。該電晶體 123 的閘極電極被連接至布線 143。該電晶體 123 的源極電極與汲極電極中的一者被連接至電晶體 121 的閘極電極、該電晶體 125 的源極電極與汲極電極中的一者及該電容器 124 的諸電極的一者。該電晶體 123 的源極電極與汲極電極中的另一者被連接至 GND（地極）電極。

包括在電路 130 中的電晶體 131 的閘極電極被連接至

該電晶體 135 的源極電極與汲極電極中的一者及該電容器 134 的諸電極的一者。該電晶體 131 的源極電極與汲極電極中的一者被連接至該布線 140。該電晶體 131 的源極電極與汲極電極中的另一者被連接至該布線 153 及該電容器 134 的諸電極的另一者。該電晶體 135 的閘極電極被連接至布線 143 及該電晶體 135 的源極電極與汲極電極中的另一者。該電晶體 135 的源極電極與汲極電極中的一者被連接至電晶體 131 的閘極電極及該電容器 134 的諸電極的一者。該電晶體 133 的閘極電極被連接至布線 141。該電晶體 133 的源極電極與汲極電極中的一者被連接至電晶體 131 的閘極電極、該電晶體 135 的源極電極與汲極電極中的一者及該電容器 134 的諸電極的一者。該電晶體 133 的源極電極與汲極電極中的另一者被連接至 GND（地極）電極。

接下來，將參考圖 6B 的時序圖來描述圖 10 中的半導體裝置的操作。

圖 6B 的時序圖具有週期 T1，週期 T2，及週期 T3。訊號 IN 為電路 100 的輸入訊號。訊號 CK1，訊號 CK2 及訊號 CK3 分別為輸入至電路 110，電路 120 及電路 130 的輸入訊號。訊號 OUT1，訊號 OUT2 及訊號 OUT3 分別為來自電路 110，電路 120 及電路 130 的輸出訊號。訊號 OUT1，訊號 OUT2 及訊號 OUT3 被當作掃描線訊選擇訊號從掃描線驅動電路被輸入至對應的掃描線。

首先，將描述圖 10 中的半導體裝置在週期 T1 的操

作。在週期 T1 中，訊號 IN 是在 H 位準，訊號 CK1 是在 H 位準，訊號 CK2 是在 L 位準，及訊號 CK3 是在 L 位準。然後，包括在電路 110 內的電晶體 111 被打開；因此，訊號 OUT1 是在 H 位準，訊號 OUT2 是在 L 位準，及訊號 OUT3 是在 L 位準。

接下來，在週期 T2 中，訊號 IN1 是在 H 位準，訊號 CK1 是在 L 位準，訊號 CK2 是在 H 位準，及訊號 CK3 是在 L 位準。然後，包括在該電路 120 內的電晶體 121 被打開；因此，訊號 OUT1 是在 L 位準，訊號 OUT2 是在 H 位準及訊號 OUT3 是在 L 位準。在當時，包括在電路 110 內的電晶體 113 被保持在 ON 的狀態。因為該電晶體 113 的源極電極與汲極電極中的另一者被連接至 GND（地極）電極，所以該電晶體 113 的源極電極與汲極電極中的一者的電位進入 L 位準。因此，連接至該電晶體 113 的源極電極與汲極電極中的一者的該電晶 111 的閘極電極進入 L 位準，電晶體 111 藉此被關閉。因此，即使是訊號 IN 在週期 T2 中是在 H 位準，訊號 OUT1 仍可被保持在 L 位準。又，包括在電路 120 中的電晶體 121 被保持在 ON 狀態。

然後，在週期 T3 中，訊號 IN 是在 H 位準，訊號 CK1 是在 L 位準，訊號 CK2 是在 L 位準，及訊號 CK3 是在 H 位準。然後，包括在該電路 130 內的電晶體 131 被打開；因此，訊號 OUT1 是在 L 位準，訊號 OUT2 是在 L 位準及訊號 OUT3 是在 H 位準。在當時，包括在電路 120 內的電晶體 123 被打開。因為該電晶體 123 的源極電極與汲

極電極中的另一者被連接至 GND（地極）電極，所以該電晶體 123 的源極電極與汲極電極中的一者的電位進入 L 位準。因此，連接至該電晶體 123 的源極電極與汲極電極中的一者的該電晶體 121 的閘極電極進入 L 位準，電晶體 121 藉此被關閉。因此，即使是訊號 IN 在週期 T3 中是在 H 位準，訊號 OUT2 仍可被保持在 L 位準。又，包括在電路 130 中的電晶體 131 被保持在 ON 狀態。

相同地，當週期前進至下一個週期時，係用訊號 CK1 來將電晶體 131 關閉，使得訊號 OUT3 可被保持在 L 位準。

在電晶體 111，電晶體 121 及電晶體 131 未被關閉的結構被使用例子中，在訊號 IN 是在 H 為準的期間，訊號 OUT1，訊號 OUT2 及訊號 OUT3 是在 H 位準，這有時候會造成掃描線選擇上的缺陷。

[實施例 8]

在此實施例中，將描述實施例 4 的另一特定的例子。

首先，將參考圖 11 描述此實施例的半導體裝置的結構。

電路 100 包括電路 110，電路 120 及電路 130。電路 110 包括電晶體 111，電晶體 113，電晶體 115，電晶體 116 及電容器 114。該電路 120 包括電晶體 121，電晶體 123，電晶體 125，電晶體 126 及電容器 124。該電路 130 包括電晶體 131，電晶體 133，電晶體 135，電晶體 136

及電容器 134。訊號 IN，訊號 CK1，訊號 CK2，訊號 CK3，訊號 OUT1，訊號 OUT2，及訊號 OUT3 分別被傳送通過布線 140，布線 141，布線 142，布線 143，布線 151，布線 152，及布線 153。

接下來，將描述連接關係。

電路 100 被連接至布線 140，布線 141，布線 142，及布線 143。電路 110 被連接至布線 140，布線 141，及布線 151。電路 120 被連接至布線 140，布線 142，及布線 152。電路 130 被連接至布線 140，布線 143，及布線 153。亦即，布線 140 被連接至電路 110，電路 120 及電路 130 的每一者。

包括在電路 110 中的電晶體 111 的閘極電極被連接至該電晶體 115 的源極電極與汲極電極中的一者及該電容器 114 的諸電極的一者。該電晶體 111 的源極電極與汲極電極中的一者被連接至該布線 140。該電晶體 111 的源極電極與汲極電極中的另一者被連接至該布線 151，電晶體 116 的源極電極與汲極電極中的一者及該電容器 114 的諸電極的另一者。該電晶體 115 的閘極電極被連接至布線 141 及該電晶體 115 的源極電極與汲極電極中的另一者。該電晶體 115 的源極電極與汲極電極中的一者被連接至電晶體 111 的閘極電極及該電容器 114 的諸電極的一者。該電晶體 113 的閘極電極被連接至布線 142。該電晶體 113 的源極電極與汲極電極中的一者被連接至電晶體 111 的閘極電極、該電晶體 115 的源極電極與汲極電極中的一者及

該電容器 114 的諸電極的一者。該電晶體 113 的源極電極與汲極電極中的另一者被連接至 GND（地極）電極。電晶體 116 的閘極電極被連接至布線 143。電晶體 116 的源極電極與汲極電極中的一者被連接至布線 151、該電晶體 111 的源極電極與汲極電極中的另一者及該電容器 114 的諸電極的另一者。該電晶體 116 的源極電極與汲極電極中的另一者被連接至 GND（地極）電極。

包括在電路 120 中的電晶體 121 的閘極電極被連接至該電晶體 125 的源極電極與汲極電極中的一者及該電容器 124 的諸電極的一者。該電晶體 121 的源極電極與汲極電極中的一者被連接至該布線 140。該電晶體 121 的源極電極與汲極電極中的另一者被連接至該布線 152，電晶體 126 的源極電極與汲極電極中的一者及該電容器 124 的諸電極的另一者。該電晶體 125 的閘極電極被連接至布線 142 及該電晶體 125 的源極電極與汲極電極中的另一者。該電晶體 125 的源極電極與汲極電極中的一者被連接至電晶體 121 的閘極電極及該電容器 124 的諸電極的一者。該電晶體 123 的閘極電極被連接至布線 143。該電晶體 123 的源極電極與汲極電極中的一者被連接至電晶體 121 的閘極電極、該電晶體 125 的源極電極與汲極電極中的一者及該電容器 124 的諸電極的一者。該電晶體 123 的源極電極與汲極電極中的另一者被連接至 GND（地極）電極。電晶體 126 的閘極電極被連接至布線 141。電晶體 126 的源極電極與汲極電極中的一者被連接至布線 152、該電晶體

121 的源極電極與汲極電極中的另一者及該電容器 124 的諸電極的另一者。該電晶體 126 的源極電極與汲極電極中的另一者被連接至 GND（地極）電極。

包括在電路 130 中的電晶體 131 的閘極電極被連接至該電晶體 135 的源極電極與汲極電極中的一者及該電容器 134 的諸電極的一者。該電晶體 131 的源極電極與汲極電極中的一者被連接至該布線 140。該電晶體 131 的源極電極與汲極電極中的另一者被連接至該布線 153，電晶體 136 的源極電極與汲極電極中的一者及該電容器 134 的諸電極的另一者。該電晶體 135 的閘極電極被連接至布線 143 及該電晶體 135 的源極電極與汲極電極中的另一者。該電晶體 135 的源極電極與汲極電極中的一者被連接至電晶體 131 的閘極電極及該電容器 134 的諸電極的一者。該電晶體 133 的閘極電極被連接至布線 141。該電晶體 133 的源極電極與汲極電極中的一者被連接至電晶體 131 的閘極電極、該電晶體 135 的源極電極與汲極電極中的一者及該電容器 134 的諸電極的一者。該電晶體 133 的源極電極與汲極電極中的另一者被連接至 GND（地極）電極。電晶體 136 的閘極電極被連接至布線 142。電晶體 136 的源極電極與汲極電極中的一者被連接至布線 153、該電晶體 131 的源極電極與汲極電極中的另一者及該電容器 134 的諸電極的另一者。該電晶體 136 的源極電極與汲極電極中的另一者被連接至 GND（地極）電極。

接下來，將參考圖 6B 的時序圖來描述圖 11 中的半導

體裝置的操作。

圖 6B 的時序圖具有週期 T1，週期 T2，及週期 T3。訊號 IN 為電路 100 的輸入訊號。訊號 CK1，訊號 CK2 及訊號 CK3 分別為輸入至電路 110，電路 120 及電路 130 的輸入訊號。訊號 OUT1，訊號 OUT2 及訊號 OUT3 分別為來自電路 110，電路 120 及電路 130 的輸出訊號。

首先，將描述圖 11 中的半導體裝置在週期 T1 的操作。在週期 T1 中，訊號 IN 是在 H 位準，訊號 CK1 是在 H 位準，訊號 CK2 是在 L 位準，及訊號 CK3 是在 L 位準。然後，包括在電路 110 內的電晶體 111 被打開且訊號 OUT1 進入 H 位準，訊號 OUT2 進入 L 位準，及訊號 OUT3 進入 L 位準。在當時，包括在電路 120 中的電晶體 126 被打開且訊號 OUT2 進入 L 位準。

接下來，在週期 T2 中，訊號 IN1 是在 H 位準，訊號 CK1 是在 L 位準，訊號 CK2 是在 H 位準，及訊號 CK3 是在 L 位準。然後，包括在該電路 120 內的電晶體 121 被打開且訊號 OUT1 進入 L 位準，訊號 OUT2 進入 H 位準及訊號 OUT3 進入 L 位準。在當時，包括在電路 110 內的電晶體 113 被打開。因為該電晶體 113 的源極電極與汲極電極中的另一者被連接至 GND（地極）電極，所以該電晶體 113 的源極電極與汲極電極中的一者的電位進入 L 位準。因此，連接至該電晶體 113 的源極電極與汲極電極中的一者的該電晶 111 的閘極電極進入 L 位準，電晶體 111 藉此被關閉。因此，即使是訊號 IN 在週期 T2 中是在 H 位

準，訊號 OUT1 仍可被保持在 L 位準。又，包括在電路 130 中的電晶體 136 被打開，使得訊號 OUT3 進入 L 位準。

然後，在週期 T3 中，訊號 IN 是在 H 位準，訊號 CK1 是在 L 位準，訊號 CK2 是在 L 位準，及訊號 CK3 是在 H 位準。然後，包括在該電路 130 內的電晶體 131 被打開且訊號 OUT1 進入 L 位準，訊號 OUT2 進入 L 位準及訊號 OUT3 進入 H 位準。在當時，包括在電路 120 內的電晶體 123 都打開。因為該電晶體 123 的源極電極與汲極電極中的另一者被連接至 GND（地極）電極，所以該電晶體 123 的源極電極與汲極電極中的一者的電位進入 L 位準。因此，連接至該電晶體 123 的源極電極與汲極電極中的一者的該電晶 121 的閘極電極進入 L 位準，電晶體 121 藉此被關閉。因此，即使是訊號 IN 在週期 T3 中是在 H 位準，訊號 OUT2 仍可被保持在 L 位準。又，包括在電路 110 中的電晶體 116 被打開，使得訊號 OUT1 進入 L 位準。

相同地，當週期前進至下一個週期時，係用訊號 CK1 來將電晶體 131 關閉，使得訊號 OUT3 可被保持在 L 位準。

如上文所述，訊號 OUT1，訊號 OUT2 及訊號 OUT3 係藉由將包括在電路 110 中的電晶體 116，包括在電路 120 中的電晶體 126 及包括在電路 130 中的電晶體 136 打開而進入 L 位準；使得在掃描線選擇上的缺陷可被抑制。

[實施例 9]

此實施例描述一驅動電路，一與本發明的實施例相關的結構採用此驅動電路。

首先，此實施例中的半導體裝置的結構係以圖 6A 的電路 100 為例子且參考圖 12 來描述。

一移位暫存器 (shift register) 2000 依序地輸出多個訊號。在第一階段至第 n 階段的電路 100 是一與本發明的實施例相關的電路且在此處，每一階段輸出可從單一個訊號獲得的三個訊號。又，來自移位暫存器 2000 的輸出訊號在第一階段至第 n 階段經由布線 140 被傳送至電路 100。訊號 OUT1 至 OUT3 被傳送通過 n 組個別的布線 151 至 153。

接下來，將描述連接關係。

該移位暫存器 2000 被連接至布線 140。電路 100 被連接至布線 140、布線 151、布線 152 及布線 153。

接下來，參考圖 13 的時訊圖來描述圖 12 中的半導體裝置的操作。

圖 13 的時序圖顯示驅動電路的一個訊框週期 (frame period)。訊號 SRout1 是電路 100 在第一階段的輸入訊號。訊號 SRout2 是電路 100 在第二階段的輸入訊號。訊號 SRoutN 是電路 100 在第 n 階段的輸入訊號。一具有這些訊號 SRout1 至 SRoutN 的脈衝的週期代表一子訊框週期。訊號 CK1，訊號 CK2，及訊號 CK3 為每一電路 100

在第一階段至第 n 階段時的輸入訊號。一具有這些訊號 CK1 至 CK3 的脈衝的週期代表一掃描線選擇週期。訊號 OUT1 至 OUT3 n 為每一電路 100 在第一階段至第 n 階段時的輸出訊號。

訊號 OUT 只有在被依序地輸入的訊號 SRout 及訊號 CK 兩只進入 H 位準時才會進入 H 位準。亦即，當訊號 SRout1 至 SROUTN 在一個訊框週期中被輸入時，訊號 OUT1 至 OUT3 n 被輸出。因此，掃描線 1 至 3 n 可在一個訊框週期中被控制。又，在第二訊框中及在後續的訊框中，SRout 及訊號 CK 亦被輸入且訊號 OUT 亦被輸出。大體上，移動的影像藉由以每秒 60 個訊框來處理而被顯示。

應指出的是，在此實施例中，一個被設置在掃描線驅動電路內的該移位暫存器的輸出側上的電路結構係以圖 6A 的電路 100 例子來加以說明。然而，示於圖 7A，圖 8，圖 9，圖 10 及圖 11 中的電路 100 亦可被用作為與本發明的實施例有關的半導體裝置。

[實施例 10]

此實施例描述顯示裝置的剖面結構的例子。

圖 14A 顯示該顯示裝置的頂視圖。驅動電路部分 5392 及像素部分 5393 被形成在基材 5391 上。驅動電路部分 5392 的一個例子為掃描線驅動電路、訊號線驅動電路、或類此者。

圖 14B 顯示驅動電路部分 5392 的剖面圖（沿圖 14A 的線 A-B 所取的剖面）的例子。例如，圖 14B 顯示基材 5401，導體層 5402a，導體層 5402b，絕緣層 5403，導體層 5404a，導體層 5404b，半導體層 5405，絕緣層 5406，導體層 5407，液晶層 5408，絕緣層 5409，導體層 5410，及基材 5411。例如，導體層 5402a 被形成在基材 5401 上。例如，導體層 5402b 被形成在導體層 5402a 上。例如，絕緣層 5403 被形成在基材 5401、導體層 5402a、及導體層 5402b 上。例如，導體層 5404a 被形成在絕緣層 5403 上。例如，導體層 5404b 被形成在導體層 5404a 上。例如，絕緣層 5405 被形成在絕緣層 5403 上。例如，絕緣層 5406 被形成在絕緣層 5403、導體層 5404a、導體層 5404b、及半導體層 5405 上。例如，導體層 5407 被形成在絕緣層 5406 的開孔部分內及在絕緣層 5406 上。例如，液晶層 5408 被形成在絕緣層 5406 上。例如，絕緣層 5409 被形成在絕緣層 5406 及導體層 5407 上。例如，導體層 5410 被形成在液晶層 5408 及絕緣層 5409 上。例如，基材 5411 被形成在絕緣層 5410 上。

圖 14C 顯示像素部分 5393 的剖面圖（沿著圖 14A 的 C-D 線所取的剖面）的例子。例如，圖 14C 顯示基材 5401，導體層 5402a，絕緣層 5403，導體層 5404a，半導體層 5405，絕緣層 5406，導體層 5407，液晶層 5408，導體層 5410，及基材 5411。例如，導體層 5402a 被形成在基材 5401 上。例如，絕緣層 5403 被形成在基材 5401 及

導體層 5402a 上。例如，導體層 5404a 被形成在絕緣層 5403 上。例如，絕緣層 5405 被形成在絕緣層 5403 上。例如，絕緣層 5406 被形成在絕緣層 5403、導體層 5404a、及半導體層 5405 上。例如，導體層 5407 被形成在絕緣層 5406 的開孔部分內及在絕緣層 5406 上。例如，液晶層 5408 被形成在絕緣層 5406 及導體層 5407 上。例如，導體層 5410 被形成在液晶層 5408 上。例如，基材 5411 被形成在絕緣層 5410 上。

例如，導體層 5402a 及導體層 5402b 可當作閘極電極或閘極布線。例如，絕緣層 5403 可當作閘極絕緣層。例如，導體層 5404a 及導體層 5404b 可當作布線、電晶體的電極、電容器的電極，或類此者。例如，絕緣層 5406 可當作介層薄膜（interlayer film）或平坦化薄膜。例如，導體層 5407 可當作布線、像素電極、透光的電極、或反射性電極。例如，絕緣層 5409 可當作密封材料。例如，導體層 5410 可當作反電極、共同電極、或反射性電極。

在此處，例如，導體層 5402a 及導體層 5404a 可用透光性材料來形成。例如，導體層 5402b 及導體層 5404b 可用導電率比用來形成導體層 5402a 及導體層 5404a 的詞矮料的導電率高的材料來形成。例如，導體層 5402b 及導體層 5404b 可用阻擋光線的材料來形成。以此方式，可降低在驅動電路部分 5392 中之布線的電阻。因此，可降低驅動電路的功率消耗，驅動頻率可以很高，或驅動電壓可以很低。同時，在驅動電路部分 5392 中的布線、電晶體電

極、儲存電容器的電極、及/或類此者可透射光線。亦即，透光區域（像素的開孔部分）可以更大。因此，可降低功率消耗或可提高像素的解析度。然而，此實施例的例子並不侷限於此。例如，導體層 5402a 及導體層 5404a 可用阻擋光線的材料來形成。或者，在像素部分 5393 中，閘極布線可具有導體層 5402a 及導體層 5402b 的一層疊式結構，就像該驅動電路部分 5392 的布線一樣。再者，例如，源極布線可具有導體層 5404a 及導體層 5404b 的一層疊式結構。以此方式，被輸入至像素的訊號（如，視訊訊號或掃描線選擇訊號）的延遲或變形可以很小。在另一例子中，導體層 5402a 或導體層 5402b 及導體層 5404a 或導體層 5404b 的一者或兩者可被省略。在另一例子中，在驅動電路部分 5392 的電晶體部分及像素部分 5393 的電晶體部分的一者或兩者中，閘極電極可具有導體層 5402a 及導體層 5402b 的一層疊式結構。在另一例子中，導體層 5402b 可被形成在導體層 5402a 底下。在另一例子中，導體層 5404b 可被形成在導體層 5404a 底下。在另一例子中，半導體層 5405 可被形成在絕緣層 5403 上且導體層 5402a 可被形成在該絕緣層 5403 及半導體層 5405 上。

應指出的是，例如，氧化物半導體可被用於半導體層。例如，氧化物半導體通常具有透光特性。當氧化物半導體在此實施例中與顯示裝置結合時，可改善像素的孔徑比。然而，此實施例的例子並不侷限於此。例如，單晶體半導體、多晶型半導體、微晶型（微晶體或奈米晶體）半

導體、非晶型半導體、各式非單晶體的半導體、或類此者可被用作為半導體層。

應指出的是，例如，發光元件（如，EL 元件）可被用作為顯示元件。圖 15A 顯示在一顯示裝置中驅動電路部分 5392 的剖面圖的例子，在該顯示裝置中，一發光元件被用作為顯示元件。圖 15A 與圖 14B 不同之處在於，一絕緣層 5412 被形成在絕緣層 5406 及導體層 5407 上，絕緣層 5409 及濾光片 5414 被形成在該絕緣層 5412 上。圖 15B 顯示在一顯示裝置中像素部分 5393 的剖面圖的例子，在該顯示裝置中，一發光元件被用作為顯示元件。圖 15B 與圖 14C 不同之處在於，絕緣層 5412 被形成在絕緣層 5406 及導體層 5407 上，一發光層 5413 被形成在該絕緣層 5412 的一開孔部分上，絕緣層 5410 被形成在該絕緣層 5412 及發光層 5413 上，該濾光片 5414 被形成在該導體層 5410 上。例如，絕緣層 5412 可當作分隔壁。然而，此實施例的例子並不侷限於此。

應指出的是，一種粒子運動以實施顯示的元件（如，電泳元件，粒子運動元件，及電子液體粉末）可被用作為顯示元件。以此方式，可以製造電子紙。圖 16A 顯示在一顯示裝置中驅動電路部分 5392 的剖面圖的例子，在該顯示裝置中，一電泳元件被用作為顯示元件。在該驅動電路部分 5392 的一部分中，一電泳元件被設置在該絕緣層 5406 與該導體層 5410 之間。此外，該絕緣層 5409 被形成來覆蓋該電泳元件。圖 16B 顯示在一顯示裝置中像素部

分 5393 的剖面圖的例子，在該顯示裝置中，一電泳元件被用作為顯示元件。該電泳元件被設置在導體層 5407 與導體元件 5410 之間。應指出的是，例如，該電泳元件包括膠囊 5415，液體 5416，粒子 5417，粒子 5418。例如，液體 5416、粒子 5417 及粒子 5418 是在該膠囊 5415 內。例如，液體 5416 通常具有絕緣特性及透光特性。在序多例子中，粒子 5417 及粒子 5418 中的一者帶正電荷及其另一者帶負電荷。在許多例子中，粒子 5417 及粒子 5418 中的一者是白色及其另一者是黑色。然而，此實施例的例子並不侷限於此。例如，粒子 5417 及粒子 5418 的顏色並不侷限於白色或黑色，其它顏色亦可被使用（如，紅色、綠色、藍色、洋紅色、黃色，及青綠色）。

在此實施例的顯示裝置中，像素的孔徑比可在改善驅動電路的效能的同時亦被改善。又，當描述於實施例 3 至 9 中的結構被用於驅動電路時，可降低功率消耗、改善驅動頻率及提高像素部分的解析度。

[實施例 11]

此實施例描述電子裝置的例子。

圖 17A 至 17H 及圖 18A 至 18D 顯示電子裝置。這些電子裝置可包括外殼 5000，顯示部分 5001，揚聲器 5003，LED 燈 5004，操作鍵 5005（包括電源開關或操作開關），連接端子 5006，感測器 5007（具有測量力量、位移、位置、速率、加速度、角速度、轉動頻率、距離、

光、液體、磁性、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射、流率、濕度、梯度、振動、氣味、或紅外線功能的感測器），麥克風，及類此者。

圖 17A 顯示一行動電腦，其除了上述物件之外還包括開關 5009、紅外線埠 5010、及類此者。圖 17B 顯示一設置有記憶媒體的可攜式影像再生裝置（如，DVD 再生裝置），其除了上述物件之外還可包括第二顯示部分 5002、記憶媒體讀取部分 5011、及類此者。圖 17C 顯示一護目鏡式顯示器，其除了上述物件之外還可包括第二顯示部分 5002、支撐部分 5012、耳機 5013、及類此者。圖 17D 顯示一可攜式遊戲機，其除了上述物件之外還可包括記憶媒體讀取部分 5011 及類此者。圖 17E 顯示一投影機，其除了上述物件之外還可包括光源 5033、投影鏡片 5034、及類者。圖 17F 顯示一可攜式遊戲機，其除了上述物件之外還可包括第二顯示部分 5002、記憶媒體讀取部分 5011、及類此者。圖 17G 顯示一接收器，其除了上述物件之外還可包括調諧器、影像處理部分、及類此者。圖 17H 顯示一可攜式電視接收器，其除了上述物件之外還可包括一可傳送及接收訊號的充電器 5017，及類此者。圖 18A 顯示一顯示器，其除了上述物件之外還包括支撐板 5018 及類此者。圖 18B 顯示一照相機，其除了上述物件之外還可包括外部連接埠 5019、快門按鈕 5015、影像接收部分 5016 及類此者。圖 18C 顯示一電腦，其除了上述

物件之外還可包括指向裝置 5020、外部連接埠 5019、讀取器/寫入器 5021 及類此者。圖 18D 顯示一行動電話，其除了上述物件之外還可包括天線 5014、1seg（用於行動電話及行動終端器的一個段落部分接收服務）的調諧器，及類此者。

圖 17A 至 17H 及圖 18A 至 18D 顯示的電子裝置具有各式的功能。例如，在顯示部分上顯示各式資訊（靜態影像、動態影像、文字影像及類此者）的功能、觸控面板的功能、顯示日曆、日期、時間等等的功能、用來控制具有許多軟體（程式）的處理的功能、無線通信功能、以無線通功能連接至各式電腦網絡的功能、以無線通信功能傳送及接收各式數據的功能、讀取儲存在記憶媒體中的程式或數據並將該程式或數據顯示在顯示部分上的功能、及類此者可被提供。又，包含多個顯示部分的電子裝置可具有將影像資訊找要顯示在一個顯示部分上同時將文字資訊顯示在另一顯示部分上的功能、藉由將視差被考量的影像資訊顯示在多個顯示部分來顯示 3 維度影像的功能、或類此者。再者，包括影像接收器部分的電子裝置可具有拍攝靜態影像的功能、自動或手動修正拍攝的影像的功能、將拍攝的影像儲存在記憶媒體（外部記憶媒體或結合在該照相機內的記憶媒體）中的功能、將拍攝的影像顯示在該顯示部分上的功能、或類此者。應指出的是，圖 17A 至 17H 及圖 18A 至 18D 所示之電子裝置可包括的這些功能並不侷限於此，且這些電子裝置可具有各式功能。

描述於此實施例中的電子裝置每一者都包括用來顯示資訊的顯示部分。藉由將此實施例的電子裝置與半導體裝置、移位暫存器或實施例 1 至 4 的顯示裝置結合，就可達成可靠度的改善、良率的改善、降低成本、加大顯示部分的尺寸、提高顯示部分的解析度，等等功效。

接下來，將描述半導體裝置的應用。

圖 18E 顯示一半導體裝置被提供來與一建築物整合的例子。圖 18E 顯示外殼 5022、顯示部分 5023、遙控器裝置 5024 其為一操作部分，揚聲器 5025、及類此者。該半導體裝置被結合在該建築物中當作一壁掛式裝置，使得該半導體裝置可以無需大空間就可被設置。

圖 18F 顯示一半導體裝置被提供來與一建築物整合的另一例子。顯示面板 5026 與一預製的浴缸 5027 整合在一起，使得洗澡者能夠觀看該顯示板 5026。

應指出的是，雖然此實施例以牆壁及預製的浴缸作為建築物的例子，但此實施例並不侷限於此，且半導體裝置可被設置在各式的建築物中。

接下來，將描述半導體裝置被設置來與移動的物體整合的例子。

圖 18G 顯示半導體裝置被設置在車輛中的例子。顯示面板 5028 被設置在車輛的一本體 5029 中且可在被要求時顯示用操作該本體輸入的資訊或從本體外輸入的資訊。

圖 18H 顯示該半導體裝置被設置來與客機整合的例子。圖 18H 顯示當顯示面板 5031 被設置在客機的座位上

方的天花板 5030 上時的使用模式。顯示面板 5031 經由鉸鏈部分 5032 與天花板 5030 整合，且乘客可藉由伸展及收縮該鉸鏈部分 5032 來觀看該顯示面板 5031。當乘客操作該顯示面板 5031 時，顯示面板 5031 具有顯示資訊的功能。

應指出的是，雖然此實施例提供車輛的本體及飛機的本體作為移動的物體的例子，但此實施例並不侷限於這些例子。該顯示裝置可提供給各式的移動物體，譬如像是兩輪的動力車輛、四輪的車輛（包括汽車、巴士及類此者）、列車（包括單軌、鐵軌及類此者）及船隻。

此申請案係以 2009 年 7 月 24 日向日本專利局提申的日本專利申請案第 2009-172949 號為根據，該案的全部內容藉由參照而被併於本文中。

【符號說明】

100：電路

110：電路

111：電晶體

112：電路

113：電晶體

114：電容器

115：電晶體

116：電晶體

120：電路

- 121：電晶體
- 122：電路
- 123：電晶體
- 124：電容器
- 125：電晶體
- 126：電晶體
- 130：電路
- 131：電晶體
- 132：電路
- 133：電晶體
- 134：電容器
- 135：電晶體
- 136：電晶體
- 140：布線
- 141：布線
- 142：布線
- 143：布線
- 151：布線
- 152：布線
- 153：布線
- 240：布線
- 1400：基材
- 1401：閘極電極層
- 1402a：閘極絕緣層

1402b：閘極絕緣層
 1043：氧化物半導體層
 1405a：源極絕緣層
 1405b：汲極絕緣層
 1406：導體層
 1407：氧化物絕緣層
 1408：保護絕緣層
 1409：平坦化絕緣層
 1431：第一高光阻汲極區
 1432：第二高光阻汲極區
 1433：氧化物半導體層
 1434：通道形成區
 1435：金屬電極層
 1436：光阻罩幕
 1437：光阻罩幕
 1451：閘極電極
 1453：氧化物半導體層
 1454：氧化物半導體層
 1455a：源極絕緣層
 1455b：汲極絕緣層
 1456：像素電極層
 1460：薄膜電晶體
 1470：薄膜電晶體
 1500：電容器布線層

1501：電容器電極層

1502：電容器

1503：電容器布線層

1504：電容器電極層

1505：電容器

2000：移位暫存器

2400：基材

2402a：閘極絕緣層

2402b：閘極絕緣層

2405b：汲極電極層

2403：保護絕緣層

2404：平坦化絕緣層

2410：薄膜電晶體

2411：閘極電極層

2412：氧化物半導體層

2413：通道形成區

2414a：第一高光阻汲極區

2414b：第二高光阻汲極區

2415a：源極絕緣層

2415b：汲極絕緣層

2416：氧化物絕緣層

2417：導體層

2420：薄膜電晶體

2421：閘極電極層

2422：氧化物半導體層
2425a：源極絕緣層
2425b：汲極絕緣層
2426：氧化物絕緣層
2427：像素電極層
2430：氧化物半導體薄膜
2431：氧化物半導體層
2432：氧化物半導體層
2433a：光阻罩幕
2434：金屬電極層
2435：金屬電極層
2436a：光阻罩幕
2437：氧化物半導體層
2438：光阻罩幕
2439：氧化物絕緣層
2440a：光阻罩幕
2441：接點孔
5000：外殼
5001：顯示部分
5002：顯示部分
5003：揚聲器
5004：LED 燈
5005：操作鍵
5006：連接端子

- 5007：感測器
- 5008：麥克風
- 5009：開關
- 5010：紅外線埠
- 5011：記憶媒體讀取部分
- 5012：支撐部分
- 5013：耳機
- 5015：快門按鈕
- 5016：影像接收部分
- 5017：充電器
- 5018：支撐板
- 5019：外部連接埠
- 5020：指向裝置
- 5021：讀取器/寫入器
- 5022：外殼
- 5023：顯示部分
- 5024：遙控器裝置
- 5025：揚聲器
- 5026：顯示面板
- 5027：預製的浴缸
- 5028：顯示面板
- 5029：物體
- 5030：天花板
- 5031：顯示面板

5032： 絞 鏈 部 分

5033： 光 源

5034： 投 影 鏡 片

5391： 基 材

5392： 驅 動 電 路 部 分

5393： 像 素 部 分

5401： 基 材

5403： 絕 緣 層

5405： 半 導 體 層

5406： 絕 緣 層

5407： 導 體 層

5408： 液 晶 層

5409： 絕 緣 層

5410： 導 體 層

5411： 基 材

5412： 絕 緣 層

5413： 發 光 層

5414： 濾 光 片

5415： 膠 囊

5416： 液 體

5417： 粒 子

5418： 粒 子

5402a： 導 體 層

5402b： 導 體 層

5404a：導體層

5404b：導體層

申請專利範圍

【請求項 1】

一種顯示裝置，包含：

驅動電路，包含：

移位暫存器；

第一電晶體；以及

第二電晶體，

其中該第一電晶體的閘極電連接到該移位暫存器的輸出端子，

其中該第一電晶體的源極和汲極中的一個電連接到第一掃描線，

其中該第一電晶體的該源極和該汲極中的另一個電連接到傳輸第一時脈信號的第一佈線，

其中該第二電晶體的閘極電連接到該移位暫存器的該輸出端子，

其中該第二電晶體的源極和汲極中的一個電連接到第二掃描線，並且

其中該第二電晶體的該源極和該汲極中的另一個電連接到傳輸第二時脈信號的第二佈線。

【請求項 2】

根據請求項 1 之顯示裝置，

其中該驅動電路更包含第三電晶體，

其中該第三電晶體的閘極電連接到該移位暫存器的該輸出端子，

其中該第三電晶體的源極和汲極中的一個電連接到第三掃描線，並且

其中該第三電晶體的該源極和該汲極中的另一個電連接到傳輸第三時脈信號的第三佈線。

【請求項3】

根據請求項2之顯示裝置，

其中該驅動電路更包含第四電晶體、第五電晶體和第六電晶體，

其中該第四電晶體的源極和汲極中的一個電連接到該第一掃描線，

其中該第五電晶體的源極和汲極中的一個電連接到該第二掃描線，並且

其中該第六電晶體的源極和汲極中的一個電連接到該第三掃描線。

【請求項4】

根據請求項3之顯示裝置，

其中該驅動電路更包含第七電晶體、第八電晶體和第九電晶體，

其中該第一電晶體的該閘極經由該第七電晶體電連接到該移位暫存器的該輸出端子，

其中該第二電晶體的該閘極經由該第八電晶體電連接到該移位暫存器的該輸出端子，並且

其中該第三電晶體的該閘極經由該第九電晶體電連接到該移位暫存器的該輸出端子。

【請求項 5】

一種顯示裝置，包含：

驅動電路，包含：

第一電晶體；以及

第二電晶體，

其中包含具有第一寬度的第一脈衝的第一信號被輸入到該第一電晶體的閘極，

其中該第一電晶體的源極和汲極中的一個電連接到第一掃描線，

其中包含具有比該第一寬度短的第二寬度的第二脈衝的第二信號被輸入到該第一電晶體的該源極和該汲極中的另一個，

其中包含具有該第一寬度的該第一脈衝的該第一信號被輸入到該第二電晶體的閘極，並且

其中該第二電晶體的源極和汲極中的一個電連接到第二掃描線。

【請求項 6】

根據請求項 5 之顯示裝置，

其中該驅動電路更包含第三電晶體，

其中包含具有該第一寬度的該第一脈衝的該第一信號被輸入到該第三電晶體的閘極，並且

其中該第三電晶體的源極和汲極中的一個電連接到第三掃描線。

【請求項 7】

一種顯示裝置，包含：

驅動電路，包含：

移位暫存器；以及

第一電晶體，

其中該移位暫存器被配置為將包含具有第一寬度的第一脈衝的第一信號輸出到該第一電晶體的閘極，

其中該第一電晶體的源極和汲極中的一個電連接到第一掃描線，

其中該第一電晶體的該源極和該汲極中的另一個電連接到第一佈線，該第一佈線傳輸包含具有比該第一寬度短的第二寬度的第二脈衝的第二信號，並且

其中該驅動電路被配置為輸出包含該第二脈衝的第三信號。

【請求項 8】

根據請求項 7 之顯示裝置，

其中該驅動電路更包含第二電晶體和第三電晶體，

其中該移位暫存器被配置為將包含具有該第一寬度的該第一脈衝的該第一信號輸出到該第二電晶體的閘極，

其中該第二電晶體的源極和汲極中的一個電連接到第二掃描線，

其中該移位暫存器被配置為將包含具有該第一寬度的該第一脈衝的該第一信號輸出到該第三電晶體的閘極，並且

其中該第三電晶體的源極和汲極中的一個電連接到第

第 108104606 號

民國 109 年 3 月 **2** 日修正

三 掃 描 線 。

圖式

圖 1A

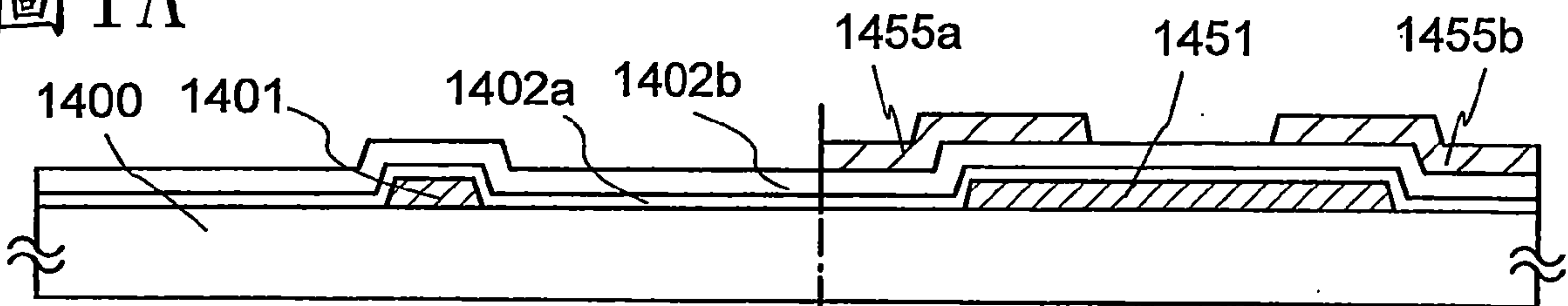


圖 1B

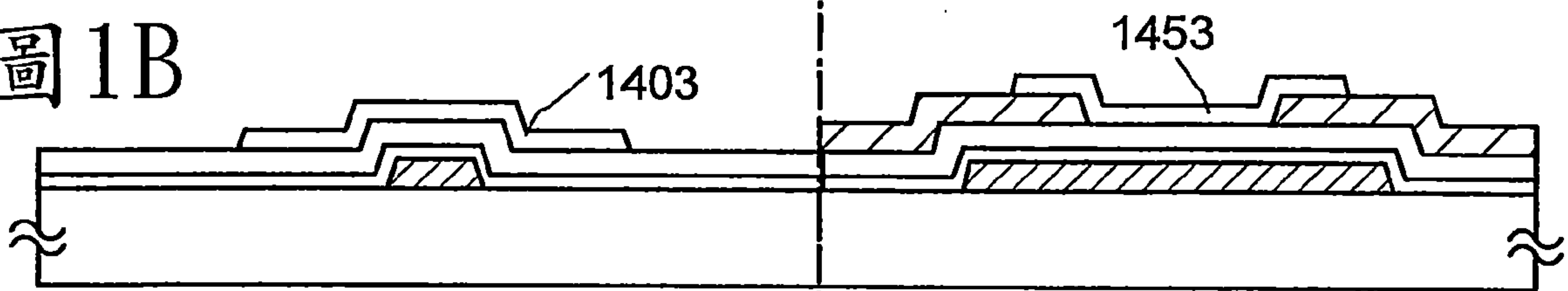


圖 1C

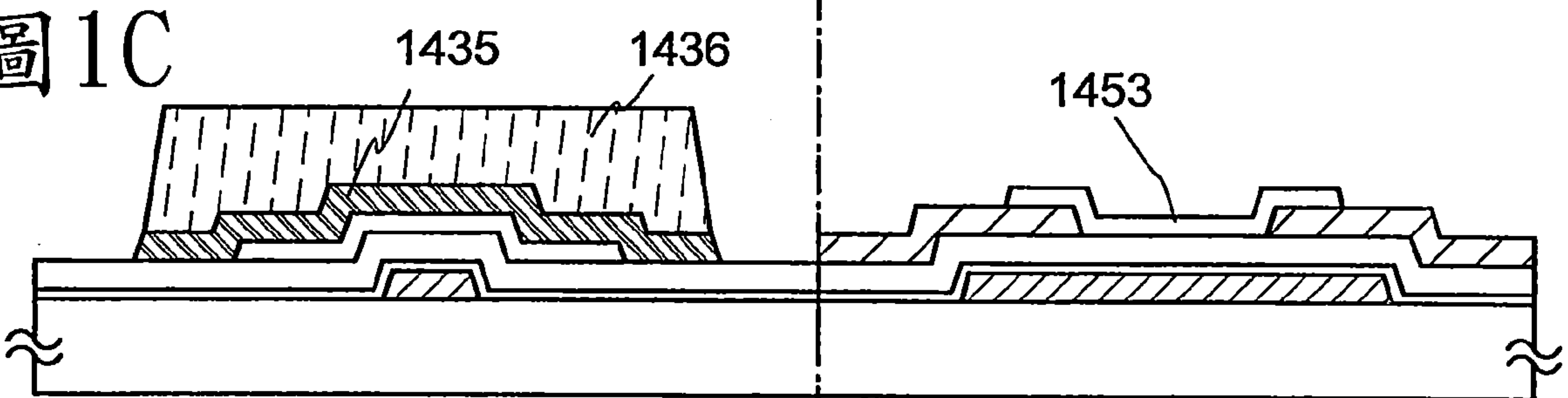


圖 1D

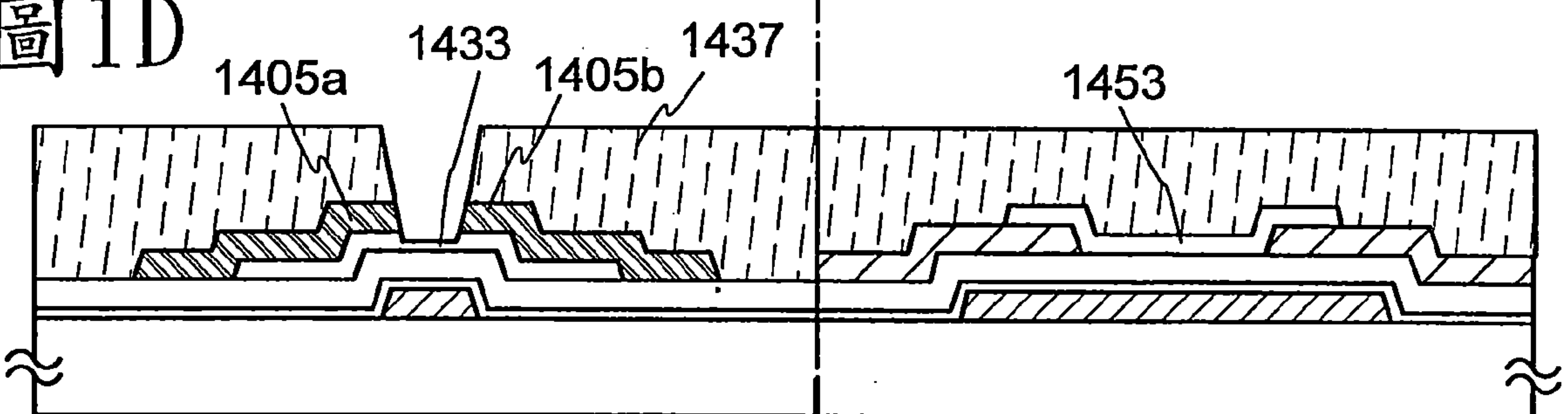


圖 1E

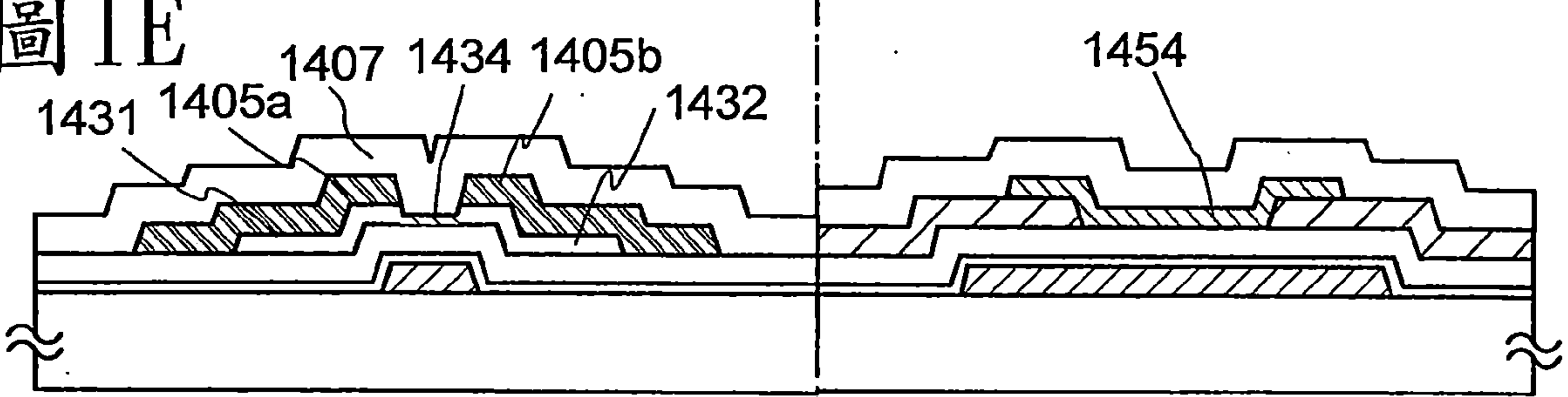


圖 1F

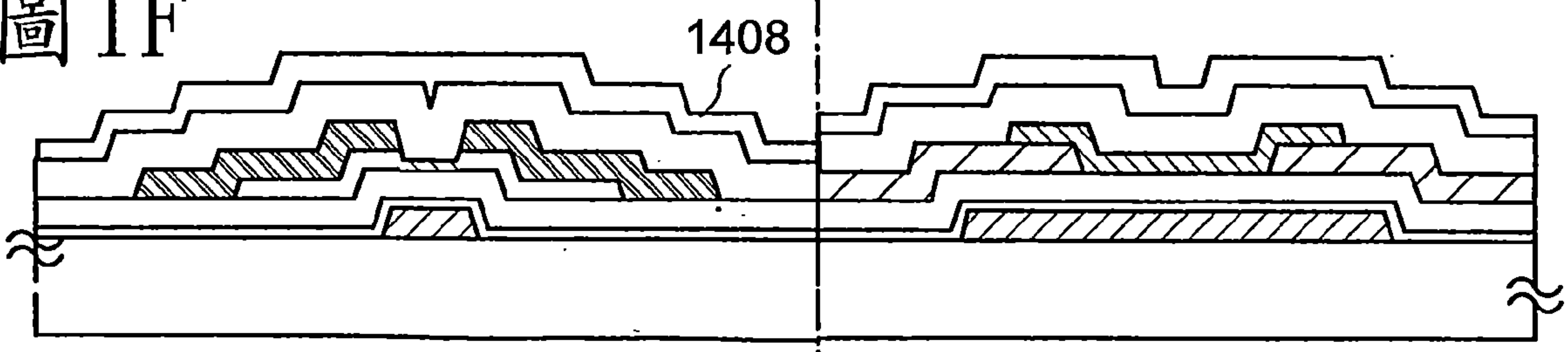


圖 2A

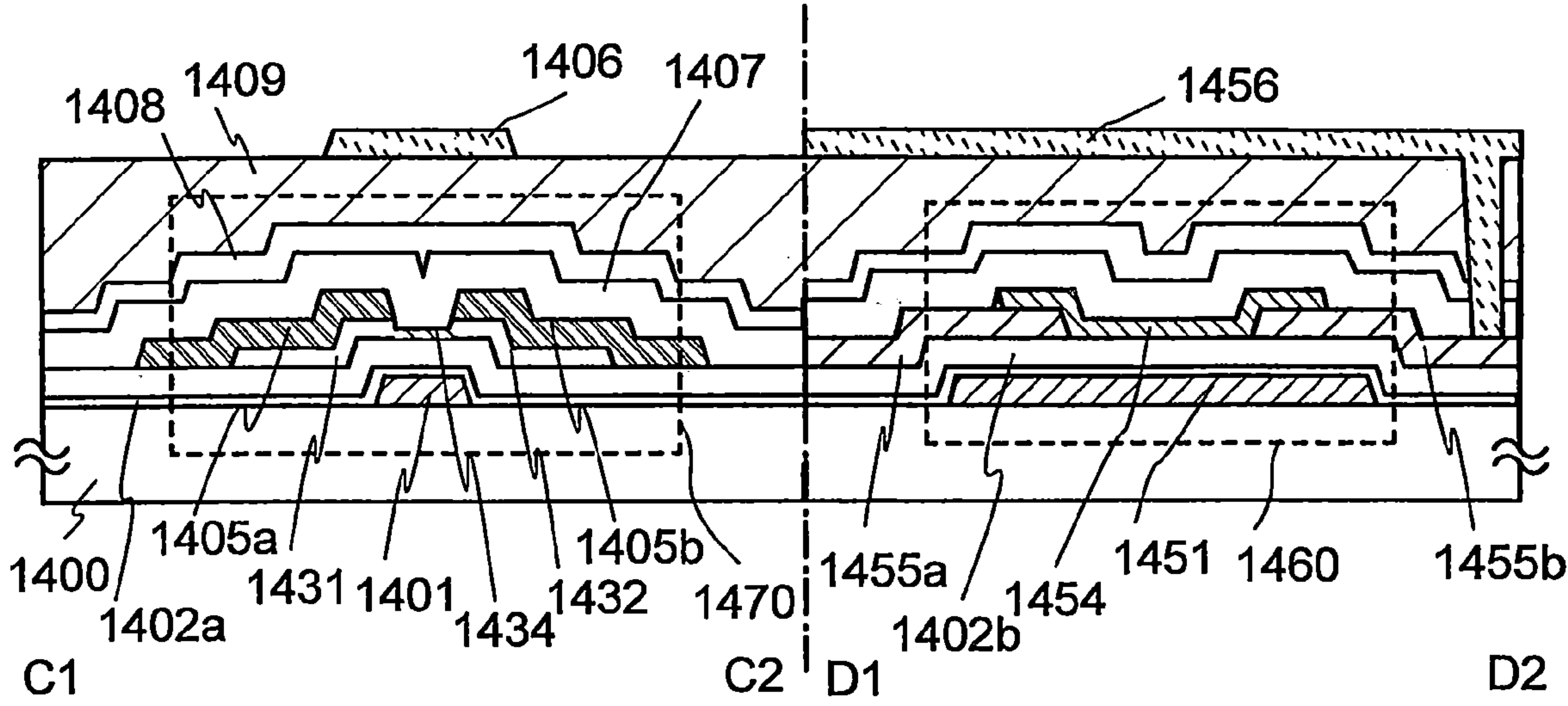


圖 2B-1

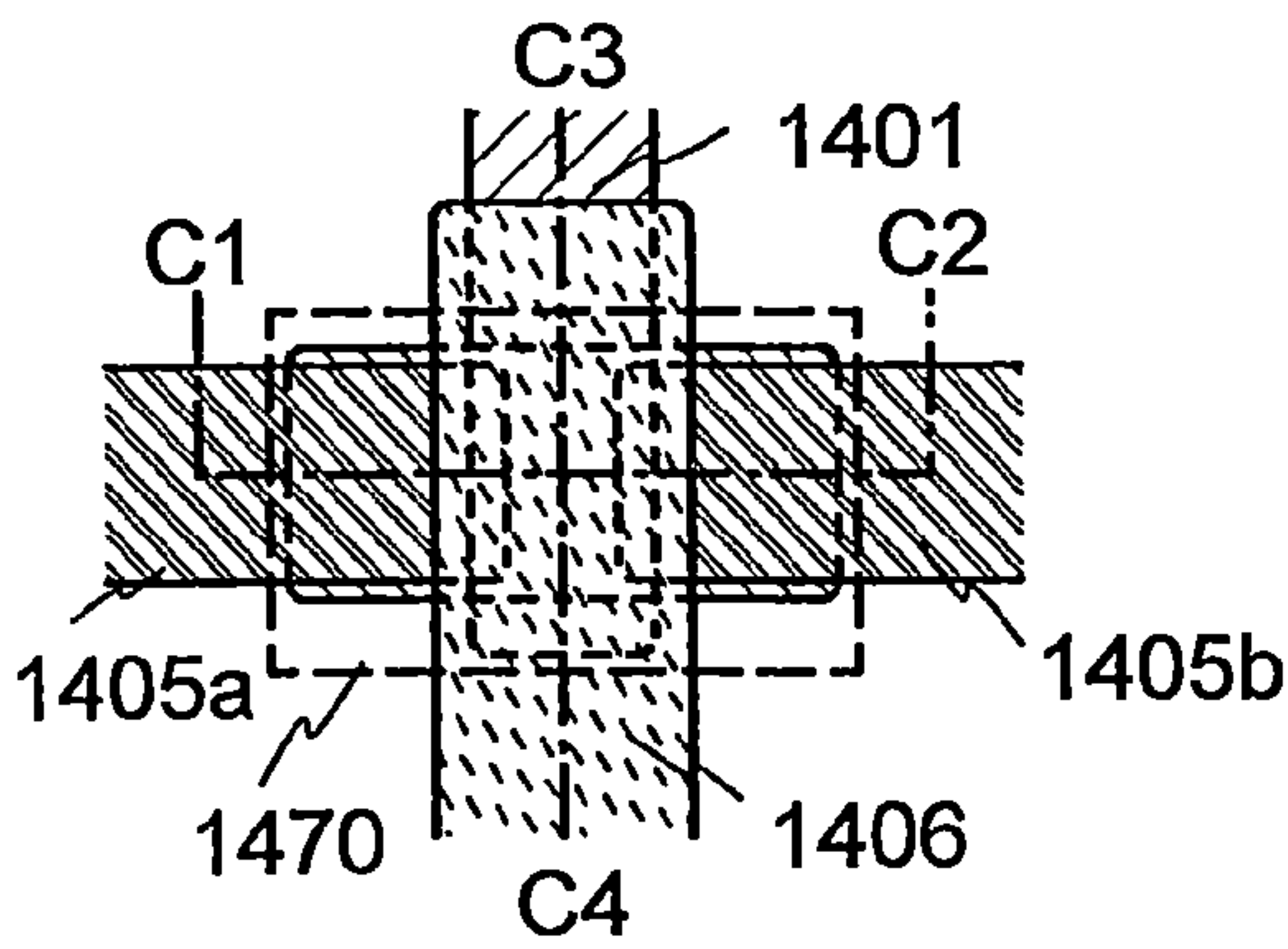


圖 2B-2

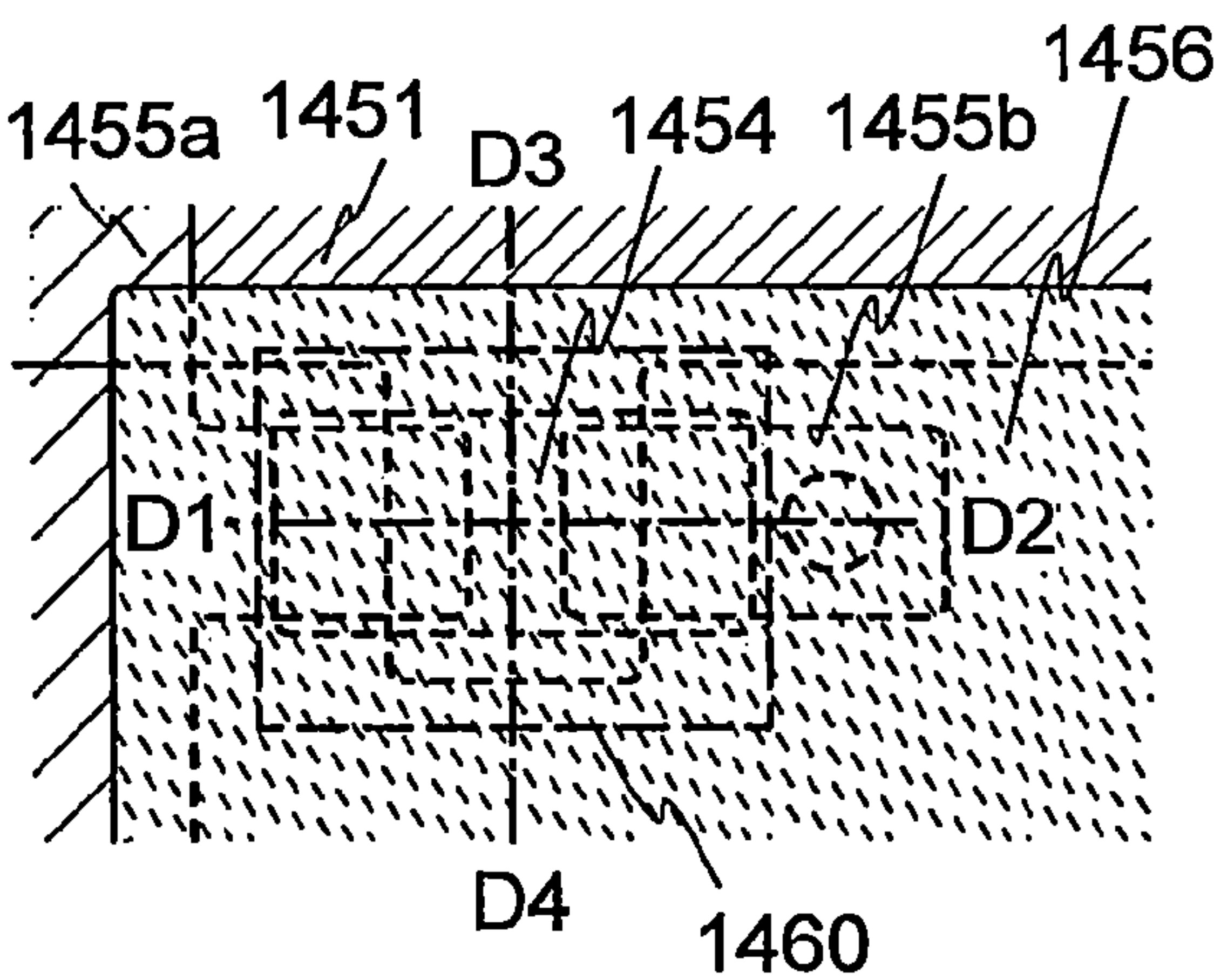


圖 2C

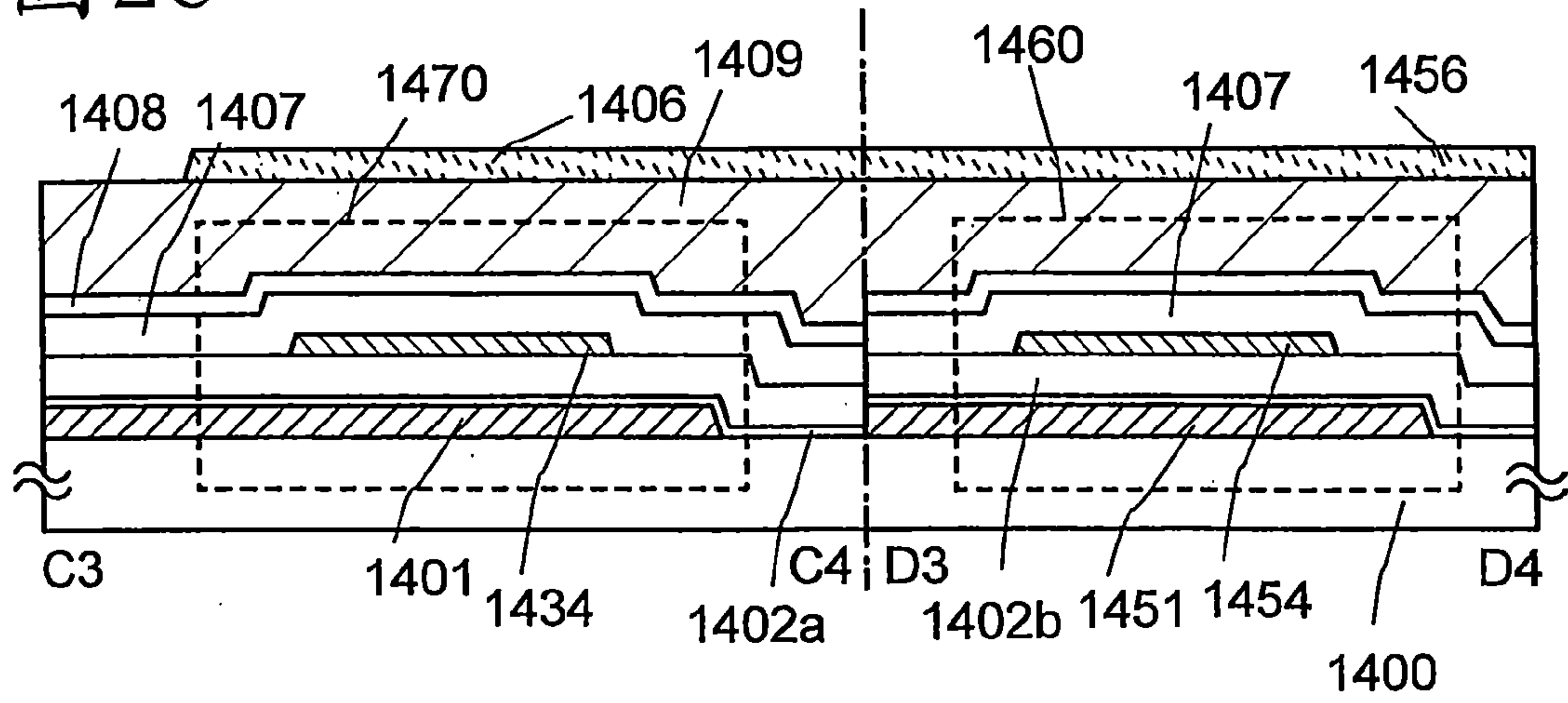


圖 3A-1

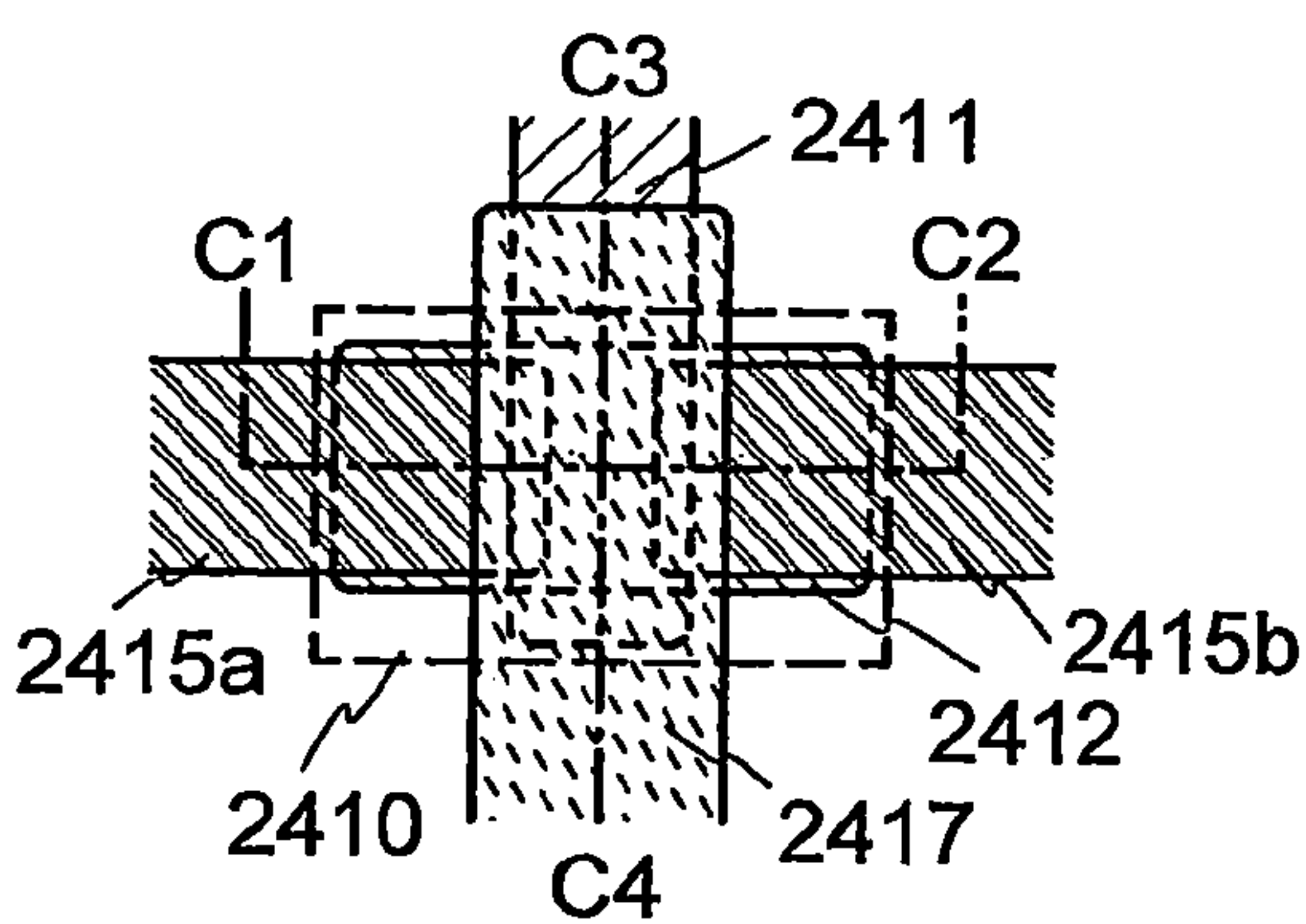


圖 3A-2

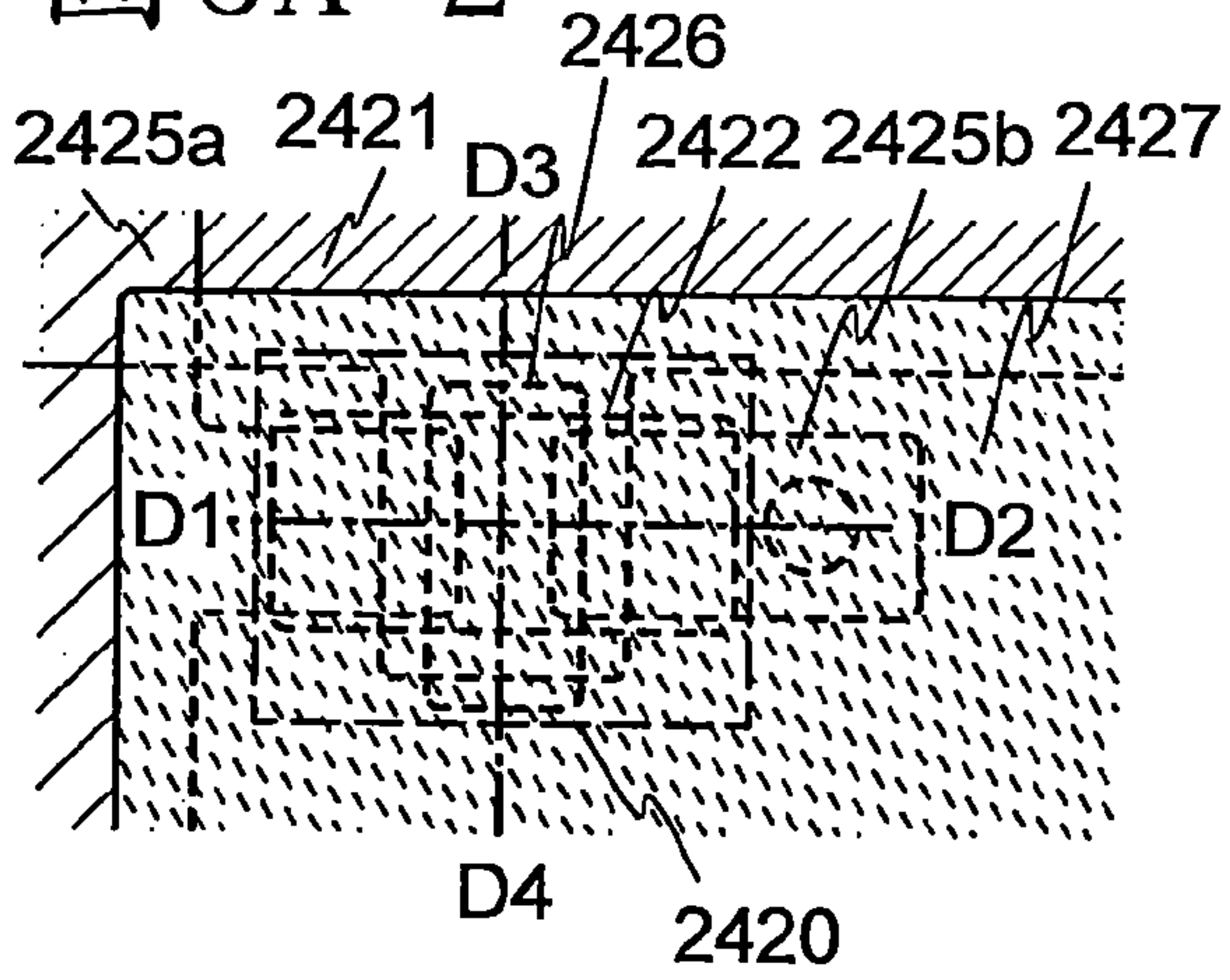


圖 3B

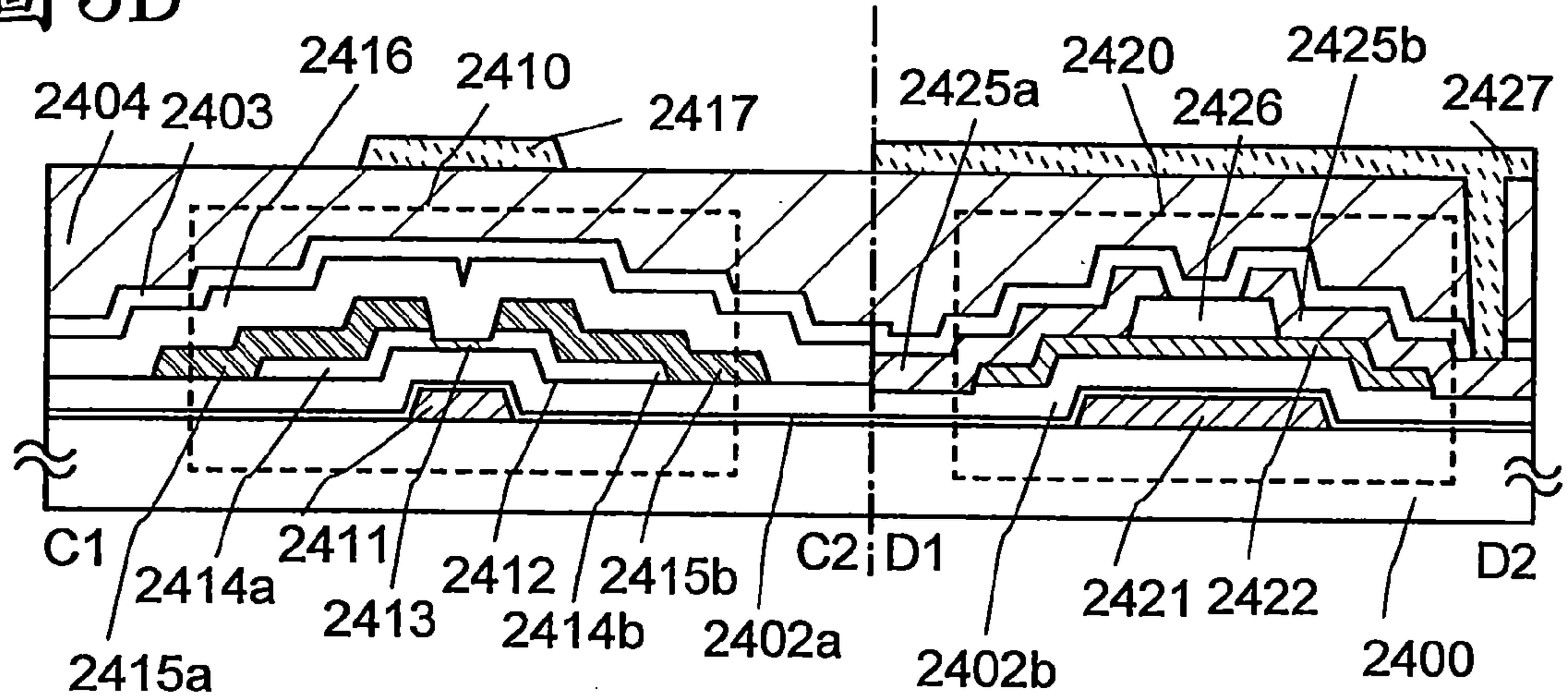


圖 3C

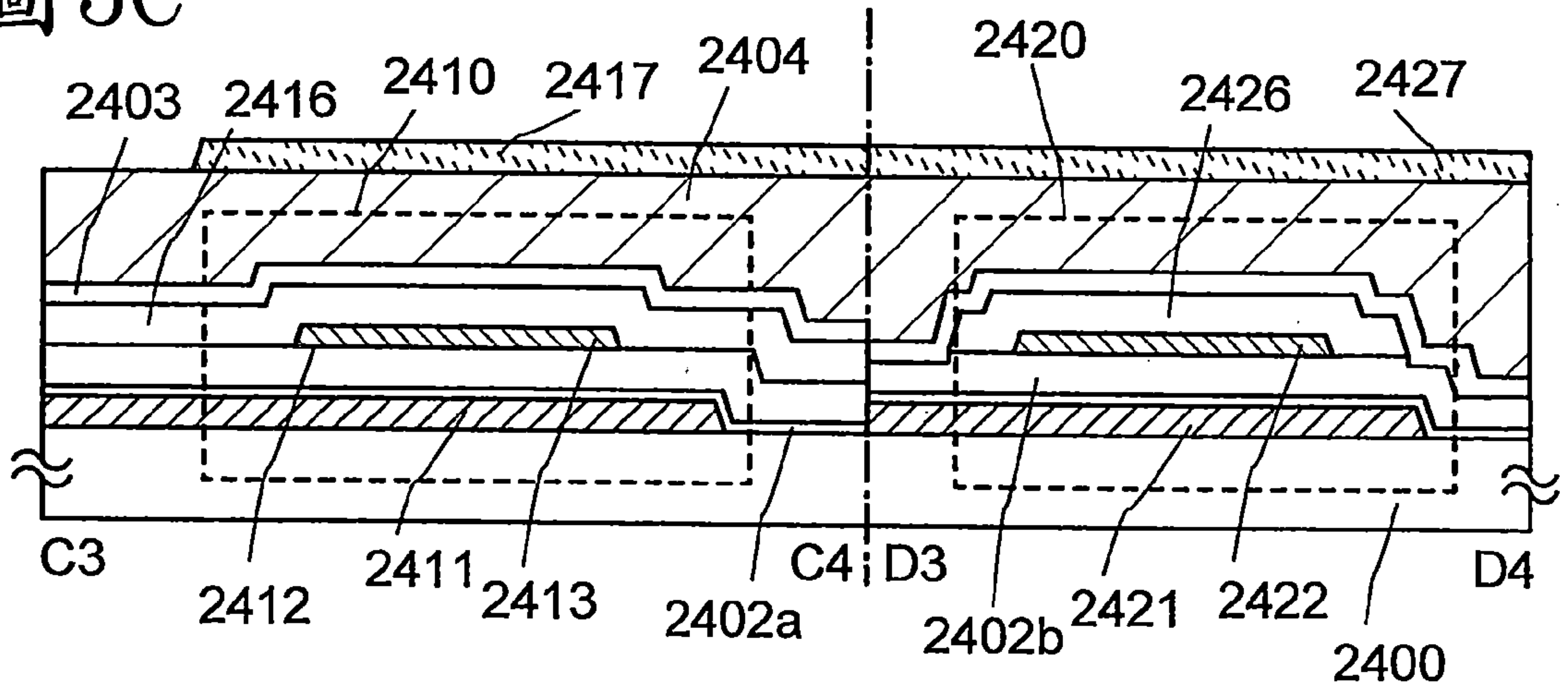


圖 4A

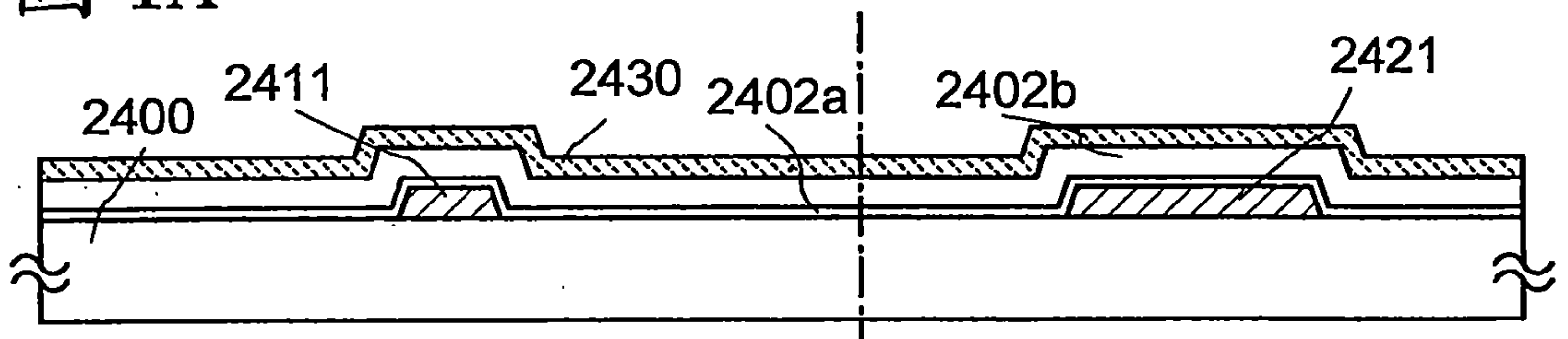


圖 4B

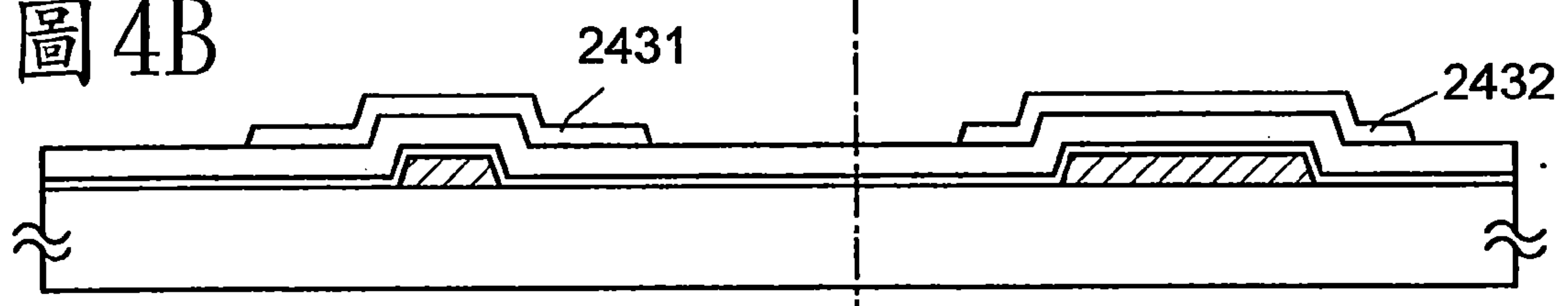


圖 4C

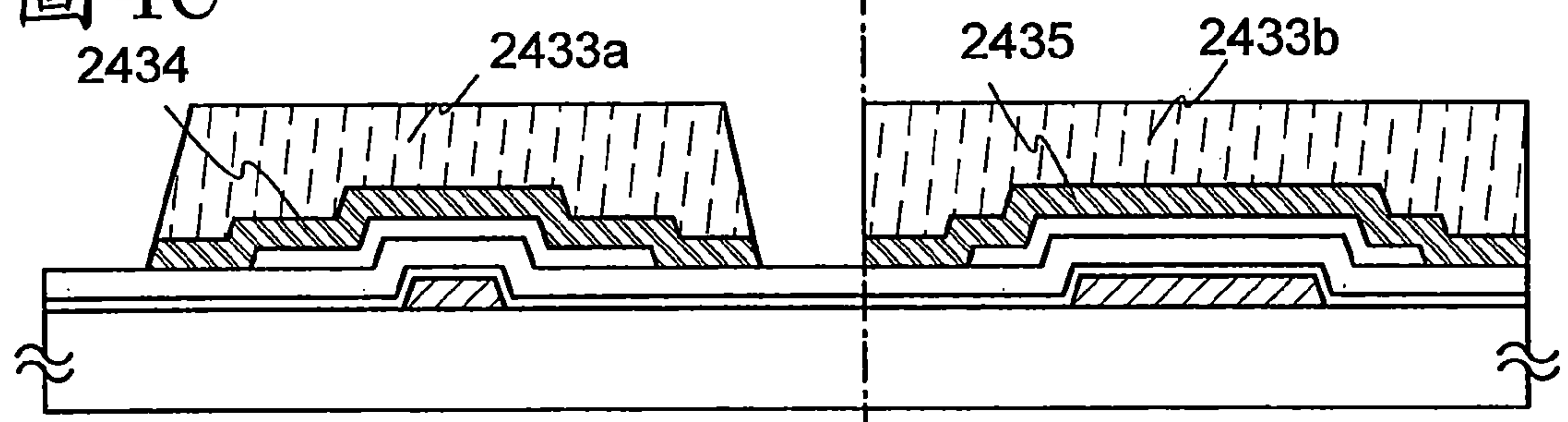


圖 4D

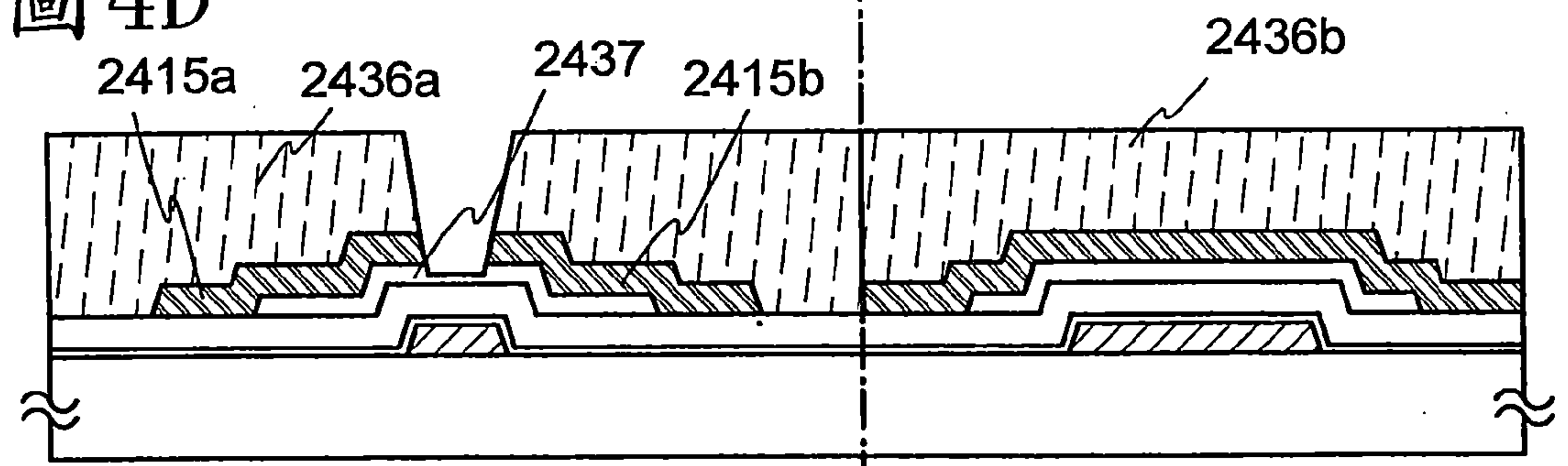
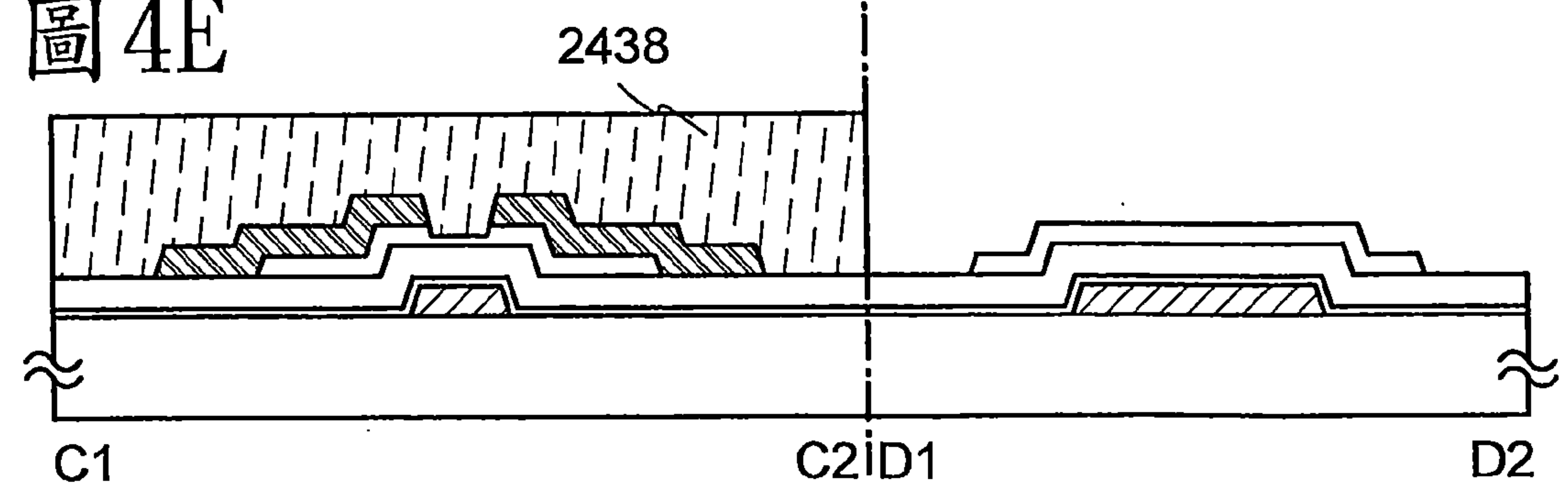


圖 4E



C1

C2 | D1

D2

圖 5A

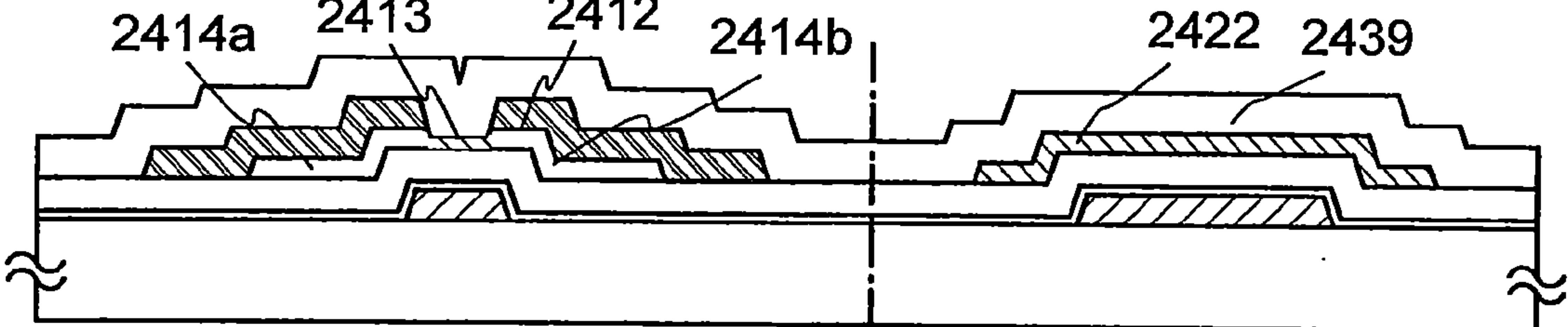


圖 5B

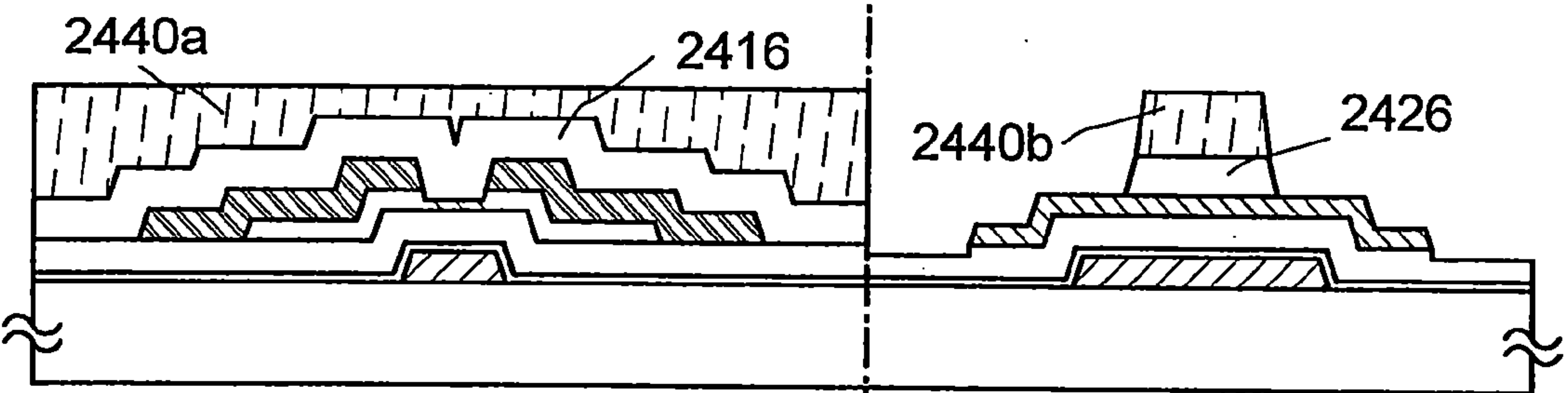


圖 5C

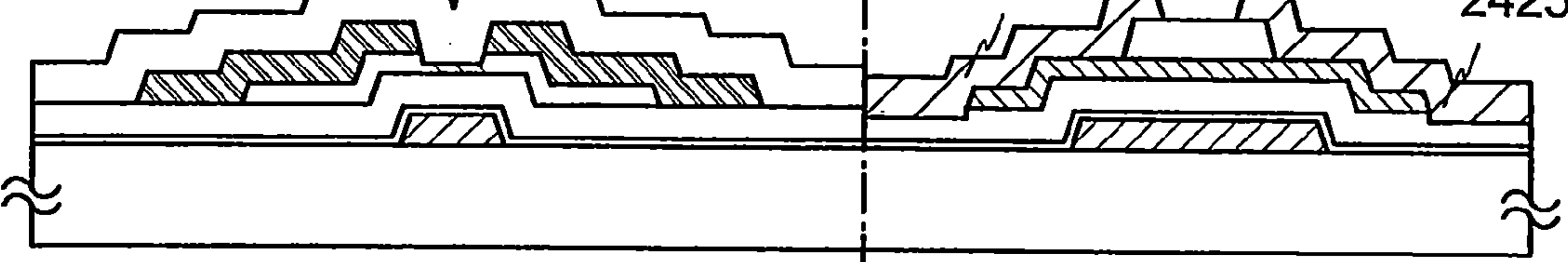


圖 5D

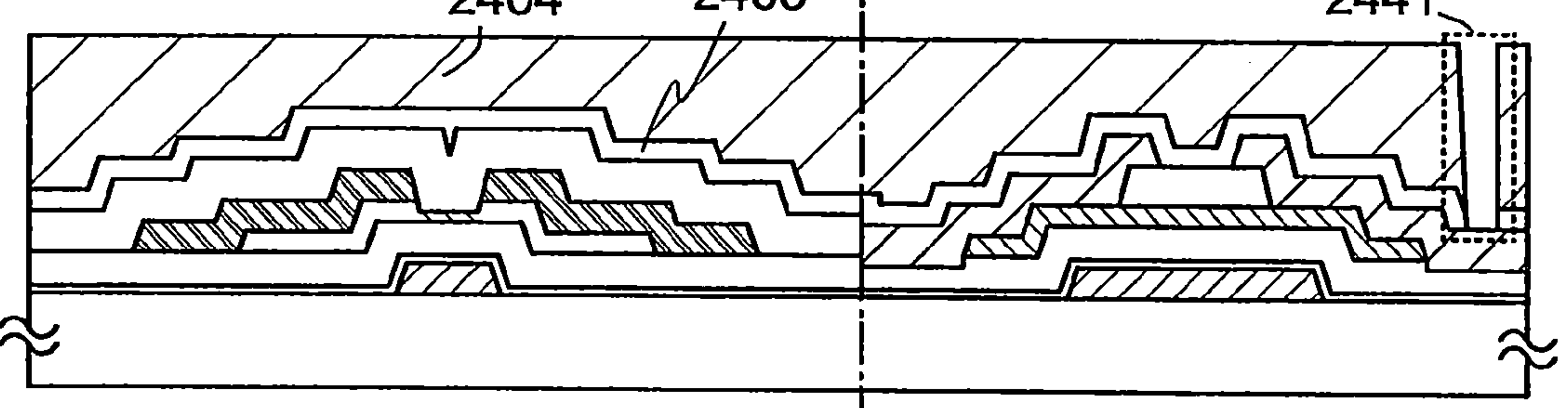
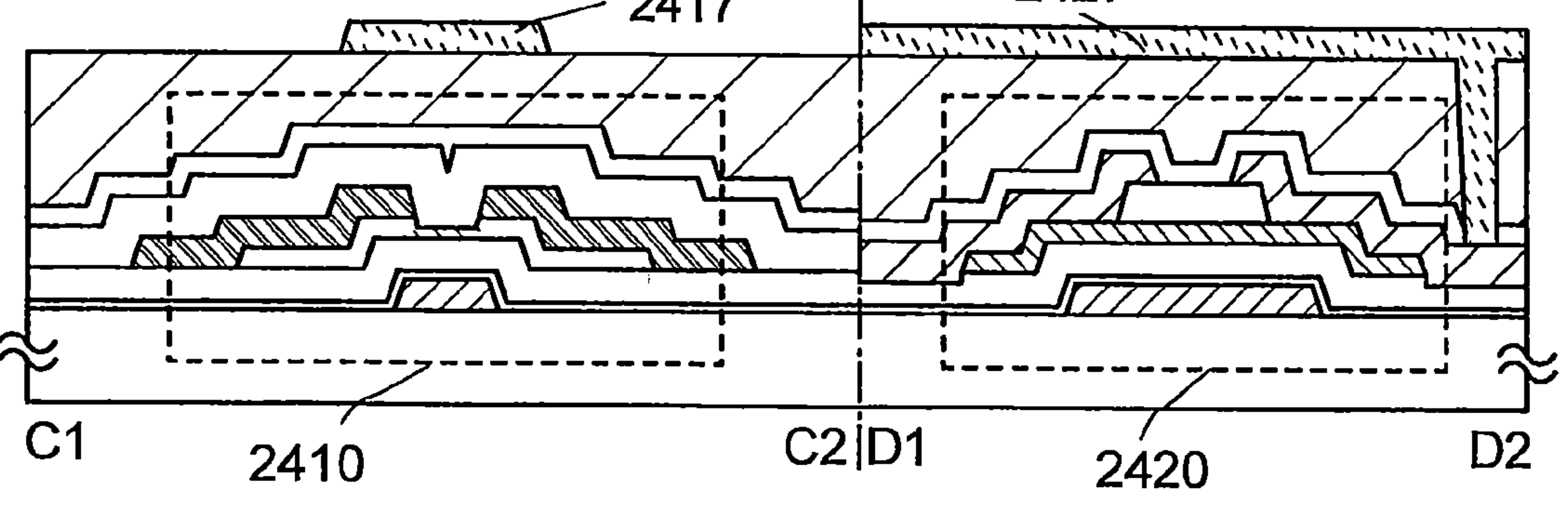
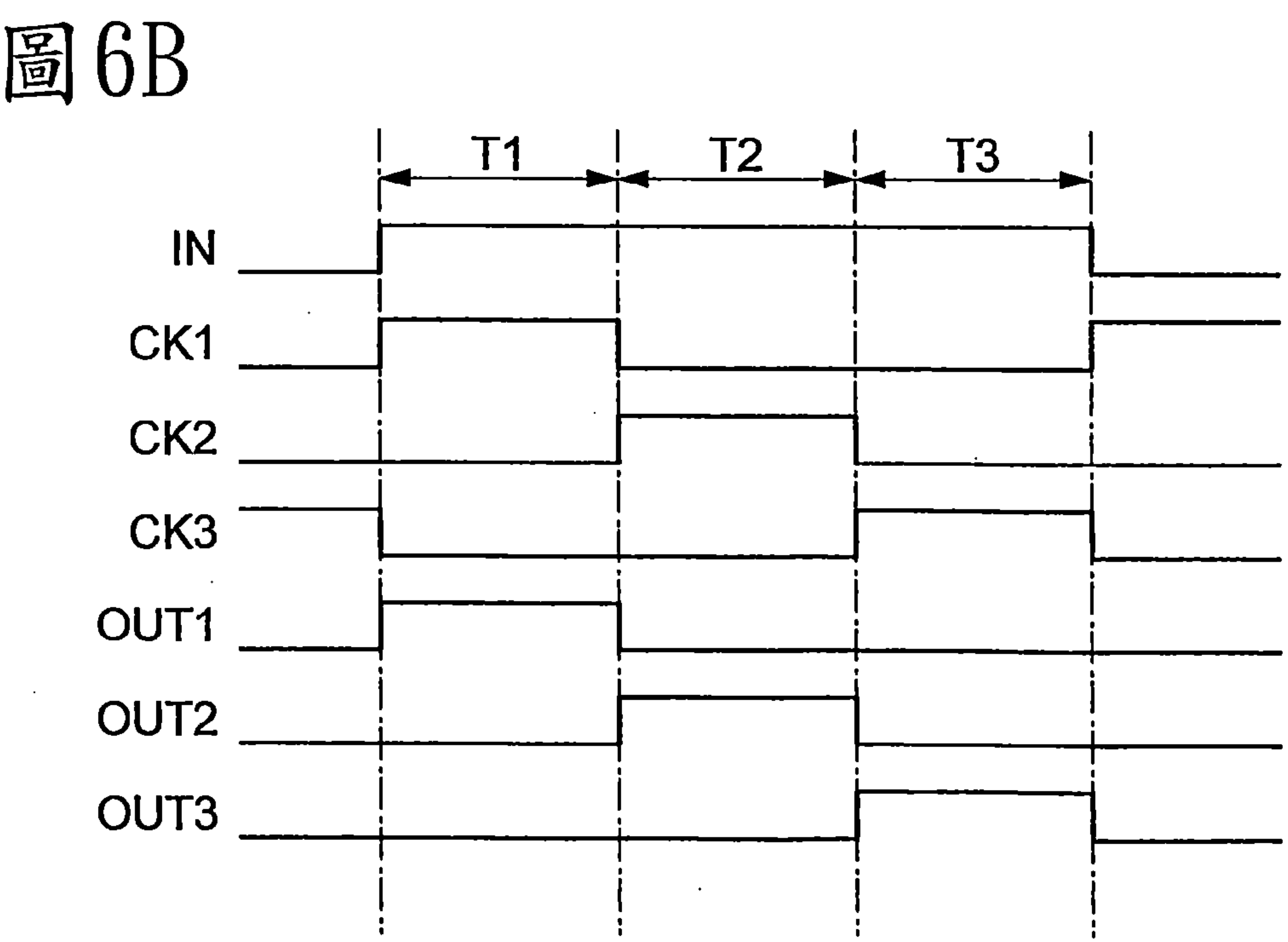
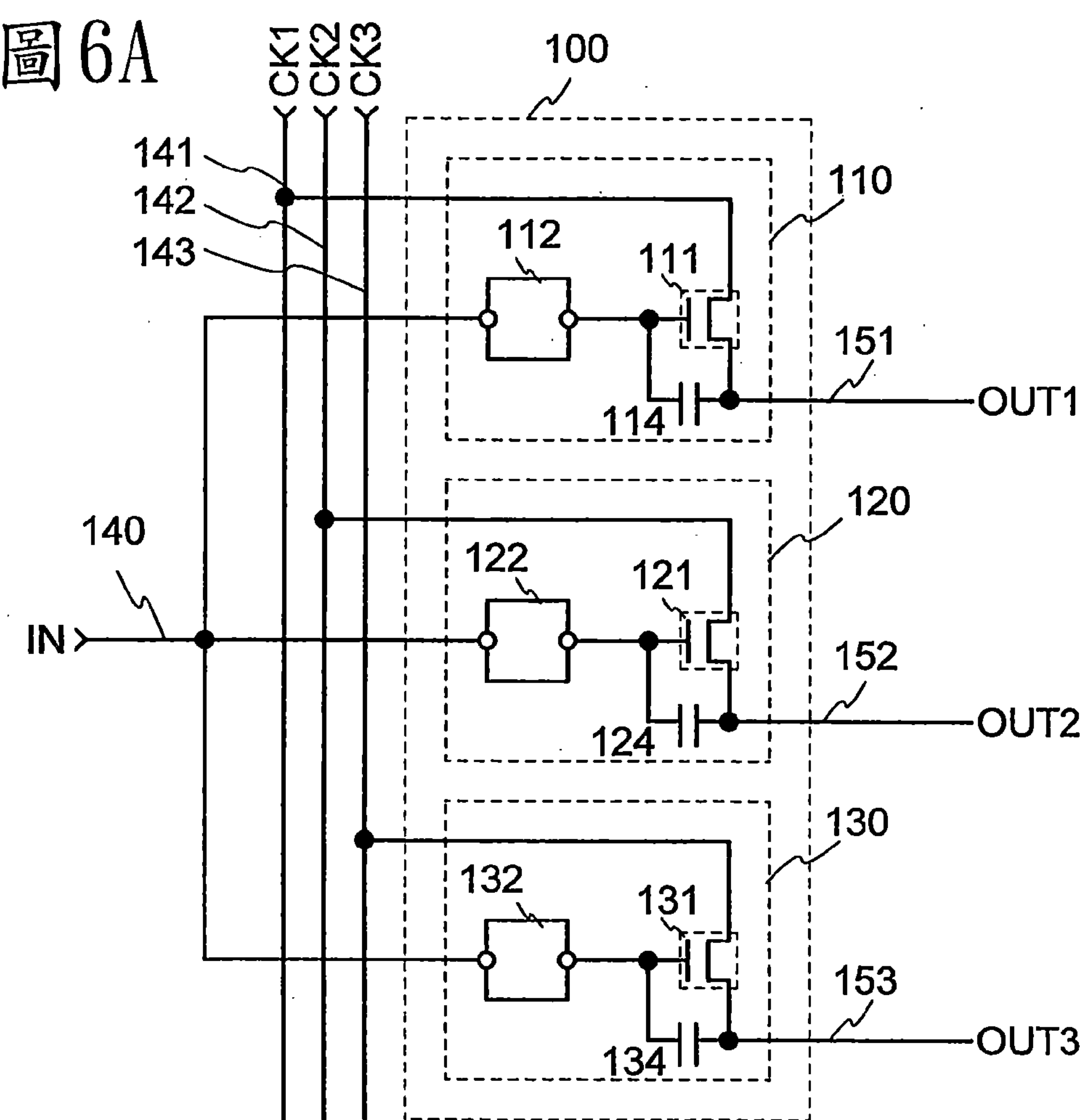


圖 5E





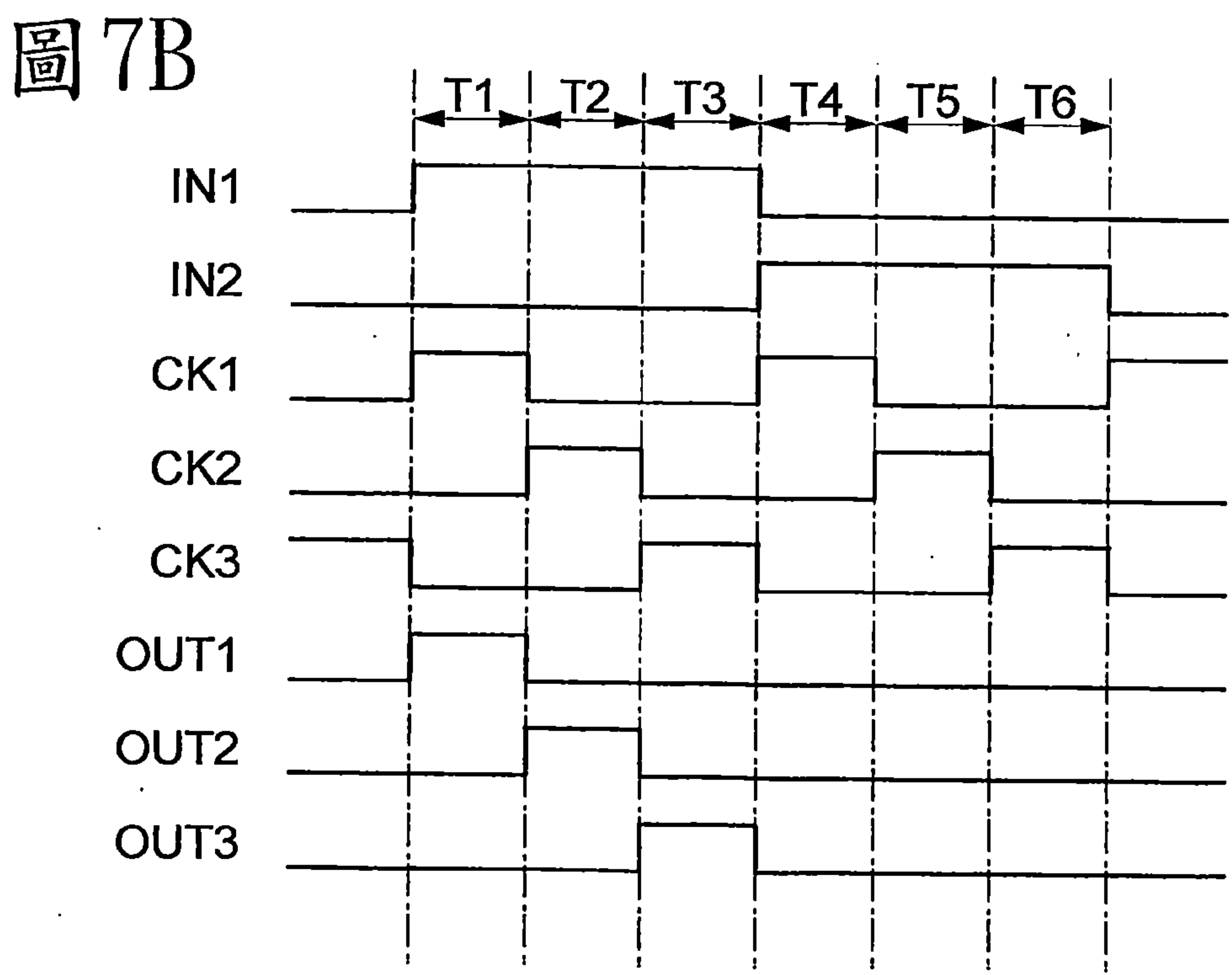
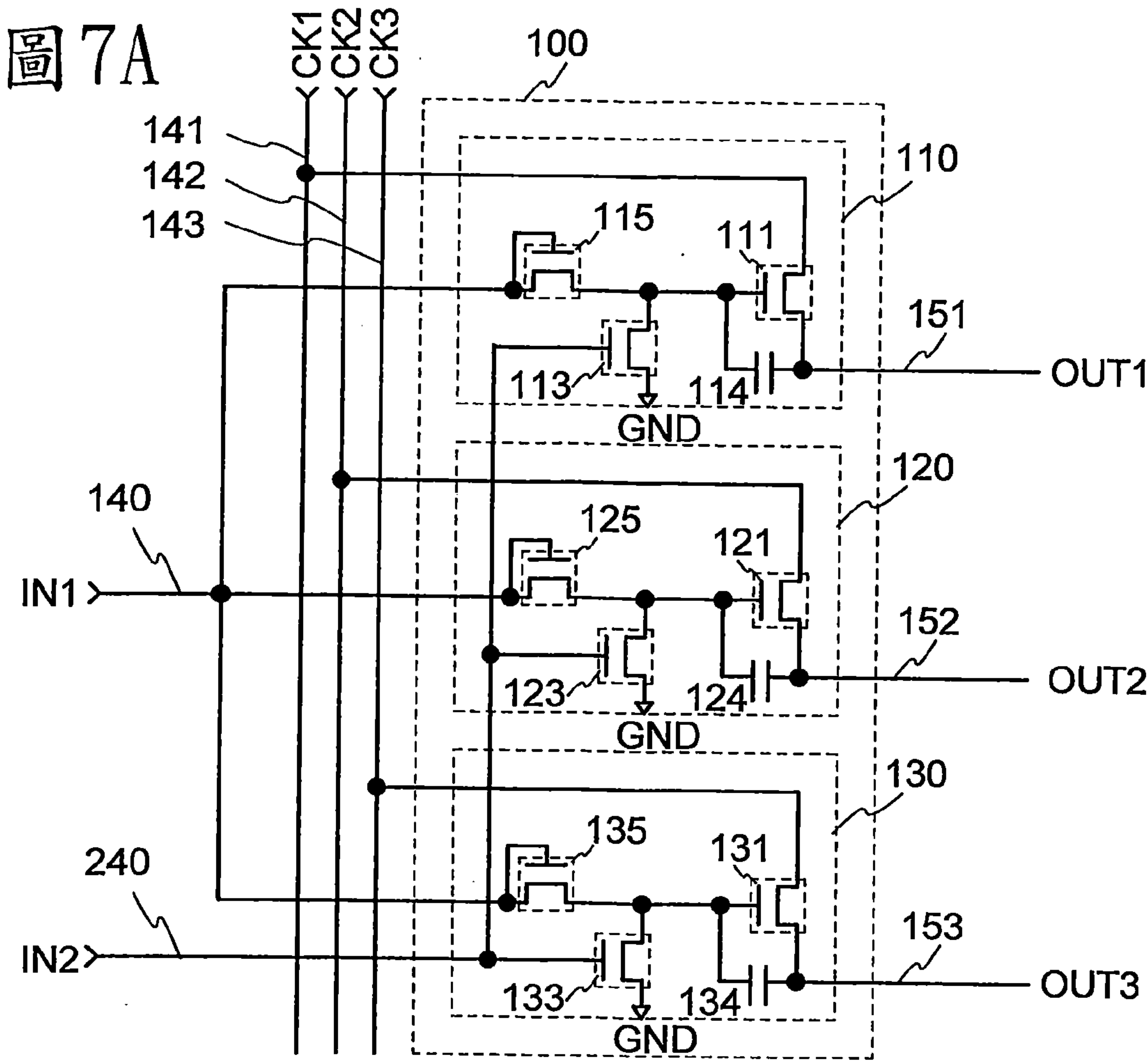


圖 8

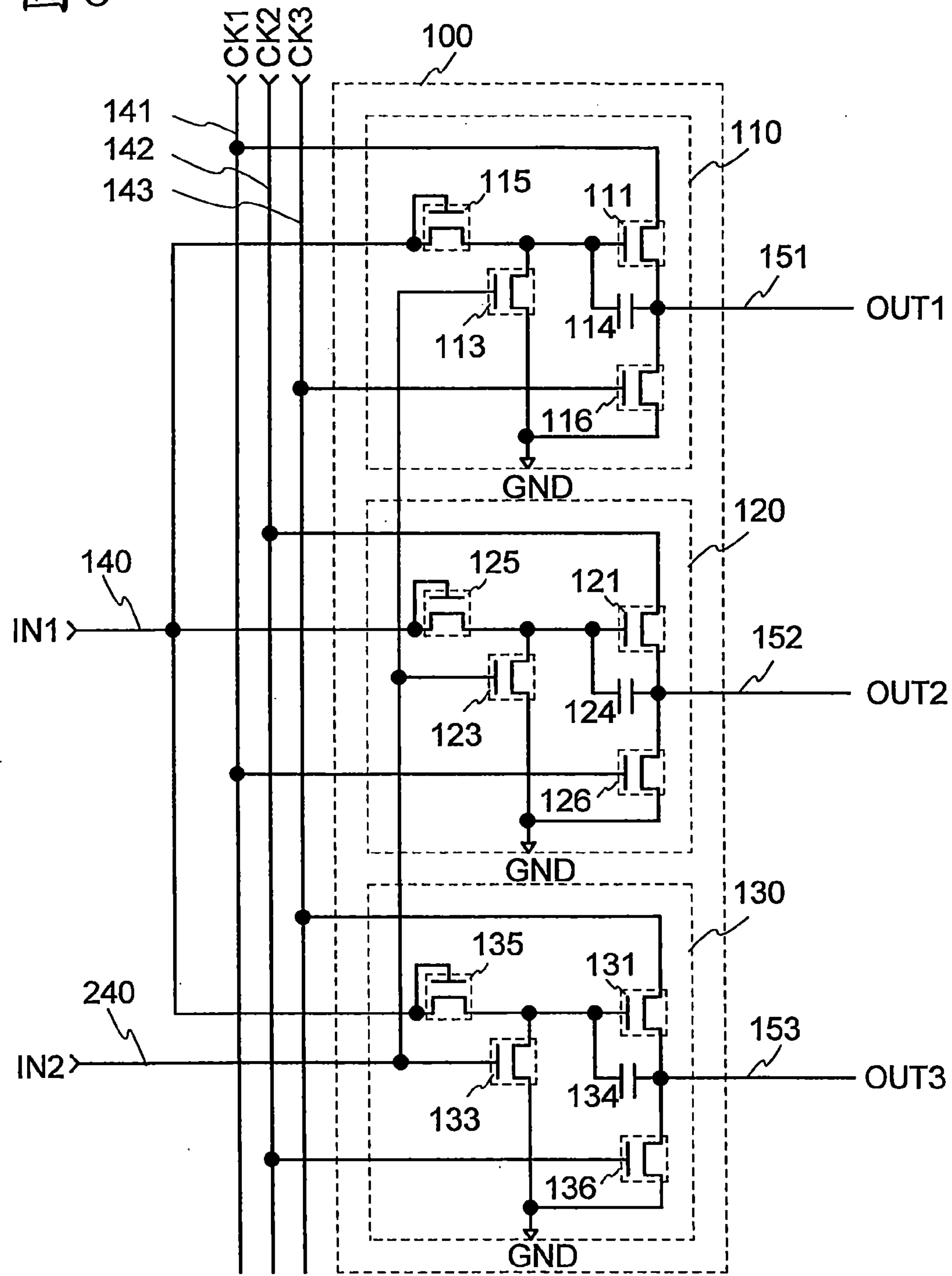


圖 9

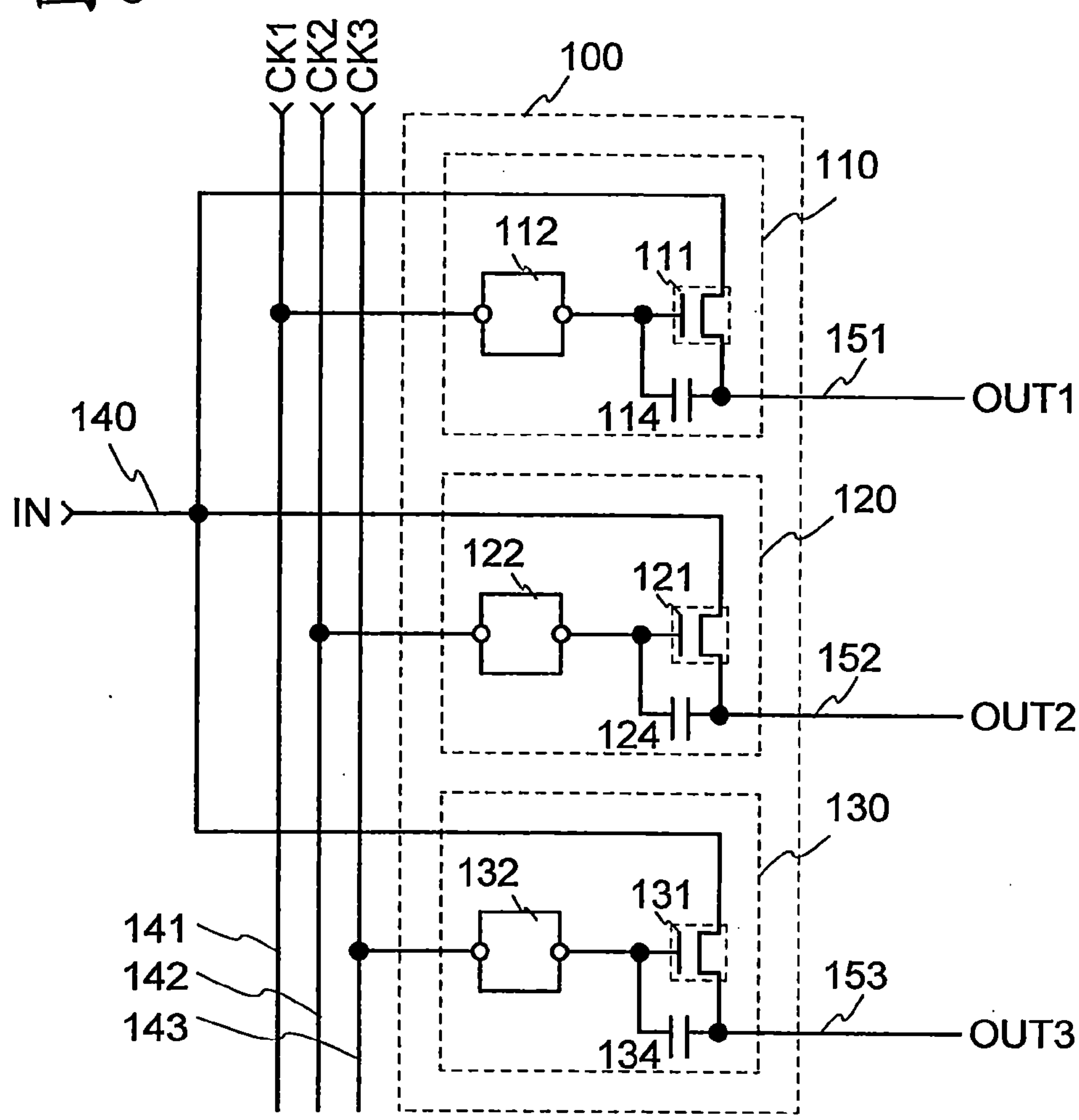


圖 10

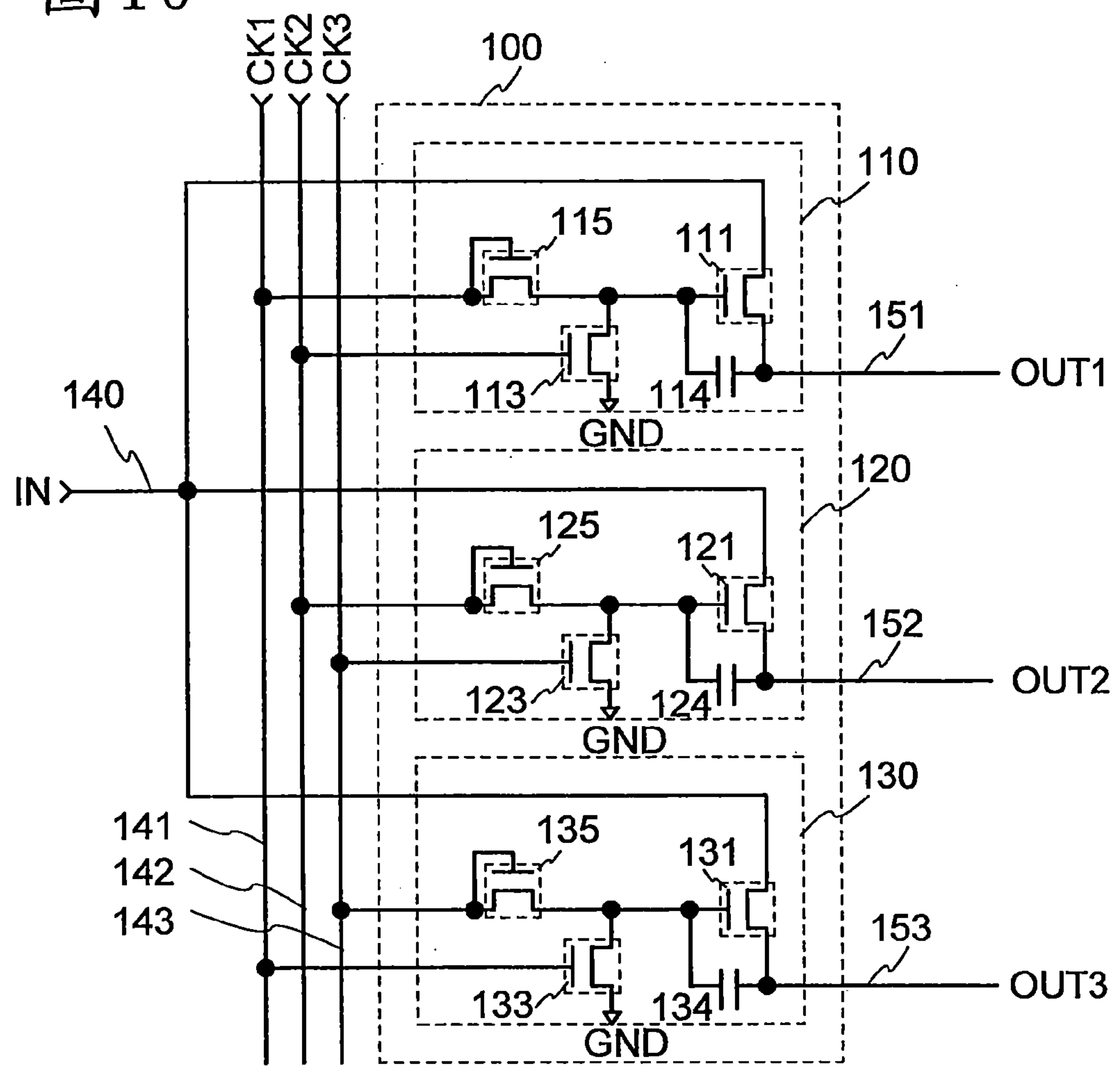


圖 11

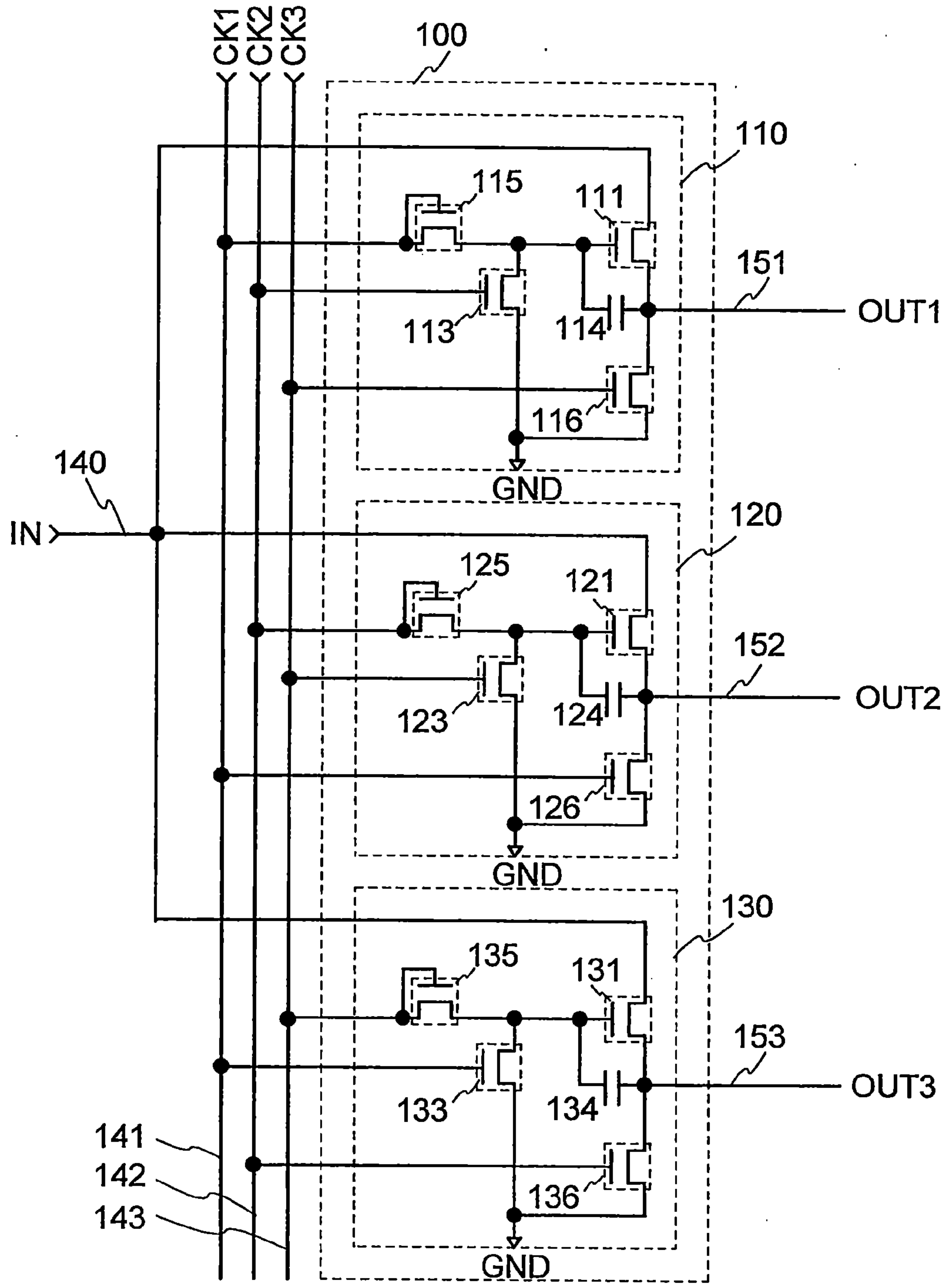


圖12

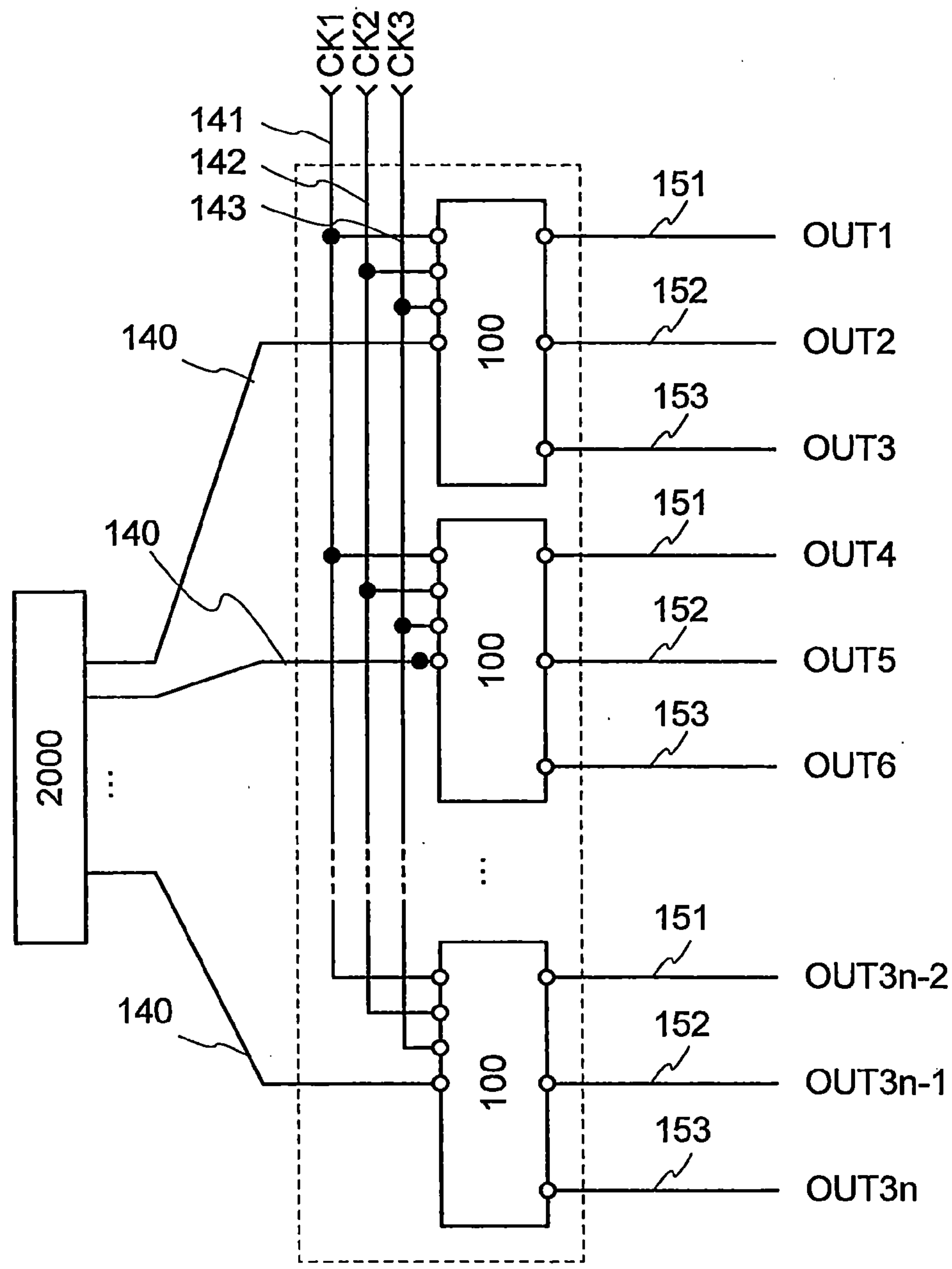


圖13

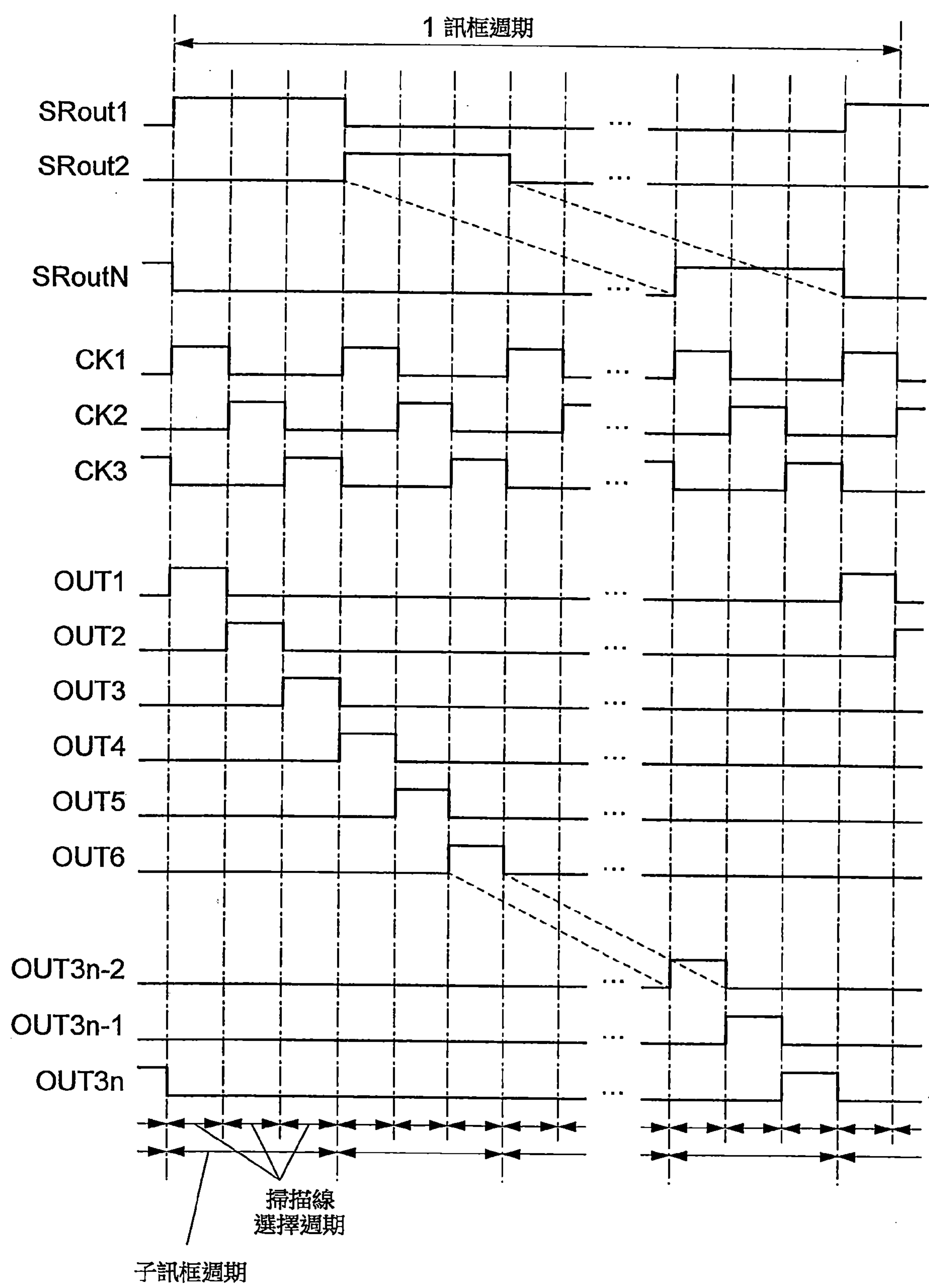


圖 14A

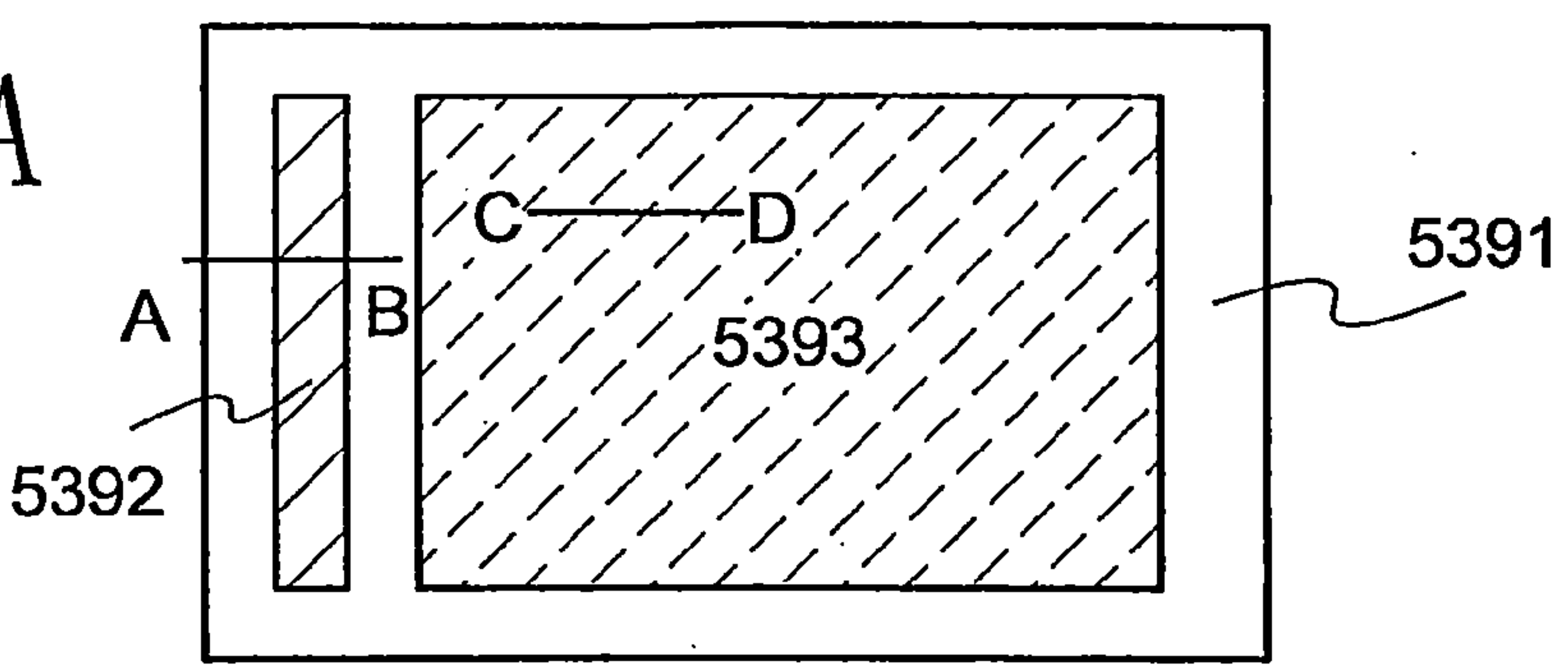


圖 14B

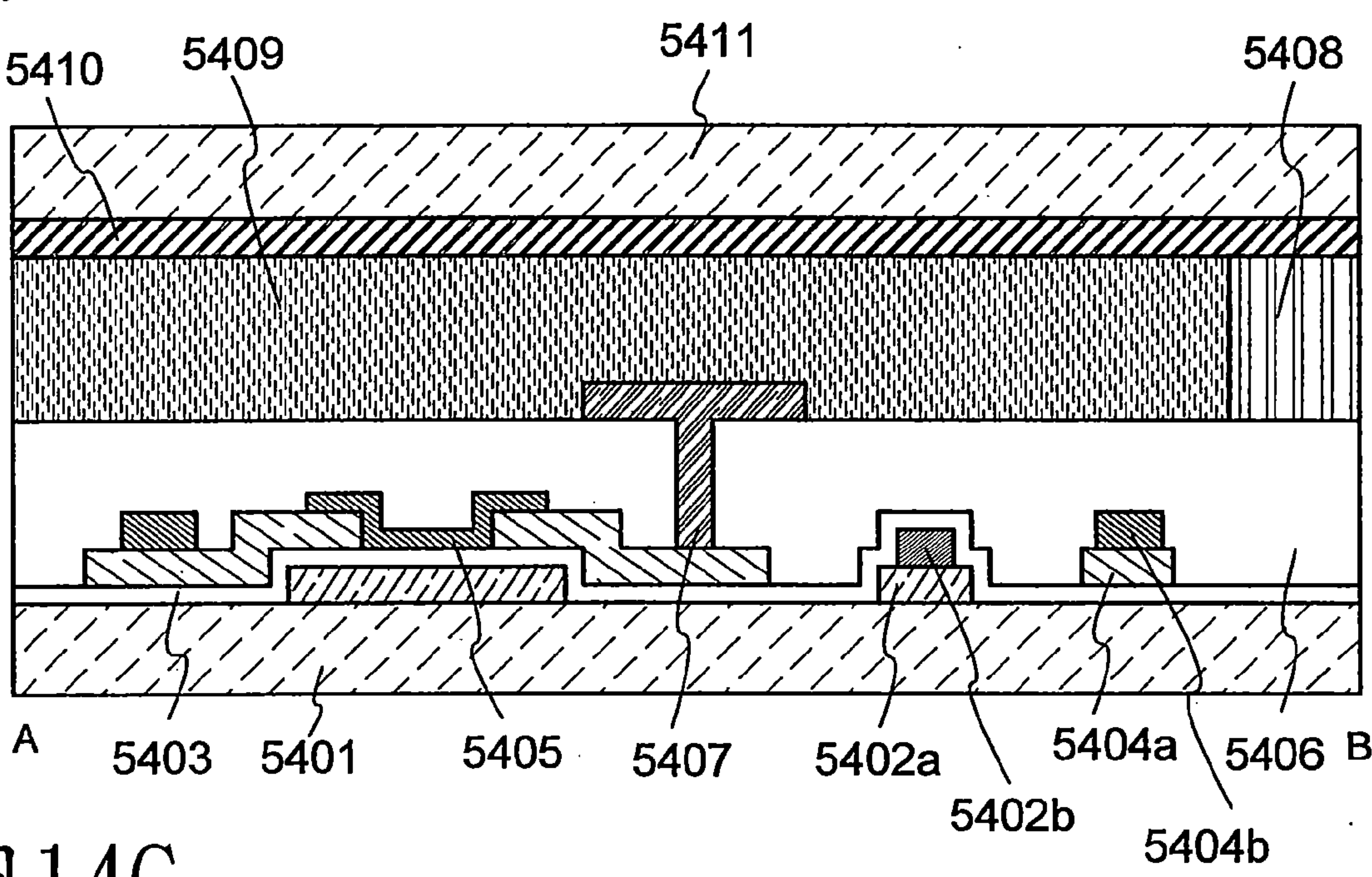


圖 14C

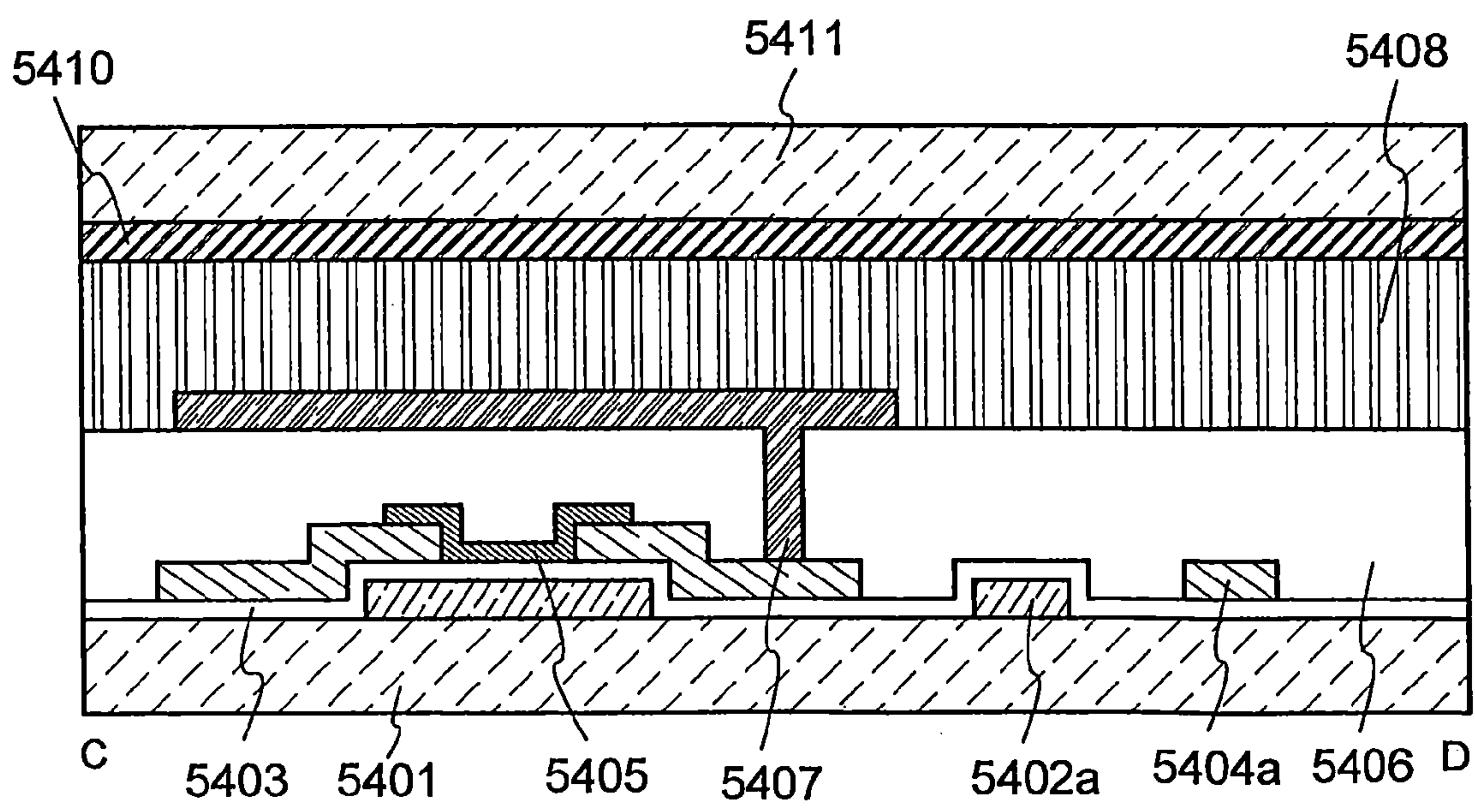


圖 15A

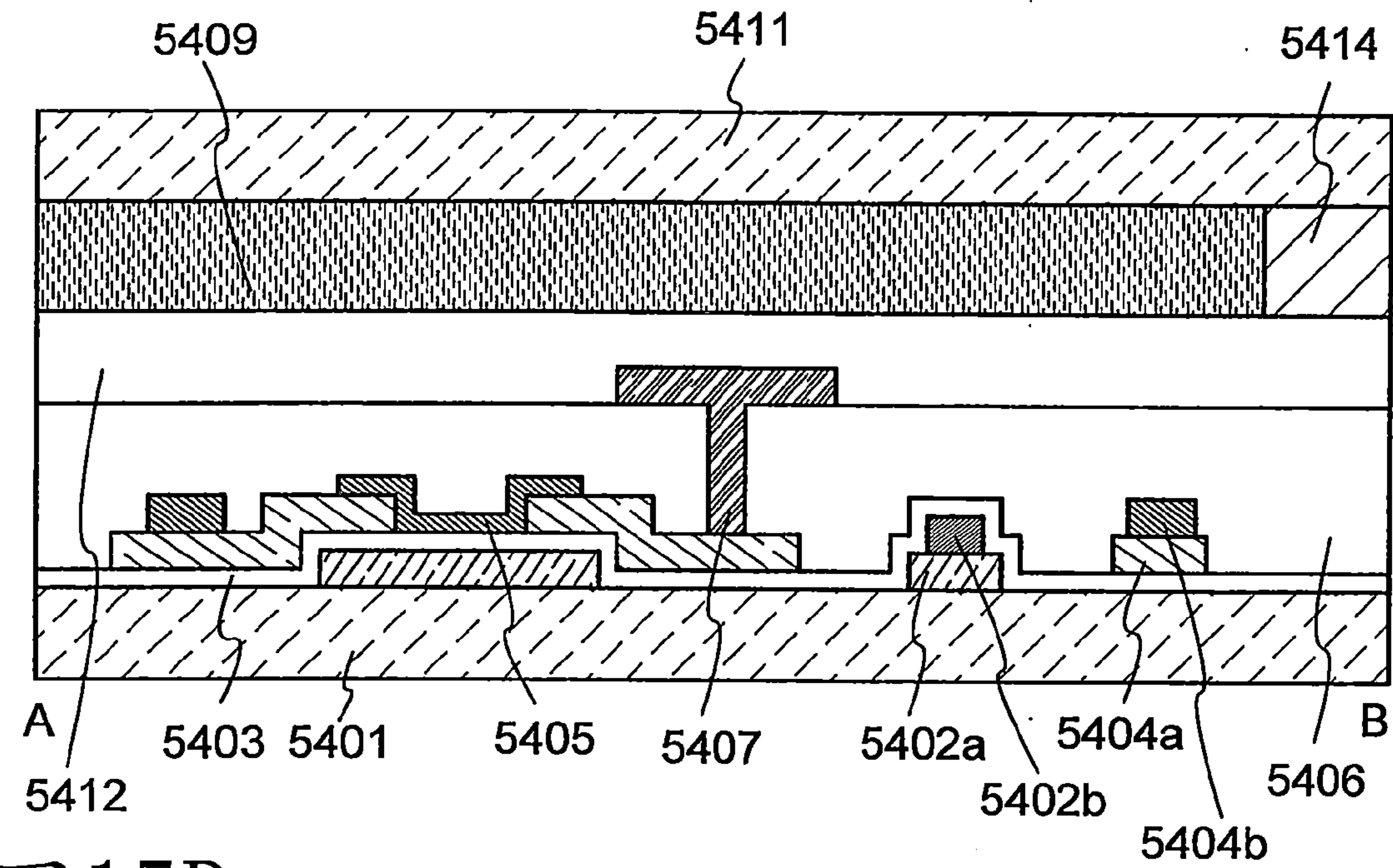


圖 15B

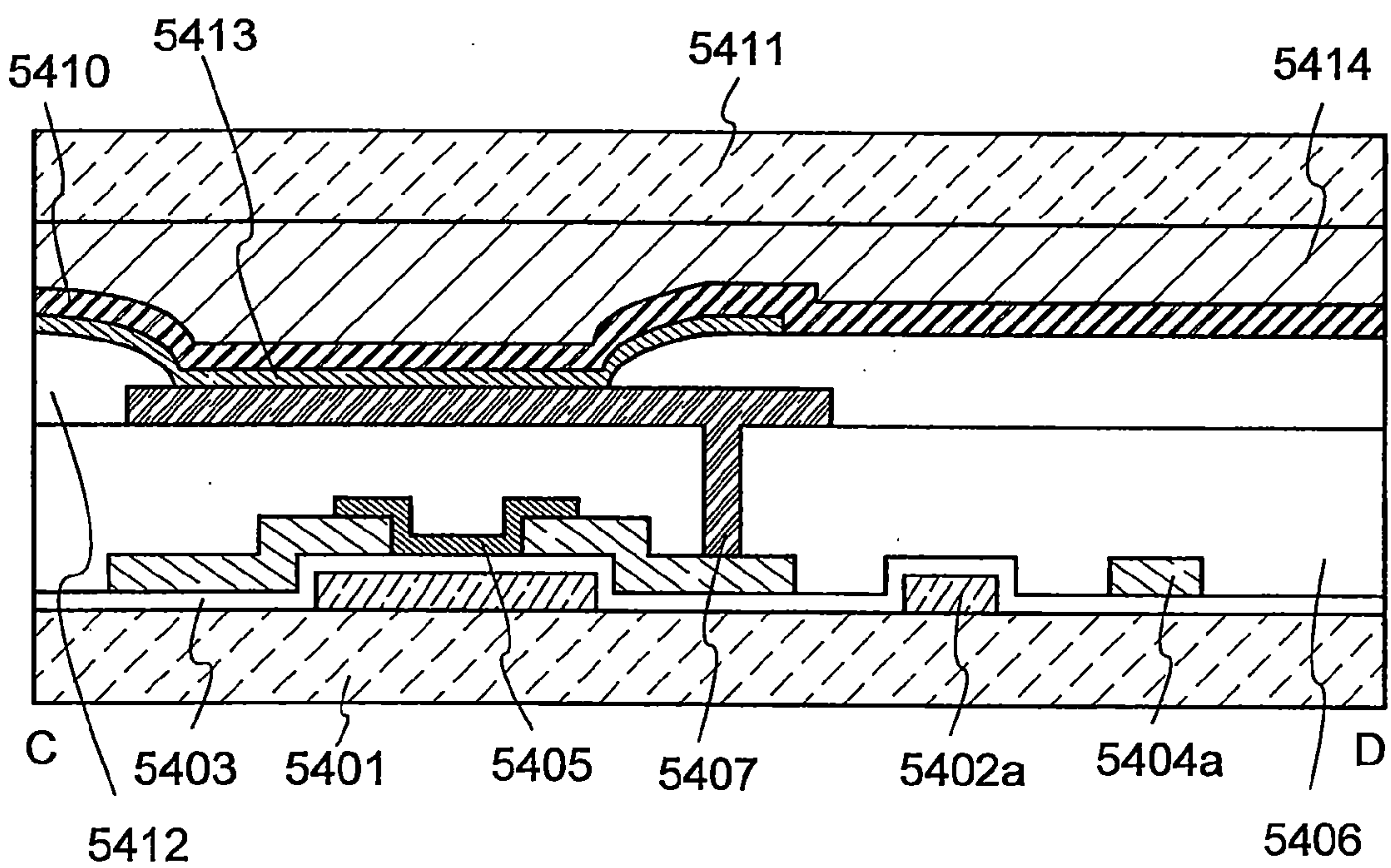


圖 16A

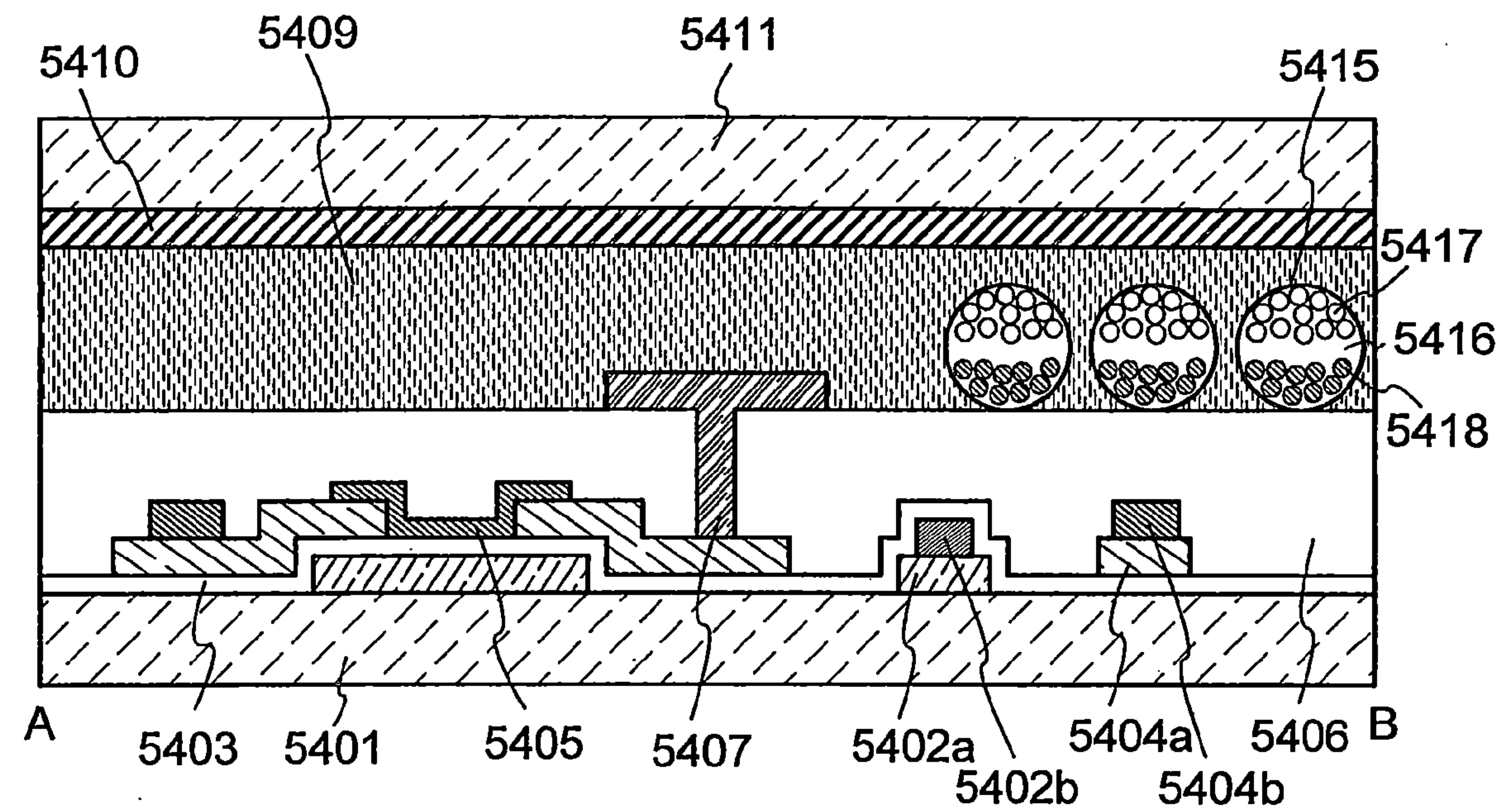


圖 16B

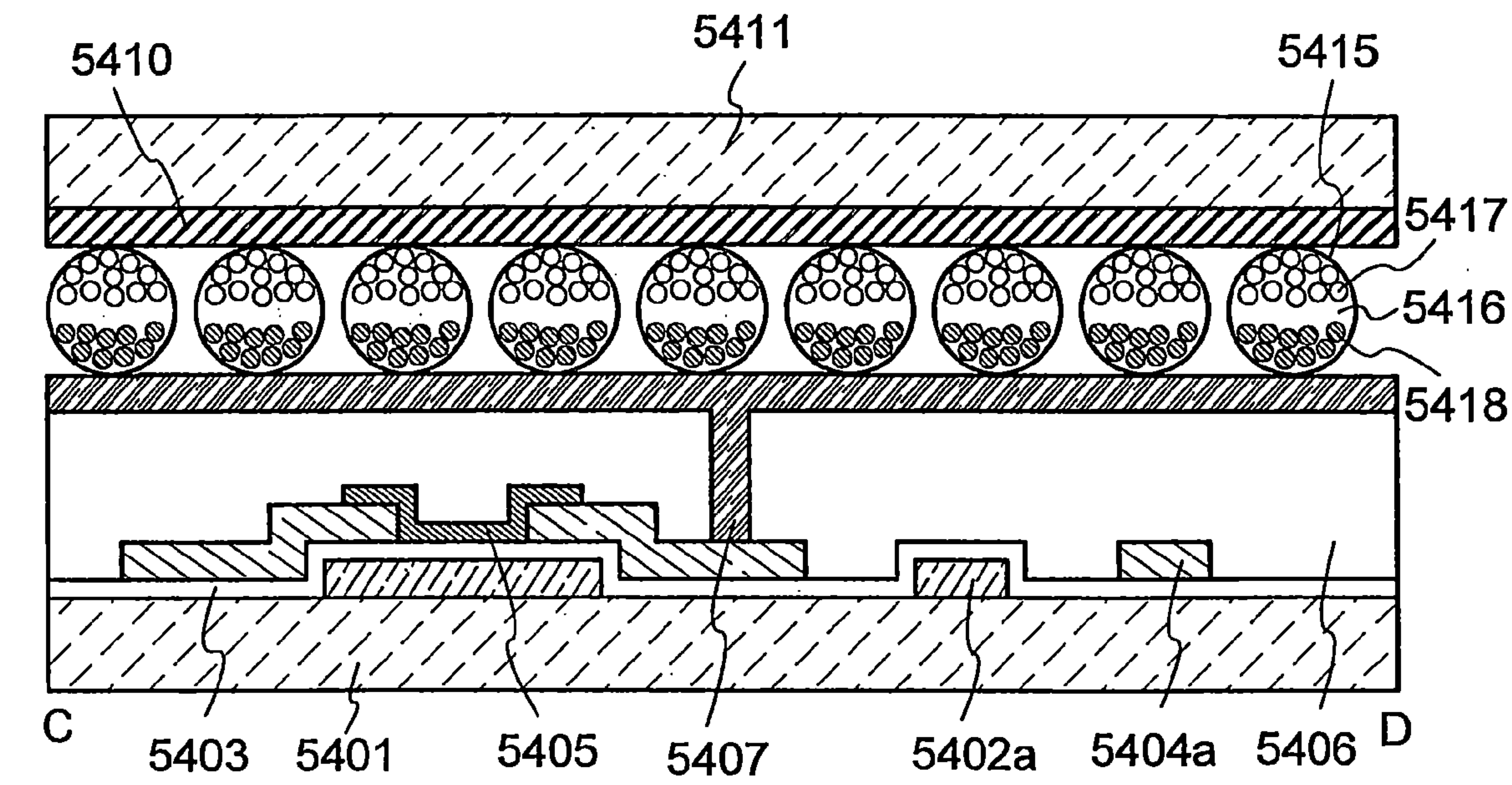


圖 17A

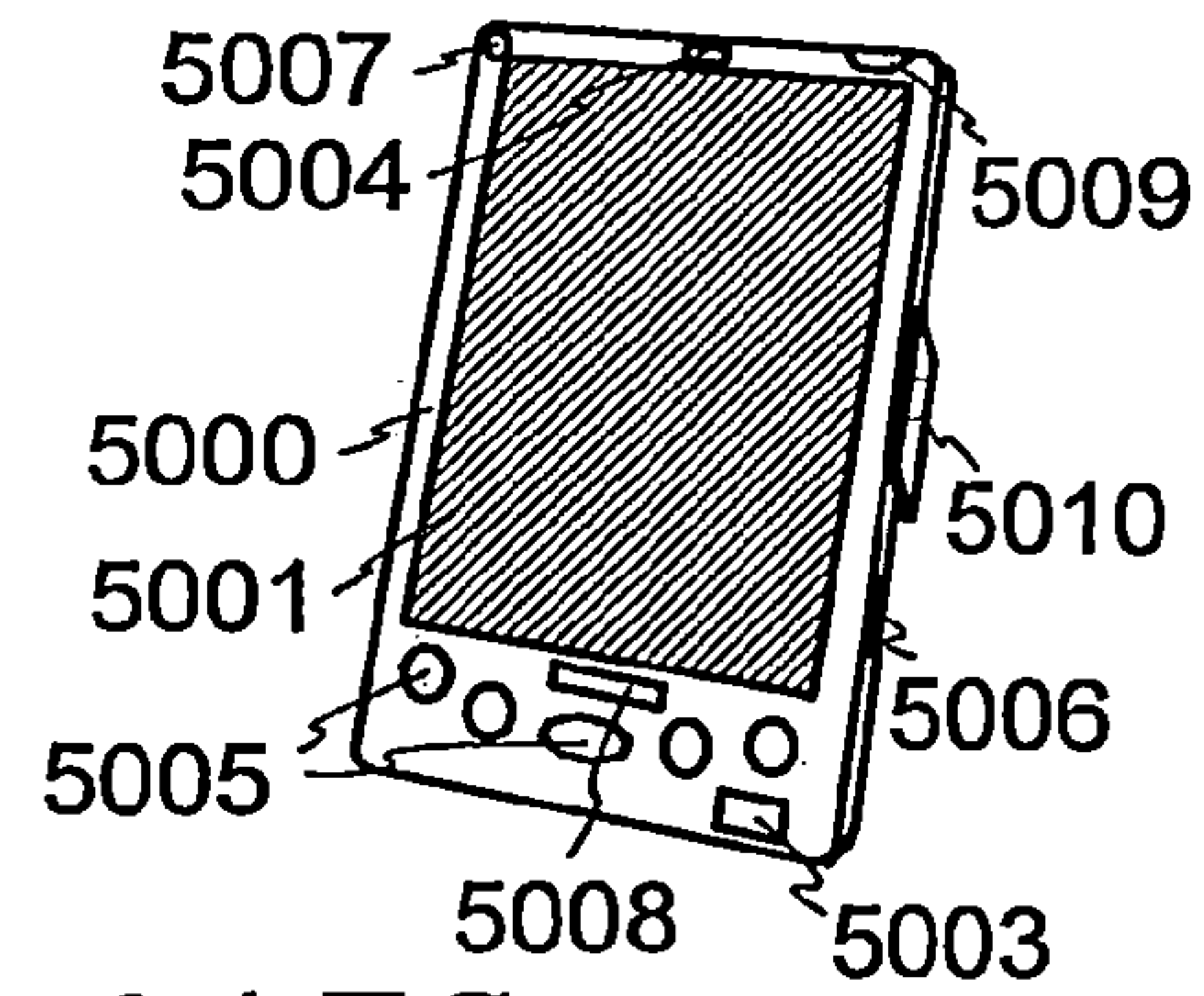


圖 17B

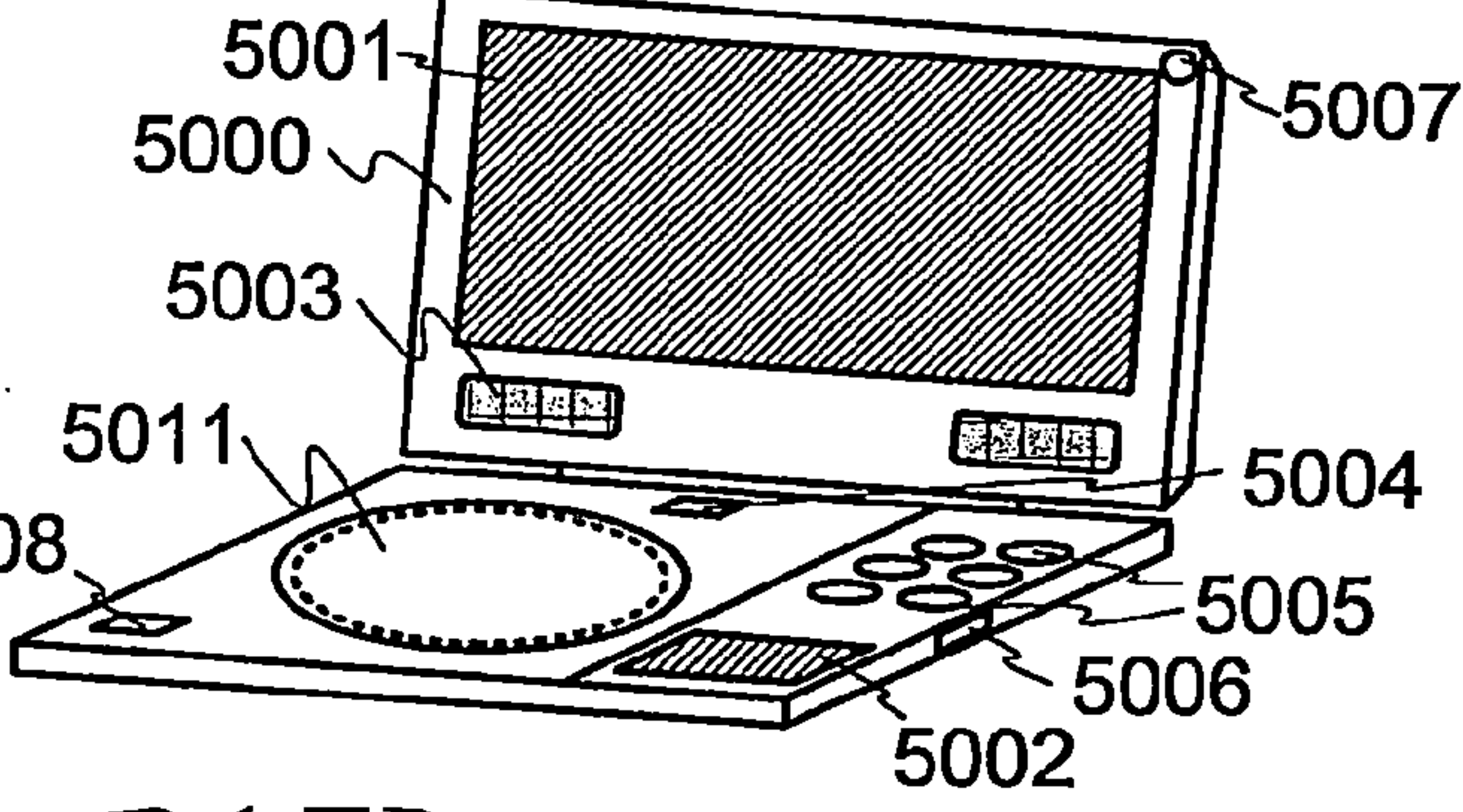


圖 17C

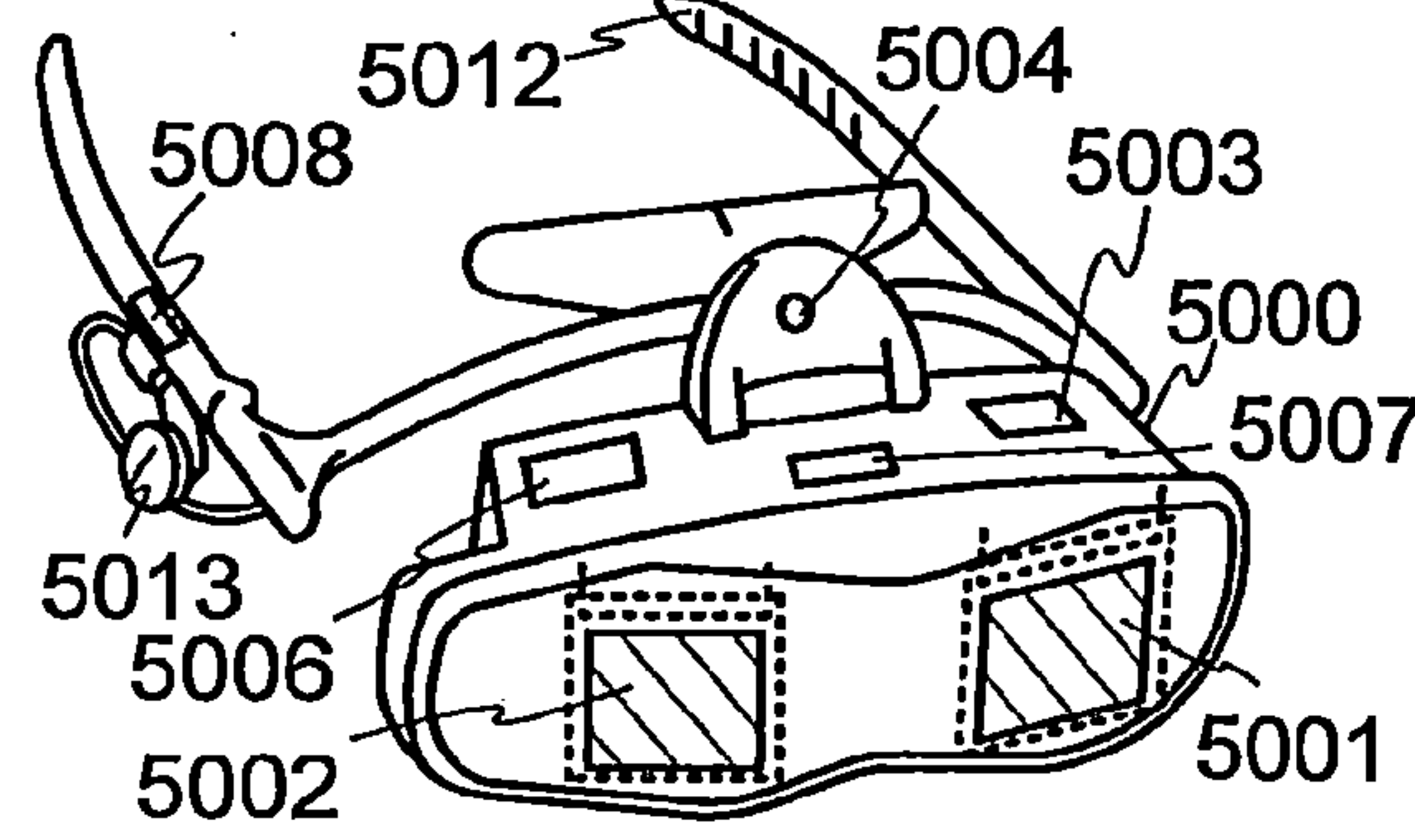


圖 17D

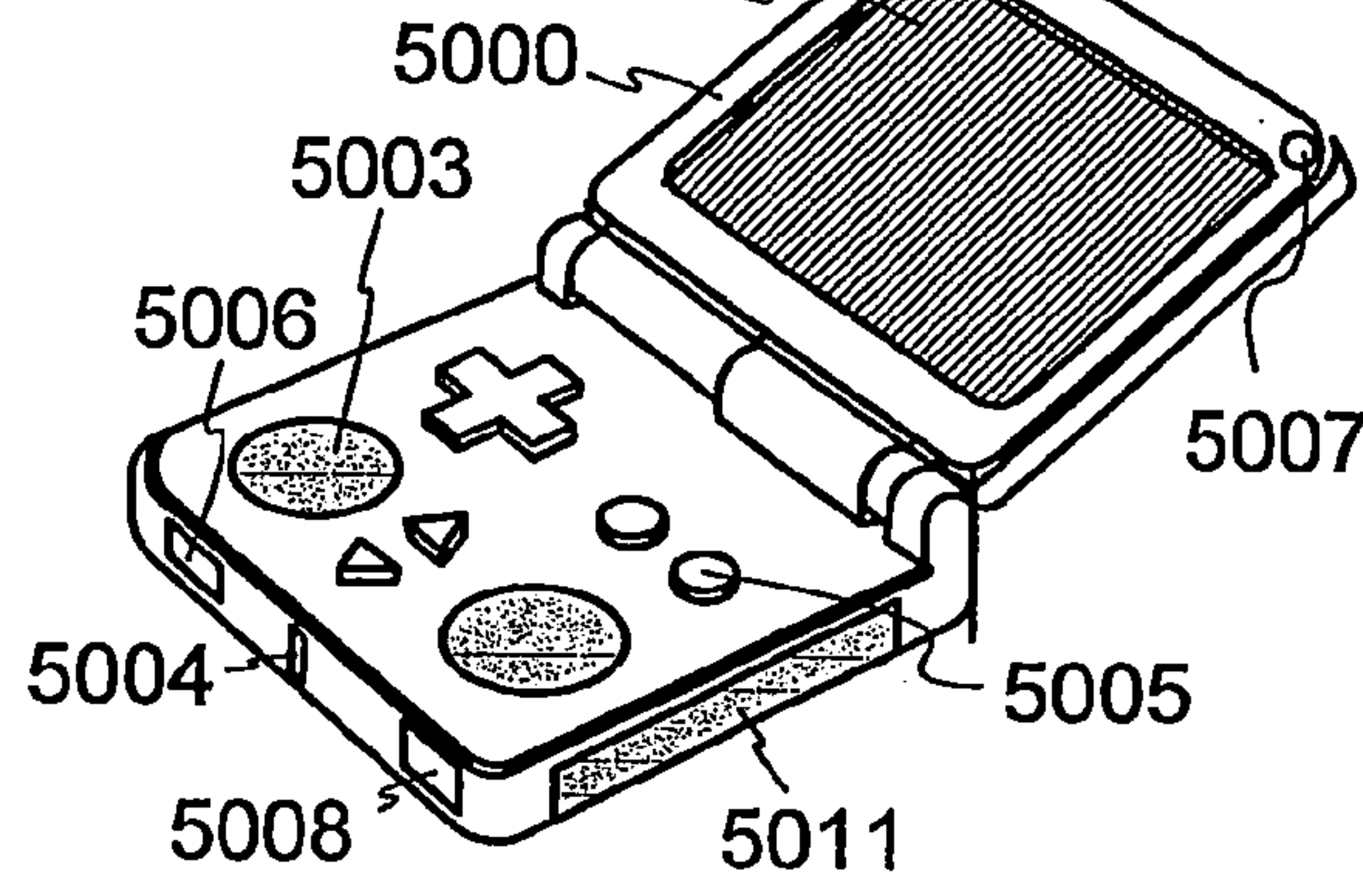


圖 17E

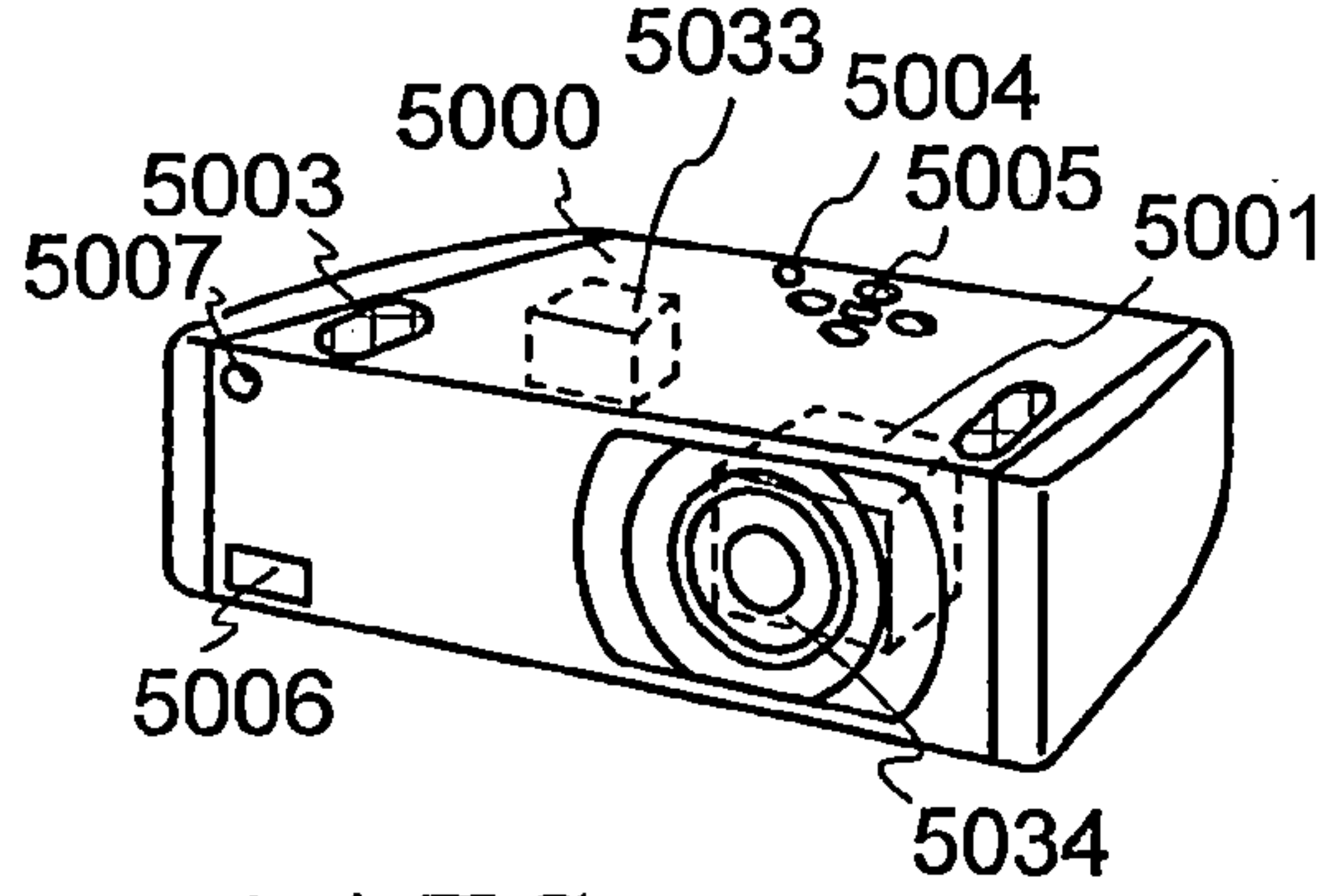


圖 17F

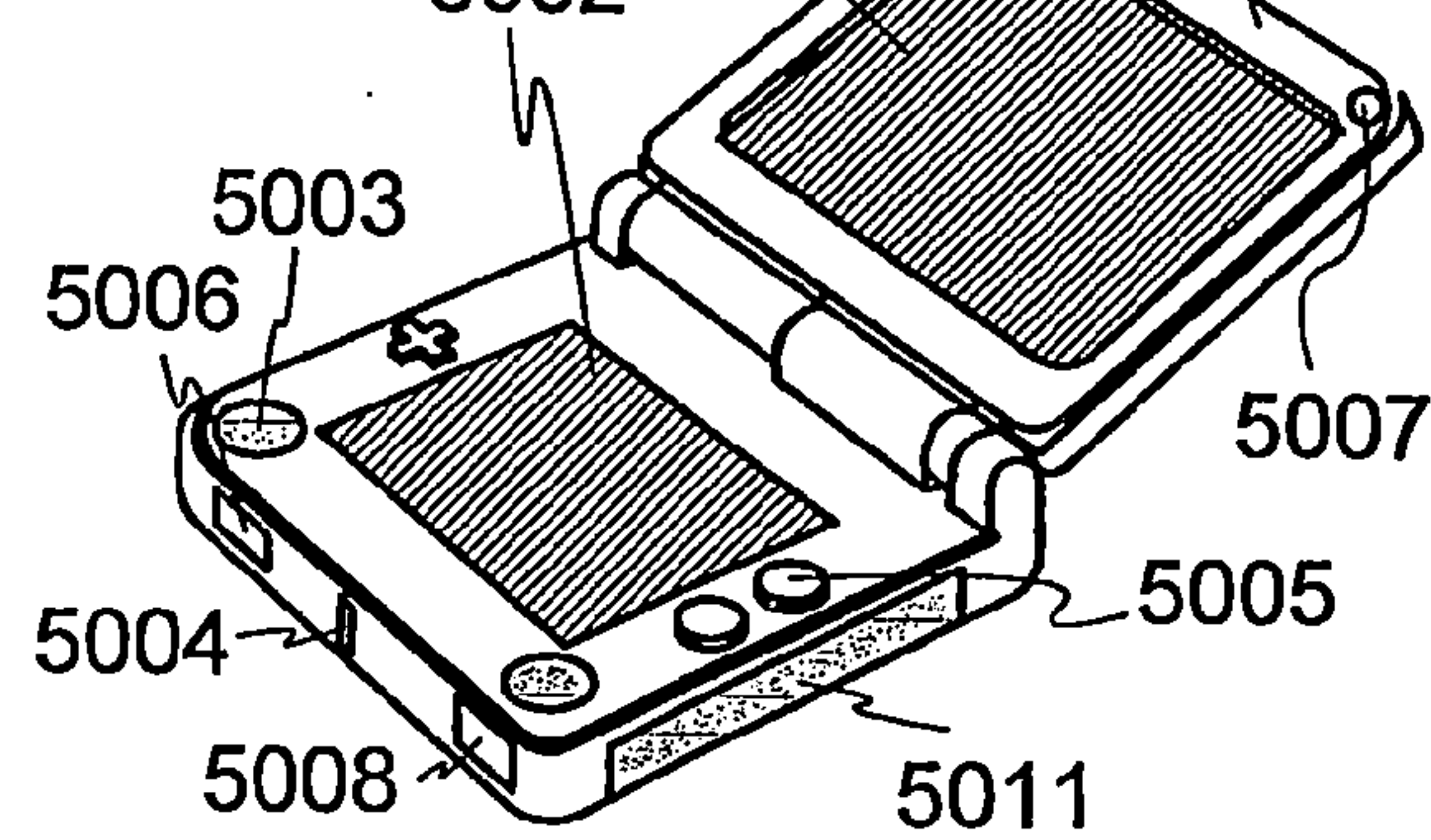


圖 17G

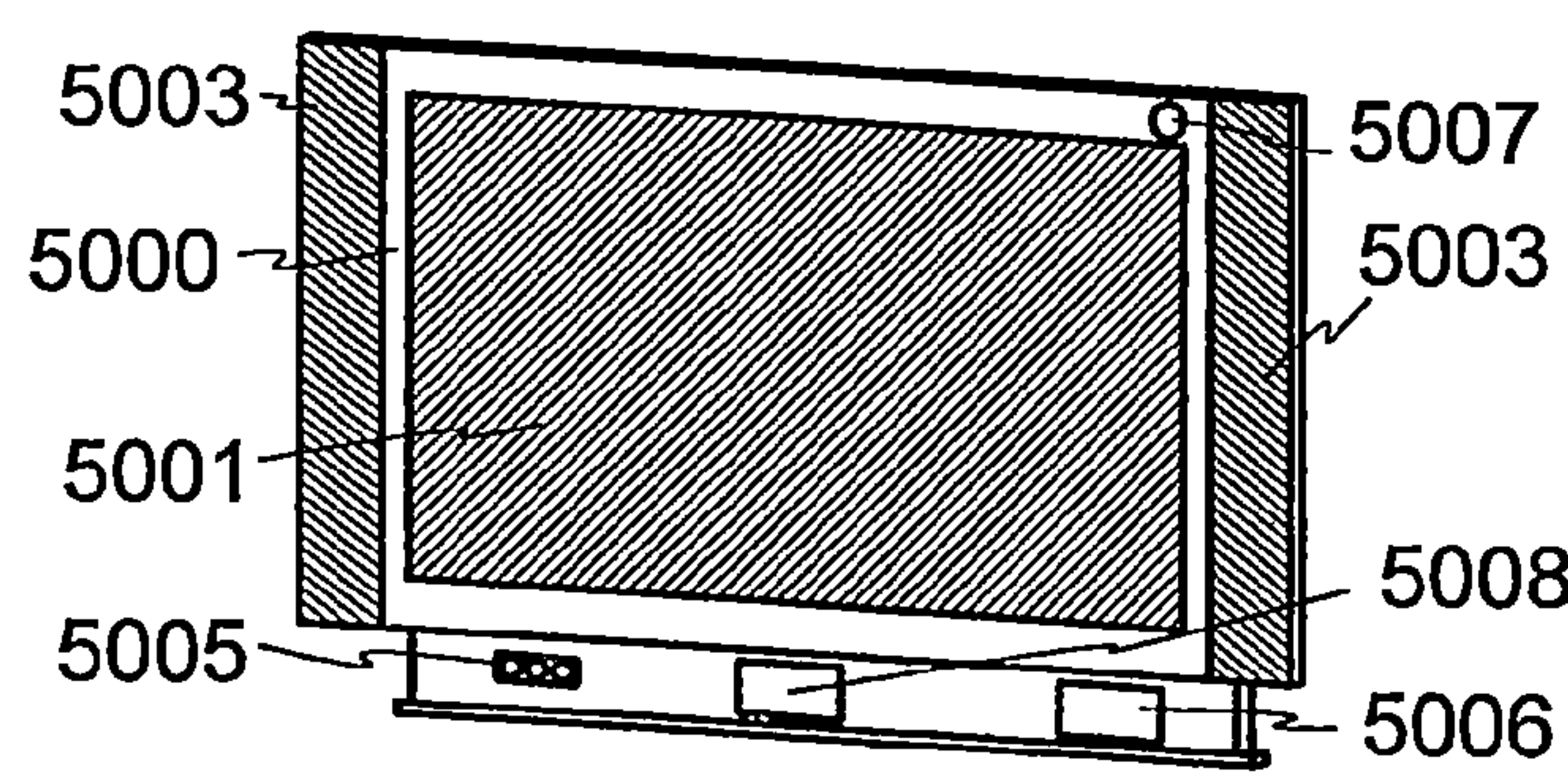


圖 17H

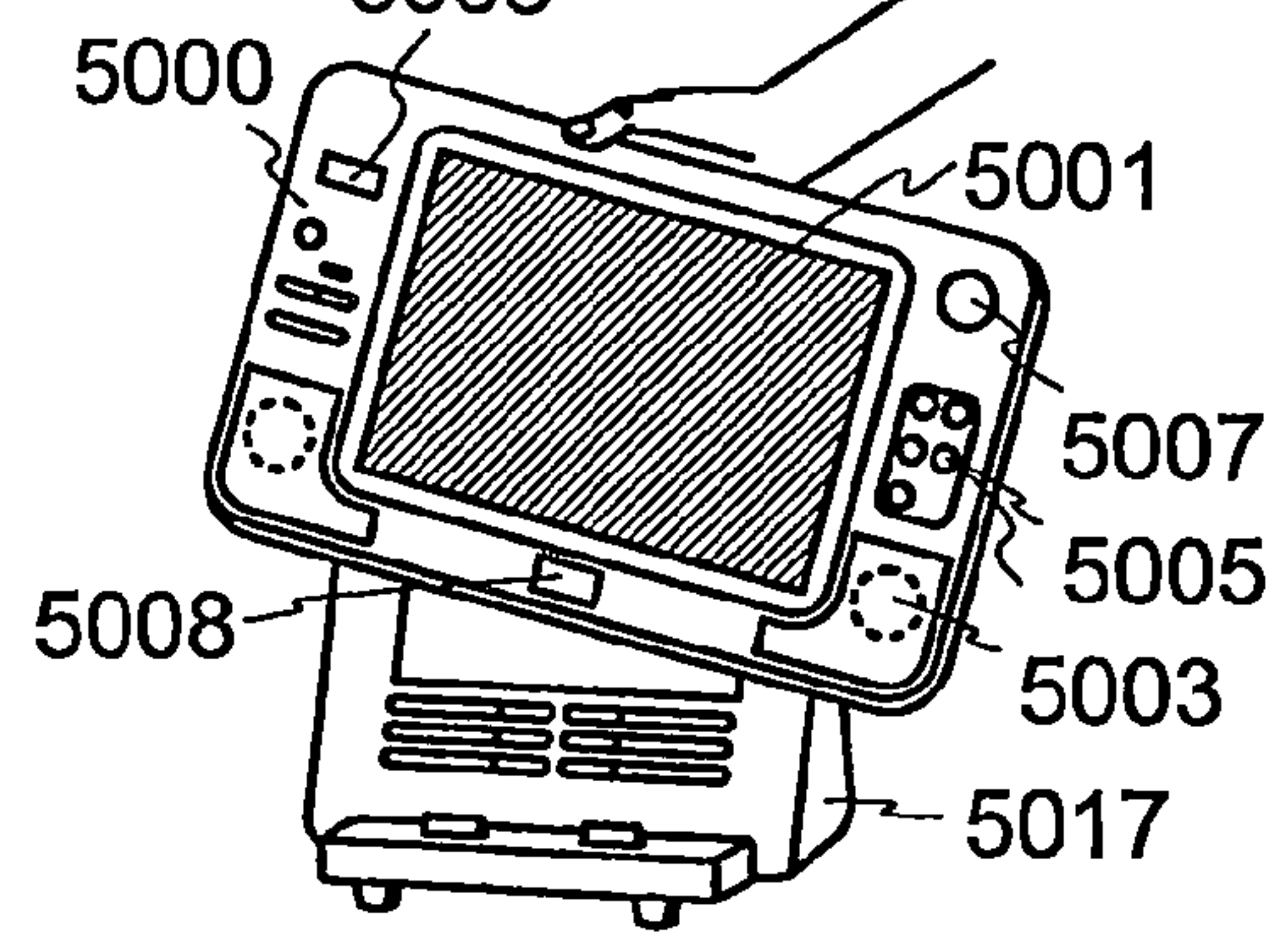


圖 18A

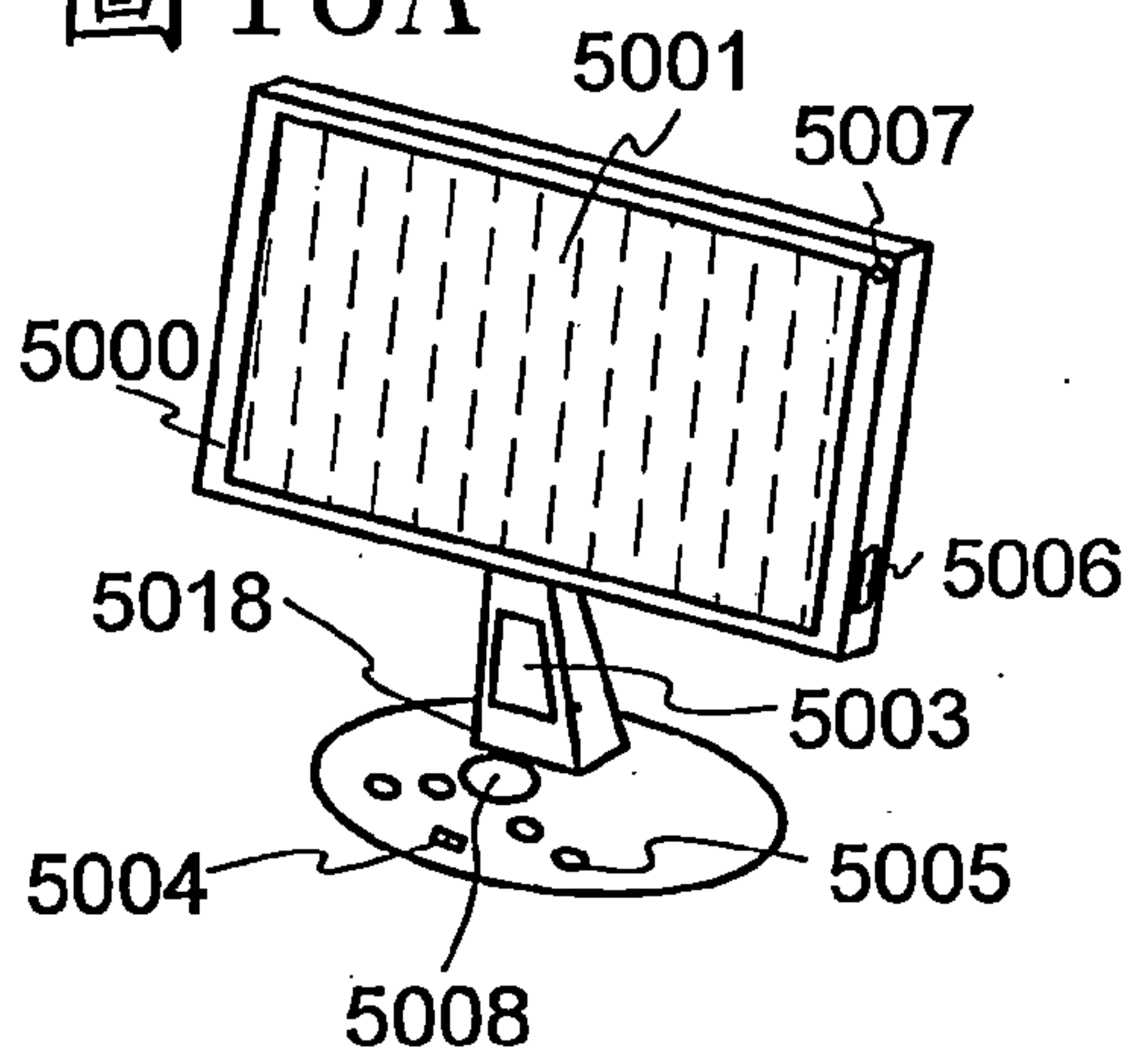


圖 18B

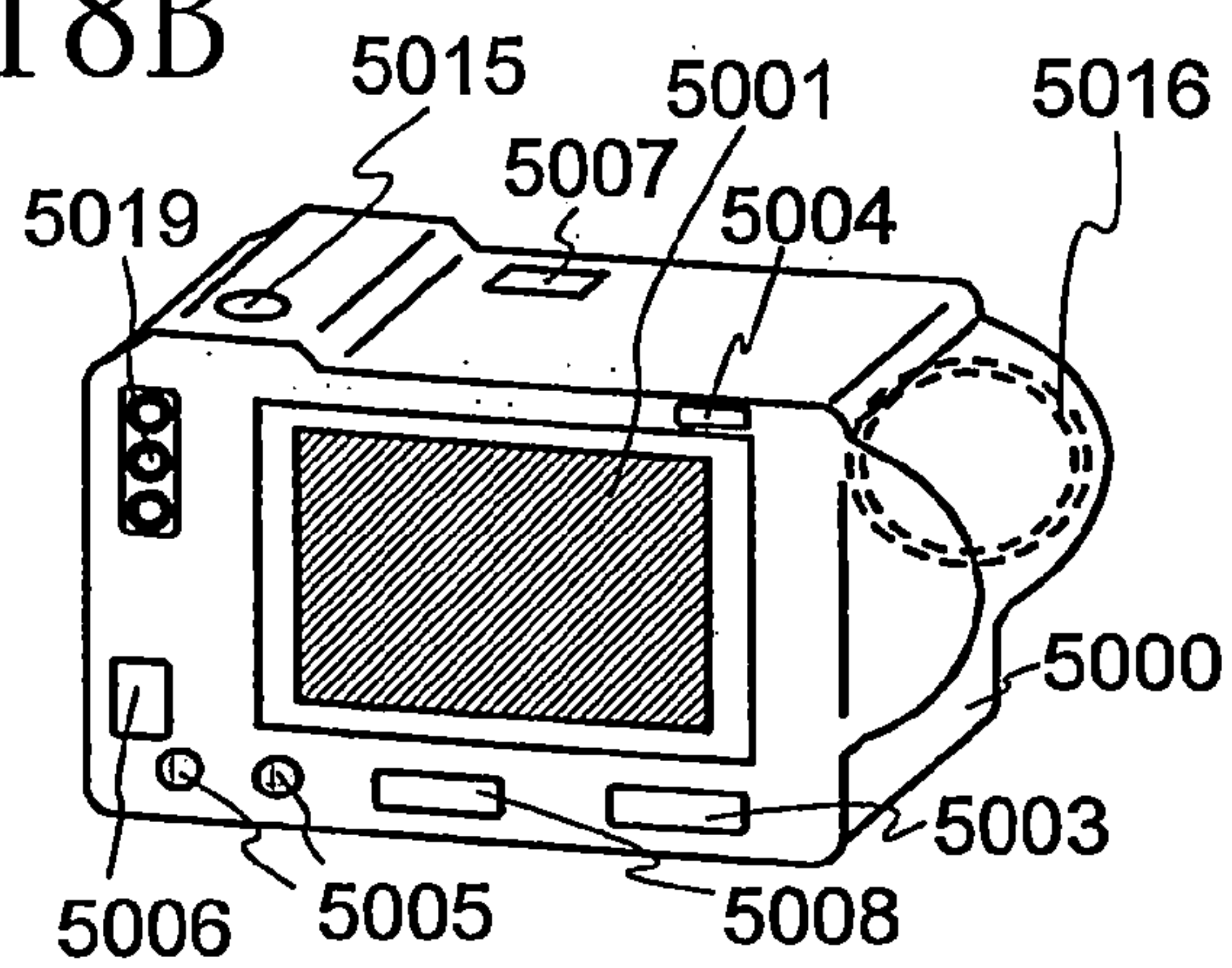


圖 18C

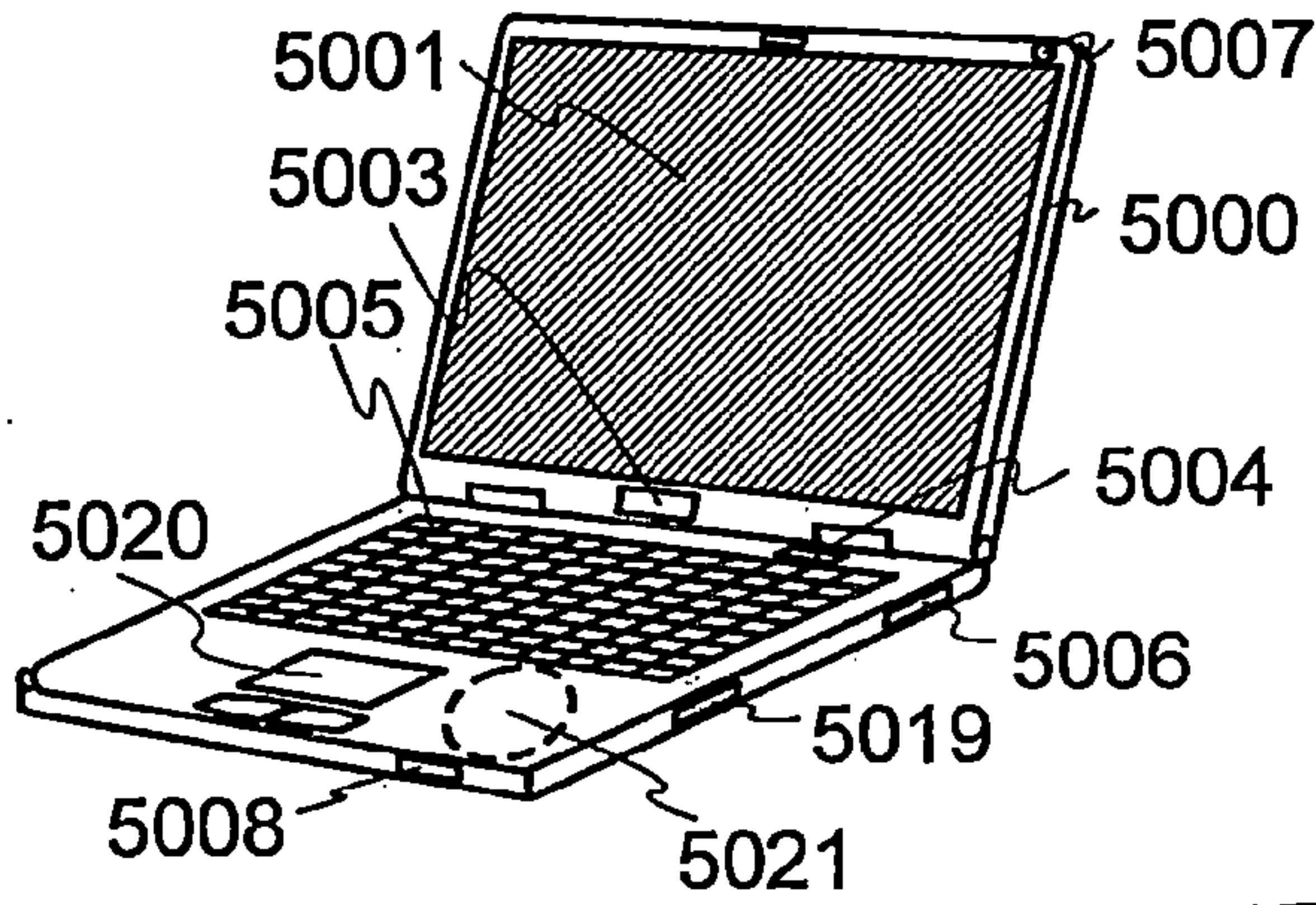


圖 18D

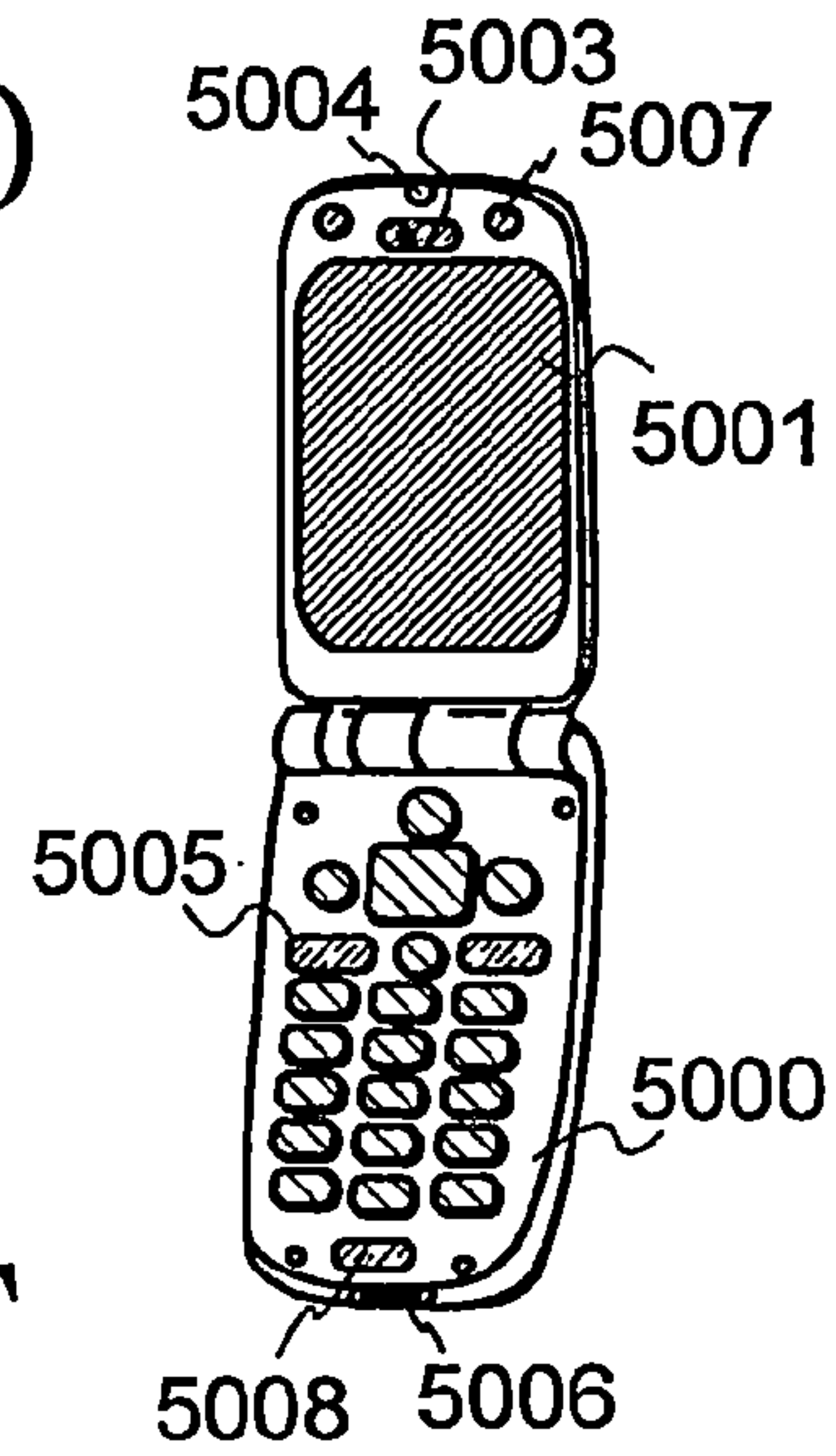


圖 18E

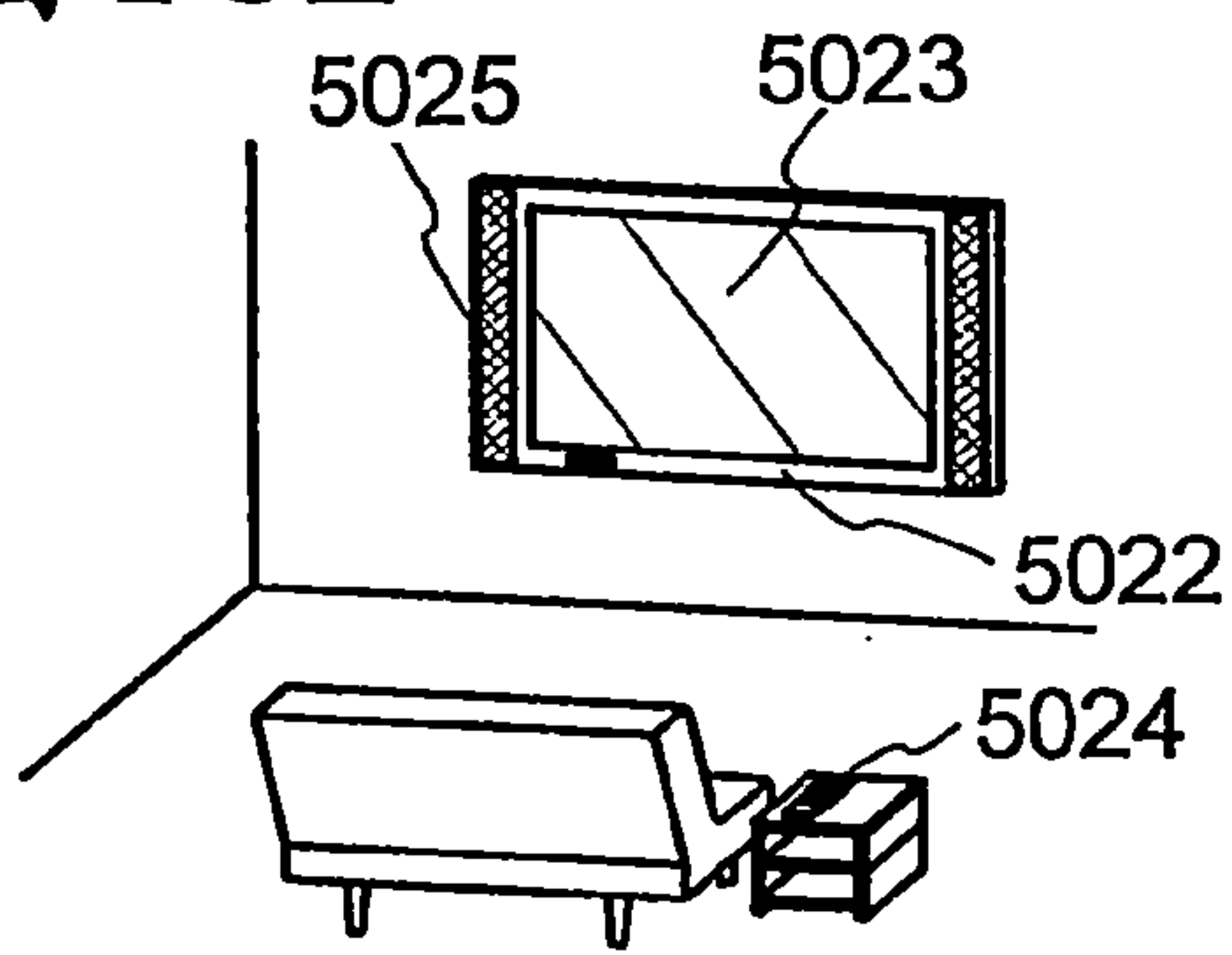


圖 18F

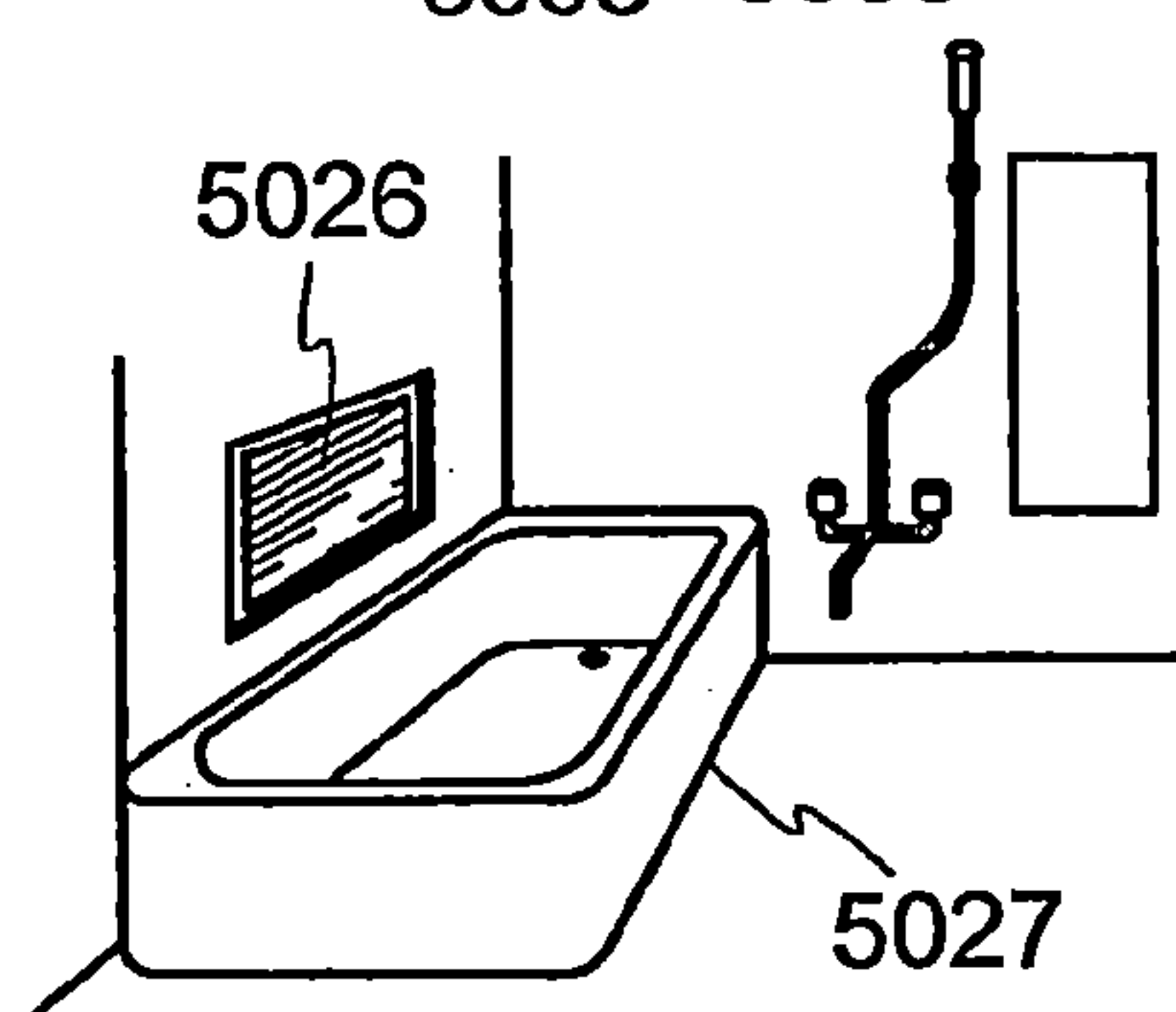


圖 18G

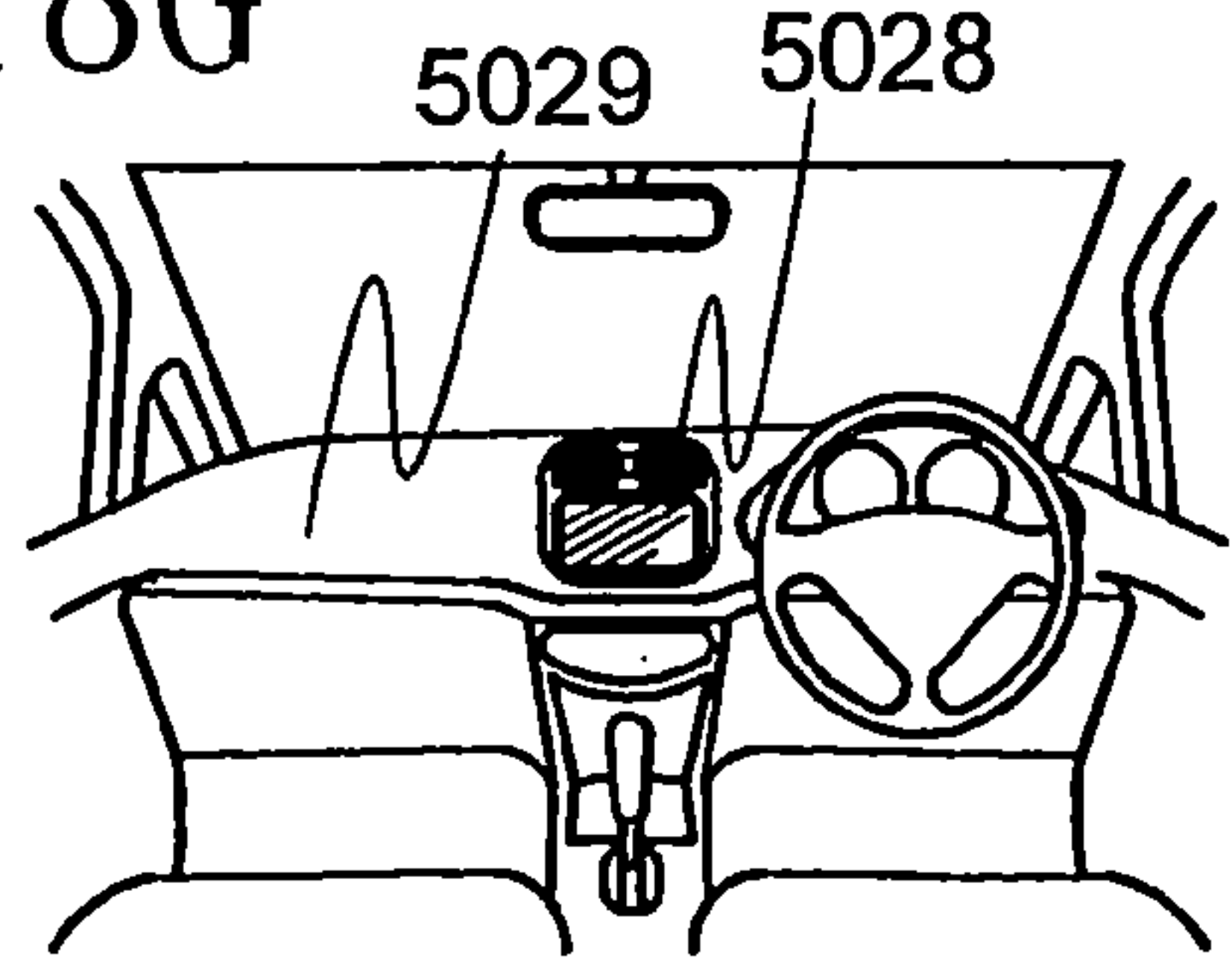


圖 18H

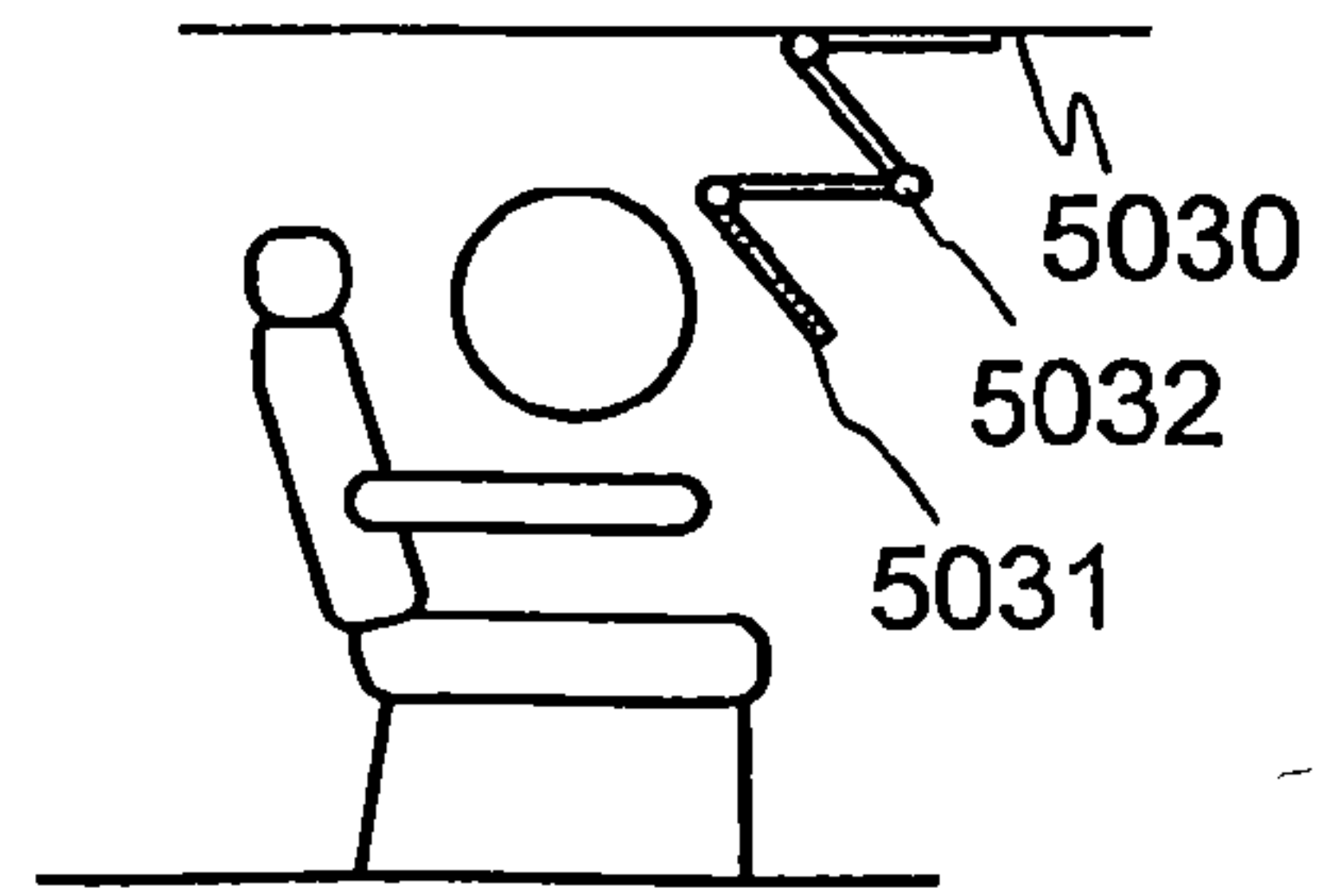


圖19

