



(12) 发明专利

(10) 授权公告号 CN 1869797 B

(45) 授权公告日 2010.09.01

(21) 申请号 200610078433.4

US 2004077184 A1, 2004.04.22, 全文.

(22) 申请日 2006.05.26

审查员 刘燕梅

(30) 优先权数据

10-2005-0044802 2005.05.27 KR

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 申原硕 裴良浩 朴弘植

(74) 专利代理机构 北京康信知识产权代理有限

责任公司 11240

代理人 李伟

(51) Int. Cl.

G02F 1/136 (2006.01)

H01L 27/00 (2006.01)

H01L 21/00 (2006.01)

(56) 对比文件

JP 9-281473 A, 1997.10.31, 全文.

US 2005062409 A1, 2005.03.24, 全文.

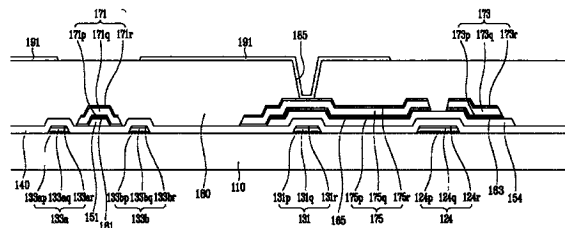
权利要求书 2 页 说明书 7 页 附图 16 页

(54) 发明名称

用于显示装置的布线、薄膜晶体管阵列面板及其制造方法

(57) 摘要

本发明提供了一种薄膜晶体管阵列面板的制造方法,包括:在基板上形成第一信号线;在第一信号线上顺序地形成栅极绝缘层和半导体层;在栅极绝缘层和半导体层上形成第二信号线;以及形成连接至第二信号线的像素电极。第一信号线和第二信号线中的至少一条包括第一导电氧化物层、含银(Ag)导电层、以及以比第一导电氧化物层低的温度形成的第二导电氧化物层。



1. 一种用于显示装置的布线,包括:  
第一导电层,包括第一多晶导电氧化物;  
第二导电层,包括银;以及  
第三导电层,包括由非晶导电氧化物制成的第二多晶导电氧化物。
2. 根据权利要求1所述的用于显示装置的布线,其中,所述第一多晶导电氧化物是多晶ITO。
3. 根据权利要求1所述的用于显示装置的布线,其中,所述非晶导电氧化物是非晶ITO或IZO。
4. 根据权利要求1所述的用于显示装置的布线,其中,通过将非晶导电氧化物结晶而形成所述第三导电层。
5. 根据权利要求1所述的用于显示装置的布线,其中,所述第三导电层的非晶导电氧化物层以比所述第一导电层低的温度形成。
6. 一种薄膜晶体管阵列面板,包括:  
基板;  
第一信号线和第二信号线,形成在所述基板上,所述第一信号线和所述第二信号线彼此交叉;  
薄膜晶体管,连接至所述第一信号线和所述第二信号线;以及  
像素电极,连接至所述薄膜晶体管,  
其中,所述第一信号线和所述第二信号线中的至少一条包括具有第一多晶导电氧化物的第一导电层、具有银的第二导电层以及具有由非晶导电氧化物制成的第二多晶导电氧化物的第三导电层。
7. 根据权利要求6所述的薄膜晶体管阵列面板,其中,所述第一多晶导电氧化物是多晶ITO。
8. 根据权利要求6所述的薄膜晶体管阵列面板,其中,所述第三导电层通过将非晶导电氧化物结晶而形成。
9. 根据权利要求6所述的薄膜晶体管阵列面板,其中,所述第三导电层的非晶导电氧化物层以比所述第一导电层低的温度形成。
10. 根据权利要求6所述的薄膜晶体管阵列面板,其中,所述第二导电层比所述第一导电层和所述第三导电层厚。
11. 一种薄膜晶体管阵列面板的制造方法,包括:  
在基板上形成第一信号线;  
在所述第一信号线上顺序地形成栅极绝缘层和半导体层;  
在所述栅极绝缘层和所述半导体层上形成第二信号线;以及  
形成连接至所述第二信号线的像素电极,  
其中,形成所述第一信号线和形成所述第二信号线过程中的至少一个包括形成第一多晶导电氧化物层、形成含银的第二导电层以及以比所述第一多晶导电氧化物层低的温度形成第三非晶导电氧化物层。
12. 根据权利要求11所述的方法,其中,以高于150°C的温度执行所述第一多晶导电氧化物层的形成。

13. 根据权利要求 11 所述的方法,其中,以 25°C 至 150°C 的温度执行所述第三非晶导电氧化物层的形成。

14. 根据权利要求 13 所述的方法,其中,以室温执行所述第三非晶导电氧化物层的形成。

15. 根据权利要求 11 所述的方法,其中,在形成所述第三非晶导电氧化物层之后,还包括同时蚀刻所述第一多晶导电氧化物层、含银的所述第二导电层以及所述第三非晶导电氧化物层的步骤。

16. 根据权利要求 15 所述的方法,其中,通过湿蚀刻来执行所述蚀刻。

17. 根据权利要求 11 所述的方法,其中,所述第三非晶导电氧化物层的形成包括将所述第三非晶导电氧化物层暴露于从氧气、氢气和水蒸气中选择的至少一种。

18. 根据权利要求 17 所述的方法,其中,所述第三非晶导电氧化物层的形成进一步包括将所述第三非晶导电氧化物层暴露于含氮的气体。

## 用于显示装置的布线、薄膜晶体管阵列面板及其制造方法

[0001] 相关申请

[0002] 本申请要求于 2005 年 5 月 27 日提交的韩国专利申请第 2005-0044802 号的优先权,其全部内容结合于此作为参考。

### 技术领域

[0003] 本发明涉及一种用于显示装置的布线、具有该布线的薄膜晶体管 (TFT) 阵列面板及其制造方法。

### 背景技术

[0004] 液晶显示器 (LCD) 是最广泛使用的平板显示器之一。LCD 包括液晶 (LC) 层,液晶层介于设置有场致电极的两个面板之间。通过向场致电极施加电压以产生电场而使 LCD 显示图像。LC 层中的电场确定改变入射光偏振的 LC 分子的定向。像素电极形成在薄膜晶体管阵列面板上。通过向每个像素电极施加不同电压来显示图像。薄膜晶体管 (TFT) 用作开关元件,以响应于施加到栅极线的扫描信号而将图像信号从数据线传输到像素电极。TFT 还用作开关元件,用于控制有源矩阵 (active matrix) 有机发光显示器 (AM-OLED) 的各个发光元件。

[0005] 大尺寸 LCD 和 AM-OLED 显示装置的发展趋势需要栅极线和数据线的长度变长,导致这些线呈现出较高的电阻,而这带来信号延迟的问题。为了解决这个问题,需要由具有低电阻率的材料 (电阻率最低的材料是银 (Ag)) 制成栅极线和数据线。不幸的是,银对玻璃基板以及由无机材料或有机材料制成的层有不良的粘附性,因此必须镀有其他导电材料。然而,这导致不良的蚀刻外型。

### 发明内容

[0006] 为了利用 Ag 布线的低电阻率并且改善其粘附性和蚀刻外型,本发明提供了一种用于显示装置的布线,其包括具有第一多晶导电氧化物的第一导电层、具有银 (Ag) 的第二导电层、以及具有由非晶导电氧化物制成的第二多晶导电氧化物的第三导电层。本发明还提供了一种薄膜晶体管阵列面板,其包括:基板;第一信号线和第二信号线,形成在基板上并彼此交叉;薄膜晶体管,连接至第一信号线和第二信号线;以及像素电极,连接至薄膜晶体管。第一信号线和第二信号线中的至少一条包括具有第一多晶导电氧化物的第一导电层、具有银 (Ag) 的第二导电层、以及具有由非晶导电氧化物制成的第二多晶导电氧化物的第三导电层。

[0007] 本发明还提供了一种薄膜晶体管阵列面板的制造方法,包括:在基板上形成第一信号线;在第一信号线上顺序地形成栅极绝缘层和半导体层;在栅极绝缘层和半导体层上形成第二信号线;以及形成连接至第二信号线的像素电极。形成第一信号线和形成第二信号线中的至少一个过程包括:形成第一导电氧化层;形成含银 (Ag) 的导电层;以及以比形成第一导电氧化层时更低的温度形成第二导电氧化层。

## 附图说明

- [0008] 图 1 是根据本发明实施例的 TFT 阵列面板的布局图；
- [0009] 图 2 和图 3 是沿图 1 所示的 II-II 线和 III-III 线截取的 TFT 阵列面板的截面图；
- [0010] 图 4、图 7、图 10 和图 13 是布局图，用于顺序地说明根据本发明实施例的 TFT 阵列面板的制造方法的中间步骤；
- [0011] 图 5 和图 6 是沿图 4 所示的 V-V 线和 VI-VI 线截取的 TFT 阵列面板的截面图；
- [0012] 图 8 和图 9 是沿图 7 所示的 VIII-VIII 线和 IX-IX 线截取的 TFT 阵列面板的截面图；
- [0013] 图 11 和图 12 是沿图 10 所示的 XI-XI 线和 XII-XII 线截取的 TFT 阵列面板的截面图；
- [0014] 图 14 和图 15 是沿图 13 所示的 XIV-XIV 线和 XV-XV 线截取的 TFT 阵列面板的截面图；
- [0015] 图 16A 是其中顺序地沉积有多晶 ITO、银 (Ag)、和多晶 ITO 的布线截面的照片；以及
- [0016] 图 16B 是其中顺序地沉积有多晶 ITO、银、和非晶 ITO 的布线截面的照片。

## 具体实施方式

[0017] 下文中，将参照附图更加全面地描述本发明的优选实施例。然而，本发明可以多种不同的形式实现，而不应认为局限于文中所述的实施例。相反地，提供这些实施例使得本公开更充分和完整，并且使本领域技术人员全面地了解本发明的范围。在附图中，为了清楚起见，扩大了层、膜、以及区域的厚度。相同的标号始终表示相同的元件。应当理解，当提到诸如层、薄膜、区域、或基板的元件“位于”另一个元件上时，是指其直接位于另一个元件上，或者也可能存在插入元件。

[0018] 下面，将参照图 1 至图 3 来详细描述根据本发明实施例的 TFT 阵列面板。

[0019] 图 1 是根据本发明实施例的 TFT 阵列面板的布局图，以及图 2 和图 3 分别是沿图 1 所示的 II-II 线和 III-III 线截取的 TFT 阵列面板的截面图。

[0020] 多条栅极线 121 和多条存储电极线 131 形成在由诸如透明玻璃或塑料的材料制成的绝缘基板 110 上。栅极线 121 传输选通信号 (gate line)，并沿大致横向的方向延伸。每条栅极线 121 均包括向下突出的多个栅电极 124 以及端部 129，该端部具有用于与另一层或外部驱动电路连接的大面积。用于生成选通信号的栅极驱动器（未示出）可以安装在附着到基板 110 的柔性印刷电路膜（未示出）上。栅极驱动器可以直接装配在基板 110 上或与其集成。当栅极驱动器集成到基板 110 中时，栅极线 121 可以延伸成直接与其连接。

[0021] 用于接收指定电压的存储电极线 131 包括几乎平行于栅极线 121 延伸的干线 (stem line) 和多对存储电极 133a 和 133b。每条存储电极线 131 均位于两条相邻的栅极线 121 之间，并且干线靠近两条栅极线 121 中较低的一条。每个存储电极 133a 和 133b 均包括连接至干线的固定端和在相对侧的自由端。存储电极 133b 的固定端具有大面积，并且存储电极 133b 的自由端被划分成直线部分 (straight portion) 和弯曲部分 (crooked

portion)。然而,存储电极线 131 的形状和位置可以有各种变化。

[0022] 栅极线 121 和存储电极线 131 具有由诸如 ITO 的导电氧化物制成的下部层 133ap、133bp、131p、124p、和 129p(下文中,称为“下部 ITO 层”)、含 Ag 的导电层 133aq、133bq、131q、124q、和 129q(下文中,称为“含 Ag 层”)、以及由诸如 ITO 或 IZO 的导电氧化物制成的上部层 133ar、133br、131r、124r、和 129r(下文中,称为“上部 ITO 层”)。含 Ag 层 133aq、133bq、131q、124q、和 129q 具有低电阻率,以减小信号延迟。分别位于含 Ag 层 133aq、133bq、131q、124q、和 129q 的下面和上面的下部 ITO 层 133ap、133bp、131p、124p、和 129p 以及上部 ITO 层 133ar、133br、131r、124r、和 129r 增强了含 Ag 层 133aq、133bq、131q、124q、和 129q 到基板 110 或上层的粘附性。含 Ag 层 133aq、133bq、131q、124q、和 129q 比下部层 133ap、133bp、131p、124p、和 129p 以及上部层 133ar、133br、131r、124r、和 129r 厚。

[0023] 下部 ITO 层 133ap、133bp、131p、124p、和 129p 以及上部 ITO 层 133ar、133br、131r、124r、和 129r 在彼此不同的温度条件下形成。下部 ITO 层 133ap、133bp、131p、124p、和 129p 以高于大约 150°C 的温度并且优选地以 200°C 至 350°C 的温度形成结晶 ITO。另一方面,上部 ITO 层 133ar、133br、131r、124r、和 129r 以大约 25°C 和 150°C 之间的温度并且优选地以室温形成非晶 ITO。通过使下部 ITO 层 133ap、133bp、131p、124p、和 129p 以及上部 ITO 层 133ar、133br、131r、124r、和 129r 的形成温度彼此不同,改善了下部 ITO 层 133ap、133bp、131p、124p、和 129p、含 Ag 层 133aq、133bq、131q、124q、和 129q、以及上部 ITO 层 133ar、133br、131r、124r、和 129r 的蚀刻外型(etched profile)。

[0024] 诸如 ITO 或 IZO 的导电氧化物的形成温度确定了其是否具有结晶结构,从而也确定了其蚀刻速度。一般地,非晶结构的蚀刻速度比多晶结构快。因此,当 ITO 层形成在含 Ag 层的下面和上面以改善粘附性时,通过使上部 ITO 层形成有被迅速蚀刻的非晶 ITO 并且使下部 ITO 层形成有相对被较慢蚀刻的多晶 ITO,可以使外型形成为具有平缓的倾斜角。

[0025] 图 16A 和图 16B 分别是以相同温度和不同温度形成的下部 ITO 层和上部 ITO 层截面的照片。图 16A 示出当以大约 300°C 的高温在基板 110 上的含 Ag 层 q 下面和上面形成下部 ITO 层 p 和上部 ITO 层 r 时形成的圆形外型。由于下部 ITO 层 p 和上部 ITO 层 r 的蚀刻速度相同,因此形成圆形外型。

[0026] 相反地,图 16B 是以不同温度在基板 110 上的含 Ag 层 q 下面和上面形成的 ITO 层截面的照片,其中,下部 ITO 层 p 以大约 300°C 的高温形成并且上部 ITO 层 r 以室温形成。这里,由于两个层 p 和 r 的蚀刻速度的差异,从而形成良好的外型。栅极线 121 和存储电极线 131 的侧面相对于基板 110 的表面倾斜,并且其倾斜角优选地在大约 30 度至 80 度的范围内。

[0027] 由诸如氮化硅(SiNx)或氧化硅(SiOx)的材料制成的栅极绝缘层 140 形成在栅极线 121、存储电极线 131 和基板 110 上。由诸如氢化非晶硅(简称为“a-Si”)或多晶硅的材料制成的多个半导体带 151 形成在栅极绝缘层 140 上。每个半导体带 151 均沿大致纵向的方向延伸,并具有多个向栅电极 124 伸出的突起 154。每个半导体带 151 的宽度在靠近栅极线 121 和存储电极线 131 的地方变大,以覆盖栅极线 121 和存储电极线 131 的大面积。多个欧姆接触带 161 和岛 165 形成在半导体带 151 上。欧姆接触部 161 和 165 可由诸如重掺有 n 型杂质(诸如磷(p)或硅化物)的 n+ 氢化 a-Si 的材料制成。每个欧姆接触带 161 均具有多个突起 163,并且突起 163 和欧姆接触岛 165 成对地位于半导体带 151 的突起 154

上。半导体带 151 以及欧姆接触部 161 和 165 的侧面也相对于基板 110 的表面倾斜,并且其倾斜角在大约 30 度至 80 度的范围内。

[0028] 多条数据线 171 和多个漏电极 175 形成在欧姆接触部 161 和 165 以及栅极绝缘层 140 上。用于传输数据电压的数据线 171 大致沿纵向方向延伸,并与栅极线 121 交叉。每条数据线 171 还与存储电极线 131 交叉,并且位于相邻存储电极线 133a 和 133b 之间。每条数据线 171 均包括向栅电极 124 伸出的多个源电极 173 和端部 179,该端部具有用于与另一层或外部驱动电路连接的大面积。用于生成数据信号的数据驱动器(未示出)可以安装在附着到基板 110 的柔性印刷电路膜(未示出)上,直接装配在基板 110 上,或集成到基板 110 中。当数据驱动器集成到基板 110 中时,数据线 171 可以延伸成直接与其连接。

[0029] 每个漏电极 175 均与数据线 171 分离,并相对于栅电极 124 与源电极 173 相对。每个漏电极 175 具有端部,该端部具有大面积并且是棒状的。具有大面积的端部与存储电极线 131 重叠,并且棒状端部由弯曲成 U 形的源电极 173 部分地围绕。

[0030] 栅电极 124、源电极 173、和漏电极 175 连同半导体带 151 的突起 154 形成 TFT,该 TFT 具有形成在位于源电极 173 和漏电极 175 之间的突起 154 中的沟道(channel)。数据线 171 和漏电极 175 具有由诸如 ITO 的导电氧化物制成的下部层 171p、173p、175p、和 179p(下文中,称为“下部 ITO 层”)、含 Ag 的导电层 171q、173q、175q、和 179q(下文中,称为“含 Ag 层”)、以及由诸如 ITO 或 IZO 的导电氧化物制成的上部层 171r、173r、175r、和 179r(下文中,称为“上部 ITO 层”)。含 Ag 层 171q、173q、175q、和 179q 具有低电阻率,以减小信号延迟。分别位于含 Ag 层 171q、173q、175q、和 179q 的下面和上面的下部 ITO 层 171p、173p、175p、和 179p 以及上部 ITO 层 171r、173r、175r、和 179r 增强了含 Ag 层 171q、173q、175q、和 179q 到下部层或上部层的粘附性。含 Ag 层 171q、173q、175q、和 179q 比下部 ITO 层 171p、173p、175p、和 179p 以及上部层 171r、173r、175r、和 179r 厚。

[0031] 在此,下部 ITO 层 171p、173p、175p、和 179p 以及上部 ITO 层 171r、173r、175r、和 179r 在彼此不同的温度条件下形成。下部 ITO 层 171p、173p、175p、和 179p 以高于大约 150°C 的温度并且优选地以 200°C 至 350°C 的温度形成结晶 ITO。另一方面,上部 ITO 层 171r、173r、175r、和 179r 以大约 25°C 和 150°C 之间的温度并且优选地以室温形成非晶 ITO。如上所述,通过使下部 ITO 层 171p、173p、175p、和 179p 以及上部 ITO 层 171r、173r、175r、和 179r 的形成温度彼此不同,改善了下部 ITO 层 171p、173p、175p、和 179p、含 Ag 层 171q、173q、175q、和 179q、以及上部 ITO 层 171r、173r、175r、和 179r 的蚀刻外型。

[0032] 根据诸如 ITO 或 IZO 的导电氧化物的形成温度确定其是否具有结晶结构,从而也确定了蚀刻速度。一般地,非晶结构的蚀刻速度比多晶结构的蚀刻速度快。因此,当 ITO 层形成在含 Ag 层的下面和上面,以改善粘附性时,通过使上部 ITO 层形成有被迅速蚀刻的非晶 ITO 并且使下部 ITO 层形成有被相对较慢蚀刻的多晶 ITO,可以使外型形成为具有平缓的倾斜角。

[0033] 数据线 171 和漏电极 175 的侧面也相对于基板 110 的表面倾斜,并且其倾斜角优选地在大约 30 度至 80 度的范围内。

[0034] 欧姆接触部 161 和 165 仅介于下层(underlying)半导体带 151 与上覆(overlying)数据线 171 以及其上的漏电极 175 之间,并降低其间的接触电阻。大多数半导体带 151 比数据线 171 窄,但是如上所述,半导体带 151 的宽度在靠近半导体带 151 和栅极

线 121 彼此相交的地方变宽,以使表面的外型光滑并防止数据线 171 断开。半导体带 151 在源电极 173 和漏电极 175 之间的地方以及未被数据线 171 和漏电极 175 覆盖的其他地方部分地露出。

[0035] 钝化层 180 形成在数据线 171、漏电极 175、以及半导体带 151 的突起 154 的露出部分上。钝化层 180 由诸如无机绝缘体(例如,氮化硅或氧化硅)、有机绝缘体、或低介电绝缘体的材料制成。有机绝缘体和低介电绝缘体具有优选地低于 4.0 的介电常数,并且低介电绝缘体的实例是通过等离子增强型化学汽相沉积(PECVD)形成的 a-Si:C:O 和 a-Si:C:F。钝化层 180 可以由具有感光性的有机绝缘体制成,并且其表面可以是平坦的。然而,钝化层 180 可以具有包括下部无机层和上部有机层的双层结构,以保护半导体带 151 的突起 154 的露出部分,并且利用有机层的实质绝缘特性。

[0036] 钝化层 180 具有多个接触孔 182 和 185,分别露出数据线 171 的端部 179 和漏电极 175 的部分。钝化层 180 和栅极绝缘层 140 在存储电极 133b 的固定端附近具有多个用于露出栅极线 121 的端部 129 的接触孔 181 和用于露出存储电极线 131 的部分的多个接触孔 184。

[0037] 可由诸如 ITO 或 IZO 的透明导体或诸如 Al、Ag、或其合金的反射金属制成的多个像素电极 191、多个跨线桥(overpass)84、以及多个接触辅助部 81 和 82 形成在钝化层 180 上。像素电极 191 通过接触孔 185 与漏电极 175 物理并电连接,并且接收来自漏电极 175 的数据电压。施加有数据电压的像素电极 191 与施加有共电压的相对面板(未示出)的共电极(未示出)一起产生电场,从而确定介于两个电极之间的液晶层(未示出)中的液晶分子的方向。像素电极 191 和共电极形成电容器(下文中,称为“液晶电容器”),以在 TFT 截止之后存储并保持所接收的电压。

[0038] 像素电极 191 与包括存储电极 133a 和 133b 的存储电极线 131 重叠。为了增强电压存储能力,设置了另一电容器,其与液晶电容器并联,并且称为“存储电容器”。像素电极 191 和与像素电极 191 电连接的漏电极 175 与存储电极线 131 重叠,以形成电容器(称为存储电容器),其增强了液晶电容器的电压存储能力。接触辅助部 81 和 82 分别通过接触孔 181 和 182 连接至栅极线 121 的端部 129 和数据线 171 的端部 179。接触辅助部 81 和 82 分别补充栅极线 121 的端部 129 和外部装置之间的粘附力以及数据线 171 的端部 179 和外部装置之间的粘附力,并保护它们。

[0039] 跨线桥 84 横过栅极线 121,并通过接触孔 184 连接至存储电极线 131 的露出部分和存储电极 133b 的自由端的露出端部,接触孔相对于其间的栅极线 121 彼此相对设置。包括存储电极 133a 和 133b 的存储电极线 131 可以与跨线桥 84 一起用于修复栅极线 121、数据线 171、或 TFT 的缺陷。

[0040] 现在,将参照图 4 至图 15 详细描述图 1 至 3 中示出的 TFT 阵列面板的制造方法。

[0041] 图 4、图 7、图 10 和图 13 是布局图,用于顺序地说明根据本发明实施例的 TFT 阵列面板的制造方法的中间步骤。图 5 和图 6 是沿图 4 所示的 V-V 线和 VI-VI 线截取的 TFT 阵列面板的截面图,图 8 和图 9 是沿图 7 所示的 VIII-VIII 线和 IX-IX 线截取的 TFT 阵列面板的截面图,以及图 11 和图 12 是沿图 10 所示的 XI-XI 线和 XII-XII 线截取的 TFT 阵列面板的截面图。图 14 和图 15 是沿图 13 所示的 XIV-XIV 线和 XV-XV 线截取的 TFT 阵列面板的截面图。



[0042] 首先,将下部 ITO 层、含 Ag 层、以及上部 ITO 层顺序沉积在由诸如透明玻璃或塑料的材料制成的绝缘基板 110 上。这里,通过溅射形成 ITO 层和含 Ag 层。首先,在不向 Ag 靶(target)供电的同时向 ITO 靶供电,以在基板 110 上沉积 ITO 层。这里,溅射的温度高于大约 150°C,并且优选地大约为 200°C 至 350°C。当优选地以这样的温度范围进行溅射时,形成多晶 ITO 层。在关闭施加到 ITO 靶的电源后,向 Ag 靶供电,以在下部 ITO 层上沉积含 Ag 层。

[0043] 当关闭施加到 Ag 靶的电源时,再次向 ITO 靶供电,以在含 Ag 层上沉积 ITO 层。这里,溅射的温度在大约 25°C 和 150°C 之间,并且优选地为室温。当以这样的温度范围进行溅射时,形成非晶 ITO 层。此外,在溅射期间可以通过应用氢气 (H<sub>2</sub>) 或水蒸气 (H<sub>2</sub>O),以增加其功效。此外,在溅射期间可以同时应用氮气 (N<sub>2</sub>),以形成 ITO 氮化物。这里,通过防止由于在含 Ag 层和 ITO 层的接触面形成氮化物而导致 Ag 扩散到 ITO 层中,可以防止电阻的增加。

[0044] 接下来,如图 4 至图 6 中所示,下部 ITO 层、Ag 层、以及上部 ITO 层被同时湿蚀刻,以形成具有栅电极 124 和端部 129 的栅极线 121 以及具有存储电极 133a 和 133b 的存储电极线 131。这里,蚀刻剂可以是过氧化氢 (H<sub>2</sub>O<sub>2</sub>) 蚀刻剂或含有适当比例的磷酸 (H<sub>3</sub>PO<sub>3</sub>)、硝酸 (HNO<sub>3</sub>)、醋酸 (CH<sub>3</sub>COOH) 和作为剩余部分的去离子水的蚀刻剂。

[0045] 接下来,在栅极线 121、存储电极线 131、和基板 110 上顺序沉积 SiN<sub>x</sub>、本征 a-Si、和掺有杂质的 a-Si。这里,由于沉积温度高于大约 250°C,因此包括在栅极线 121 和存储电极线 131 中的每个上部 ITO 层形成多晶 ITO。然后,将掺有杂质的 a-Si 和本征 a-Si 蚀刻,以形成栅极绝缘层 140、包括由本征 a-Si 制成的多个突起 154 的半导体带 151、以及包括由掺有杂质的 a-Si 制成的多个欧姆接触图样 164 的欧姆接触带 161。

[0046] 接下来,在欧姆接触带 161 和栅极绝缘层 140 上顺序地形成下部 ITO 层、含 Ag 层、和上部 ITO 层。这里,如同栅极线 121 和存储电极线 131 一样,通过溅射来形成下部 ITO 层、含 Ag 层、和上部 ITO 层。然后,如图 10 至图 12 中所示,下部 ITO 层、含 Ag 层、和上部 ITO 层被同时湿蚀刻,以形成具有源电极 173 和端部 179 的数据线 171 以及漏电极 175。

[0047] 接下来,去除未被源电极 173 和漏电极 175 覆盖的欧姆接触图样 164 的露出部分,以形成具有多个突起 163 的多个欧姆接触带 161 和多个欧姆接触岛 165,并露出下面的半导体带 151 的突起 154。这里,随后可以执行氧气 (O<sub>2</sub>) 等离子处理,以稳定突起 154 的露出表面。接下来,如图 13 至图 15 所示,通过等离子加强的化学汽相沉积 (PECVD) 沉积具有实质钝化特性和感光性的有机材料、诸如 SiN<sub>x</sub> 的无机材料、或低介电绝缘材料,以形成钝化层 180。由于以高于大约 250°C 的高温进行沉积,因此将包括在数据线 171 和漏电极 175 中的上部 ITO 层结晶,以变成多晶 ITO。

[0048] 然后,在钝化层 180 上涂覆光刻胶,并通过光掩模曝光,从而将被曝光的掩模显影,以形成多个接触孔 181、182、184 和 185。接下来,如图 1 至图 3 中所示,诸如 ITO 的透明导电层通过溅射沉积在钝化层 180 上,然后被图样化以形成像素电极 191、接触辅助部 81 和 82、以及跨线桥 84。在本实施例中,栅极线和数据线都形成有下部 ITO 层、含 Ag 层、和上部 ITO 层,但是这种布置仅可以应用于其中之一。如上所述,通过以不同的形成条件在含 Ag 层下面和上面形成导电氧化物层,改善了低电阻率、上部层和下部层的粘附性、以及外型。

[0049] 尽管以上详细地描述了本发明的优选实施例,但是应该清楚地理解,对于本领域

的技术人员来说,本发明可以有各种更改和变化。凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

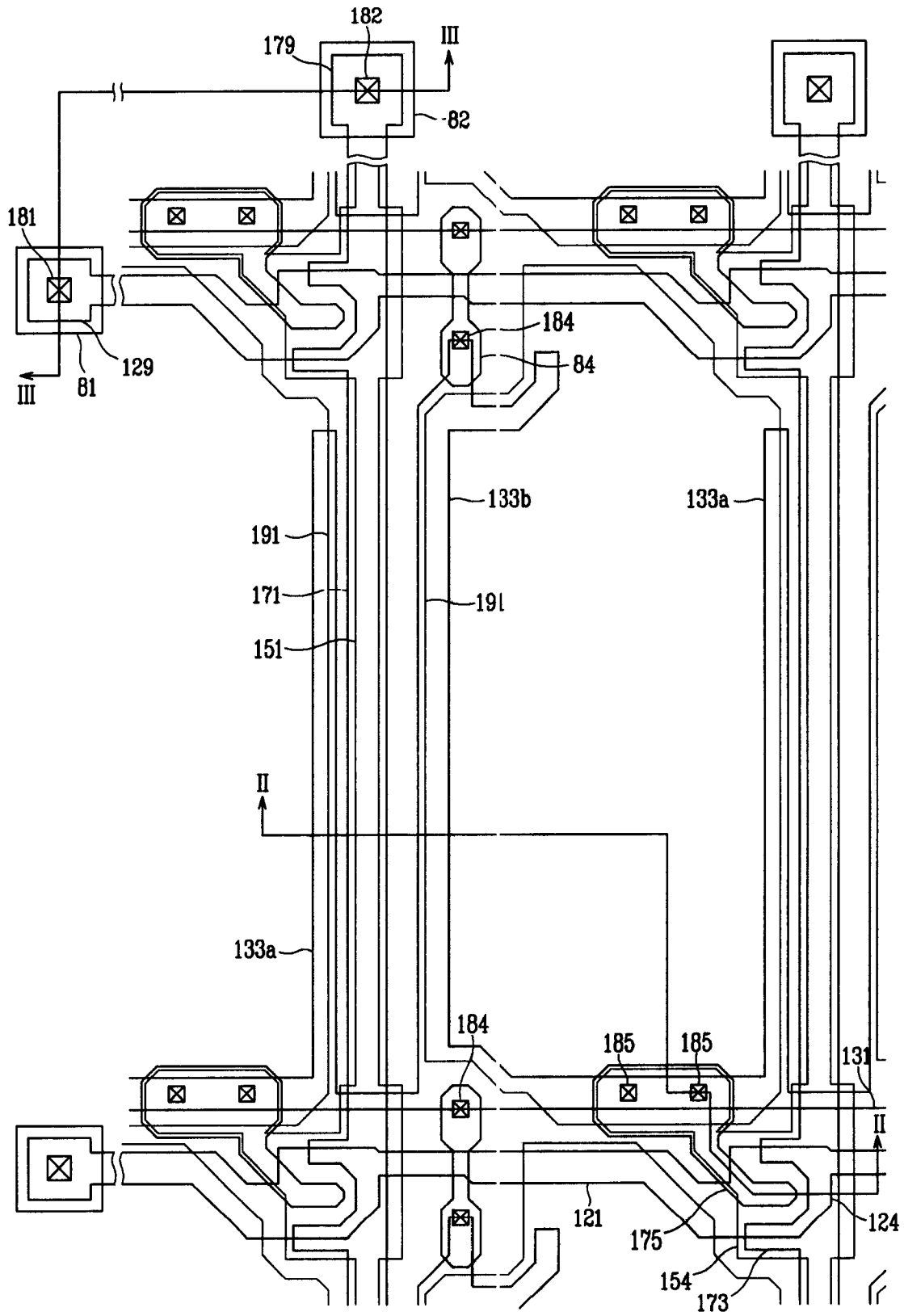


图 1



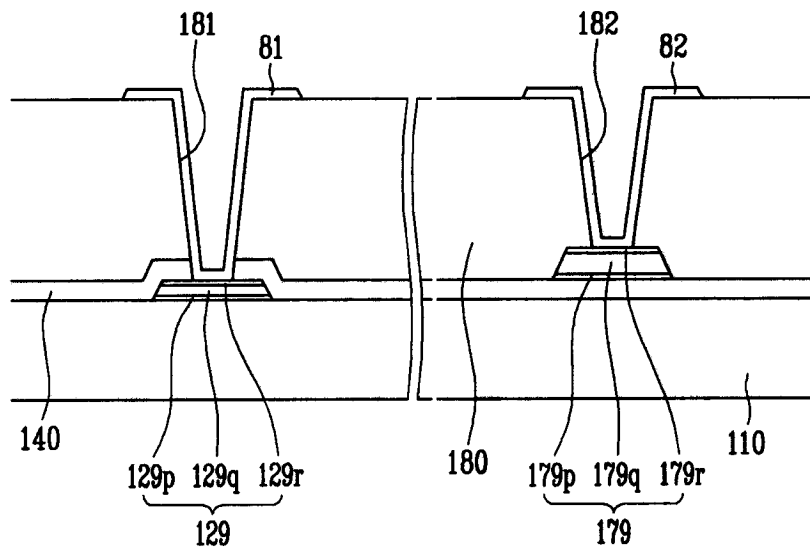


图 3

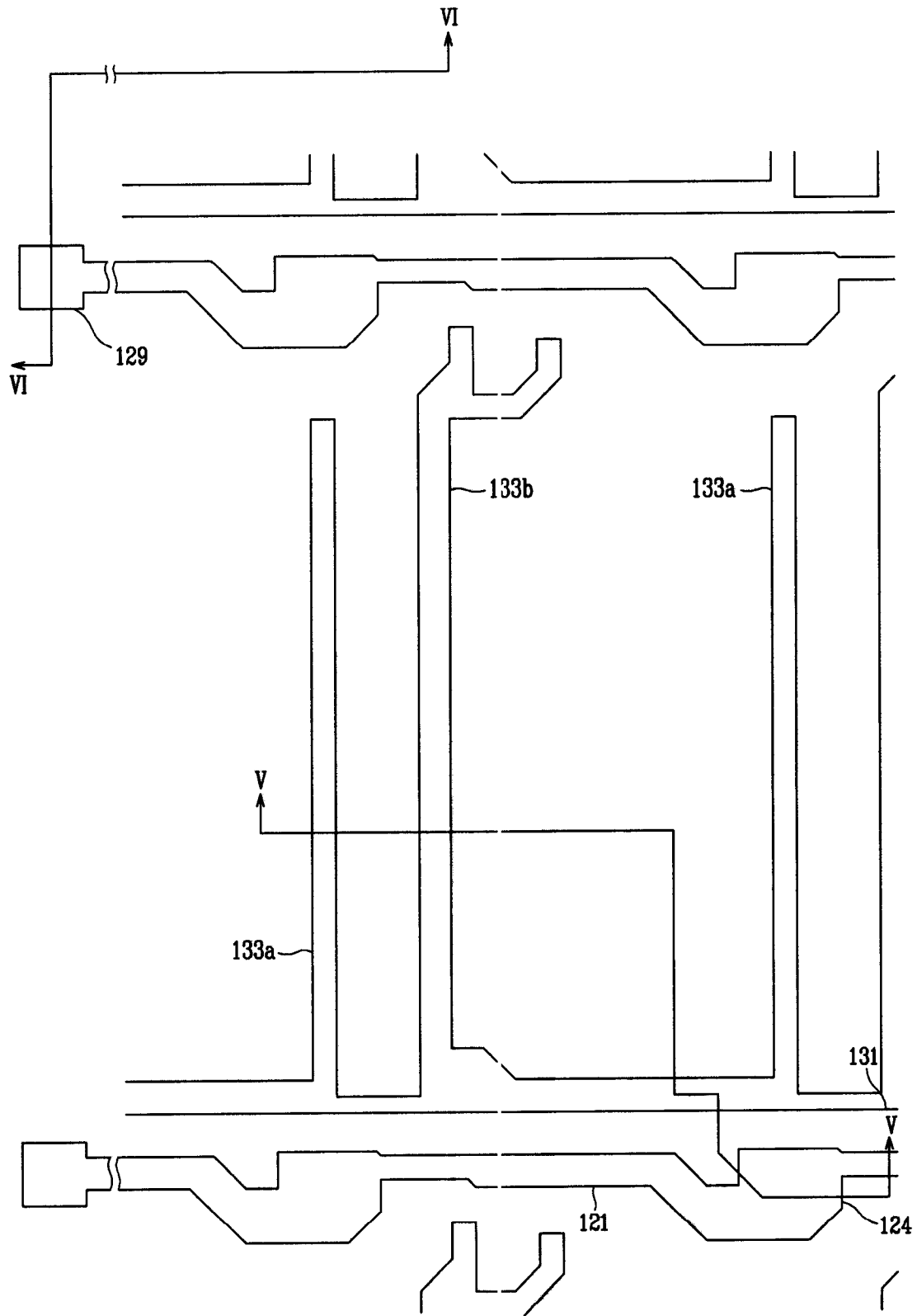


图 4

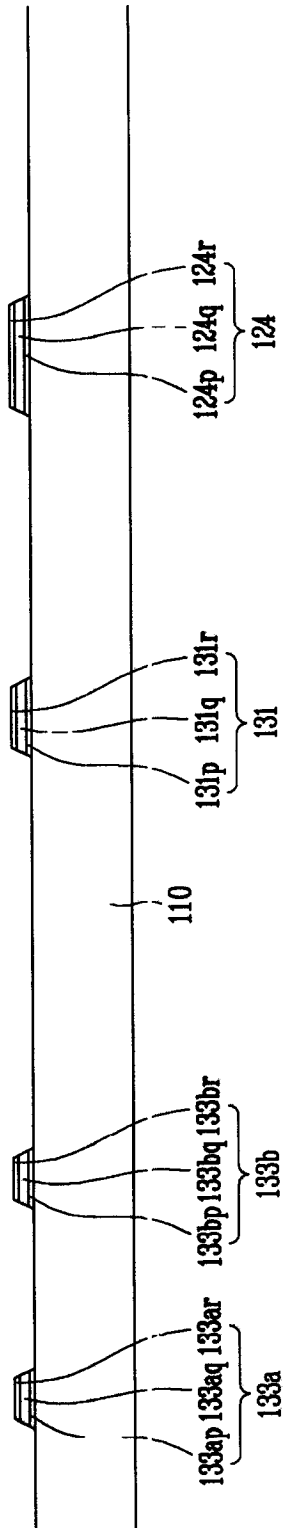


图5

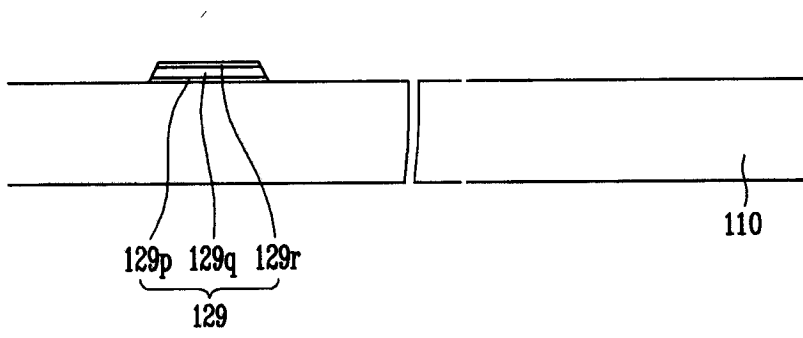


图 6



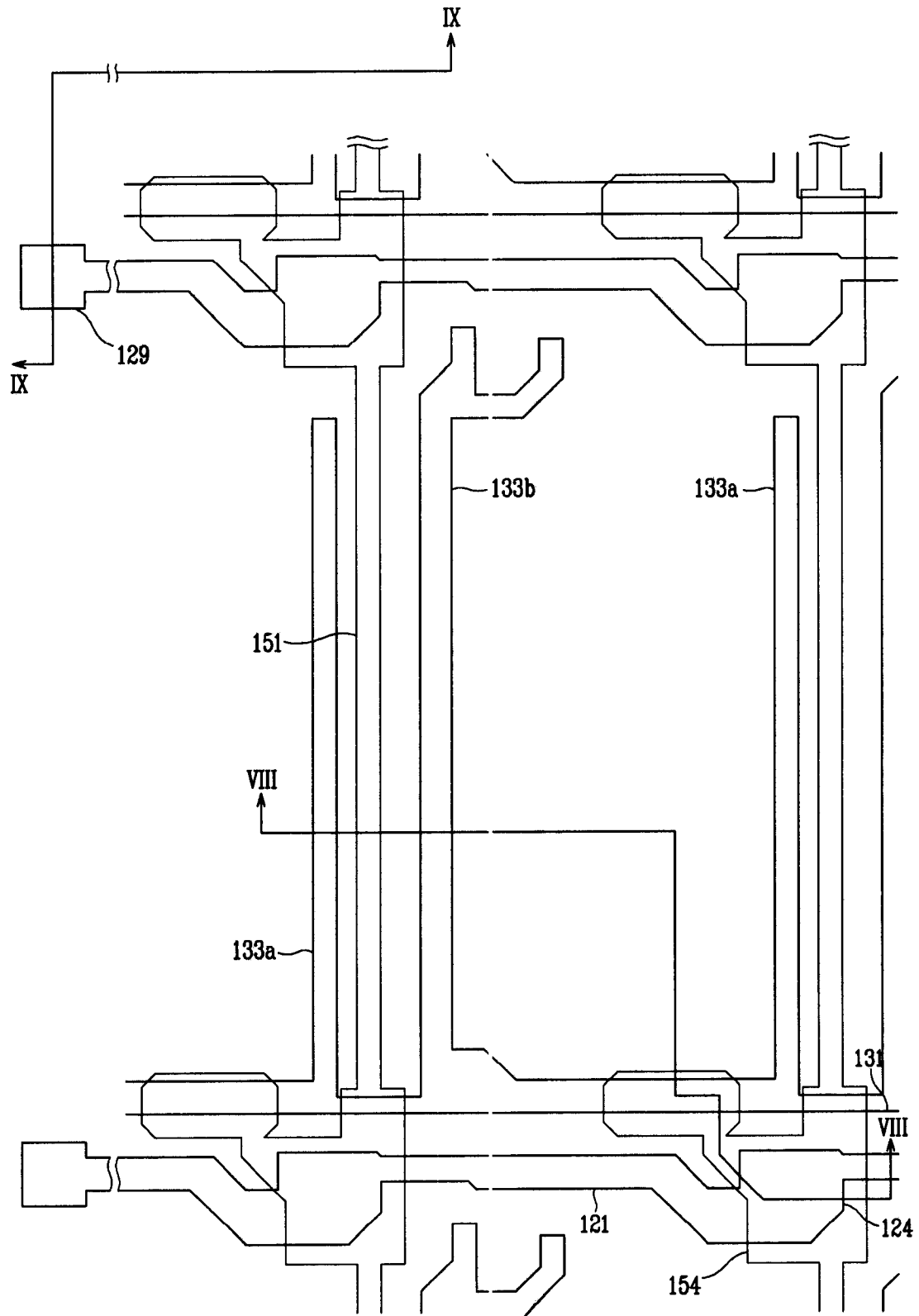


图 7

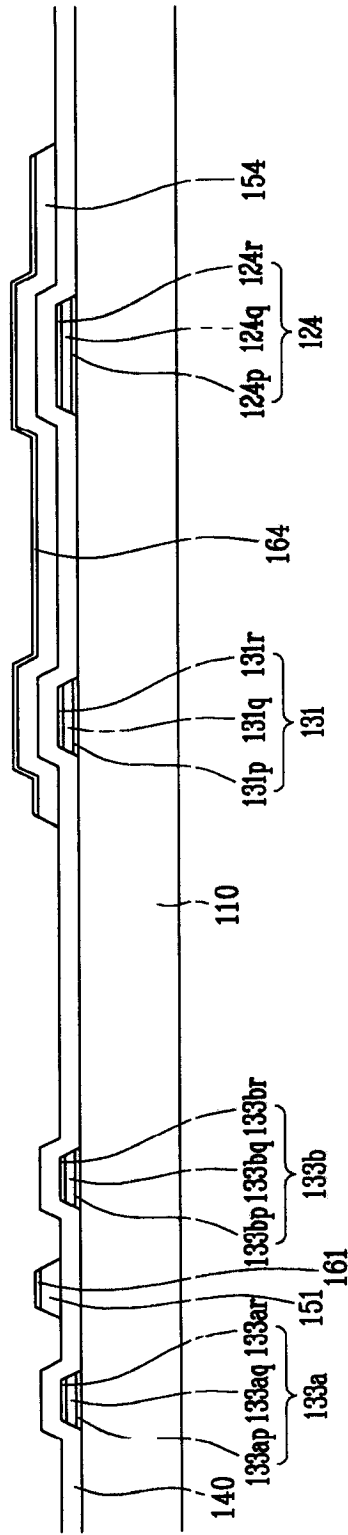


图 8

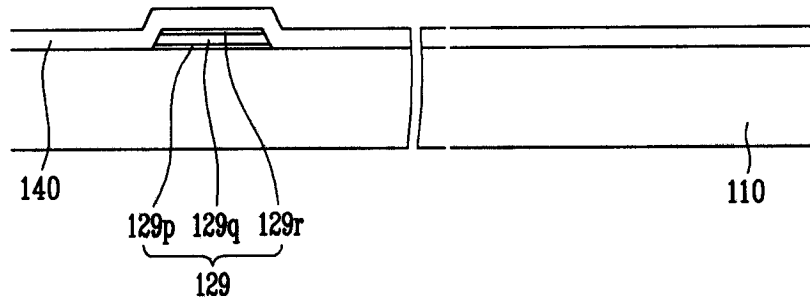


图 9

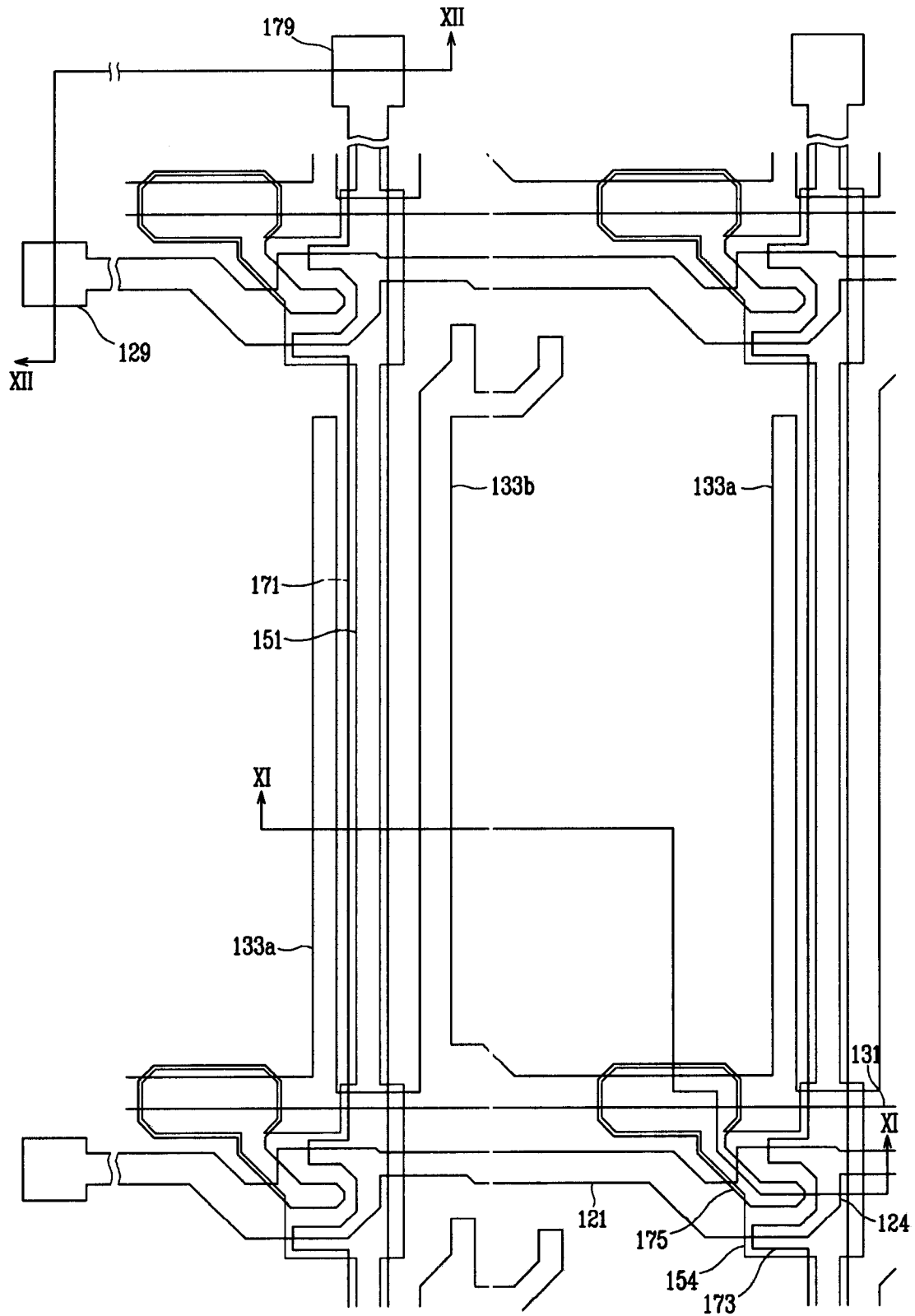


图 10

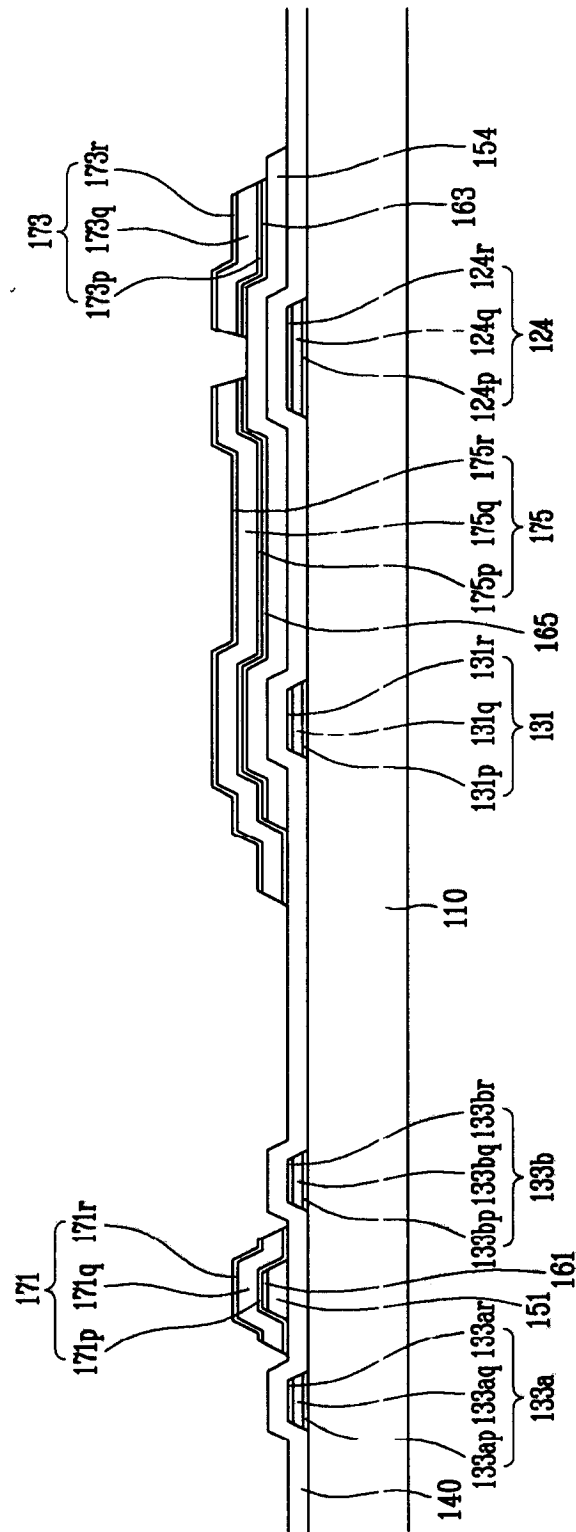


图11

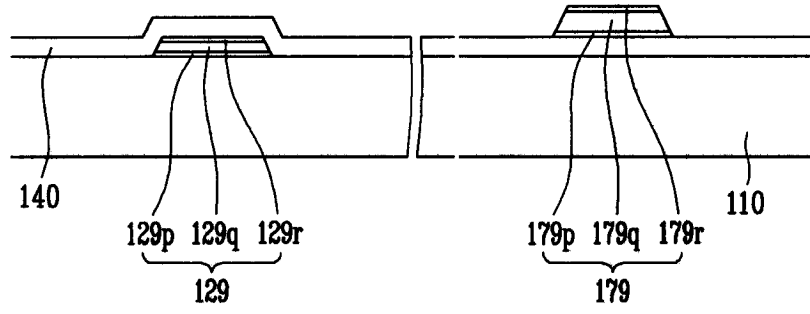


图 12

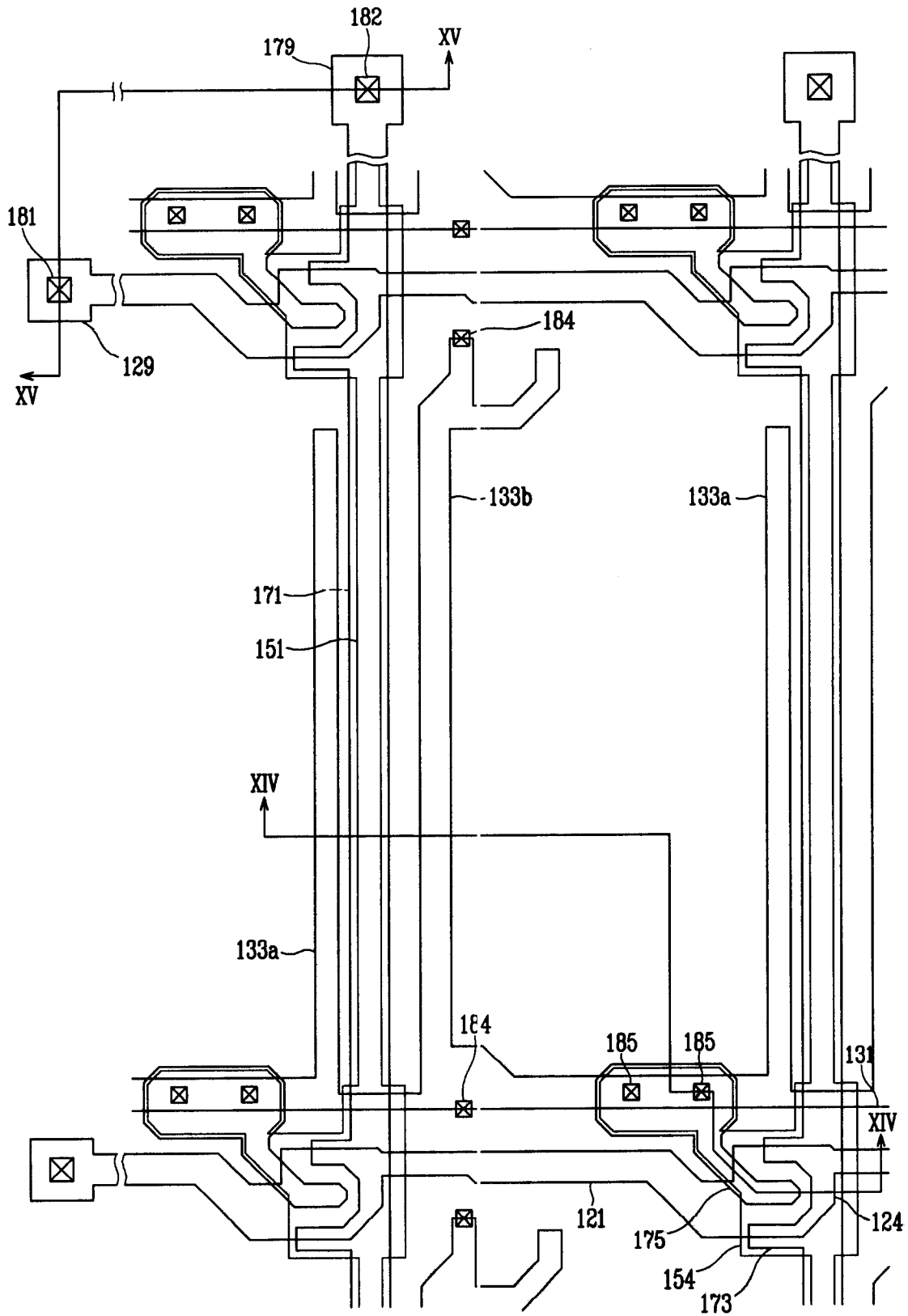


图 13

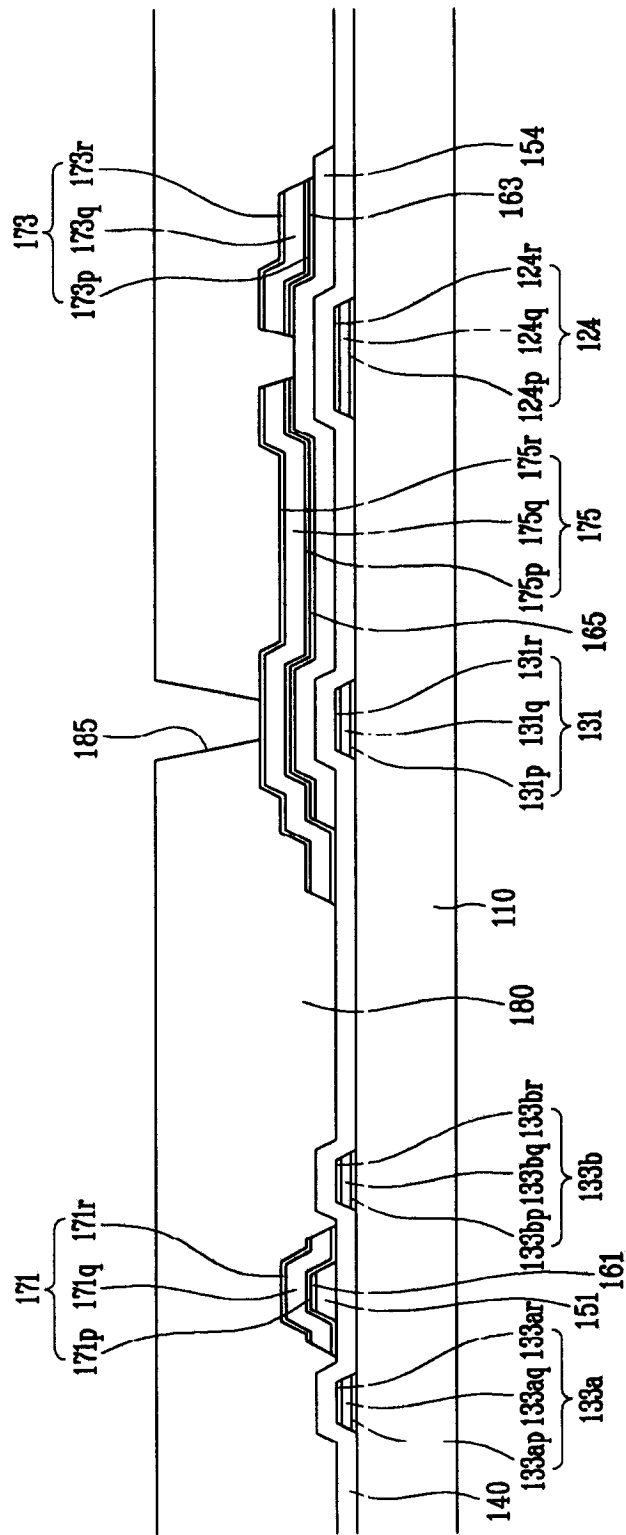


图 14



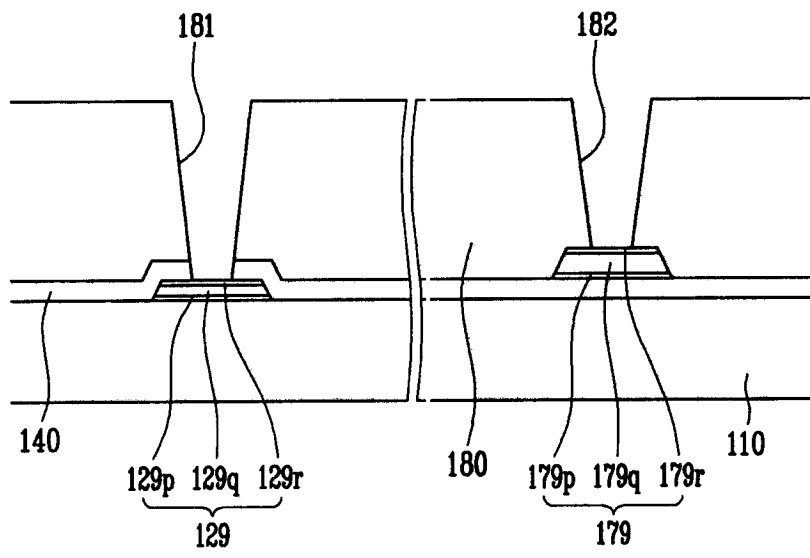


图 15

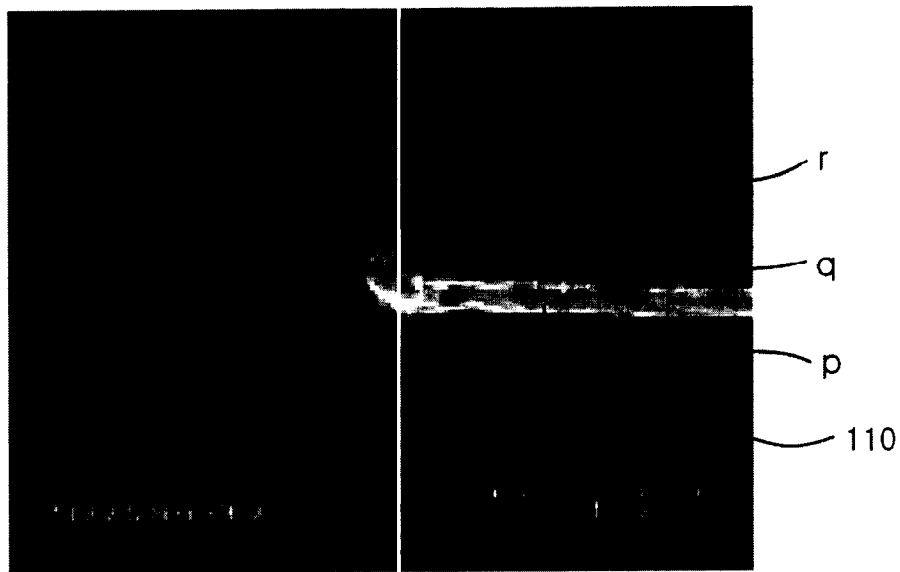


图 16A

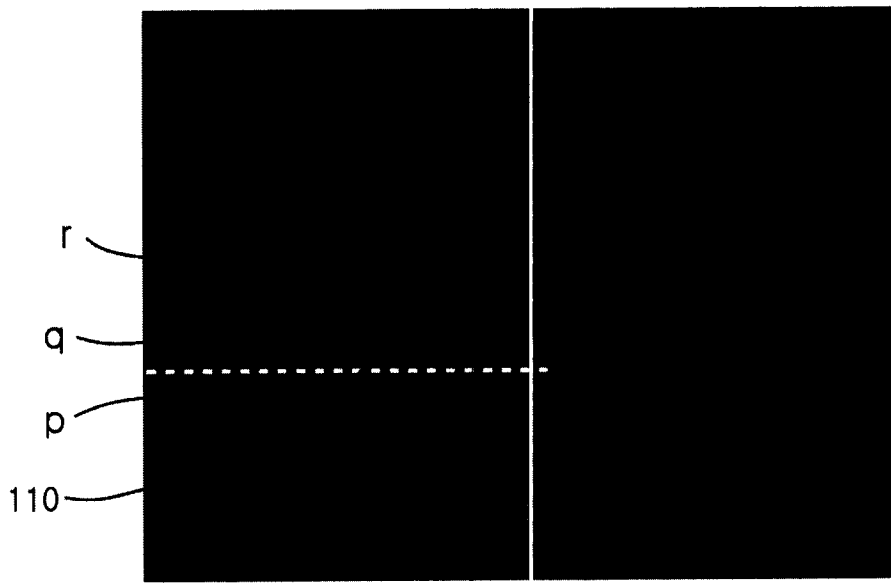


图 16B