(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0064256
(43) 공개일자 2012년06월19일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *G02F 1/136* (2006.01)
(21) 출원번호 10-2010-0125404
(22) 출원일자 2010년12월09일
심사청구일자 2010년12월09일

(71) 출원인
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732, 국제캠퍼스내 (서천동, 경희대학교)
(72) 발명자
장진
서울특별시 동대문구 경희대로 26, 차세대 디스플레이연구센터 (회기동, 경희대학교)
크리스토프 아비스
서울특별시 동대문구 경희대로 26 (회기동, 경희대학교)
최민희
서울특별시 동대문구 경희대로 26, 차세대 디스플레이연구센터 (회기동, 경희대학교)
(74) 대리인
박용순, 김희곤, 김인한

전체 청구항 수 : 총 7 항

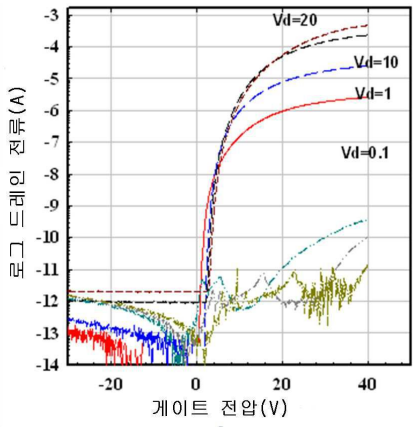
(54) 발명의 명칭 **염소가 도핑된 아연 주석 산화물 박막 트랜지스터 및 그 제조 방법**

(57) 요 약

본 발명은 아연 주석 산화물 박막 트랜지스터(Zinc Tin Oxide, ZTO) 및 그 제조방법에 관한 것으로, 게이트 전극, 활성층, 소스 및 드레인 전극이 형성된 산화물 박막 트랜지스터에 있어서, 상기 활성층은 Cl(염소)가 도핑된 아연 주석 산화물(Zinc Tin Oxide, ZTO)인 것을 특징으로 한다.

상기와 같은 구성에 의하면, 본 발명은 ZTO에 염소(Cl)를 도핑한 활성층을 프린팅 방식을 이용하여 활성층을 형성하였으므로 문턱 전압의 이동이 상대적으로 작아서 진공 증착에 의해 제작된 산화물 반도체 박막 트랜지스터와 비교할 만큼 매우 안정적이다.

대 표 도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호	10030099
부처명	지식경제부
연구사업명	산업원천기술개발사업
연구과제명	비진공 공정을 이용한 TFT CMOS 회로 기반 기술 개발
주관기관	경희대학교 산학협력단
연구기간	2007.09.01 ~ 2014.06.30

특허청구의 범위

청구항 1

게이트 전극, 활성층, 소스 및 드레인 전극이 형성된 산화물 박막 트랜지스터에 있어서,

상기 활성층은 Cl(염소)가 도핑된 아연 주석 산화물(Zinc Tin Oxide, ZTO)인 것을 특징으로 하는 염소가 도핑된 아연 주석 산화물 박막 트랜지스터.

청구항 2

청구항 1에 있어서,

상기 활성층은 프린팅 방식에 의해 형성되는 것을 특징으로 하는 염소가 도핑된 아연 주석 산화물 박막 트랜지스터.

청구항 3

청구항 1 또는 청구항 2에 있어서,

상기 활성층은 염소의 함량이 10^{18} cm^{-3} 이상 도핑된 아연 주석 산화물인 것을 특징으로 하는 아연 주석 산화물 박막 트랜지스터.

청구항 4

(a) 기판 상에 게이트 전극을 형성하는 단계,

(b) 상기 게이트 전극 위에 게이트 절연막을 형성하는 단계,

(c) 상기 게이트 절연막 위에 염소(Cl)가 도핑된 아연 주석 산화물(ZTO)의 활성층을 형성하는 단계,

(d) 상기 활성층 위에 소스 전극 및 드레인 전극을 형성하는 단계,

를 포함하는 것을 특징으로 하는 염소가 도핑된 아연 주석 산화물 박막 트랜지스터 제조 방법.

청구항 5

(a) 기판 상에 게이트 전극을 형성하는 단계,

(b) 상기 게이트 전극 위에 게이트 절연막을 형성하는 단계,

(c) 상기 게이트 절연막 위에 소스 전극 및 드레인 전극을 형성하는 단계,

(d) 상기 게이트 절연막, 소스 전극 및 드레인 전극 위에 염소(Cl)가 도핑된 아연 주석 산화물(ZTO)의 활성층을 형성하는 단계,

를 포함하는 것을 특징으로 하는 염소가 도핑된 아연 주석 산화물 박막 트랜지스터 제조 방법.

청구항 6

청구항 4 또는 청구항 5에 있어서,

상기 활성층은,

프린팅 방식에 의해서 형성되는 것을 특징으로 하는 염소가 도핑된 아연 주석 산화물 박막 트랜지스터 제조 방법.

청구항 7

청구항 4 또는 청구항 5에 있어서,

상기 활성층은 염소의 함량이 10^{18} cm^{-3} 이상 도핑된 아연 주석 산화물인 것을 특징으로 하는 아연 주석 산화물 박막 트랜지스터 제조 방법.

명 세 서

기 술 분 야

[0001] 본 발명은 아연 주석 산화물 박막 트랜지스터(Zinc Tin Oxide, ZTO) 및 그 제조방법에 관한 것으로, 특히 활성층에 할로겐족 원소를 도핑하여 구성한 아연 주석 산화물 박막 트랜지스터 및 그 제조방법에 관한 것이다.

배 경 기 술

[0002] 최근 비정질 실리콘(a-Si)은 능동 매트릭스 액정 디스플레이 장치와 같은 대면적의 디스플레이 장치에서 박막 트랜지스터에 사용되는 주요 반도체이다. 비정질 실리콘 박막 트랜지스터는 대면적에 걸쳐서 훌륭한 균일성을 갖고, 1㎠/Vs보다 작은 전계효과 이동도를 보여주며, 600℃ 이하의 낮은 어닐링(annealing) 온도를 요구한다.

[0003] 그럼에도 불구하고 3D 디스플레이 장치, AMOLED(Active Matrix Organic Light-Emitting Diode, 능동형 유기발광 다이오드)와 같은 디스플레이 장치에 있어서, 빠르고 개선된 성능을 발휘하기 위해서는 1㎠/Vs보다 더 높은 전계효과 이동도가 필요하다.

[0004] 따라서 100㎠/Vs이상의 좋은 전계효과 이동도를 갖는 다결정 실리콘(poly-Si)이 대안이 될 수 있으나, 이 또한 특성들의 균일성이 고품질의 대면적 디스플레이 장치에 있어서는 매우 부적절하다. 게다가 다결정 실리콘은 900℃ 이상의 높은 어닐링 온도를 요구한다.

[0005] 한편 산화물 반도체 박막 트랜지스터는 중간적인 특성들을 갖는다. 즉 10㎠/Vs정도의 전계효과 이동도를 가지며, 진공 공정(vacuum process)에 있어서 250~400℃의 온도로 어닐링한다.

[0006] 용해 처리된(solution processed) 산화물 반도체 박막 트랜지스터는 보통 비정질 실리콘(a-Si)에 필적하는 전계효과 이동도를 보여주나 600℃까지의 온도를 요구한다. 또한 균일성과 반복성이 용해 처리된 산화물 반도체 박막 트랜지스터에서의 하나의 문제점으로 지적되고 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 상기의 문제점을 해결하기 위해 활성층에 할로겐족 원소를 도핑한 활성층을 프린팅 방식으로 형성하는 것을 특징으로 하였기 때문에 신뢰성이 향상되고 매우 안정적인 아연 주석 산화물 박막 트랜지스터 및 그 제조방법을 얻고자 하는 것을 목적으로 한다.

과제의 해결 수단

[0008] 상기 기술적 과제를 달성하기 위해 본 발명에서는 염소가 도핑된 아연 주석 산화물 박막 트랜지스터가 제공된다.

[0009] 본 발명의 염소가 도핑된 아연 주석 산화물 박막 트랜지스터는, 게이트 전극, 활성층, 소스 및 드레인 전극이 형성된 산화물 박막 트랜지스터에 있어서,

[0010] 상기 활성층은 Cl(염소)가 도핑된 아연 주석 산화물(Zinc Tin Oxide, ZTO)인 것을 특징으로 한다.

[0011] 여기서 상기 활성층은 프린팅 방식에 의해 형성되는 것을 특징으로 한다.

[0012] 또한 상기 활성층은 염소의 함량이 10^{18} cm^{-3} 이상 도핑된 아연 주석 산화물인 것을 특징으로 한다.

[0013] 본 발명의 염소가 도핑된 아연 주석 산화물 박막 트랜지스터 제조방법은, (a) 기판 상에 게이트 전극을 형성하는 단계, (b) 상기 게이트 전극 위에 게이트 절연막을 형성하는 단계, (c) 상기 게이트 절연막 위에 염소(Cl)가 도핑된 아연 주석 산화물(ZTO)의 활성층을 형성하는 단계, (d) 상기 활성층 위에 소스 전극 및 드레인 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

[0014] 또한 여기서 상기 (c) 단계는, 프린팅 방식에 의해 활성층을 형성하는 것을 특징으로 한다.

[0015] 한편 본 발명의 염소가 도핑된 아연 주석 산화물 박막 트랜지스터 제조방법의 또다른 방법은, (a) 기판 상에 게이트 전극을 형성하는 단계, (b) 상기 게이트 전극 위에 게이트 절연막을 형성하는 단계, (c) 상기 게이트 절연막 위에 소스 전극 및 드레인 전극을 형성하는 단계, (d) 상기 게이트 절연막, 소스 전극 및 드레인 전극

위에 염소(Cl)가 도핑된 아연 주석 산화물(ZTO)의 활성층을 형성하는 단계를 포함하는 것을 특징으로 한다.

[0016] 또한 여기서 상기 (d) 단계는, 프린팅 방식에 의해 활성층을 형성하는 것을 특징으로 한다.

발명의 효과

[0017] 상기와 같은 구성에 의하면, 본 발명은 ZTO에 염소(Cl)를 도핑한 활성층을 프린팅 방식을 이용하여 활성층을 형성하였으므로 문턱 전압의 이동이 상대적으로 작아서 진공 증착에 의해 제작된 산화물 반도체 박막 트랜지스터와 비교할 만큼 매우 안정적이다.

도면의 간단한 설명

[0018] 도 1은 본 발명의 염소가 도핑된 아연 주석 산화물 박막 트랜지스터의 초기 전류-전압 특성을 나타내는 그래프이다.

도 2는 본 발명의 염소가 도핑된 아연 주석 산화물 박막 트랜지스터에 게이트 바이어스 스트레스가 인가됐을 때 시간에 따른 전달 곡선(transfer curve)의 진전을 보여준다.

도 3은 스퍼터 시간(sputter time)에 따른 ZTO 활성층 내 각기 다른 원소들의 원자 농도(atomic concentration)를 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0019] 이하, 본 발명의 바람직한 실시예를 첨부된 도면들을 참조하여 상세히 설명한다. 우선 각 도면의 구성 요소들에 참조 부호를 부가함에 있어서, 동일한 구성 요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가지도록 하고 있음에 유의해야 한다. 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략한다.

[0020] 본 발명의 프린팅에 의해 제작된 염소(Cl) 유도체를 포함한 박막 트랜지스터는 아세테이트 유사체(acetate couterpart)에 비하면 좋은 특성을 보인다.

[0021] 그러나 스퍼터에 의한 박막 트랜지스터는 다른 유도체를 사용함에 따라 층 형성의 차이를 갖게 되고, 게이트 절연막과 채널의 계면(interface) 부근에서 전자의 트랩(trap) 때문에 안정성의 차이를 보이게 된다.

[0022] 산화물 박막 트랜지스터의 안정성에 대해 보고된 바에 의하면, ZTO는 10초의 바이어스 스트레스에 의해 4V 보다 큰 문턱전압의 이동을 보인다. Ga-ZTO(Gallium-Zinc Tin Oxide)는 10,000초의 20V 게이트 바이어스 스트레스에 의해서 4V의 문턱전압 이동을 보였다.

[0023] 또한 스핀코팅 방식에 의해 제작된 박막 트랜지스터가 잉크젯 프린팅에 의해 제작된 소자보다 상대적으로 안정적임을 보여준다.

[0024] 또한 진공 증착에 의해 제작된 IGZO(Indium Gallium Zinc Oxide) 박막 트랜지스터의 경우 10,000초의 10V 게이트 바이어스 스트레스에 의해서 3V의 문턱전압 이동을 보인다.

[0025] 그러나 본 발명의 염소가 도핑된 아연 주석 산화물 박막 트랜지스터는 10,000초의 게이트 바이어스 스트레스에 의한 문턱전압의 이동이 3V보다 작다.

[0026] 도 1은 본 발명의 염소가 도핑된 아연 주석 산화물 박막 트랜지스터의 초기 전류-전압 특성을 나타내는 그래프이다.

[0027] 도 2는 본 발명의 염소가 도핑된 아연 주석 산화물 박막 트랜지스터에 게이트 바이어스 스트레스가 인가됐을 때 시간에 따른 전달 곡선(transfer curve)의 진전을 보여준다.

[0028] 도 2에 도시된 바와 같이, 본 발명의 염소가 도핑된 아연 주석 산화물 박막 트랜지스터가 10,000초의 게이트 바이어스 스트레스(V_{GS}^{Bias})에 의한 문턱 전압의 이동이 3V보다 작다. 이러한 결과값은 본 발명의 프린팅 방식에 의해 제작된 염소가 도핑된 활성층을 갖는 ZTO 박막 트랜지스터가 다른 진공 증착에 의해 제작된 산화물 박막 트랜지스터와 비교할 만큼 매우 안정적이라는 것을 알 수 있다.

[0029] 도 3은 스퍼터 시간(sputter time)에 따른 ZTO 활성층 내 각기 다른 원소들의 원자 농도(atomic concentration)를 나타낸다. 도 3의 삽도는 염소의 원자 농도에 관한 보다 자세한 그림이다.

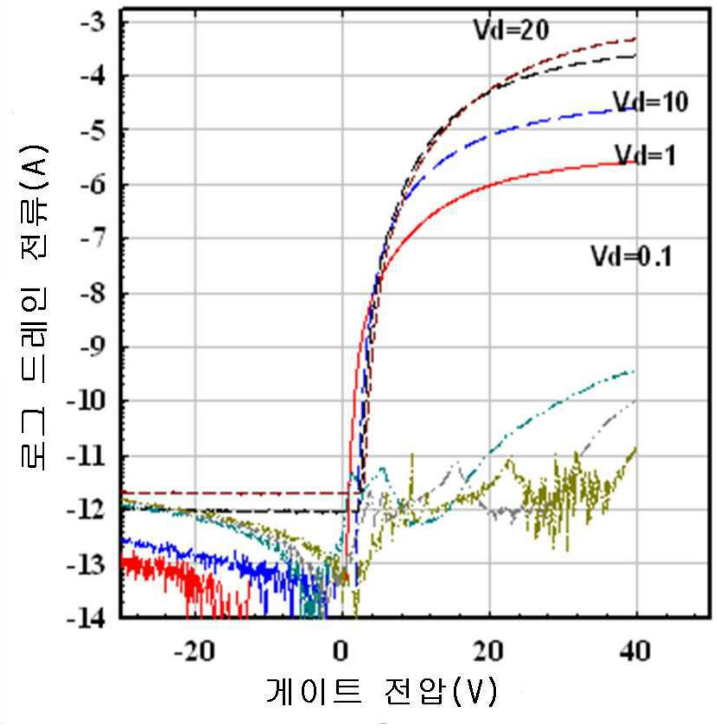
[0030] 결과적으로, 근래에는 전계 효과 이동도가 1㎠/Vs인 LCD, AMOLED의 응용분야에서 알맞은 성능을 유지하기 위해서, 용해 처리된(solution processed) 산화물 반도체 박막 트랜지스터는 보통 500℃가 넘은 높은 어닐링 온도를 요구하는데, 잉크젯 프린팅 방식에 의해 제조된 본 발명의 ZTO 박막 트랜지스터는 단지 300℃만 피요하고, 전계 효과 이동도는 1㎠/Vs에 이르며(도 1 참조), 20V의 게이트 바이어스 스트레스 하에서 10,000초가 지난 오랜 시간에 걸쳐서 안정적이고 문턱 전압의 변화도 4V 이내이다(도 2 참조).

[0031] 또한 본 발명의 염소가 도핑된 아연 주석 산화물 박막 트랜지스터의 높은 신뢰성은 징크 클로라이드(염화아연) 및 틴 클로라이드(염화주석)을 포함하는 용액 내에 사용되는 전구물질들(precursors)로 설명된다. 즉 300℃의 어닐링 후에 약간의 염소가 층에 남아있고, 산소 빈자리를 억제함으로써 상기 ZTO 층을 안정화시킨다(도 3 참조).

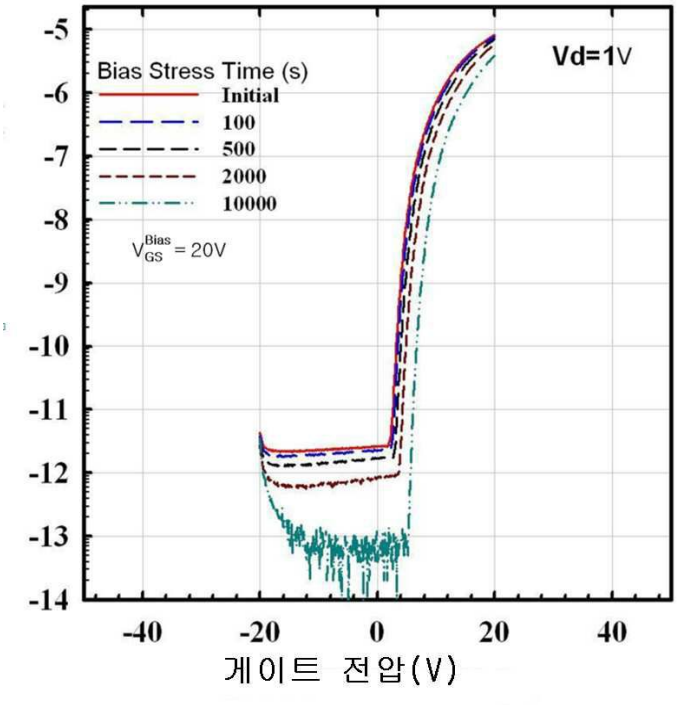
[0032] 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 부가 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

도면

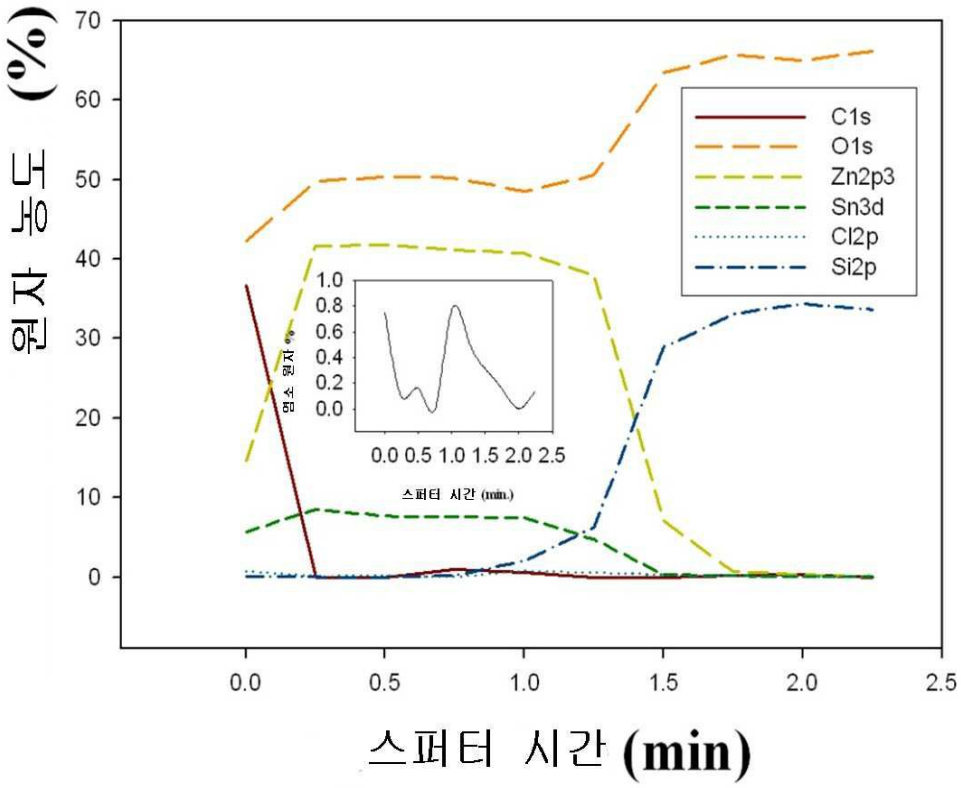
도면1



도면2


Bias Stress Time (s)
Initial
100
500
2000
10000
Vd=1V
V_{GS}^{Bias} = 20V
-5
-6
-7
-8
-9
-10
-11
-12
-13
-14
-40
-20
0
20
40
게이트 전압(V)

도면3


원자 농도 (%)
70
60
50
40
30
20
10
0
C1s
O1s
Zn2p3
Sn3d
Cl2p
Si2p
1.0
0.8
0.6
0.4
0.2
0.0
0.0 0.5 1.0 1.5 2.0 2.5
스퍼터 시간 (min.)
0.0
0.5
1.0
1.5
2.0
2.5
스퍼터 시간 (min)