

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5133468号
(P5133468)

(45) 発行日 平成25年1月30日 (2013. 1. 30)

(24) 登録日 平成24年11月16日 (2012. 11. 16)

(51) Int. Cl.

F I

G 0 9 F 9/30 (2006. 01)
G 0 2 F 1/1368 (2006. 01)
H 0 1 L 29/786 (2006. 01)

G 0 9 F 9/30 3 3 8
G 0 2 F 1/1368
H 0 1 L 29/78 6 1 2 C
H 0 1 L 29/78 6 1 8 B

請求項の数 6 (全 17 頁)

(21) 出願番号 特願2012-517092 (P2012-517092)
(86) (22) 出願日 平成23年2月14日 (2011. 2. 14)
(86) 国際出願番号 PCT/JP2011/000800
(87) 国際公開番号 W02011/148537
(87) 国際公開日 平成23年12月1日 (2011. 12. 1)
審査請求日 平成24年9月3日 (2012. 9. 3)
(31) 優先権主張番号 特願2010-117986 (P2010-117986)
(32) 優先日 平成22年5月24日 (2010. 5. 24)
(33) 優先権主張国 日本国 (JP)

早期審査対象出願

(73) 特許権者 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号
(74) 代理人 110001427
特許業務法人前田特許事務所
(72) 発明者 山下 徹也
大阪府大阪市阿倍野区長池町22番22号
シャープ株式会社内
(72) 発明者 吉田 徳生
大阪府大阪市阿倍野区長池町22番22号
シャープ株式会社内
(72) 発明者 近間 義雅
大阪府大阪市阿倍野区長池町22番22号
シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ基板及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

マトリクス状に設けられた複数の画素電極と、
上記各画素電極毎にそれぞれ設けられ、該各画素電極に接続された複数の薄膜トランジスタと、
上記各画素電極毎にそれぞれ設けられた複数の補助容量とを備え、
上記各薄膜トランジスタが、基板に設けられたゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁膜と、該ゲート絶縁膜上に上記ゲート電極に重なるようにチャンネル領域が設けられた酸化物半導体からなる半導体層と、該半導体層上に上記チャンネル領域を介して互いに離間するように設けられたソース電極及びドレイン電極とを備え、
上記各補助容量が、上記ゲート電極と同一層に同一材料により設けられた容量線と、該容量線を覆うように設けられた上記ゲート絶縁膜と、該ゲート絶縁膜上に上記容量線に重なるように上記酸化物半導体を用いて設けられた容量中間層と、該容量中間層上に設けられた容量電極とを備えた薄膜トランジスタ基板を製造する方法であって、
基板に上記ゲート電極及び容量線を形成する第1工程と、
上記ゲート電極及び容量線を覆うように上記ゲート絶縁膜、酸化物半導体膜及びソース金属膜を順に形成した後に、該ソース金属膜上に、上記ソース電極及びドレイン電極となる部分が相対的に厚く、且つ、上記チャンネル領域及び容量中間層となる部分が相対的に薄いレジストパターンを形成し、続いて、該レジストパターンから露出する上記ソース金属膜及び酸化物半導体膜をエッチングした後に、該レジストパターンを薄肉化することによ

り上記相対的に薄い部分を除去して露出させた上記ソース金属膜をエッチングして、上記半導体層、ソース電極及びドレイン電極、並びに上記容量中間層となる他の半導体層を形成する第2工程と、

上記半導体層のチャネル領域に重なりと共に、上記ドレイン電極の一部及び上記他の半導体層が露出するように層間絶縁膜を形成した後に、該層間絶縁膜から露出する上記他の半導体層を真空アニール処理により導体化して、上記容量中間層を形成する第3工程と、

上記層間絶縁膜上に上記容量電極として機能する上記各画素電極を形成する第4工程とを備えることを特徴とする薄膜トランジスタ基板の製造方法。

【請求項2】

請求項1に記載された薄膜トランジスタ基板の製造方法において、

上記酸化物半導体は、In-Ga-Zn-O系であることを特徴とする薄膜トランジスタ基板の製造方法。

【請求項3】

請求項1又は2に記載された薄膜トランジスタ基板の製造方法において、

上記第2工程では、上記ゲート電極及び容量線を覆うように、窒化シリコン膜及び酸化シリコン膜を順に成膜して上記ゲート絶縁膜を形成することを特徴とする薄膜トランジスタ基板の製造方法。

【請求項4】

請求項1～3の何れか1つに記載された薄膜トランジスタ基板の製造方法において、

上記第2工程では、スパッタリング法又は塗布法により、上記酸化物半導体膜を形成することを特徴とする薄膜トランジスタ基板の製造方法。

【請求項5】

請求項1～4の何れか1つに記載された薄膜トランジスタ基板の製造方法において、

上記第2工程では、上記酸化物半導体膜を覆うように、チタン膜及びアルミニウム膜、チタン膜及び銅膜、又はチタン膜、アルミニウム膜及びチタン膜を順に成膜して上記金属膜を形成することを特徴とする薄膜トランジスタ基板の製造方法。

【請求項6】

請求項1～5の何れか1つに記載された薄膜トランジスタ基板の製造方法において、

上記層間絶縁膜は、酸化シリコン膜であることを特徴とする薄膜トランジスタ基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタ基板及びその製造方法に関し、特に、補助容量を備えた薄膜トランジスタ基板及びその製造方法に関するものである。

【背景技術】

【0002】

アクティブマトリクス駆動方式の液晶表示パネルは、画像の最小単位である各画素毎に、例えば、薄膜トランジスタ（Thin Film Transistor、以下、「TFT」とも称する）がスイッチング素子として設けられたTFT基板と、TFT基板に対向するように配置された対向基板と、両基板の間に封入された液晶層とを備えている。このTFT基板では、各画素の液晶層、すなわち、液晶容量に充電された電荷を安定に保持するために、各画素毎に補助容量が設けられている。

【0003】

例えば、特許文献1には、アモルファスシリコンなどの半導体からなる半導体パターン、リンなどのn型不純物が高濃度にドーパされたアモルファスシリコンなどからなる接触層パターン、及びMo又はMoW合金、Cr、Al又はAl合金、Taなどの導電物質からなる維持蓄電器用導電パターンが順に積層された積層パターンと、積層パターンの下に位置するように設けられ、Mo又はMoW合金、Cr、Al又はAl合金、Taなどの導電物質からなる維持電極と、積層パターン及び維持電極の間に設けられたゲート絶縁膜と

10

20

30

40

50

により構成された（上記補助容量に相当する）維持蓄電器が形成されたTFT基板を4枚のマスクを用いて製造する方法が開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特許第3756363号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1に開示されたように、補助容量を備えたTFT基板において、補助容量を構成する一对の電極の一方に半導体層が積層されていると、一对の電極の間に印加される電圧により、補助容量の電気容量が変動するので、そのTFT基板を備えた液晶表示パネルでは、表示品位が低下してしまう。

10

【0006】

本発明は、かかる点に鑑みてなされたものであり、その目的とするところは、半導体に起因する補助容量の電気容量の変動を抑制することにある。

【課題を解決するための手段】

【0007】

上記目的を達成するために、本発明は、酸化物半導体を用いて設けられた容量中間層が導電性を有するようにしたものである。

20

【0008】

具体的に本発明に係る薄膜トランジスタ基板は、マトリクス状に設けられた複数の画素電極と、上記各画素電極毎にそれぞれ設けられ、該各画素電極に接続された複数の薄膜トランジスタと、上記各画素電極毎にそれぞれ設けられた複数の補助容量とを備え、上記各薄膜トランジスタが、基板に設けられたゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁膜と、該ゲート絶縁膜上に上記ゲート電極に重なるようにチャンネル領域が設けられた酸化物半導体からなる半導体層と、該半導体層上に上記チャンネル領域を介して互いに離間するように設けられたソース電極及びドレイン電極とを備え、上記各補助容量が、上記ゲート電極と同一層に同一材料により設けられた容量線と、該容量線を覆うように設けられた上記ゲート絶縁膜と、該ゲート絶縁膜上に上記容量線に重なるように上記酸化物半導体を用いて設けられた容量中間層と、該容量中間層上に設けられた容量電極とを備えた薄膜トランジスタ基板であって、上記容量中間層は、導電性を有していることを特徴とする。

30

【0009】

上記の構成によれば、各補助容量において、各薄膜トランジスタを構成する酸化物半導体からなる半導体層と同一層に設けられた容量中間層が半導体性でなく導電性を有しているので、容量線と容量電極との間に電圧が印加されたときに、電荷を保持する誘電体がゲート絶縁膜だけになり、電気容量が安定になる（ $1/C_{\text{補助容量}} = 1/C_{\text{ゲート絶縁膜}}$ ）。これに対して、容量中間層が酸化物半導体からなることにより半導体性を有している場合には、容量線と容量電極との間に電圧が印加されたときに、電荷を保持する誘電体がゲート絶縁膜及び半導体性を有する容量中間層になり、電気容量が不安定になる（ $1/C_{\text{補助容量}} = 1/C_{\text{酸化物半導体}} + 1/C_{\text{ゲート絶縁膜}}$ ）。これにより、容量中間層が酸化物半導体を用いて設けられていても導電性を有しているので、半導体に起因する補助容量の電気容量の変動が抑制される。また、容量線と容量電極との間に電圧が印加されたときに、電荷を保持する誘電体がゲート絶縁膜だけになるので、補助容量の電気容量が安定になるだけでなく、補助容量の電気容量が大きくなる。

40

【0010】

上記容量電極は、上記ドレイン電極の一部であってもよい。

【0011】

上記の構成によれば、容量電極がドレイン電極の一部であるので、容量線、ゲート絶縁

50

膜、容量中間層及びドレイン電極の積層構造により補助容量が具体的に構成される。

【0012】

上記半導体層上には、上記チャネル領域を少なくとも覆うように保護膜が設けられ、上記容量中間層は、上記保護膜から露出しているもよい。

【0013】

上記の構成によれば、半導体層のチャネル領域上に保護膜が設けられ、容量中間層がその保護膜から露出しているため、酸化物半導体を用いた容量中間層が導電性を有するように、基板に対して、例えば、真空アニール処理を行っても、半導体層のチャネル領域が導体化されずに、その半導体性が保持される。

【0014】

上記容量電極は、上記各画素電極の一部であってもよい。

【0015】

上記の構成によれば、容量電極が各画素電極の一部であるため、容量線、ゲート絶縁膜、容量中間層及び画素電極の積層構造により補助容量が具体的に構成される。

【0016】

上記各薄膜トランジスタ上には、層間絶縁膜が設けられ、上記容量中間層は、上記層間絶縁膜から露出しているもよい。

【0017】

上記の構成によれば、各薄膜トランジスタ上に層間絶縁膜が設けられ、容量中間層がその層間絶縁膜から露出しているため、酸化物半導体を用いた容量中間層が導電性を有するように、基板に対して、例えば、真空アニール処理を行っても、各薄膜トランジスタを構成する半導体層が導体化されずに、その半導体性が保持される。

【0018】

また、本発明に係る薄膜トランジスタ基板の製造方法は、マトリクス状に設けられた複数の画素電極と、上記各画素電極毎にそれぞれ設けられ、該各画素電極に接続された複数の薄膜トランジスタと、上記各画素電極毎にそれぞれ設けられた複数の補助容量とを備え、上記各薄膜トランジスタが、基板に設けられたゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁膜と、該ゲート絶縁膜上に上記ゲート電極に重なるようにチャネル領域が設けられた酸化物半導体からなる半導体層と、該半導体層上に上記チャネル領域を介して互いに離間するように設けられたソース電極及びドレイン電極とを備え、上記各補助容量が、上記ゲート電極と同一層に同一材料により設けられた容量線と、該容量線を覆うように設けられた上記ゲート絶縁膜と、該ゲート絶縁膜上に上記容量線に重なるように上記酸化物半導体を用いて設けられた容量中間層と、該容量中間層上に設けられた容量電極とを備えた薄膜トランジスタ基板を製造する方法であって、基板に上記ゲート電極及び容量線を形成する第1工程と、上記ゲート電極及び容量線を覆うように上記ゲート絶縁膜を形成した後に、該ゲート絶縁膜上に上記半導体層、及び上記容量中間層となる他の半導体層を形成する第2工程と、上記チャネル領域に重なりと共に、上記他の半導体層が露出するように保護膜を形成した後に、該保護膜から露出する上記他の半導体層を真空アニール処理により導体化して、上記容量中間層を形成する第3工程と、上記半導体層上に上記ソース電極、及び上記容量電極として機能する上記ドレイン電極を形成する第4工程と、上記ソース電極及びドレイン電極上に、該ドレイン電極に到達するコンタクトホールを有する層間絶縁膜を形成する第5工程と、上記層間絶縁膜上に上記各画素電極を形成する第6工程とを備えることを特徴とする。

【0019】

上記の方法によれば、第2工程において、ゲート絶縁膜上にゲート電極に重なるようにチャネル領域が設けられた酸化物半導体からなる半導体層、及びゲート絶縁膜上に容量線と重なるように容量中間層となる他の半導体層を形成した後に、第3工程において、チャネル領域に重なる保護膜から露出する他の半導体層を真空アニール処理により導体化することにより、半導体層の半導体性を保持して、他の半導体層により容量中間層を形成するので、容量線、ゲート絶縁膜、容量中間層及びドレイン電極の積層構造により構成された

10

20

30

40

50

各補助容量において、各薄膜トランジスタを構成する酸化物半導体からなる半導体層と同一層に設けられた容量中間層が半導体性でなく導電性を有していることにより、容量線と容量電極（ドレイン電極）との間に電圧が印加されたときに、電荷を保持する誘電体がゲート絶縁膜だけになり、電気容量が安定になる（ $1/C_{\text{補助容量}} = 1/C_{\text{ゲート絶縁膜}}$ ）。これに対して、容量中間層が酸化物半導体からなることにより半導体性を有している場合には、容量線と容量電極との間に電圧が印加されたときに、電荷を保持する誘電体がゲート絶縁膜及び半導体性を有する容量中間層になり、電気容量が不安定になる（ $1/C_{\text{補助容量}} = 1/C_{\text{酸化物半導体}} + 1/C_{\text{ゲート絶縁膜}}$ ）。これにより、容量中間層が酸化物半導体を用いて設けられていても導電性を有しているので、半導体に起因する補助容量の電気容量の変動が抑制される。また、容量線と容量電極（ドレイン電極）との間に電圧が印加されたときに、電荷を保持する誘電体がゲート絶縁膜だけになるので、補助容量の電気容量が安定になるだけでなく、補助容量の電気容量が大きくなる。

10

【0020】

また、本発明に係る薄膜トランジスタ基板の製造方法は、マトリクス状に設けられた複数の画素電極と、上記各画素電極毎にそれぞれ設けられ、該各画素電極に接続された複数の薄膜トランジスタと、上記各画素電極毎にそれぞれ設けられた複数の補助容量とを備え、上記各薄膜トランジスタが、基板に設けられたゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁膜と、該ゲート絶縁膜上に上記ゲート電極に重なるようにチャンネル領域が設けられた酸化物半導体からなる半導体層と、該半導体層上に上記チャンネル領域を介して互いに離間するように設けられたソース電極及びドレイン電極とを備え、上記各補助容量が、上記ゲート電極と同一層に同一材料により設けられた容量線と、該容量線を覆うように設けられた上記ゲート絶縁膜と、該ゲート絶縁膜上に上記容量線に重なるように上記酸化物半導体を用いて設けられた容量中間層と、該容量中間層上に設けられた容量電極とを備えた薄膜トランジスタ基板を製造する方法であって、基板に上記ゲート電極及び容量線を形成する第1工程と、上記ゲート電極及び容量線を覆うように上記ゲート絶縁膜、酸化物半導体膜及びソース金属膜を順に形成した後に、該ソース金属膜上に、上記ソース電極及びドレイン電極となる部分が相対的に厚く、且つ、上記チャンネル領域及び容量中間層となる部分が相対的に薄いレジストパターンを形成し、続いて、該レジストパターンから露出する上記ソース金属膜及び酸化物半導体膜をエッチングした後に、該レジストパターンを薄肉化することにより上記相対的に薄い部分を除去して露出させた上記ソース金属膜をエッチングして、上記半導体層、ソース電極及びドレイン電極、並びに上記容量中間層となる他の半導体層を形成する第2工程と、上記半導体層のチャンネル領域に重なりと共に、上記ドレイン電極の一部及び上記他の半導体層が露出するように層間絶縁膜を形成した後に、該層間絶縁膜から露出する上記他の半導体層を真空アニール処理により導体化して、上記容量中間層を形成する第3工程と、上記層間絶縁膜上に上記容量電極として機能する上記各画素電極を形成する第4工程とを備えることを特徴とする。

20

30

【0021】

上記の方法によれば、第2工程において、ゲート絶縁膜上にゲート電極に重なるようにチャンネル領域が設けられた酸化物半導体からなる半導体層、及びゲート絶縁膜上に容量線と重なるように容量中間層となる他の半導体層を形成した後に、第3工程において、チャンネル領域に重なる層間絶縁膜から露出する他の半導体層を真空アニール処理により導体化することにより、半導体層の半導体性を保持して、他の半導体層により容量中間層を形成するので、容量線、ゲート絶縁膜、容量中間層及び画素電極の積層構造により構成された各補助容量において、各薄膜トランジスタを構成する酸化物半導体からなる半導体層と同一層に設けられた容量中間層が半導体性でなく導電性を有していることにより、容量線と容量電極との間に電圧が印加されたときに、電荷を保持する誘電体がゲート絶縁膜だけになり、電気容量が安定になる（ $1/C_{\text{補助容量}} = 1/C_{\text{ゲート絶縁膜}}$ ）。これに対して、容量中間層が酸化物半導体からなることにより半導体性を有している場合には、容量線と容量電極との間に電圧が印加されたときに、電荷を保持する誘電体がゲート絶縁膜及び半導体性を有する容量中間層になり、電気容量が不安定になる（ $1/C_{\text{補助容量}} = 1/C_{\text{酸化物半導体}} + 1/C_{\text{ゲート絶縁膜}}$ ）。これにより、容量中間層が酸化物半導体を用いて設けられていても導電性を有しているので、半導体に起因する補助容量の電気容量の変動が抑制される。また、容量線と容量電極（ドレイン電極）との間に電圧が印加されたときに、電荷を保持する誘電体がゲート絶縁膜だけになるので、補助容量の電気容量が安定になるだけでなく、補助容量の電気容量が大きくなる。

40

50

化物半導体+1/Cゲート絶縁膜)。これにより、容量中間層が酸化物半導体を用いて設けられていても導電性を有しているので、半導体に起因する補助容量の電気容量の変動が抑制される。また、容量線と容量電極との間に電圧が印加されたときに、電荷を保持する誘電体がゲート絶縁膜だけになるので、補助容量の電気容量が安定になるだけでなく、補助容量の電気容量が大きくなる。さらに、第1工程に用いるフォトリソマスク、第2工程に用いる（ハーフ露光が可能な）フォトリソマスク、第3工程に用いるフォトリソマスク及び第4工程に用いるフォトリソマスクの計4枚のフォトリソマスクを用いて薄膜トランジスタ基板が製造されるので、薄膜トランジスタ基板の製造コストが低減される。

【発明の効果】

【0022】

10

本発明によれば、酸化物半導体を用いて設けられた容量中間層が導電性を有しているの
で、半導体に起因する補助容量の電気容量の変動を抑制することができる。

【図面の簡単な説明】

【0023】

【図1】図1は、実施形態1に係るTFET基板の平面図である。

【図2】図2は、図1中のII-II線に沿ったTFET基板の断面図である。

【図3】図3は、実施形態1に係るTFET基板の製造工程を断面で示す説明図である。

【図4】図4は、第1の実験例におけるTFET特性を示すグラフである。

【図5】図5は、第2の実験例におけるTFET特性を示すグラフである。

【図6】図6は、第3の実験例におけるアニール温度と表面抵抗率との関係を示すグラフ
である。

20

【図7】図7は、第4の実験例におけるアニール時間と比電気抵抗との関係を示すグラフ
である。

【図8】図8は、実施形態2に係るTFET基板の平面図である。

【図9】図9は、図8中のIX-IX線に沿ったTFET基板の断面図である。

【図10】図10は、実施形態2に係るTFET基板の製造工程を断面で示す説明図である
。

【発明を実施するための形態】

【0024】

以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、本発明は、以下の各
実施形態に限定されるものではない。

30

【0025】

《発明の実施形態1》

図1～図7は、本発明に係るTFET基板及びその製造方法の実施形態1を示している。
具体的に、図1は、本実施形態のTFET基板30aの平面図であり、図2は、図1中のII-
II線に沿ったTFET基板30aの断面図である。

【0026】

TFET基板30aは、図1及び図2に示すように、絶縁基板10と、絶縁基板10上に
互いに平行に延びるように設けられた複数のゲート線11aと、各ゲート線11aの間に
それぞれ設けられ、互いに平行に延びるように配置された複数の容量線11bと、各ゲ-
ート線11aと直交する方向に互いに平行に延びるように設けられた複数のソース線15a
と、各ゲート線11a及び各ソース線15aの交差部分毎、すなわち、画像の最小単位で
ある各画素毎にそれぞれ設けられた複数のTFET5aと、各TFET5aを覆うように設け
られた層間絶縁膜16と、層間絶縁膜16上にマトリクス状に設けられた複数の画素電極
17と、各画素電極17を覆うように設けられた配向膜（不図示）とを備えている。

40

【0027】

TFET5aは、図1及び図2に示すように、絶縁基板10上に設けられたゲート電極（
11a）と、ゲート電極（11a）を覆うように設けられたゲート絶縁膜12と、ゲート
絶縁膜12上に設けられ、ゲート電極（11a）に重なるようにチャンネル領域Cが配置さ
れた半導体層13aと、半導体層13aのチャンネル領域Cを少なくとも覆うように設けら

50

れた保護膜14と、半導体層13a上に設けられ、チャネル領域Cを介して互いに離間するように配置されたソース電極15aa及びドレイン電極15bとを備えている。

【0028】

ゲート電極(11a)は、図1に示すように、各ゲート線11aの一部である。

【0029】

ソース電極15aaは、図1に示すように、各ソース線15aが側方にL字状に突出した部分である。また、ソース電極15aaは、図1及び図2に示すように、保護膜14に形成されたコンタクトホール14aを介して半導体層13aに接続されている。

【0030】

ドレイン電極15bは、図1及び図2に示すように、層間絶縁膜16に形成されたコンタクトホール16aを介して画素電極17に接続されていると共に、保護膜14に形成されたコンタクトホール14bを介して半導体層13aに接続されている。また、ドレイン電極15bは、図1及び図2に示すように、ゲート絶縁膜12及び容量中間層13cを介して容量線11bと重なることにより補助容量6aを構成している。

10

【0031】

半導体層13aは、例えば、 InGaZnO_4 などの In-Ga-Zn-O 系の氧化物半導体により構成されている。

【0032】

容量中間層13cは、例えば、 InGaZnO_4 などの In-Ga-Zn-O 系の氧化物半導体を用いて、図2に示すように、その大部分が保護膜14から露出するように設けられている。また、容量中間層13cは、導電性を有し、図1及び図2に示すように、保護膜14に形成されたコンタクトホール14cを介してドレイン電極15bに接続されている。

20

【0033】

上記構成のTFT基板30aは、それに対向して配置される対向基板と、それらの両基板の間に封入される液晶層と共に、アクティブマトリクス駆動方式の液晶表示パネルを構成するものである。

【0034】

次に、本実施形態のTFT基板30aを製造する方法について、図3を用いて説明する。ここで、図3は、図2の断面図に対応して、本実施形態のTFT基板30aの製造工程を断面で示す説明図である。なお、本実施形態の製造方法は、第1工程、第2工程、第3工程、第4工程、第5工程及び第6工程を備える。

30

【0035】

まず、ガラス基板などの絶縁基板10の基板全体に、スパッタリング法により、例えば、チタン膜(2000Å程度)などの金属膜を成膜した後に、その金属膜をパターニングすることにより、図3(a)に示すように、ゲート線11a、ゲート電極(11a)及び容量線11bを形成する(第1工程)。

【0036】

続いて、ゲート線11a、ゲート電極(11a)及び容量線11bが形成された基板全体に、CVD(Chemical Vapor Deposition)法により、例えば、窒化シリコン膜(厚さ200nm~500nm程度)及び酸化シリコン膜(厚さ20nm~500nm程度)などを順に成膜することにより、ゲート絶縁膜12を形成し、さらに、例えば、スパッタリング法又は塗布法により、 InGaZnO_4 などの In-Ga-Zn-O 系の氧化物半導体膜(厚さ200Å~500Å程度)を室温で成膜した後に、その氧化物半導体膜をパターニングすることにより、図3(b)に示すように、半導体層13a及び他の半導体層13bを形成する(第2工程)。

40

【0037】

そして、半導体層13a及び他の半導体層13bが形成された基板全体に、CVD法により、例えば、酸化シリコン膜(厚さ20nm~500nm程度)などの無機絶縁膜を成膜し、その無機絶縁膜をパターニングすることにより、図3(c)に示すように、コンタ

50

クトホール14a、14b及び14cを有する保護膜14を形成した後に、保護膜14が形成された基板に対して、赤外線ヒーターや拡散炉などを用いて真空アニール処理（アニール温度：250℃～350℃、アニール時間：5分～2時間、チャンバー内圧力： 10^{-3} Pa以下）を行うことにより、他の半導体層13bを導体化して、容量中間層13cを形成する（第3工程）。ここで、アニール温度が350℃を超えると、ガラス基板（絶縁基板10a）が破損し易くなる。また、アニール時間が5分～2時間の範囲であれば、再現性よくTFT特性を得ることができる。また、チャンバー内圧力が 10^{-3} Paを超えると、チャンバー内の酸素濃度が高くなり、酸素欠陥が起き難くなるので、他の半導体層13bが導体化し難くなる。

【0038】

10

続いて、容量中間層13cが形成された基板全体に、スパッタリング法により、例えば、チタン膜（300 Å程度）及びアルミニウム膜（2000 Å程度）、チタン膜（300 Å程度）及び銅膜（2000 Å程度）、又はチタン膜（300 Å程度）、アルミニウム膜（2000 Å程度）及びチタン膜（1000 Å程度）などを順に成膜した後に、その金属積層膜をパターニング（酢酸、リン酸及び硝酸の混合液、並びにシュウ酸によるエッチング）することにより、図3（d）に示すように、ソース線15a、ソース電極15aa及びドレイン電極15bを形成して、TFT5a及び補助容量6aを形成する（第4工程）。

【0039】

20

さらに、TFT5a及び補助容量6aが形成された基板全体に、例えば、CVD法により、例えば、酸化シリコン膜（厚さ20nm～500nm程度）などの無機絶縁膜を成膜し、その無機絶縁膜をパターニングすることにより、図3（e）に示すように、コンタクトホール16aを有する層間絶縁膜16を形成する（第5工程）。

【0040】

最後に、層間絶縁膜16が形成された基板全体に、スパッタリング法により、例えば、ITO（Indium Tin Oxide）膜（厚さ50nm～200nm程度）などの透明導電膜を成膜した後に、その透明導電膜をパターニングすることにより、図2に示すように、画素電極17を形成する（第6工程）。

【0041】

以上のようにして、TFT基板30aを製造することができる。

30

【0042】

次に、具体的に行った実験について、図4～図7を用いて説明する。ここで、図4は、第1の実験例におけるTFT特性を示すグラフであり、図5は、第2の実験例におけるTFT特性を示すグラフである。また、図6は、第3の実験例におけるアニール温度と表面抵抗率との関係を示すグラフである。さらに、図7は、第4の実験例におけるアニール時間と比電気抵抗との関係を示すグラフである。

【0043】

まず、第1の実験例では、本実施形態の製造方法と異なり、220℃で5分間、真空アニール処理を行ったTFT基板を準備し、その準備されたTFT基板のTFT特性を測定した（図4参照）。

40

【0044】

また、第2の実験例では、本実施形態の製造方法と同様に、322℃で5分間、真空アニール処理を行ったTFT基板を準備し、その準備されたTFT基板のTFT特性を測定した（図5参照）。

【0045】

第1及び第2の実験例の結果としては、真空アニール処理において、アニール温度が220℃と低いと、他の半導体層（容量中間層）が半導体性（図4参照）を示すものの、アニール温度が322℃と適温であると、他の半導体層（容量中間層）が導体性（図5参照）を示すようになることが確認された。

【0046】

50

次に、第3の実験例では、ガラス基板上に、 InGaZnO_4 からなる半導体膜を形成した後に、真空アニール処理前の初期（図6中の線a参照）、 220°C で5分間の真空アニール処理後（図6中の線c参照）、及び 330°C で5分間の真空アニール処理後（図6中の線b参照）における表面抵抗率を測定器（三菱化学アナリティック社製MCP-HT450）を用いて測定した。ここで、表面抵抗率（ $\Omega/\square$ ：オームパースクエア）は、単位面積当たりの抵抗であり、シート抵抗又は単に表面抵抗とも呼ばれるものである。なお、図6では、横軸の S_1 、 S_2 及び S_3 は、半導体膜の In-Ga-Zn-O の組成比の違いを示している。

【0047】

第3の実験例の結果としては、図6に示すように、初期及び 220°C で5分間の真空アニール処理後において、TFT特性が得られる表面抵抗率の範囲（ $1.0 \times 10^9 \Omega/\square \sim 1.0 \times 10^{13} \Omega/\square$ ）の表面抵抗率を示し、 330°C で5分間の真空アニール処理後において、導電体のような表面抵抗率を示すことが確認された。

【0048】

次に、第4の実験例では、ガラス基板上に、 InGaZnO_4 からなる半導体膜を形成した後に、 220°C （図7中の線a参照）又は 350°C （図7中の線b参照）で真空アニール処理を行い、アニール時間毎の比電気抵抗を測定器（三菱化学アナリティック社製MCP-HT450）を用いて測定した。

【0049】

第4の実験例の結果としては、図7に示すように、アニール温度が 220°C である場合、アニール時間の経過と共に比電気抵抗が抵抗し、アニール温度が 350°C である場合、アニール時間の経過と共に比電気抵抗が抵抗するものの、アニール時間が0.3時間を超えると、比電気抵抗がほぼ一定になることが確認された。

【0050】

上記第1～第4の実験例により、酸化物半導体からなる半導体層に対して、適切な真空アニール処理を行うことにより、導電性が付与されることが確認された。

【0051】

以上説明したように、本実施形態のTFT基板30a及びその製造方法によれば、第2工程において、ゲート絶縁膜12上にゲート電極（11a）に重なるようにチャネル領域Cが設けられた酸化物半導体からなる半導体層13a、及びゲート絶縁膜12上に容量線11bと重なるように容量中間層13cとなる他の半導体層13bを形成した後に、第3工程において、チャネル領域Cに重なる保護膜14から露出する他の半導体層13bを真空アニール処理により導体化することにより、半導体層13aの半導体性を保持して、他の半導体層13bにより容量中間層13cを形成するので、容量線11b、ゲート絶縁膜12、容量中間層13c及びドレイン電極15bの積層構造により構成された各補助容量6aにおいて、各TFT5aを構成する酸化物半導体からなる半導体層13aと同一層に設けられた容量中間層13cが半導体性でなく導電性を有していることにより、容量線11bとドレイン電極15bとの間に電圧が印加されたときに、電荷を保持する誘電体がゲート絶縁膜12だけになり、電気容量を安定にすることができる（ $1/C_{\text{補助容量}} = 1/C_{\text{ゲート絶縁膜}}$ ）。これに対して、容量中間層が酸化物半導体からなることにより半導体性を有している場合には、容量線とドレイン電極との間に電圧が印加されたときに、電荷を保持する誘電体がゲート絶縁膜及び半導体性を有する容量中間層になり、電気容量が不安定になってしまう（ $1/C_{\text{補助容量}} = 1/C_{\text{酸化物半導体}} + 1/C_{\text{ゲート絶縁膜}}$ ）。これにより、容量中間層13cが酸化物半導体を用いて設けられていても導電性を有しているので、半導体に起因する補助容量6aの電気容量の変動を抑制することができる。また、容量線11bとドレイン電極15bとの間に電圧が印加されたときに、電荷を保持する誘電体がゲート絶縁膜12だけになるので、補助容量6aの電気容量を安定にすることができるだけでなく、補助容量6aの電気容量を大きくすることができる。さらに、TFT基板30aでは、酸化物半導体からなる半導体層13aが設けられているので、高移動度、高信頼性及び低オフ電流などの良好な特性を有するTFT5aを実現することができる

10

20

30

40

50

。

【0052】

また、本実施形態のTFT基板30a及びその製造方法によれば、半導体層13aのチャンネル領域C上に保護膜14が設けられ、容量中間層13cの大部分がその保護膜14から露出しているため、酸化物半導体を用いた容量中間層13cが導電性を有するように、基板に対して、真空アニール処理を行っても、半導体層13aのチャンネル領域Cを導体化させることなく、その半導体性を保持させることができる。

【0053】

《発明の実施形態2》

図8～図10は、本発明に係るTFT基板及びその製造方法の実施形態2を示している。具体的に、図8は、本実施形態のTFT基板30bの平面図であり、図9は、図8中のIX-IX線に沿ったTFT基板30bの断面図である。なお、以下の実施形態において、図1～図7と同じ部分については同じ符号を付して、その詳細な説明を省略する。

10

【0054】

上記実施形態1では、補助容量を構成する容量電極がドレイン電極の一部であるTFT基板30a及びその製造方法を例示したが、本実施形態では、容量電極が画素電極の一部であるTFT基板30b及びその（4枚のフォトリソを用いた）製造方法を例示する。

【0055】

TFT基板30bは、図8及び図9に示すように、絶縁基板10と、絶縁基板10上に互いに平行に延びるように設けられた複数のゲート線21aと、各ゲート線21aの間にそれぞれ設けられ、互いに平行に延びるように配置された複数の容量線21bと、各ゲート線21aと直交する方向に互いに平行に延びるように設けられた複数のソース線24aと、各ゲート線21a及び各ソース線24aの交差部分毎、すなわち、画素の最小単位である各画素毎にそれぞれ設けられた複数のTFT5bと、各TFT5bを覆うように設けられた層間絶縁膜25と、層間絶縁膜25上にマトリクス状に設けられた複数の画素電極26と、各画素電極26を覆うように設けられた配向膜（不図示）とを備えている。

20

【0056】

TFT5bは、図8及び図9に示すように、絶縁基板10上に設けられたゲート電極（21a）と、ゲート電極（21a）を覆うように設けられたゲート絶縁膜22と、ゲート絶縁膜22上に設けられ、ゲート電極（21a）に重なるようにチャンネル領域Cが配置された半導体層23aと、半導体層23a上に設けられ、チャンネル領域Cを介して互いに離間するように配置されたソース電極24a及びドレイン電極24bとを備えている。

30

【0057】

ゲート電極（21a）は、図8に示すように、各ゲート線21aの一部である。

【0058】

ソース電極24aは、図8に示すように、各ソース線24aが側方にL字状に突出した部分である。

【0059】

ドレイン電極24bは、図8及び図9に示すように、層間絶縁膜25に形成されたコンタクトホール25aを介して画素電極26に接続されている。ここで、画素電極26は、図8及び図9に示すように、ゲート絶縁膜22及び容量中間層23cを介して容量線21bと重なることにより補助容量6bを構成している。

40

【0060】

半導体層23aは、例えば、 InGaZnO_4 などのIn-Ga-Zn-O系の酸化物半導体により構成されている。

【0061】

容量中間層23cは、例えば、 InGaZnO_4 などのIn-Ga-Zn-O系の酸化物半導体を用いて、図9に示すように、その大部分が層間絶縁膜25から露出するように設けられている。また、容量中間層23cは、導電性を有し、図8及び図9に示すように、層間絶縁膜25に形成されたコンタクトホール25bを介して画素電極26に接続され

50

ている。

【0062】

上記構成のTFT基板30bは、それに対向して配置される対向基板と、それらの両基板の間に封入される液晶層と共に、アクティブマトリクス駆動方式の液晶表示パネルを構成するものである。

【0063】

次に、本実施形態のTFT基板30bを製造する方法について、図10を用いて説明する。ここで、図10は、図9の断面図に対応して、本実施形態のTFT基板30bの製造工程を断面で示す説明図である。なお、本実施形態の製造方法は、第1工程、第2工程、第3工程及び第4工程を備える。

10

【0064】

まず、ガラス基板などの絶縁基板10の基板全体に、スパッタリング法により、例えば、チタン膜(2000Å程度)などの金属膜を成膜した後に、その金属膜をフォトリソグラフィを用いてパターニングすることにより、図10(a)に示すように、ゲート線21a、ゲート電極(21a)及び容量線21bを形成する(第1工程)。

【0065】

続いて、ゲート線21a、ゲート電極(21a)及び容量線21bが形成された基板全体に、CVD法により、例えば、窒化シリコン膜(厚さ200nm~500nm程度)及び酸化シリコン膜(厚さ20nm~500nm程度)などを順に成膜してゲート絶縁膜22(図10(b)参照)を形成し、その後、例えば、スパッタリング法又は塗布法により、InGaZnO₄などのIn-Ga-Zn-O系の酸化物半導体膜(厚さ200Å~500Å程度)を室温で成膜して酸化物半導体膜23(図10(b)参照)を形成し、さらに、スパッタリング法により、例えば、チタン膜(300Å程度)及びアルミニウム膜(2000Å程度)、チタン膜(300Å程度)及び銅膜(2000Å程度)、又はチタン膜(300Å程度)、アルミニウム膜(2000Å程度)及びチタン膜(1000Å程度)などを順に成膜してソース金属膜24(図10(b)参照)を形成する。そして、ソース金属膜24上に感光性樹脂膜Rを塗布し、その塗布された感光性樹脂膜Rをハーフトーン又はグレイトーンのハーフ露光が可能なフォトマスクを介して露光した後に、現像することにより、図10(b)に示すように、ソース線24a、ソース電極24aa及びドレイン電極24bとなる部分が相対的に厚く、チャンネル領域C及び容量中間層23cとなる部分が相対的に薄いレジストパターンRaを形成する。続いて、レジストパターンRaから露出するソース金属膜24、及びその下層の酸化物半導体膜23をエッチングし、さらに、レジストパターンRaをアッシングなどで薄肉化することにより相対的に薄い部分を除去して、レジストパターンRb(図10(c)参照)を形成した後に、レジストパターンRbから露出するソース金属膜24をエッチングすることにより、図10(c)に示すように、半導体層23a、ソース線24a、ソース電極24aa及びドレイン電極24b、並びに容量中間層23cとなる他の半導体層23bを形成する(第2工程)。

20

30

【0066】

そして、半導体層23a、ソース線24a、ソース電極24aa、ドレイン電極24b及び他の半導体層23bが形成された基板全体に、CVD法により、例えば、酸化シリコン膜(厚さ20nm~500nm程度)などの無機絶縁膜を成膜し、その無機絶縁膜をフォトリソグラフィを用いてパターニングすることにより、図10(d)に示すように、コンタクトホール25a及び25bを有する層間絶縁膜25を形成した後に、層間絶縁膜25が形成された基板に対して、赤外線ヒーターや拡散炉などを用いて真空アニール処理を行うことにより、他の半導体層23bを導体化して、図10(e)に示すように、容量中間層23cを形成する(第3工程)。

40

【0067】

最後に、容量中間層23cが形成された基板全体に、スパッタリング法により、例えば、ITO膜(厚さ50nm~200nm程度)などの透明導電膜を成膜した後に、その透明導電膜をフォトリソグラフィを用いてパターニングすることにより、図9に示すように

50

、画素電極 26 を形成する（第 4 工程）。

【0068】

以上のようにして、TFT 基板 30b を製造することができる。

【0069】

以上説明したように、本実施形態の TFT 基板 30b 及びその製造方法によれば、第 2 工程において、ゲート絶縁膜 22 上にゲート電極（21a）に重なるようにチャンネル領域 C が設けられた酸化物半導体からなる半導体層 23a、及びゲート絶縁膜 22 上に容量線 21b と重なるように容量中間層 23c となる他の半導体層 23b を形成した後に、第 3 工程において、チャンネル領域 C に重なる層間絶縁膜 25 から露出する他の半導体層 23b を真空アニール処理により導体化することにより、半導体層 23a の半導体性を保持して、他の半導体層 23b により容量中間層 23c を形成するので、容量線 21b、ゲート絶縁膜 22、容量中間層 23c 及び画素電極 26 の積層構造により構成された各補助容量 6b において、各 TFT 5a を構成する酸化物半導体からなる半導体層 23a と同一層に設けられた容量中間層 23c が半導体性でなく導電性を有していることにより、容量線 21b と画素電極 26 との間に電圧が印加されたときに、電荷を保持する誘電体がゲート絶縁膜 22 だけになり、電気容量を安定にすることができる（ $1/C_{\text{補助容量}} = 1/C_{\text{ゲート絶縁膜}}$ ）。これに対して、容量中間層が酸化物半導体からなることにより半導体性を有している場合には、容量線と画素電極との間に電圧が印加されたときに、電荷を保持する誘電体がゲート絶縁膜及び半導体性を有する容量中間層になり、電気容量が不安定になってしまう（ $1/C_{\text{補助容量}} = 1/C_{\text{酸化物半導体}} + 1/C_{\text{ゲート絶縁膜}}$ ）。これにより、容量中間層 23c が酸化物半導体を用いて設けられていても導電性を有しているので、半導体に起因する補助容量 6b の電気容量の変動を抑制することができる。また、容量線 21b と画素電極 26 との間に電圧が印加されたときに、電荷を保持する誘電体がゲート絶縁膜 22 だけになるので、補助容量 6b の電気容量を安定にすることができるだけでなく、補助容量 6b の電気容量を大きくすることができる。さらに、第 1 工程に用いるフォトリソマスク、第 2 工程に用いるハーフ露光が可能なフォトリソマスク、第 3 工程に用いるフォトリソマスク及び第 4 工程に用いるフォトリソマスクの計 4 枚のフォトリソマスクを用いて TFT 基板 30b を製造することができるので、TFT 基板 30b の製造コストを低減することができる。また、TFT 基板 30b では、酸化物半導体からなる半導体層 23a が設けられているので、高移動度、高信頼性及び低オフ電流などの良好な特性を有する TFT 5b を実現することができる。

【0070】

また、本実施形態の TFT 基板 30b 及びその製造方法によれば、各 TFT 5b 上に層間絶縁膜 25 が設けられ、容量中間層 23c の大部分がその層間絶縁膜 25 から露出しているので、酸化物半導体を用いた容量中間層 23c が導電性を有するように、基板に対して、真空アニール処理を行っても、各 TFT 5b を構成する半導体層 23a を導体化させることなく、その半導体性を保持させることができる。

【0071】

なお、上記各実施形態では、In-Ga-Zn-O 系の酸化物半導体層を例示したが、本発明は、例えば、In-Si-Zn-O 系、In-Al-Zn-O 系、Sn-Si-Zn-O 系、Sn-Al-Zn-O 系、Sn-Ga-Zn-O 系、Ga-Si-Zn-O 系、Ga-Al-Zn-O 系、In-Cu-Zn-O 系、Sn-Cu-Zn-O 系、Zn-O 系、In-O 系、In-Zn-O 系などの酸化物半導体層にも適用することができる。

【0072】

また、上記各実施形態では、単層構造を有するゲート線（ゲート電極）及び容量線を例示したが、ゲート線（ゲート電極）及び容量線は、積層構造を有するものであってもよい。

【0073】

また、上記各実施形態では、積層構造を有するソース線、ソース電極及びドレイン電極を例示したが、ソース線、ソース電極及びドレイン電極は、単層構造を有するものであ

てもよい。

【0074】

また、上記各実施形態では、積層構造を有するゲート絶縁膜を例示したが、ゲート絶縁膜は、単層構造を有するものであってもよい。

【0075】

また、上記各実施形態では、単層構造を有する保護膜及び層間絶縁膜を例示したが、保護膜及び層間絶縁膜は、積層構造を有するものであってもよい。

【0076】

また、上記各実施形態では、画素電極に接続されたTFTの電極をドレイン電極としたTFT基板を例示したが、本発明は、画素電極に接続されたTFTの電極をソース電極と呼ぶTFT基板にも適用することができる。

10

【産業上の利用可能性】

【0077】

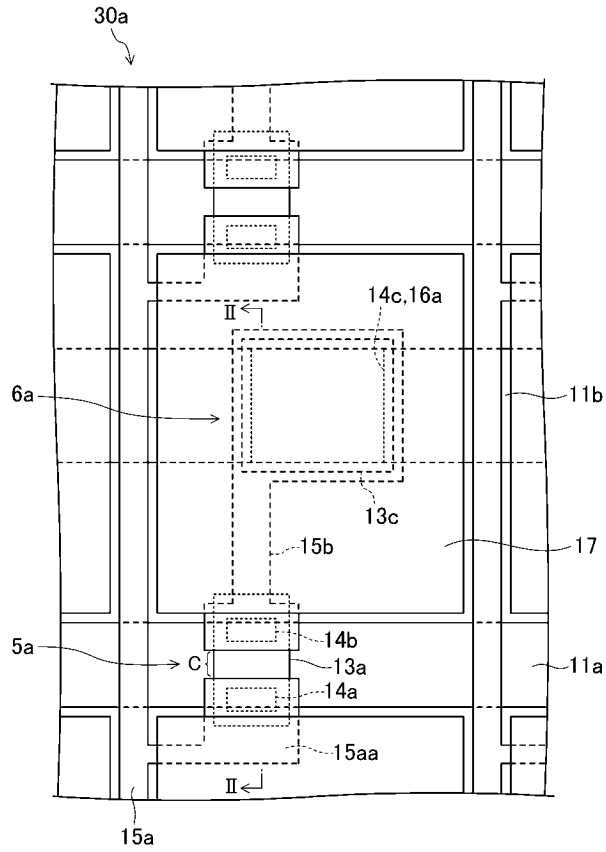
以上説明したように、本発明は、半導体に起因する補助容量の電気容量の変動を抑制することができるので、液晶表示パネルを構成するTFT基板について有用である。

【符号の説明】

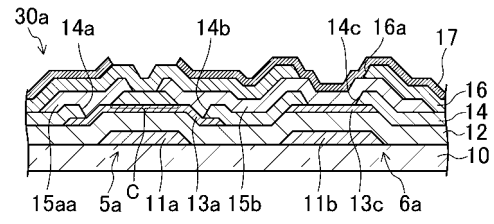
【0078】

C	チャネル領域	
R	レジストパターン	
5a, 5b	TFT	20
6a, 6b	補助容量	
10	絶縁基板	
11a, 21a	ゲート線（ゲート電極）	
11b, 21b	容量線	
12, 22	ゲート絶縁膜	
13a, 23a	半導体層	
13b, 23b	他の半導体層	
13c, 23c	容量中間層	
14	保護膜	
15aa, 24aa	ソース電極	30
15b, 24b	ドレイン電極（容量電極）	
17	画素電極	
23	酸化物半導体膜	
24	ソース金属膜	
25	層間絶縁膜	
25b	コンタクトホール	
26	画素電極（容量電極）	
30a, 30b	TFT基板	

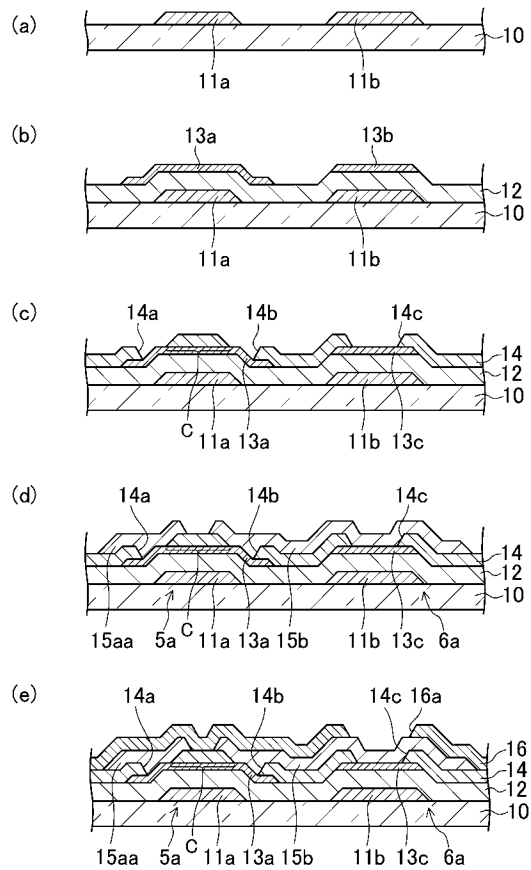
【図 1】



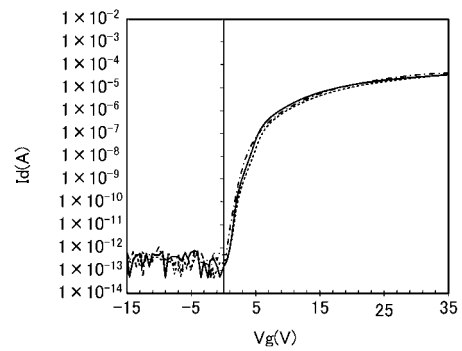
【図 2】



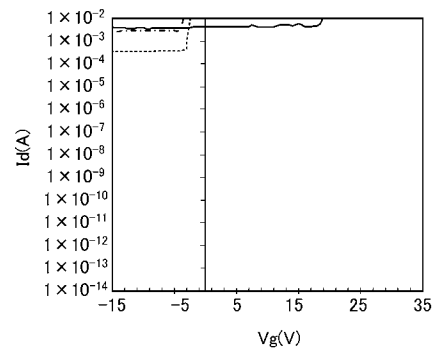
【図 3】



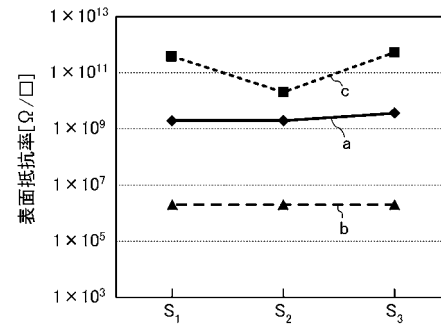
【図 4】



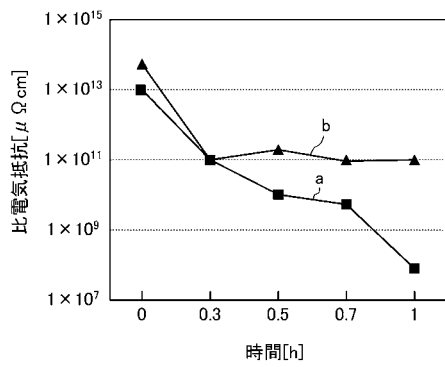
【図 5】



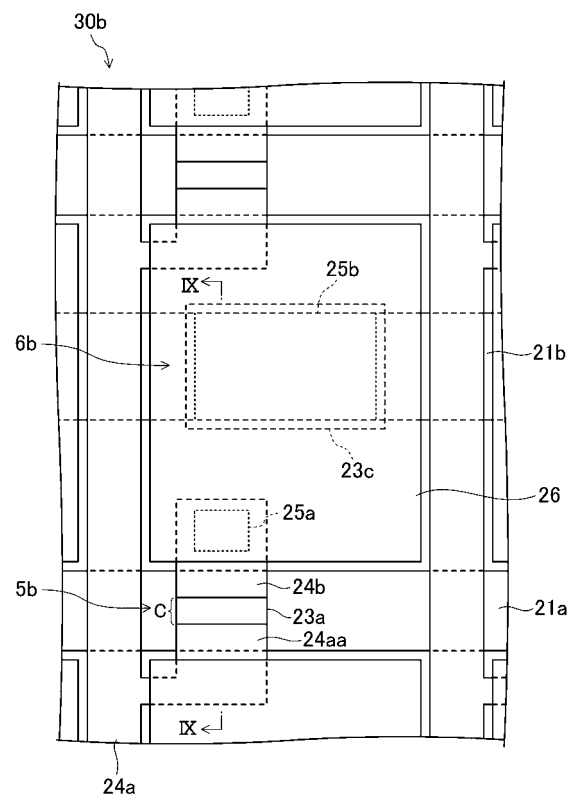
【図 6】



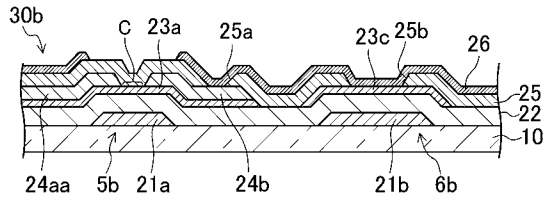
【図 7】



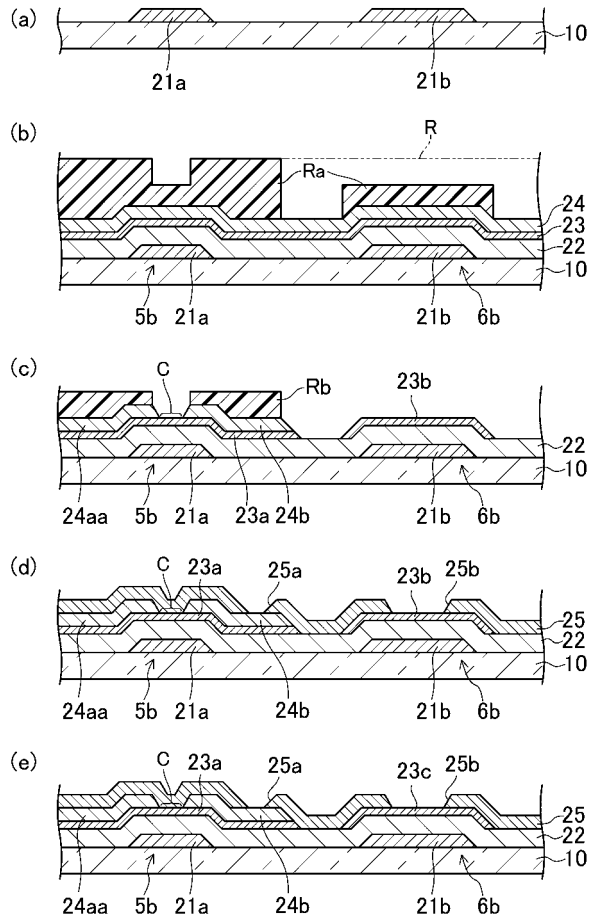
【図 8】



【図 9】



【図 10】



フロントページの続き

- (72)発明者 太田 純史
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
- (72)発明者 水野 裕二
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
- (72)発明者 鈴木 正彦
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
- (72)発明者 中川 興史
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
- (72)発明者 春本 祥征
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
- (72)発明者 宮本 恵信
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内

審査官 田辺 正樹

- (56)参考文献 特開2010-114213 (JP, A)
特開平11-103066 (JP, A)
特開2008-108985 (JP, A)
特開2008-235871 (JP, A)
特開2011-49539 (JP, A)
特開2011-76079 (JP, A)
特開2008-65225 (JP, A)
特開2009-99847 (JP, A)
特開2011-100995 (JP, A)
特開2011-100994 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F1/13-1/141

G09F9/00-9/46

H01L21/336、27/32、29/786、51/50

H05B33/00-33/28