

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2012 年 12 月 27 日 (27.12.2012)



(10) 国际公布号
WO 2012/174770 A1

- (51) 国际专利分类号:
H01L 29/78 (2006.01) H01L 21/336 (2006.01)
H01L 27/12 (2006.01)
- (21) 国际申请号: PCT/CN2011/077908
- (22) 国际申请日: 2011 年 8 月 2 日 (02.08.2011)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201110173892.1 2011 年 6 月 24 日 (24.06.2011) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): 朱慧珑 (ZHU, Huilong) [US/US]; 美国纽约州波基普西市奥特姆路 93#, New York 12603 (US)。 梁擎擎 (LIANG, Qingqing) [CN/US]; 美国纽约州拉格朗日镇瑞吉路 28 号, New York 12540 (US)。 骆志炯 (LUO, Zhijiong) [US/US]; 美国纽约州波基普西市洛克科劳斯特街 11#, New

York 12603 (US)。 尹海洲 (YIN, Haizhou) [CN/US]; 美国纽约州波基普西市洛克科劳斯特街 11#, New York 12603 (US)。

(74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT AND TRADEMARK AGENT LTD.); 中国北京市海淀区王庄路 1 号清华同方科技大厦 B 座 25 层, Beijing 100083 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE,

[见续页]

(54) Title: SEMICONDUCTOR STRUCTURE AND MANUFACTURING METHOD THEREOF

(54) 发明名称: 一种半导体结构及其制造方法

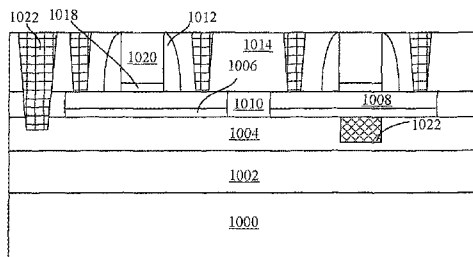


图10 / Fig. 10

(57) Abstract: Provided are a semiconductor structure and a manufacturing method thereof, which can be used for adjusting the threshold voltage of a MOSFET. The semiconductor structure includes an SOI substrate and a MOSFET on the SOI substrate. The SOI substrate includes an SOI layer (1008), a first buried insulation layer (1006), a buried semiconductor layer (1004), a second buried insulation layer (1002) and a semiconductor substrate (1000) from top to bottom, wherein the buried semiconductor layer includes a back gate region, and the back gate region is the region formed by doping first polar impurities to the buried semiconductor layer. The MOSFET includes a gate stack (1018, 1020) and source/drain regions, wherein the gate stack is arranged on the SOI layer, and the source/drain regions are arranged in the SOI layer and adjacent to two sides of the gate stack. The back gate region includes a counter doping region (1022) which is under the gate stack and includes second polar impurities, wherein the first polar is opposite to the second polar.

(57) 摘要: 提供了一种半导体结构及其制造方法, 其适用于 MOSFET 的阈值调节。该半导体结构包括 SOI 衬底和位于该 SOI 衬底上的 MOSFET。该 SOI 衬底自上而下包括 SOI 层 (1008)、第一绝缘埋层 (1006)、半导体埋层 (1004)、第二绝缘埋层 (1002) 以及半导体衬底 (1000), 该半导体埋层中包含背栅区, 该背栅区为通过向该半导体埋层掺杂第一极性的杂质而形成的区域。该 MOSFET 包括栅堆叠 (1018、1020) 和源/漏区, 该栅堆叠位于该 SOI 层上, 该源/漏区位于该 SOI 层中并位于该栅堆叠两侧。其中, 该背栅区中包含反掺杂区 (1022), 所述反掺杂区位于该栅堆叠下方, 且包含第二极性的杂质, 所述第一极性与第二极性相反。

WO 2012/174770 A1

WO 2012/174770 A1



SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA,
GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种半导体结构及其制造方法

本申请要求 2011 年 6 月 24 日提交的、申请号为 201110173892.1、发明名称为“一种半导体结构及其制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本发明涉及半导体制造领域，更具体地，涉及一种形成于超薄 SOI (Semiconductor on Insulator, 绝缘层上半导体) 上的半导体结构及其制造方法。

背景技术

随着半导体器件的尺寸越来越小，器件的关键尺寸——栅长也变得越来越短。当金属氧化物半导体场效应晶体管 (MOSFET, Metal Oxide Semiconductor Field Effect Transistor) 的栅长减小到 45nm 以下时，MOSFET 的短沟道效应 (SCE, Short Channel Effect) 会变得越来越明显，包括：器件的阈值电压发生漂移，载流子的迁移率降低，以及漏极感应势垒降低 (DIBL, Drain Induced Barrier Lower) 等现象。

为了抑制短沟道效应，现有技术半导体衬底与 SOI 结构之间增加一层半导体层，并进行离子掺杂形成背栅结构，通过对该背栅的电压控制来达到对器件阈值电压的调整，从而达到抑制短沟道效应的目的。然而采用这种方法，对于 pMOS 器件和 nMOS 器件，需要在背栅上施加不同的电压值以调整阈值电压，要求 pMOS 器件和 nMOS 器件有不同的背栅接触，因而增大了背栅接触面积，影响了半导体器件集成度的进一步提高。

有鉴于此，需要提供一种新颖的半导体结构及其制造方法，以达到能够分别调节 pMOSFET 和 nMOSFET 的阈值电压的目的，并进一步提高器件的集成度。

发明内容

本发明的目的在于提供一种半导体结构及其制造方法，以克服上述现有技术中的问题，提高器件的集成度并能够分别调节 pMOSFET 和 nMOSFET 的阈值电压。

根据本发明的一方面，提供了一种半导体结构，包括：SOI 衬底和位于所述 SOI 衬底上的 MOSFET；所述 SOI 衬底自上而下包括 SOI 层、第一绝缘埋层、半导体埋层、第二绝缘埋层以及半导体衬底，所述半导体埋层中包含背栅区，所述背栅区为所述半

导体埋层掺杂了第一极性的杂质后形成的区域；所述 MOSFET 包括栅堆叠和源/漏区，所述栅堆叠位于所述 SOI 层上，所述源/漏区位于所述 SOI 层中且位于所述栅堆叠的两侧；其中，所述背栅区中包括反掺杂区，所述反掺杂区位于所述栅堆叠下方，且包含第二极性的杂质，所述第一极性与第二极性相反。

根据本发明的另一方面，提供了一种半导体结构的制造方法，包括以下步骤：提供 SOI 衬底，所述 SOI 衬底自上而下包括 SOI 层、第一绝缘埋层、半导体埋层、第二绝缘埋层以及半导体衬底；在所述半导体埋层中掺杂第一极性的杂质以形成背栅区；在所述 SOI 层上形成 MOSFET，所述 MOSFET 包括牺牲栅和源/漏区，所述牺牲栅位于所述 SOI 层上，在所述牺牲栅外侧环绕有侧墙，所述源/漏区位于所述 SOI 层中且位于所述牺牲栅的两侧；去除所述牺牲栅以在所述侧墙内形成开口；向所述开口中注入第二极性的杂质，从而在所述开口下方的所述背栅区中形成反掺杂区，所述第二极性与第一极性相反；在所述开口中形成替代栅堆叠。

本发明的实施例采用的半导体结构及其制造方法，通过在半导体埋层中形成的背栅结构中形成反掺杂区，该反掺杂区自对准于栅极，因而能够对不同的 MOSFET 的阈值电压进行调节。对于同一个半导体结构中同时具有 pMOSFET 或 nMOSFET 的情况，可以对部分器件的阈值电压通过反掺杂区进行调节，则能够达到通过一个背栅接触同时控制 pMOSFET 或 nMOSFET 的阈值电压的目的，大大提高了半导体制造的集成度。

附图说明

通过以下参照附图对本发明实施例的描述，本发明的上述以及其他目的、特征和优点将更为清楚，在附图中：

图 1~10 示出了根据本发明实施例制造半导体结构的流程中各步骤对应的剖面图。

具体实施方式

以下，通过附图中示出的具体实施例来描述本发明。但是应该理解，这些描述只是示例性的，而并非要限制本发明的范围。此外，在以下说明中，省略了对公知结构和技术的描述，以避免不必要地混淆本发明的概念。

在附图中示出了根据本发明实施例的层结构示意图。这些图并非是按比例绘制的，其中为了清楚的目的，放大了某些细节，并且可能省略了某些细节。图中所示出

的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的，实际中可能由于制造公差或技术限制而有所偏差，并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域/层。

图 1~9 详细示出了根据本发明实施例制造半导体结构的流程中各步骤对应的剖面图。以下，将参照这些附图来对根据本发明实施例的各个步骤以及由此得到的半导体结构予以详细说明。

首先，如图 1 所示，形成一个三叠层结构。具体地，首先提供一个常规的半导体衬底 1000，在该衬底 1000 上形成第二绝缘埋层 1002，例如可以采用淀积的方法形成氧化物埋层。接着在第二绝缘埋层 1002 上形成半导体埋层 1004，例如可以通过淀积的方法形成多晶 Si 层。这样就形成了一个包括：半导体埋层 1004/第二绝缘埋层 1002/半导体衬底 1000 的三叠层结构。

在本发明的实施例中，所述半导体衬底 1000 例如可以包括任何适合的半导体衬底材料，具体可以是但不限于硅、锗、锗化硅、SOI（绝缘体上硅）、碳化硅、砷化镓或者任何 III/V 族化合物半导体等。根据现有技术公知的设计要求（例如 p 型衬底或者 n 型衬底），衬底 1000 可以包括各种掺杂配置。此外，衬底 1000 可以可选地包括外延层，可以被应力改变以增强性能。所述半导体埋层还可以是单晶 Si。形成半导体埋层 1004 的办法还可以是：在所述第二绝缘埋层 1002 上键和一层 SOI 结构。

然后，如图 2 所示，在所述的三叠层结构上形成第一绝缘埋层 1006 和 SOI 层 1008。可以采用本领域普通技术人员熟知的智能剥离（SmartCut™）方法在图 1 所示的结构上形成一 SOI 层 1008。智能剥离技术具体为：如图 3 所示，准备一硅片 A，将一定剂量的氢离子注入所述硅片 A，将该硅片 A 中注入氢离子的表面与图 1 所示的三叠层结构的上表面通过键合技术结合，在随后的热处理过程中，在注入氢离子的硅片 A 的投影射程处将形成微空腔层，并在该硅片 A 的表面形成 SOI 层。进一步将上述的 SOI 层从该表面射程处剥离，使该 SOI 层转移到图 1 所示的三叠层结构的表面上，从而得到如图 2 所示的 SOI 衬底。该 SOI 层 1008 的厚度可以通过氢注入能量来控制。这个步骤与本发明的实质内容无关，可以查看当前现有技术以获取具体的步骤和参数。形成半导体埋层 1004 的办法也可以参考智能剥离技术。

这样就形成了如图 2 所示的 SOI 衬底，自上而下包括 SOI 层 1008、第一绝缘埋层 1006、半导体埋层 1004、第二绝缘埋层 1002 以及半导体衬底 1000。

接着，如图 4 所示，将离子注入到半导体埋层 1004，这样就形成了背栅区。在这

一个注入步骤中，采用的是第一极性的杂质。

具体地，在离子注入步骤中注入的杂质类型和掺杂分布取决于 MOSFET 的类型以及阈值电压的目标值。如果希望提高器件的阈值电压，对于 n 型 MOSFET，可以采用 p 型杂质，例如硼（B 或 BF_2 ）、铟（In）或其组合；对于 p 型 MOSFET，可以则采用 n 型杂质，例如砷（As）、磷（P）或其组合。如果希望减小器件的阈值电压，对于 n 型 MOSFET，可以采用 n 型杂质，例如砷（As）、磷（P）或其组合；对于 p 型 MOSFET，可以则采用 p 型杂质，例如硼（B 或 BF_2 ）、铟（In）或其组合。

离子注入步骤完成之后，可以按照常规方法形成 STI 结构 1010，形成 STI 结构的步骤这里不进行赘述。

杂质的注入浓度也可以根据半导体埋层 1004 的厚度来选择，例如约为 $10^{17} \sim 10^{20} \text{ cm}^{-3}$ ，例如 10^{17} 、 10^{18} 、 10^{19} 、 10^{20} 。

然后如图 5 所示，可以进行标准的 CMOS 工艺，包括形成牺牲栅 1010，环绕牺牲栅 1010 形成侧墙 1012，再进行源/漏注入，以在 SOI 层 1008 中形成源区和漏区（未示出），在整个半导体结构上形成层间介质层 1014，并对层间介质层 1014 进行平坦化处理至所述牺牲栅 1010 露出。在本发明的实施例中，该牺牲栅 1010 优选为多晶 Si 栅。

下面进行替代栅工艺。如图 7 所示，采用常规的方法去除牺牲栅 1010 从而在侧墙 1012 内壁形成开口 1016，例如可以采用反应离子刻蚀工艺去除多晶 Si 栅。

如图 8 所示，用光刻胶 B 覆盖左侧的 MOSFET，并在右侧的开口 1016 内进行杂质注入。在这个步骤中注入的是第二极性的杂质，第二极性与图 4 注入中采用的第一极性是相反的。例如在图 4 中注入了 n 型杂质，这时就需要注入 p 型杂质。注入的第二极性的杂质的浓度可以为： $10^{17} \sim 10^{20} \text{ cm}^{-3}$ ，例如 10^{17} 、 10^{18} 、 10^{19} 、 10^{20} 。

如图 9 所示，进行快速退火以激活第一杂质和第二杂质，这样就形成了如图 9 所示的反掺杂区 1022。在这个步骤中，退火的温度优选为 $800 \sim 1200^\circ\text{C}$ 。形成的反掺杂区 1022 能够对 p 型或 n 型的 MOSFET 的阈值电压进行调节。

以下以一个较为详细的实施例来说明本发明的应用原理。假设左侧的为 nMOSFET，右侧的为 pMOSFET。在第一次离子注入中，掺杂的是 p 型的杂质，nMOSFET 的阈值增大，但是 pMOSFET 的阈值反而减小了。为了增大 pMOSFET 的阈值，在第二次的离子注入中，掺杂的是 n 型的杂质，这样就能够达到通过一个背栅电压同时调节多个 MOSFET 的阈值的目的。

接着如图 9 所示, 将光刻胶 B 去除, 并形成替代栅堆叠。具体地, 首先在开口内形成栅介质层 1018, 可以采用高 k 栅介质材料。所述高 k 栅介质层可以是 HfO_2 、 HfSiO 、 HfSiON 、 HfTaO 、 HfTiO 、 HfZrO 、 Al_2O_3 、 La_2O_3 、 ZrO_2 、 LaAlO 其中任一种或多种, 例如可以淀积 HfO_2 2-4nm。然后在栅介质层 1018 上形成金属层 1020。所述金属层 1020 能够对所述 MOSFET 的阈值电压进行调节, 对于 pMOSFET, 所述金属层 1020 可以包括: MoN_x 、 TiSiN 、 TiCN 、 TaAlC 、 TiAlN 、 TaN 、 PtSi_x 、 Ni_3Si 、 Pt 、 Ru 、 Ir 、 Mo 、 HfRu 、 RuO_x 中的任一种或多种的组合; 对于 nMOSFET, 所述金属层可以包括 TaC 、 TiN 、 TaTbN 、 TaErN 、 TaYbN 、 TaSiN 、 HfSiN 、 MoSiN 、 RuTax 、 NiTax 中的任一种或多种的组合。这些金属具有不同的功函数, 可以根据器件需要调整的阈值电压选择不同材料的金属层。

最后在整个半导体结构上形成接触 1022, 包括源/漏接触, 栅极接触以及背栅接触。如图 10 所示, 对于半导体衬底上同时有 nMOSFET 和 pMOSFET 的情况, 只需要一个背栅接触, 在对 nMOSFET 和 pMOSFET 施加相同的背栅电压的情况下, 就能够实现对 nMOSFET 和 pMOSFET 不同的阈值电压进行控制的目的。

如图 10 所示, 为根据本发明的一个实施例得到的一个半导体结构剖视图。该半导体结构包括: SOI 衬底和位于所述 SOI 衬底上的 MOSFET。

所述 SOI 衬底自上而下包括 SOI 层 1008、第一绝缘埋层 1006、半导体埋层 1004、第二绝缘埋层 1002 以及半导体衬底 1000, 所述半导体埋层 1004 中包含背栅区, 所述背栅区为所述半导体埋层 1004 掺杂了第一极性的杂质后形成的区域。

所述 MOSFET 包括栅堆叠和源/漏区, 所述栅堆叠位于所述 SOI 层 1008 上, 所述源/漏区位于所述 SOI 层中且位于所述栅堆叠的两侧 (图中未示出)。

其中, 所述背栅区中包括反掺杂区 1022, 所述反掺杂区 1022 位于所述栅堆叠下方, 且包含第二极性的杂质, 所述第一极性与第二极性相反。

其中, 所述半导体埋层 1004 由多晶 Si 或单晶 Si 形成。

其中, 所述栅堆叠包括高 k 栅介质层 1018 和金属层 1020。所述高 k 栅介质层可以是 HfO_2 、 HfSiO 、 HfSiON 、 HfTaO 、 HfTiO 、 HfZrO 、 Al_2O_3 、 La_2O_3 、 ZrO_2 、 LaAlO 其中任一种或多种。所述金属层能够对所述 MOSFET 的阈值电压进行调节, 对于 pMOSFET, 所述金属层可以包括: MoN_x 、 TiSiN 、 TiCN 、 TaAlC 、 TiAlN 、 TaN 、 PtSi_x 、 Ni_3Si 、 Pt 、 Ru 、 Ir 、 Mo 、 HfRu 、 RuO_x 中的任一种或多种的组合; 对于 nMOSFET, 所述金属层可以包括 TaC 、 TiN 、 TaTbN 、 TaErN 、 TaYbN 、 TaSiN 、 HfSiN 、 MoSiN 、 RuTax 、 NiTax

中的任一种或多种的组合。

其中,所述背栅区中第一极性的杂质掺杂浓度优选为为: $10^{17} \sim 10^{20} \text{ cm}^{-3}$, 例如 10^{17} 、 10^{18} 、 10^{19} 、 10^{20} 。所述反掺杂区中第二极性的杂质掺杂浓度为: $10^{17} \sim 10^{20} \text{ cm}^{-3}$, 例如 10^{17} 、 10^{18} 、 10^{19} 、 10^{20} 。

从图 10 中可以看出,如果半导体衬底上同时有 nMOSFET 和 pMOSFET 的情况,由于其中的一个 MOSFET 的背栅区中加入了反掺杂区,那么只需要一个背栅接触,在对 nMOSFET 和 pMOSFET 施加相同的背栅电压的情况下,就能够实现对 nMOSFET 和 pMOSFET 不同的阈值电压进行控制的目的,进一步提高了半导体制造的集成度。在以上的描述中,对于各层的构图、刻蚀等技术细节并没有做出详细的说明。但是本领域技术人员应当理解,可以通过现有技术中的各种手段,来形成所需形状的层、区域等。另外,为了形成同一结构,本领域技术人员还可以设计出与以上描述的方法并不完全相同的方法。

以上参照本发明的实施例对本发明予以了说明。但是,这些实施例仅仅是为了说明的目的,而并非为了限制本发明的范围。本发明的范围由所附权利要求及其等价物限定。不脱离本发明的范围,本领域技术人员可以做出多种替换和修改,这些替换和修改都应落在本发明的范围之内。

权 利 要 求

1. 一种半导体结构，包括：SOI 衬底和位于所述 SOI 衬底上的 MOSFET；

所述 SOI 衬底自上而下包括 SOI 层、第一绝缘埋层、半导体埋层、第二绝缘埋层以及半导体衬底，所述半导体埋层中包含背栅区，所述背栅区为所述半导体埋层掺杂了第一极性的杂质后形成的区域；

所述 MOSFET 包括栅堆叠和源/漏区，所述栅堆叠位于所述 SOI 层上，所述源/漏区位于所述 SOI 层中且位于所述栅堆叠的两侧；

其中，所述背栅区中包括反掺杂区，所述反掺杂区自对准于所述栅堆叠，且包含第二极性的杂质掺杂，所述第一极性与第二极性相反。

2. 根据权利要求 1 所述的半导体结构，其中，所述半导体埋层由多晶 Si 或单晶 Si 形成。

3. 根据权利要求 1 所述的半导体结构，其中，所述栅堆叠包括高 k 栅介质层和金属层，所述金属层能够对所述 MOSFET 的阈值电压进行调节。

4. 根据权利要求 3 所述的半导体结构，其中，对于 pMOSFET，所述金属层包括：MoNx、TiSiN、TiCN、TaAlC、TiAlN、TaN、PtSix、Ni3Si、Pt、Ru、Ir、Mo、HfRu、RuOx 中的任一种或多种的组合；

对于 nMOSFET，所述金属层包括 TaC、TiN、TaTbN、TaErN、TaYbN、TaSiN、HfSiN、MoSiN、RuTax、NiTax 中的任一种或多种的组合。

5. 根据权利要求 1 至 5 之一所述的半导体结构，其中，所述背栅区中第一极性的杂质的掺杂浓度为： $10^{17} \sim 10^{20} \text{ cm}^{-3}$ 。

6. 根据权利要求 1 至 5 之一所述的半导体结构，其中，所述反掺杂区中第二极性的杂质的掺杂浓度为： $10^{17} \sim 10^{20} \text{ cm}^{-3}$ 。

7. 一种半导体结构的制造方法，包括：

提供 SOI 衬底，所述 SOI 衬底自上而下包括 SOI 层、第一绝缘埋层、半导体埋层、第二绝缘埋层以及半导体衬底；

在所述半导体埋层中掺杂第一极性的杂质以形成背栅区；

在所述 SOI 层上形成 MOSFET，所述 MOSFET 包括牺牲栅和源/漏区，所述牺牲栅位于所述 SOI 层上，在所述牺牲栅外侧环绕有侧墙，所述源/漏区位于所述 SOI 层中且位于所述牺牲栅的两侧；

去除所述牺牲栅以在所述侧墙内形成开口；

向所述开口中注入第二极性的杂质，从而自对准于所述开口在所述背栅区中形成反掺杂区，所述第二极性与第一极性相反；

在所述开口中形成替代栅堆叠。

8. 根据权利要求 7 所述的方法，其中，所述半导体埋层由多晶 Si 或单晶 Si 形成。

9. 根据权利要求 7 所述的方法，其中，所述向所述开口中注入第二极性的杂质之后，所述方法进一步包括：

进行退火以激活所述第一极性的杂质和第二极性的杂质。

10. 根据权利要求 9 所述的方法，其中，所述退火的温度为 $800\sim 1200^{\circ}\text{C}$ 。

11. 根据权利要求 7 所述的方法，其中所述在所述开口中形成替代栅堆叠的步骤包括：

在所述开口中形成栅介质层；

在所述栅介质层上形成金属层，所述金属层能够对所述 MOSFET 的阈值电压进行调节。

12. 根据权利要求 11 所述的方法，对于 pMOSFET，所述金属层包括： MoN_x 、 TiSiN 、 TiCN 、 TaAlC 、 TiAlN 、 TaN 、 PtSi_x 、 Ni_3Si 、 Pt 、 Ru 、 Ir 、 Mo 、 HfRu 、 RuO_x 中的任一种或多种的组合；

对于 nMOSFET，所述金属层包括 TaC 、 TiN 、 TaTbN 、 TaErN 、 TaYbN 、 TaSiN 、 HfSiN 、 MoSiN 、 RuTax 、 NiTax 中的任一种或多种的组合。

13. 根据权利要求 7 至 12 之一所述的方法，其中，所述在所述半导体埋层中掺杂第一极性的杂质以形成背栅区的步骤包括：

进行第一极性的杂质注入，杂质注入的浓度为 $10^{17}\sim 10^{20}\text{ cm}^{-3}$ 。

14. 根据权利要求 7 至 12 之一所述的方法，其中，所述向所述开口注入第二极性的杂质的步骤中，杂质注入的浓度为 $10^{17}\sim 10^{20}\text{ cm}^{-3}$ 。

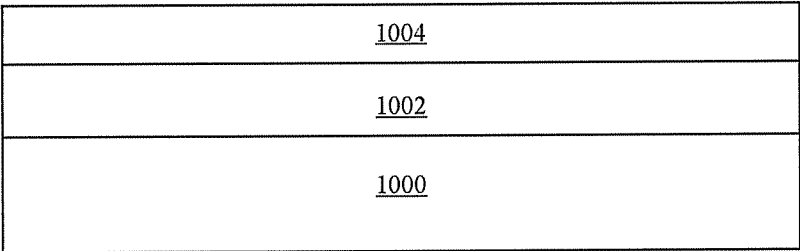


图1

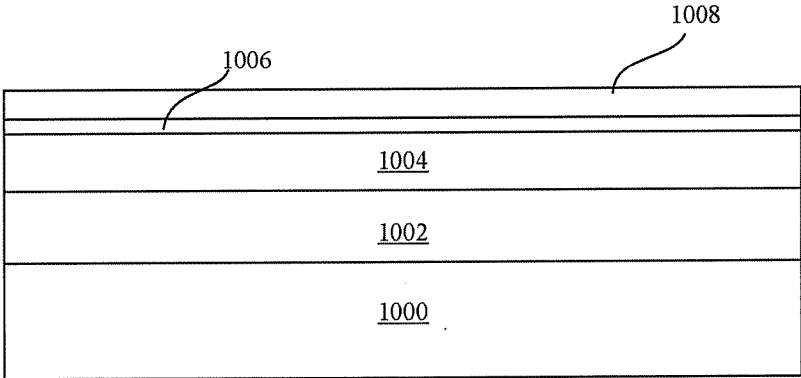


图2

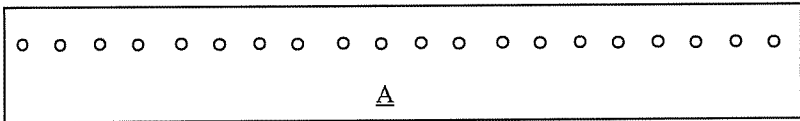


图3

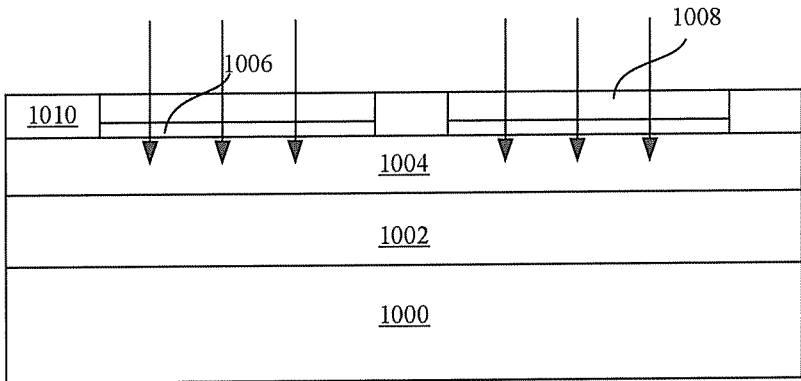


图4

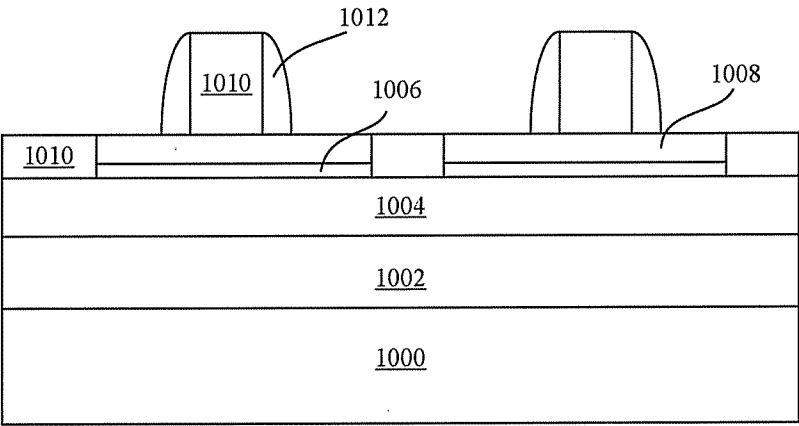


图5

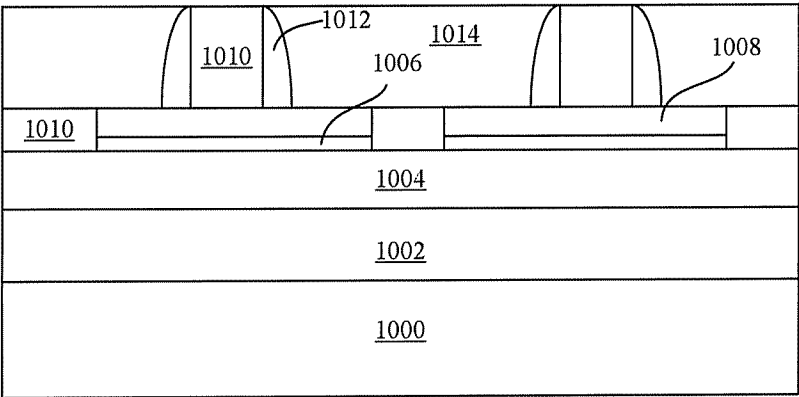


图6

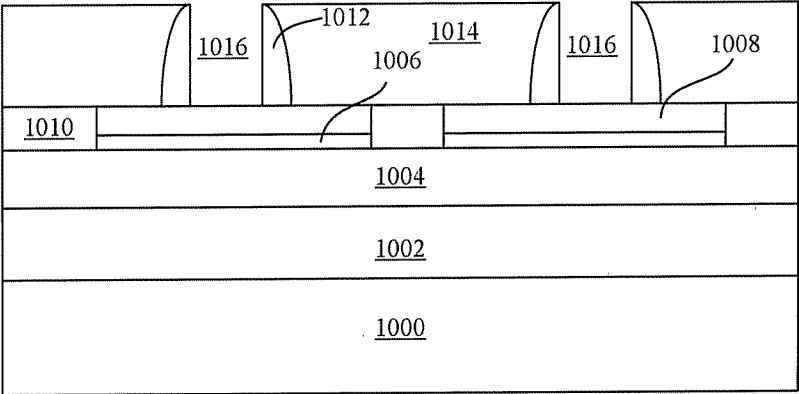


图7

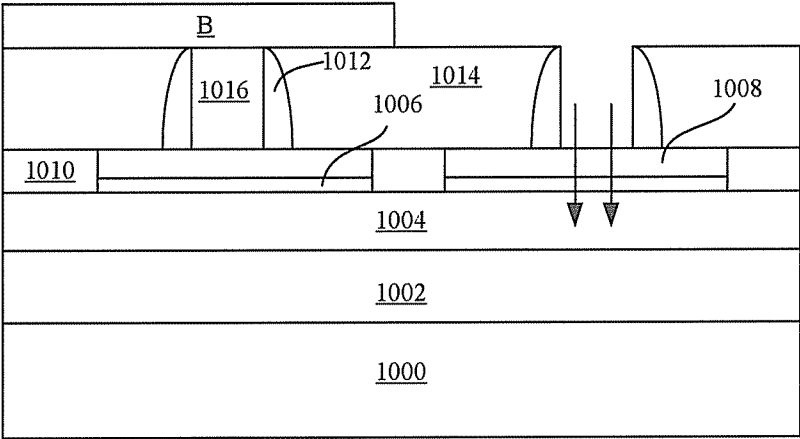


图8

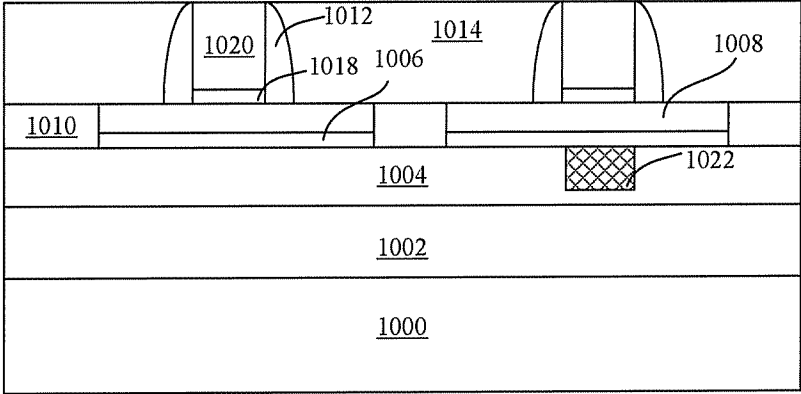


图9

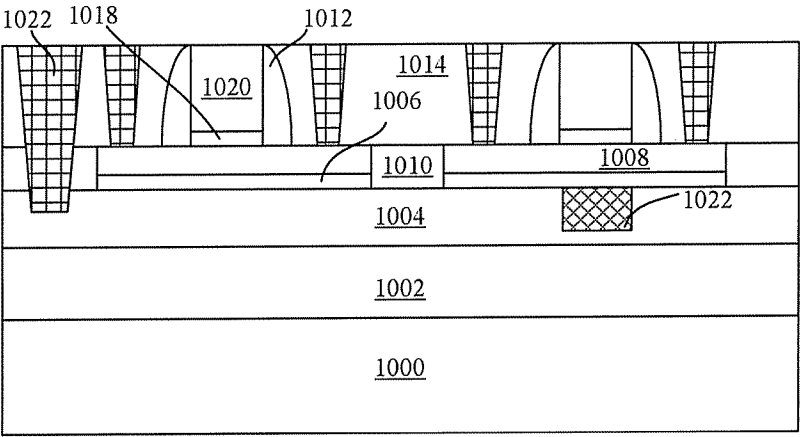


图10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/077908

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 21/-, H01L 27/-, H01L 29/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI: SOI silicon on insulator semiconductor on insulator back gate doping inject adjust control

WPI, EPODOC: SOI silicon-on-insulator semiconductor-on-insulator back-gate back-grid dop+ adjust+ tun+ control+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 1901228 A (SEIKO EPSON CORPORATION et al.), 24 January 2007 (24.01.2007), abstract; description, page 5, 2 nd to last paragraph to page 6, the last paragraph; and figure 1	1-6
Y	US 6072217 A (SUN MICROSYSTEMS INC.), 06 June 2000 (06.06.2000), description, column 7, line 6 to column 8, line 6, and figure 7	1-6
Y	US 2010/0187643 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION), 29 July 2010 (29.07.2010), abstract; description, page 1, paragraphs 9-13; and figure 5	3-4
A	CN 1487597 A (INTERNATIONAL BUSINESS MACHINES CORP.), 07 April 2004 (07.04.2004), the whole document	1-14

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 13 March 2012 (13.03.2012)	Date of mailing of the international search report 29 March 2012 (29.03.2012)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer YANG, Yong Telephone No.: (86-10) 62411777

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2011/077908

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 1901228 A	24.01.2007	US 2007018246 A1	25.01.2007
		JP 2007053332 A	01.03.2007
		KR 20070012192 A	25.01.2007
		KR 100718178 B1	08.05.2007
		JP 4231909 B2	04.03.2009
		TW 200717802 A	01.05.2007
US 6072217 A	06.06.2000	None	
US 2010/0187643 A1	29.07.2010	US 7754594 B1	13.07.2010
		TW 201044465 A	16.12.2010
CN 1487597 A	07.04.2004	US 6664598 B1	16.12.2003
		JP 2004104105 A	02.04.2004
		KR 20040022387 A	12.03.2004
		TW 200404371 A	16.03.2004
		CN 1252833 C	19.04.2006
		KR 100518132 B	04.10.2005
		TW 255555 B1	21.05.2006
		JP 4426789 B2	03.03.2010

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/077908

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78 (2006.01) i

H01L 27/12 (2006.01) i

H01L 21/336 (2006.01) i

国际检索报告

国际申请号

PCT/CN2011/077908

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L21/-, H01L27/-, H01L29/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT,CNKI: SOI 绝缘体上硅 绝缘体上半导体 背栅 掺杂 注入 调节 控制

WPI,EPODOC: SOI silicon-on-insulator semiconductor-on-insulator back-gate back-grid dop+ adjust+ tun+ control+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN1901228A (精工爱普生株式会社等) 24.1 月 2007 (24.01.2007) 摘要, 说明书第 5 页倒数第 2 段至第 6 页最后 1 段, 附图 1	1-6
Y	US6072217A (SUN MICROSYSTEMS INC.) 06.6 月 2000 (06.06.2000) 说明书第 7 栏第 6 行至第 8 栏第 6 行, 附图 7	1-6
Y	US2010/0187643A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 29.7 月 2010 (29.07.2010) 摘要, 说明书第 1 页第 9 段至第 13 段, 附图 5	3-4
A	CN1487597A (国际商业机器公司) 07.4 月 2004 (07.04.2004) 全文	1-14

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

13.3 月 2012 (13.03.2012)

国际检索报告邮寄日期

29.3 月 2012 (29.03.2012)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

杨永

电话号码: (86-10) **62411777**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2011/077908

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN1901228A	24.01.2007	US2007018246A1	25.01.2007
		JP2007053332A	01.03.2007
		KR20070012192A	25.01.2007
		KR100718178B1	08.05.2007
		JP4231909B2	04.03.2009
		TW200717802A	01.05.2007
US6072217A	06.06.2000	无	
US2010/0187643A1	29.07.2010	US7754594B1	13.07.2010
		TW201044465A	16.12.2010
CN1487597A	07.04.2004	US6664598B1	16.12.2003
		JP2004104105A	02.04.2004
		KR20040022387A	12.03.2004
		TW200404371A	16.03.2004
		CN1252833C	19.04.2006
		KR100518132B	04.10.2005
		TW255555B1	21.05.2006
		JP4426789B2	03.03.2010

A. 主题的分类

H01L29/78 (2006.01) i

H01L27/12 (2006.01) i

H01L21/336 (2006.01) i