

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7613570号  
(P7613570)

(45)発行日 令和7年1月15日(2025.1.15)

(24)登録日 令和7年1月6日(2025.1.6)

(51)国際特許分類		F I			
H 1 0 D	30/66 (2025.01)	H 0 1 L	29/78	6 5 2 H	
H 1 0 D	84/80 (2025.01)	H 0 1 L	29/78	6 5 7 D	
H 1 0 D	12/00 (2025.01)	H 0 1 L	29/78	6 5 5 G	
H 1 0 D	62/10 (2025.01)	H 0 1 L	29/78	6 5 2 Q	
		H 0 1 L	29/78	6 5 2 P	
請求項の数 13 (全21頁) 最終頁に続く					
(21)出願番号	特願2023-520757(P2023-520757)	(73)特許権者	000005234		
(86)(22)出願日	令和3年12月8日(2021.12.8)		富士電機株式会社		
(86)国際出願番号	PCT/JP2021/045159		神奈川県川崎市川崎区田辺新田 1 番 1 号		
(87)国際公開番号	WO2022/239285	(74)代理人	110000877		
(87)国際公開日	令和4年11月17日(2022.11.17)		弁理士法人 R Y U K A 国際特許事務所		
審査請求日	令和5年4月28日(2023.4.28)	(72)発明者	伊倉 巧裕		
(31)優先権主張番号	特願2021-80625(P2021-80625)		神奈川県川崎市川崎区田辺新田 1 番 1 号		
(32)優先日	令和3年5月11日(2021.5.11)		富士電機株式会社内		
(33)優先権主張国・地域又は機関	日本国(JP)	(72)発明者	野口 晴司		
			神奈川県川崎市川崎区田辺新田 1 番 1 号		
			富士電機株式会社内		
		(72)発明者	桜井 洋輔		
			神奈川県川崎市川崎区田辺新田 1 番 1 号		
			富士電機株式会社内		
		(72)発明者	浜崎 竜太郎		
					最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項 1】

トランジスタ部を備える半導体装置であって、  
半導体基板に設けられた第 1 導電型のドリフト領域と、  
前記半導体基板のおもて面から前記ドリフト領域まで延伸する複数のトレンチ部と、  
前記半導体基板のおもて面において、前記複数のトレンチ部のトレンチ部から隣のトレン  
チ部まで延伸して設けられ、前記ドリフト領域よりもドーピング濃度が高い第 1 導電型  
のエミッタ領域と、  
前記トレンチ部の下端に設けられた第 2 導電型のトレンチボトム部と  
を備え、  
前記トランジスタ部は、上面視で、前記トレンチボトム部が設けられていない電子通過  
領域を有し、  
前記半導体基板のおもて面に設けられた第 2 導電型のコンタクト領域と、  
前記トレンチボトム部と同じ深さ方向位置において、前記トレンチボトム部の間に設け  
られた電子通過部と  
をさらに備え、  
トレンチ延伸方向において、前記電子通過部の幅は前記コンタクト領域の幅よりも小さ  
く、  
前記電子通過部は、前記コンタクト領域の下方に設けられている  
半導体装置。

## 【請求項 2】

トランジスタ部を備える半導体装置であって、  
半導体基板に設けられた第 1 導電型のドリフト領域と、  
前記半導体基板のおもて面から前記ドリフト領域まで延伸する複数のトレンチ部と、  
前記半導体基板のおもて面において、前記複数のトレンチ部のトレンチ部から隣のトレンチ部まで延伸して設けられ、前記ドリフト領域よりもドーピング濃度が高い第 1 導電型のエミッタ領域と、  
前記トレンチ部の下端に設けられた第 2 導電型のトレンチボトム部と  
を備え、  
前記トランジスタ部は、上面視で、前記トレンチボトム部が設けられていない電子通過領域を有し、  
前記半導体基板のおもて面に設けられた第 2 導電型のコンタクト領域をさらに備え、  
前記エミッタ領域および前記コンタクト領域は、トレンチ延伸方向において交互に設けられており、  
前記トランジスタ部は、上面視で、前記トレンチボトム部が形成されたトレンチボトム領域を有し、  
前記トレンチボトム領域および前記電子通過領域は、トレンチ延伸方向において交互に設けられており、  
前記電子通過領域には、前記エミッタ領域が少なくとも設けられている  
半導体装置。

10

20

## 【請求項 3】

前記電子通過領域は、トレンチ配列方向において、前記複数のトレンチ部のトレンチ部から隣のトレンチ部まで延伸して設けられている

請求項 1 または 2 に記載の半導体装置。

## 【請求項 4】

前記電子通過領域は、トレンチ配列方向において、複数のトレンチ部を越えて延伸する  
請求項 3 に記載の半導体装置。

## 【請求項 5】

前記電子通過領域のメサ部には、前記エミッタ領域が設けられていない

請求項 1、3 および 4 の何れか一項に記載の半導体装置。

30

## 【請求項 6】

前記エミッタ領域の下方には、前記トレンチボトム部が設けられている

請求項 1、および 3 から 5 の何れか一項に記載の半導体装置。

## 【請求項 7】

トランジスタ部およびダイオード部を備える半導体装置であって、  
半導体基板に設けられた第 1 導電型のドリフト領域と、  
前記半導体基板のおもて面から前記ドリフト領域まで延伸する複数のトレンチ部と、  
前記半導体基板のおもて面において、前記複数のトレンチ部のトレンチ部から隣のトレンチ部まで延伸して設けられ、前記ドリフト領域よりもドーピング濃度が高い第 1 導電型のエミッタ領域と、  
前記トレンチ部の下端に設けられた第 2 導電型のトレンチボトム部と  
を備え、  
前記トランジスタ部は、上面視で、前記トレンチボトム部が設けられていない電子通過領域を有し、  
前記トランジスタ部は、上面視で、前記トレンチボトム部が形成されたトレンチボトム領域を有し、  
前記トレンチボトム領域および前記電子通過領域は、トレンチ配列方向において交互に設けられている  
前記トレンチボトム部は、前記トランジスタ部のみに設けられている  
半導体装置。

40

50

## 【請求項 8】

前記電子通過領域には、ゲート電圧が印加されるゲートトレンチ部が少なくとも設けられている

請求項 7 に記載の半導体装置。

## 【請求項 9】

前記トレンチボトム部は、電氣的に浮遊している

請求項 1 から 8 の何れか一項に記載の半導体装置。

## 【請求項 10】

前記トレンチボトム部のドーピング濃度は、 $1 \times 10^{12} \text{ cm}^{-3}$  以上、 $1 \times 10^{13} \text{ cm}^{-3}$  以下である

請求項 1 から 9 の何れか一項に記載の半導体装置。

## 【請求項 11】

前記ドリフト領域の上方に設けられた第 1 導電型の蓄積領域をさらに備える

請求項 1 から 10 の何れか一項に記載の半導体装置。

## 【請求項 12】

前記蓄積領域と前記トレンチボトム部との間に前記ドリフト領域が介在している

請求項 11 に記載の半導体装置。

## 【請求項 13】

前記トレンチボトム部は、前記半導体基板の深さ方向において、前記蓄積領域より厚さが薄い

請求項 11 に記載の半導体装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体装置に関する。

## 【背景技術】

## 【0002】

特許文献 1 には、IGBTセルの少なくとも一部が、第 2 の導電型の電氣的に浮遊するバリア領域を含むことが記載されている。

[ 先行技術文献 ]

[ 特許文献 ]

[ 特許文献 1 ] 特開 2019 - 91892 号公報

## 【解決しようとする課題】

## 【0003】

このようなバリア領域をトレンチ部底部に設けることにより、アバランシェ耐量が向上する一方で、ターンオン時の過渡的抵抗が上昇し、オン抵抗が悪化するという問題がある。

## 【一般的開示】

## 【0004】

本発明の第 1 の態様においては、半導体装置を提供する。半導体装置は、トランジスタ部を備え、半導体基板に設けられた第 1 導電型のドリフト領域と、半導体基板のおもて面からドリフト領域まで延伸する複数のトレンチ部と、半導体基板のおもて面において、複数のトレンチ部のトレンチ部から隣のトレンチ部まで延伸して設けられ、ドリフト領域よりもドーピング濃度が高い第 1 導電型のエミッタ領域と、トレンチ部の下端に設けられた第 2 導電型のトレンチボトム部とを備え、トランジスタ部は、上面視で、トレンチボトム部が設けられていない電子通過領域を有する。

## 【0005】

電子通過領域は、トレンチ配列方向において、複数のトレンチ部のトレンチ部から隣のトレンチ部まで延伸して設けられていてよい。

## 【0006】

電子通過領域は、トレンチ配列方向において、複数のトレンチ部を越えて延伸する。

10

20

30

40

50

## 【0007】

電子通過領域のメサ部には、エミッタ領域が設けられていなくてよい。

## 【0008】

エミッタ領域の下方には、トレンチボトム部が設けられていてよい。

## 【0009】

半導体装置は、半導体基板のおもて面に設けられた第2導電型のコンタクト領域をさらに備え、電子通過領域は、上面視で、トレンチ延伸方向端部がコンタクト領域内に位置するように設けられていてよい。

## 【0010】

電子通過領域には、エミッタ領域が少なくとも設けられていてよい。

10

## 【0011】

トランジスタ部は、上面視で、トレンチボトム部が形成されたトレンチボトム領域を有し、トレンチボトム領域および電子通過領域は、トレンチ配列方向において交互に設けられていてよい。

## 【0012】

電子通過領域には、ゲート電圧が印加されるゲートトレンチ部が少なくとも設けられていてよい。

## 【0013】

トレンチボトム部は、電氣的に浮遊していてよい。

## 【0014】

トレンチボトム部のドーピング濃度は、 $1 \times 10^{12} \text{ cm}^{-3}$ 以上、 $1 \times 10^{13} \text{ cm}^{-3}$ 以下であってよい。

20

## 【0015】

半導体装置は、ドリフト領域の上方に設けられた第1導電型の蓄積領域をさらに備えてよい。

## 【0016】

蓄積領域とトレンチボトム部との間にドリフト領域が介在していてよい。

## 【0017】

なお、上記の発明の概要は、本発明の特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

30

## 【図面の簡単な説明】

## 【0018】

【図1】本実施形態に係る半導体装置100の上面の一例を示す図である。

【図2A】半導体装置100の上面の一例を示す拡大図である。

【図2B】図2Aにおけるa - a'断面を示す図である。

【図2C】図2Aにおけるb - b'断面を示す図である。

【図2D】図2Aにおけるc - c'断面を示す図である。

【図2E】図2Aにおけるa - a'断面の別例を示す図である。

【図2F】図2Aにおけるa - a'断面の別例を示す図である。

【図3A】トレンチボトム領域Rpおよび電子通過領域Rnの配置の一例を示す図である。

40

【図3B】図3Aにおけるd - d'断面を示す図である。

【図4A】トレンチボトム領域Rpおよび電子通過領域Rnの配置の一例を示す図である。

【図4B】図4Aにおけるe - e'断面を示す図である。

【図5A】トレンチボトム領域Rpおよび電子通過領域Rnの配置の一例を示す図である。

【図5B】図5Aにおけるf - f'断面を示す図である。

## 【発明を実施するための形態】

## 【0019】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

50

## 【 0 0 2 0 】

本明細書においては半導体基板の深さ方向と平行な方向における一方の側を「上」または「おもて」、他方の側を「下」または「裏」と称する。基板、層またはその他の部材の2つの主面のうち、一方の面をおもて面、他方の面を裏面と称する。「上」、「下」の方向は、重力方向または半導体装置の実装時における方向に限定されない。

## 【 0 0 2 1 】

本明細書では、X軸、Y軸およびZ軸の直交座標軸を用いて技術的事項を説明する場合がある。直交座標軸は、構成要素の相対位置を特定するに過ぎず、特定の方向を限定するものではない。例えば、Z軸は地面に対する高さ方向を限定して示すものではない。なお、+Z軸方向と-Z軸方向とは互いに逆向きの方向である。正負を記載せず、Z軸方向と記載した場合、+Z軸および-Z軸に平行な方向を意味する。

10

## 【 0 0 2 2 】

本明細書では、半導体基板のおもて面および裏面に平行な直交軸をX軸およびY軸とする。また、半導体基板のおもて面および裏面と垂直な軸をZ軸とする。本明細書では、Z軸の方向を深さ方向と称する場合がある。また、本明細書では、X軸およびY軸を含めて、半導体基板のおもて面および裏面に平行な方向を、水平方向と称する場合がある。

## 【 0 0 2 3 】

本明細書において「同一」または「等しい」のように称した場合、製造ばらつき等に起因する誤差を有する場合も含んでよい。当該誤差は、例えば10%以内である。

## 【 0 0 2 4 】

本明細書においては、不純物がドーピングされたドーピング領域の導電型をP型またはN型として説明している。本明細書においては、不純物とは、特にN型のドナーまたはP型のアクセプタの何れかを意味する場合があり、ドーパントと記載する場合がある。本明細書においては、ドーピングとは、半導体基板にドナーまたはアクセプタを導入し、N型の導電型を示す半導体またはP型の導電型を示す半導体とすることを意味する。

20

## 【 0 0 2 5 】

本明細書においては、ドーピング濃度とは、熱平衡状態におけるドナーの濃度またはアクセプタの濃度を意味する。本明細書においては、ネット・ドーピング濃度とは、ドナー濃度を正イオンの濃度とし、アクセプタ濃度を負イオンの濃度として、電荷の極性を含めて足し合わせた正味の濃度を意味する。一例として、ドナー濃度を $N_D$ 、アクセプタ濃度を $N_A$ とすると、任意の位置における正味のネット・ドーピング濃度は $N_D - N_A$ となる。

30

## 【 0 0 2 6 】

ドナーは、半導体に電子を供給する機能を有している。アクセプタは、半導体から電子を受け取る機能を有している。ドナーおよびアクセプタは、不純物自体には限定されない。例えば、半導体中に存在する空孔(V)、酸素(O)および水素(H)が結合したVOH欠陥は、電子を供給するドナーとして機能する。

## 【 0 0 2 7 】

本明細書においてP+型またはN+型と記載した場合、P型またはN型よりもドーピング濃度が高いことを意味し、P-型またはN-型と記載した場合、P型またはN型よりもドーピング濃度が低いことを意味する。また、本明細書においてP++型またはN++型と記載した場合には、P+型またはN+型よりもドーピング濃度が高いことを意味する。

40

## 【 0 0 2 8 】

本明細書において化学濃度とは、電気的な活性化の状態によらずに測定される不純物の濃度を指す。化学濃度は、例えば二次イオン質量分析法(SIMS)により計測できる。上述したネット・ドーピング濃度は、電圧-容量測定法(CV法)により測定できる。また、拡がり抵抗測定法(SR法)により計測されるキャリア濃度を、ネット・ドーピング濃度としてよい。CV法またはSR法により計測されるキャリア濃度は、熱平衡状態における値としてよい。また、N型の領域においては、ドナー濃度がアクセプタ濃度よりも十分大きいので、当該領域におけるキャリア濃度を、ドナー濃度としてもよい。同様に、P型の領域においては、当該領域におけるキャリア濃度を、アクセプタ濃度としてもよい。

50

## 【 0 0 2 9 】

また、ドナー、アクセプタまたはネット・ドーピングの濃度分布がピークを有する場合、当該ピーク値を当該領域におけるドナー、アクセプタまたはネット・ドーピングの濃度としてよい。ドナー、アクセプタまたはネット・ドーピングの濃度がほぼ均一な場合等においては、当該領域におけるドナー、アクセプタまたはネット・ドーピングの濃度の平均値をドナー、アクセプタまたはネット・ドーピングの濃度としてよい。

## 【 0 0 3 0 】

S R 法により計測されるキャリア濃度が、ドナーまたはアクセプタの濃度より低くてもよい。拡がり抵抗を測定する際に電流が流れる範囲において、半導体基板のキャリア移動度が結晶状態の値よりも低い場合がある。キャリア移動度の低下は、格子欠陥等による結晶構造の乱れ（ディスオーダー）により、キャリアが散乱されることで生じる。

10

## 【 0 0 3 1 】

C V 法または S R 法により計測されるキャリア濃度から算出したドナーまたはアクセプタの濃度は、ドナーまたはアクセプタを示す元素の化学濃度よりも低くてもよい。一例として、シリコンの半導体においてドナーとなるリンまたはヒ素のドナー濃度、あるいはアクセプタとなるボロン（ホウ素）のアクセプタ濃度は、これらの化学濃度の 99 % 程度である。一方、シリコンの半導体においてドナーとなる水素のドナー濃度は、水素の化学濃度の 0.1 % から 10 % 程度である。

## 【 0 0 3 2 】

図 1 は、本実施形態に係る半導体装置 100 の上面の一例を示す図である。図 1 においては、各部材を半導体基板 10 のおもて面に投影した位置を示している。図 1 においては、半導体装置 100 の一部の部材だけを示しており、一部の部材は省略している。

20

## 【 0 0 3 3 】

半導体装置 100 は、半導体基板 10 を備えている。半導体基板 10 は、上面視において端面 102 を有する。本明細書で単に上面視と称した場合、半導体基板 10 のおもて面側から見ることを意味している。本例の半導体基板 10 は、上面視において互いに向かい合う 2 組の端面 102 を有する。図 1 においては、X 軸および Y 軸は、何れかの端面 102 と平行である。また Z 軸は、半導体基板 10 のおもて面と垂直である。

## 【 0 0 3 4 】

半導体基板 10 には活性部 160 が設けられている。活性部 160 は、半導体装置 100 が動作した場合に半導体基板 10 のおもて面と裏面との間で、深さ方向に主電流が流れる領域である。活性部 160 の上方にはエミッタ電極が設けられているが、図 1 では省略している。

30

## 【 0 0 3 5 】

活性部 160 には、I G B T 等のトランジスタ素子を含むトランジスタ部 70 と、還流ダイオード（F W D）等のダイオード素子を含むダイオード部 80 の少なくとも一方が設けられている。図 1 の例では、トランジスタ部 70 およびダイオード部 80 は、半導体基板 10 のおもて面における所定の配列方向（本例では X 軸方向）に沿って、交互に配置されている。他の例では、活性部 160 には、トランジスタ部 70 のみが設けられていてもよい。

40

## 【 0 0 3 6 】

図 1 においては、トランジスタ部 70 が配置される領域には記号「I」を付し、ダイオード部 80 が配置される領域には記号「F」を付している。本明細書では、上面視において配列方向と垂直な方向を延伸方向（図 1 では Y 軸方向）と称する場合がある。トランジスタ部 70 およびダイオード部 80 は、それぞれ延伸方向に長手を有してよい。つまり、トランジスタ部 70 の Y 軸方向における長さは、X 軸方向における幅よりも大きい。同様に、ダイオード部 80 の Y 軸方向における長さは、X 軸方向における幅よりも大きい。トランジスタ部 70 およびダイオード部 80 の延伸方向と、後述する各トレンチ部の長手方向とは同一であってよい。

## 【 0 0 3 7 】

50

トランジスタ部 70 は、半導体基板 10 の裏面と接する領域に、P + 型のコレクタ領域を有する。ダイオード部 80 は、半導体基板 10 の裏面と接する領域に、N + 型のカソード領域を有する。本明細書では、コレクタ領域が設けられた領域を、トランジスタ部 70 と称する。つまりトランジスタ部 70 は、上面視においてコレクタ領域と重なる領域である。

#### 【0038】

半導体基板 10 の裏面には、コレクタ領域以外の領域には、N + 型のカソード領域が設けられてよい。本明細書では、トランジスタ部 70 を後述するゲートランナーまで Y 軸方向に延長した延長領域の下面にはカソード領域が設けられている。本明細書では、延長領域はダイオード部 80 に含まれる。また、トランジスタ部 70 は、半導体基板 10 のおもて面側に、N 型のエミッタ領域、P 型のベース領域、ゲート導電部およびゲート絶縁膜を有するゲート構造が周期的に配置されている。

10

#### 【0039】

半導体装置 100 は、半導体基板 10 の上方に 1 つ以上のパッドを有してよい。一例として、図 1 に示す半導体装置 100 はゲートパッド G を有するが、これは例示に過ぎない。半導体装置 100 は、アノードパッド、カソードパッドおよび電流検出パッド等のパッドを有してもよい。各パッドは、端辺 102 の近傍に配置されている。端辺 102 の近傍とは、上面視における端辺 102 と、エミッタ電極との間の領域を指す。半導体装置 100 の実装時において、各パッドは、ワイヤ等の配線を介して外部の回路に接続されてよい。

#### 【0040】

20

ゲートパッド G には、ゲート電位が印加される。ゲートパッド G は、活性部 160 のゲートトレンチ部の導電部と電氣的に接続される。半導体装置 100 は、ゲートパッド G とゲートトレンチ部とを電氣的に接続するゲートランナー 48 を備える。

#### 【0041】

ゲートランナー 48 は、上面視において活性部 160 と半導体基板 10 の端辺 102 との間に配置されている。本例のゲートランナー 48 は、上面視において活性部 160 を囲んでいる。上面視においてゲートランナー 48 に囲まれた領域を活性部 160 としてもよい。

#### 【0042】

ゲートランナー 48 は、半導体基板 10 の上方に配置されている。本例のゲートランナー 48 は、不純物がドーブされたポリシリコン等で形成されてよい。ゲートランナー 48 は、ゲートトレンチ部の内部にゲート絶縁膜を介して設けられたゲート導電部と電氣的に接続する。

30

#### 【0043】

本例の半導体装置 100 は、活性部 160 の外周に設けられた耐圧構造部 190 を備える。本例の耐圧構造部 190 は、ゲートランナー 48 と端辺 102 との間に配置されている。耐圧構造部 190 は、半導体基板 10 のおもて面側の電界集中を緩和する。

#### 【0044】

耐圧構造部 190 は、ガードリング 92 を有してよい。ガードリング 92 は、半導体基板 10 のおもて面と接する P 型の領域である。なお、本例の耐圧構造部 190 は複数のガードリング 92 を有するが、図 1 では省略して 1 つのガードリング 92 のみが示されている。複数のガードリング 92 を設けることで、活性部 160 の上面側における空乏層を外側に伸ばすことができ、半導体装置 100 の耐圧を向上できる。耐圧構造部 190 は、活性部 160 を囲んで環状に設けられたフィールドプレートおよびリサフのうちの少なくとも一つを更に備えていてもよい。

40

#### 【0045】

また、半導体装置 100 は、ポリシリコン等で形成された PN 接合ダイオードである不図示の温度センス部や、活性部 160 に設けられたトランジスタ部と同様な動作をする不図示の電流検出部を備えてもよい。

#### 【0046】

50

図 2 A は、半導体装置 1 0 0 の上面の一例を示す拡大図である。図 2 A は、図 1 に示す領域 A、すなわち、活性部 1 6 0 と耐圧構造部 1 9 0 との境界近傍を示す。半導体装置 1 0 0 は、I G B T 等のトランジスタ素子を含むトランジスタ部 7 0 と、還流ダイオード ( F W D ) 等のダイオード素子を含むダイオード部 8 0 とを有する半導体基板を備える。

【 0 0 4 7 】

本例のトランジスタ部 7 0 およびダイオード部 8 0 は、配列方向 ( 本例では X 軸方向 ) に沿って交互に配置されている。ダイオード部 8 0 は、上面視において、耐圧構造部 1 9 0 に近接するトランジスタ部 7 0 と、耐圧構造部 1 9 0 との間に設けられる。つまり、活性部 1 6 0 の最も外側にはダイオード部 8 0 が配置されている。なお、本明細書では、単に「内側」および「外側」と称した場合、半導体装置 1 0 0 の中心に向かう方向が内側、離れる方向が外側を指す。

10

【 0 0 4 8 】

本例の半導体装置 1 0 0 は、半導体基板のおもて面側に設けられたゲートトレンチ部 4 0、ダミートレンチ部 3 0、ウェル領域 1 1、エミッタ領域 1 2、ベース領域 1 4 およびコンタクト領域 1 5 を備える。ゲートトレンチ部 4 0 およびダミートレンチ部 3 0 は、それぞれがトレンチ部の一例である。

【 0 0 4 9 】

また、本例の半導体装置 1 0 0 は、半導体基板のおもて面の上方に設けられたゲート金属層 5 0 およびエミッタ電極 5 2 を備える。ゲート金属層 5 0 およびエミッタ電極 5 2 は、互いに分離して設けられる。ゲート金属層 5 0 とエミッタ電極 5 2 とは、電氣的に絶縁される。

20

【 0 0 5 0 】

エミッタ電極 5 2 およびゲート金属層 5 0 と、半導体基板のおもて面との間には層間絶縁膜が設けられるが、図 2 A では省略している。本例の層間絶縁膜には、コンタクトホール 4 9、5 4 および 5 6 が、当該層間絶縁膜を貫通して設けられる。図 2 A においては、それぞれのコンタクトホールに斜線のハッチングを付している。

【 0 0 5 1 】

エミッタ電極 5 2 は、ゲートトレンチ部 4 0、ダミートレンチ部 3 0、ウェル領域 1 1、エミッタ領域 1 2、ベース領域 1 4 およびコンタクト領域 1 5 の上方に設けられる。エミッタ電極 5 2 は、コンタクトホール 5 4 によって、半導体基板のおもて面におけるエミッタ領域 1 2、ベース領域 1 4 およびコンタクト領域 1 5 と電氣的に接続する。

30

【 0 0 5 2 】

また、エミッタ電極 5 2 は、コンタクトホール 5 6 によってダミートレンチ部 3 0 内のダミー導電部と接続される。エミッタ電極 5 2 とダミー導電部との間には、不純物がドーブされたポリシリコン等の、導電性を有する材料で形成された接続部 2 5 が設けられてよい。接続部 2 5 は、層間絶縁膜およびダミートレンチ部 3 0 のダミー絶縁膜等の絶縁膜を介して半導体基板のおもて面に設けられる。

【 0 0 5 3 】

ゲート金属層 5 0 は、コンタクトホール 4 9 によってゲートランナー 4 8 と電氣的に接続する。ゲートランナー 4 8 は、不純物がドーブされたポリシリコン等で形成されてよい。ゲートランナー 4 8 は、半導体基板のおもて面において、ゲートトレンチ部 4 0 内のゲート導電部に接続する。ゲートランナー 4 8 は、ダミートレンチ部 3 0 内のダミー導電部およびエミッタ電極 5 2 には電氣的に接続しない。

40

【 0 0 5 4 】

ゲートランナー 4 8 とエミッタ電極 5 2 とは層間絶縁膜および酸化膜などの絶縁物により電氣的に分離される。本例のゲートランナー 4 8 は、コンタクトホール 4 9 の下方から、ゲートトレンチ部 4 0 の先端部まで設けられる。ゲートトレンチ部 4 0 の先端部においてゲート導電部は半導体基板のおもて面に露出しており、ゲートランナー 4 8 と接続する。

【 0 0 5 5 】

エミッタ電極 5 2 およびゲート金属層 5 0 は、金属を含む導電性材料で形成される。例

50



えば、アルミニウムまたはアルミニウムを主成分とした合金（例えば、アルミニウム - シリコン合金等）で形成される。各電極は、アルミニウム等で形成された領域の下層にチタンやチタン化合物等で形成されたバリアメタルを有してよい。

【 0 0 5 6 】

各電極は、コンタクトホール内においてタングステン等で形成されたプラグを有してもよい。プラグは、半導体基板に接する側にバリアメタルを有し、バリアメタルに接するようにタングステンを埋め込み、タングステン上にアルミニウム等で形成されてよい。

【 0 0 5 7 】

なおプラグは、コンタクト領域 1 5 またはベース領域 1 4 に接するコンタクトホールに設けられる。また、プラグのコンタクトホールの下には P + + 型のプラグ領域を形成し、コンタクト領域 1 5 よりドーピング濃度が高い。これは、バリアメタルとコンタクト領域 1 5 との接触抵抗を改善することができる。また、プラグ領域の深さは約 0 . 1  $\mu$  m 以下であり、コンタクト領域 1 5 の深さと比べて 1 0 % 以下と小さい領域を持つ。

【 0 0 5 8 】

プラグ領域は以下の特徴をもつ。トランジスタ部 7 0 の動作において、接触抵抗改善によりラッチアップ耐量が向上する。一方、ダイオード部 8 0 の動作においては、プラグ領域がない場合はバリアメタルとベース領域 1 4 との接触抵抗が高く、導通損失、スイッチング損失が上昇するが、プラグ領域を設けることにより、導通損失、スイッチング損失の上昇を抑制することができる。

【 0 0 5 9 】

ウェル領域 1 1 は、ゲートランナー 4 8 と重なって、活性部 1 6 0 の外周を延伸し、上面視で環状に設けられている。ウェル領域 1 1 は、ゲートランナー 4 8 と重ならない範囲にも、所定の幅で延伸し、上面視で環状に設けられている。本例のウェル領域 1 1 は、コンタクトホール 5 4 の Y 軸方向の端から、ゲートランナー 4 8 側に離れて設けられている。ウェル領域 1 1 は、ベース領域 1 4 よりもドーピング濃度の高い第 2 導電型の領域である。ゲートランナー 4 8 は、ウェル領域 1 1 と電氣的に絶縁される。

【 0 0 6 0 】

本例のベース領域 1 4 は P - 型であり、ウェル領域 1 1 は P + 型である。また、ウェル領域 1 1 は、半導体基板のおもて面から、ベース領域 1 4 の下端よりも深い位置まで形成されている。ベース領域 1 4 は、トランジスタ部 7 0 およびダイオード部 8 0 において、ウェル領域 1 1 に接して設けられている。よって、ウェル領域 1 1 はエミッタ電極 5 2 と電氣的に接続される。

【 0 0 6 1 】

トランジスタ部 7 0 およびダイオード部 8 0 のそれぞれは、配列方向に複数配列されたトレンチ部を有する。本例のトランジスタ部 7 0 には、配列方向に沿って 1 以上のゲートトレンチ部 4 0 が設けられている。本例のダイオード部 8 0 には、複数のダミートレンチ部 3 0 が、配列方向に沿って設けられている。本例のダイオード部 8 0 には、ゲートトレンチ部 4 0 が設けられていない。

【 0 0 6 2 】

本例のゲートトレンチ部 4 0 は、配列方向と垂直な延伸方向に沿って延伸する 2 つの直線部分 3 9（延伸方向に沿って直線状であるトレンチの部分）と、2 つの直線部分 3 9 を接続する先端部 4 1 を有してよい。

【 0 0 6 3 】

先端部 4 1 の少なくとも一部は、上面視において曲線状に設けられてよい。2 つの直線部分 3 9 の Y 軸方向における端部同士を先端部 4 1 がゲートランナー 4 8 と接続することで、ゲートトレンチ部 4 0 へのゲート電極として機能する。一方、先端部 4 1 を曲線状にすることにより直線部分 3 9 で完結するよりも、端部における電界集中を緩和できる。

【 0 0 6 4 】

他の例においては、トランジスタ部 7 0 は、配列方向に沿って 1 以上のゲートトレンチ部 4 0 と 1 以上のダミートレンチ部 3 0 とが交互に設けられてもよい。トランジスタ部 7

10

20

30

40

50

0において、ダミートレンチ部30はゲートトレンチ部40のそれぞれの直線部分39の間に設けられる。それぞれの直線部分39の間には、1本のダミートレンチ部30が設けられてよく、複数本のダミートレンチ部30が設けられていてもよい。

【0065】

またそれぞれの直線部分39の間には、ダミートレンチ部30が設けられなくてもよく、ゲートトレンチ部40が設けられてもよい。このような構造により、エミッタ領域12からの電子電流を増大することができるため、オン電圧が低減する。

【0066】

ダミートレンチ部30は、延伸方向に延伸する直線形状を有してよく、ゲートトレンチ部40と同様に、直線部分29と先端部31とを有していてもよい。図2Aに示した半導体装置100は、先端部31を有するダミートレンチ部30のみが配列されているが、他の例においては、半導体装置100は、先端部31を有さない直線形状のダミートレンチ部30を含んでもよい。

【0067】

ウェル領域11の拡散深さは、ゲートトレンチ部40およびダミートレンチ部30の深さよりも深くてもよい。ゲートトレンチ部40およびダミートレンチ部30のY軸方向の端部は、上面視においてウェル領域11に設けられる。つまり、各トレンチ部のY軸方向の端部において、各トレンチ部の深さ方向の底部は、ウェル領域11に覆われている。また、X軸方向の端部に設けられるトレンチ部は、ウェル領域11に覆われてもよい。これにより、各トレンチ部の当該底部における電界集中を緩和できる。

【0068】

配列方向において各トレンチ部の間には、メサ部が設けられている。メサ部は、半導体基板の内部において、トレンチ部に挟まれた領域を指す。一例としてメサ部の深さ位置は、半導体基板のおもて面からトレンチ部の下端までである。

【0069】

本例のメサ部は、X軸方向において隣接するトレンチ部に挟まれ、半導体基板のおもて面においてトレンチに沿って延伸方向(Y軸方向)に延伸して設けられている。図2Bで後述するように、本例では、トランジスタ部70にはメサ部60が設けられ、ダイオード部80にはメサ部61が設けられている。本明細書において単にメサ部と称した場合、メサ部60およびメサ部61のそれぞれを指している。

【0070】

それぞれのメサ部には、ベース領域14が設けられる。それぞれのメサ部には、上面視においてベース領域14に挟まれた領域に、第1導電型のエミッタ領域12および第2導電型のコンタクト領域15の少なくとも一方が設けられてよい。本例のエミッタ領域12はN+型であり、コンタクト領域15はP+型である。エミッタ領域12およびコンタクト領域15は、深さ方向において、ベース領域14と半導体基板のおもて面との間に設けられてよい。

【0071】

トランジスタ部70のメサ部は、半導体基板のおもて面に露出したエミッタ領域12を有する。エミッタ領域12は、ゲートトレンチ部40に接して設けられている。ゲートトレンチ部40に接するメサ部には、半導体基板のおもて面に露出したコンタクト領域15が設けられている。

【0072】

メサ部におけるコンタクト領域15およびエミッタ領域12のそれぞれは、X軸方向における一方のトレンチ部から、他方のトレンチ部まで設けられる。一例として、メサ部のコンタクト領域15およびエミッタ領域12は、トレンチ部の延伸方向(Y軸方向)に沿って交互に配置されている。

【0073】

他の例においては、メサ部のコンタクト領域15およびエミッタ領域12は、トレンチ部の延伸方向(Y軸方向)に沿ってストライプ状に設けられていてもよい。例えばトレン

10

20

30

40

50

チ部に接する領域にエミッタ領域 1 2 が設けられ、エミッタ領域 1 2 に挟まれた領域にコンタクト領域 1 5 が設けられる。

【 0 0 7 4 】

ダイオード部 8 0 のメサ部には、エミッタ領域 1 2 が設けられていない。ダイオード部 8 0 のメサ部の上面には、ベース領域 1 4 が設けられてよい。ベース領域 1 4 は、ダイオード部 8 0 のメサ部全体に配置されてよい。

【 0 0 7 5 】

それぞれのメサ部の上方には、コンタクトホール 5 4 が設けられている。コンタクトホール 5 4 は、その延伸方向（Y 軸方向）においてベース領域 1 4 に挟まれた領域に配置されている。本例のコンタクトホール 5 4 は、コンタクト領域 1 5、ベース領域 1 4 およびエミッタ領域 1 2 の各領域の上方に設けられる。コンタクトホール 5 4 は、メサ部の配列方向（X 軸方向）における中央に配置されてよい。

10

【 0 0 7 6 】

ダイオード部 8 0 において、半導体基板の裏面と隣接する領域には、N + 型のカソード領域 8 2 が設けられる。半導体基板の裏面において、カソード領域 8 2 が設けられていない領域には、P + 型のコレクタ領域 2 2 が設けられてよい。図 2 A においては、カソード領域 8 2 およびコレクタ領域 2 2 の境界を点線で示している。耐圧構造部 1 9 0 においても、半導体基板の裏面側に N + 型のカソード領域 8 2 が設けられてよい。

【 0 0 7 7 】

図 2 B は、図 2 A における a - a' 断面を示す図である。a - a' 断面は、コンタクト領域 1 5、ベース領域 1 4、並びにゲートトレンチ部 4 0 およびダミートレンチ部 3 0 を通る X Z 面である。本例の半導体装置 1 0 0 は、a - a' 断面において、半導体基板 1 0、層間絶縁膜 3 8、エミッタ電極 5 2 およびコレクタ電極 2 4 を有する。

20

【 0 0 7 8 】

層間絶縁膜 3 8 は、半導体基板 1 0 のおもて面 2 1 に設けられている。層間絶縁膜 3 8 は、ボロンまたはリン等の不純物が添加されたシリケートガラス等の絶縁膜である。層間絶縁膜 3 8 はおもて面 2 1 に接していてもよく、層間絶縁膜 3 8 とおもて面 2 1 との間に酸化膜等の他の膜が設けられていてもよい。層間絶縁膜 3 8 には、図 2 A において説明したコンタクトホール 5 4 が設けられている。

【 0 0 7 9 】

エミッタ電極 5 2 は、半導体基板 1 0 のおもて面 2 1 および層間絶縁膜 3 8 の上面に設けられる。エミッタ電極 5 2 は、層間絶縁膜 3 8 のコンタクトホール 5 4 によって、おもて面 2 1 と電気的に接続する。コンタクトホール 5 4 の内部には、タングステン（W）等のプラグ領域 1 7 が設けられていてよい。コレクタ電極 2 4 は、半導体基板 1 0 の裏面 2 3 に設けられる。エミッタ電極 5 2 およびコレクタ電極 2 4 は、金属を含む材料またはそれらの積層膜で形成される。

30

【 0 0 8 0 】

半導体基板 1 0 は、シリコン基板であってよく、炭化シリコン基板であってよく、窒化ガリウム等の窒化物半導体基板等であってもよい。本例の半導体基板 1 0 はシリコン基板である。

40

【 0 0 8 1 】

半導体基板 1 0 は、第 1 導電型のドリフト領域 1 8 を有する。本例のドリフト領域 1 8 は、N - 型である。ドリフト領域 1 8 は、半導体基板 1 0 において他のドーピング領域が設けられずに残存した領域であってよい。

【 0 0 8 2 】

トランジスタ部 7 0 において、ドリフト領域 1 8 の上方には、Z 軸方向に一つ以上の蓄積領域 1 6 が設けられてよい。蓄積領域 1 6 は、ドリフト領域 1 8 と同じドーパントが、ドリフト領域 1 8 よりも高濃度に蓄積した領域である。蓄積領域 1 6 のドーピング濃度は、ドリフト領域 1 8 のドーピング濃度よりも高い。

【 0 0 8 3 】

50

本例の蓄積領域 16 は、N 型である。蓄積領域 16 は、トランジスタ部 70 において、ベース領域 14 と後述するトレンチボトム部 75 との間に設けられていてよい。蓄積領域 16 は、トランジスタ部 70 のみに設けられていてもよく、トランジスタ部 70 およびダイオード部 80 の両方に設けられていてもよい。蓄積領域 16 を設けることで、キャリアの注入促進効果（IE 効果）を高めて、オン電圧を低減できる。

【0084】

トランジスタ部 70 において、ベース領域 14 の上方には、おもて面 21 に接してエミッタ領域 12 が設けられる。エミッタ領域 12 は、ゲートトレンチ部 40 と接して設けられる。エミッタ領域 12 のドーピング濃度は、ドリフト領域 18 のドーピング濃度よりも高い。エミッタ領域 12 のドーパントは、一例としてヒ素（As）、リン（P）、アンチモン（Sb）等である。

10

【0085】

ダイオード部 80 には、おもて面 21 に露出したベース領域 14 が設けられる。ダイオード部 80 のベース領域 14 は、アノードとして動作する。

【0086】

ドリフト領域 18 の下方には、第 1 導電型のバッファ領域 20 が設けられてよい。本例のバッファ領域 20 は、N 型である。バッファ領域 20 のドーピング濃度は、ドリフト領域 18 のドーピング濃度よりも高い。バッファ領域 20 は、ベース領域 14 の下面側から広がる空乏層が、コレクタ領域 22 およびカソード領域 82 に到達することを防ぐフィールドストップ層として機能してよい。

20

【0087】

トランジスタ部 70 において、バッファ領域 20 の下方にはコレクタ領域 22 が設けられる。コレクタ領域 22 は、裏面 23 においてカソード領域 82 と接して設けられていてよい。

【0088】

ダイオード部 80 において、バッファ領域 20 の下方にはカソード領域 82 が設けられる。カソード領域 82 は、トランジスタ部 70 のコレクタ領域 22 と同じ深さに設けられてよい。ダイオード部 80 は、トランジスタ部 70 がターンオフする時に、逆方向に導通する還流電流を流す還流ダイオード（FWD）として機能してよい。

【0089】

30

半導体基板 10 には、ゲートトレンチ部 40 およびダミートレンチ部 30 が設けられる。ゲートトレンチ部 40 およびダミートレンチ部 30 は、おもて面 21 からベース領域 14 および蓄積領域 16 を貫通して、ドリフト領域 18 に到達するように設けられる。トレンチ部がドーピング領域を貫通するとは、ドーピング領域を形成してからトレンチ部を形成する順序で製造したものに限定されない。トレンチ部を形成した後に、トレンチ部の間にドーピング領域を形成したものの、トレンチ部がドーピング領域を貫通しているものに含まれる。

【0090】

ゲートトレンチ部 40 は、おもて面 21 に設けられたゲートトレンチ、ゲート絶縁膜 42 およびゲート導電部 44 を有する。ゲート絶縁膜 42 は、ゲートトレンチの内壁を覆って設けられる。ゲート絶縁膜 42 は、酸化膜または窒化膜で形成してよい。ゲート導電部 44 は、ゲートトレンチの内部においてゲート絶縁膜 42 よりも内側を埋め込むように設けられる。ゲート導電部 44 の上面は、おもて面 21 と同じ XY 平面内であってよい。ゲート絶縁膜 42 は、ゲート導電部 44 と半導体基板 10 とを絶縁する。ゲート導電部 44 は、不純物がドーパされたポリシリコン等で形成される。

40

【0091】

ゲート導電部 44 は、深さ方向においてベース領域 14 よりも長く設けられてよい。ゲートトレンチ部 40 は、おもて面 21 において層間絶縁膜 38 により覆われる。ゲート導電部 44 に所定の電圧が印加されると、ベース領域 14 のうちゲートトレンチに接する界面の表層に、電子の反転層によるチャネルが形成される。

50

## 【 0 0 9 2 】

ダミートレンチ部 3 0 は、X Z 断面においてゲートトレンチ部 4 0 と同一の構造を有してよい。ダミートレンチ部 3 0 は、おもて面 2 1 に設けられたダミートレンチ、ダミー絶縁膜 3 2 およびダミー導電部 3 4 を有する。ダミー絶縁膜 3 2 は、ダミートレンチの内壁を覆って設けられる。ダミー絶縁膜 3 2 は、酸化膜または窒化膜で形成してよい。ダミー導電部 3 4 は、ダミートレンチの内部においてダミー絶縁膜 3 2 よりも内側を埋め込むように設けられる。ダミー導電部 3 4 の上面は、おもて面 2 1 と同じ X Y 平面内にあるとよい。ダミー絶縁膜 3 2 は、ダミー導電部 3 4 と半導体基板 1 0 とを絶縁する。ダミー導電部 3 4 は、ゲート導電部 4 4 と同一の材料で形成されてよい。

## 【 0 0 9 3 】

本例のゲートトレンチ部 4 0 およびダミートレンチ部 3 0 は、おもて面 2 1 において層間絶縁膜 3 8 により覆われている。なお、ダミートレンチ部 3 0 およびゲートトレンチ部 4 0 の底部は、下側に凸の曲面状（断面においては曲線状）であってよい。

## 【 0 0 9 4 】

トランジスタ部 7 0 は、トレンチ部の下端に設けられた P 型のトレンチボトム部 7 5 を有する。本例のトレンチボトム部 7 5 は、蓄積領域 1 6 より下方に設けられている。半導体基板 1 0 の深さ方向において、トレンチボトム部 7 5 の下端は、ゲートトレンチ部 4 0 の底部より下方に位置してよい。換言すると、トレンチボトム部 7 5 は、ゲートトレンチ部 4 0 の底部を覆っていてよい。

## 【 0 0 9 5 】

トレンチボトム部 7 5 のドーピング濃度は、ドリフト領域 1 8 のドーピング濃度よりも高く、ベース領域 1 4 のドーピング濃度よりも低い。トレンチボトム部 7 5 のドーピング濃度は、 $1 \times 10^{12} \text{ cm}^{-3}$  以上、 $1 \times 10^{13} \text{ cm}^{-3}$  以下である。

## 【 0 0 9 6 】

図 2 B では、トレンチボトム部 7 5 の X 軸方向正側（ダイオード部 8 0 側）の端部は、カソード領域 8 2 およびコレクタ領域 2 2 の境界と一致しているが、これよりもダイオード部 8 0 側に延伸していてもよく、トランジスタ部 7 0 内に後退していてもよい。

## 【 0 0 9 7 】

トレンチボトム部 7 5 は、電氣的に浮遊するフローティング層であってよい。本明細書において、フローティング層とは、エミッタ電極 5 2 等のいずれの電極とも電氣的に接続されていない層をいう。トレンチボトム部 7 5 を設けることにより、トランジスタ部 7 0 のターンオン特性が向上する。また、トレンチボトム部 7 5 を設けることにより、ゲートトレンチ部 4 0 の底部における電界集中を緩和し、アバランシェ耐量を向上させる。

## 【 0 0 9 8 】

図 2 C は、図 2 A における b - b' 断面を示す図である。b - b' 断面は、活性部 1 6 0 の Y 軸負側端部近傍において、ダイオード部 8 0 に設けられたベース領域 1 4 およびコンタクト領域 1 5 を通る Y Z 面である。

## 【 0 0 9 9 】

本例では、活性部 1 6 0 の最も外側にダイオード部 8 0 が設けられている。ダイオード部 8 0 では、半導体基板 1 0 のおもて面 2 1 にコンタクト領域 1 5 が設けられている。また、ダイオード部 8 0 では、コンタクト領域 1 5 の Y 軸方向外側に、ベース領域 1 4 が半導体基板 1 0 のおもて面 2 1 に露出している。つまり、上面視において、ダイオード部 8 0 では、Y 軸方向において、コンタクト領域 1 5 がベース領域 1 4 に挟まれている。

## 【 0 1 0 0 】

活性部 1 6 0 の Y 軸負側端部近傍には、ウェル領域 1 1 が設けられている。ウェル領域 1 1 の拡散深さは、ベース領域 1 4 より深い。ウェル領域 1 1 は、ベース領域 1 4 の底部を部分的に覆うように Y 軸方向に延伸してよい。

## 【 0 1 0 1 】

図 2 D は、図 2 A における c - c' 断面を示す図である。c - c' 断面は、活性部 1 6 0 の Y 軸負側端部近傍において、トランジスタ部 7 0 に設けられたエミッタ領域 1 2、ベー

10

20

30

40

50

ス領域 14 およびコンタクト領域 15 を通る YZ 面である。また、c - c' 断面は、トランジスタ部 70 を Y 軸方向に延長した延長領域を通る。延長領域の下面にはカソード領域が設けられている。つまり、上面視において、トランジスタ部 70 は、Y 軸方向においてダイオード部 80 に挟まれている。

【0102】

トランジスタ部 70 では、半導体基板 10 のおもて面 21 に、エミッタ領域 12 およびコンタクト領域 15 が設けられている。また、トランジスタ部 70 では、コンタクト領域 15 の Y 軸方向外側に、ベース領域 14 が半導体基板 10 のおもて面 21 に露出している。つまり、上面視において、トランジスタ部 70 では、Y 軸方向において、エミッタ領域 12 およびコンタクト領域 15 がベース領域 14 に挟まれている。

10

【0103】

トランジスタ部 70 において、ドリフト領域 18 の上方に、蓄積領域 16 およびトレンチボトム部 75 が設けられている。トレンチボトム部 75 は、蓄積領域 16 より下方に設けられている。トレンチボトム部 75 は、蓄積領域 16 の下面と接して設けられてよい。あるいは、後述するようにトレンチボトム部 75 は、蓄積領域 16 と離間して、すなわち、蓄積領域 16 とトレンチボトム部 75 との間にドリフト領域 18 が介在するように設けられてもよい。

【0104】

図 2 E は、図 2 A における a - a' 断面の別例を示す図である。a - a' 断面は、図 2 B と同様にコンタクト領域 15、ベース領域 14、並びにゲートトレンチ部 40 およびダミートレンチ部 30 を通る XZ 面である。本例の半導体装置 100 は、a - a' 断面において、半導体基板 10、層間絶縁膜 38、エミッタ電極 52 およびコレクタ電極 24 を有する。

20

【0105】

トランジスタ部 70 のトレンチ部の下端に設けられたトレンチボトム部 75 は、半導体基板 10 の深さ方向において、蓄積領域 16 より厚さが薄いことが図 2 B と異なる。

【0106】

本例のトレンチボトム部 75 の下端は、ゲートトレンチ部 40 の底部より下方に位置し、ゲートトレンチ部 40 の底部を覆っている。

トレンチボトム部 75 は、電氣的に浮遊する フローティング層 であってよい。

【0107】

30

図 2 E では、トレンチボトム部 75 の X 軸方向正側（ダイオード部 80 側）の端部は、カソード領域 82 およびコレクタ領域 22 の境界と一致しているが、これよりもダイオード部 80 側に延伸していてもよく、トランジスタ部 70 内に後退していてもよい。本例は、図 2 B と同様な効果を得ることができる。

【0108】

図 2 F は、図 2 A における a - a' 断面の別例を示す図である。a - a' 断面は、図 2 B と同様にコンタクト領域 15、ベース領域 14、並びにゲートトレンチ部 40 およびダミートレンチ部 30 を通る XZ 面である。本例の半導体装置 100 は、a - a' 断面において、半導体基板 10、層間絶縁膜 38、エミッタ電極 52 およびコレクタ電極 24 を有する。

【0109】

40

トレンチボトム部 75 は、蓄積領域 16 と離間して、すなわち、蓄積領域 16 とトレンチボトム部 75 との間にドリフト領域 18 が介在するように設けられている点が図 2 B、図 2 F と異なる。

【0110】

トレンチボトム部 75 は半導体基板 10 の深さ方向において、蓄積領域 16、または、蓄積領域 16 とトレンチボトム部 75 との間のドリフト領域 18 より厚さが薄くてもよい。

【0111】

図 2 F では、トレンチボトム部 75 の X 軸方向正側（ダイオード部 80 側）の端部は、カソード領域 82 およびコレクタ領域 22 の境界と一致しているが、これよりもダイオード部 80 側に延伸していてもよく、トランジスタ部 70 内に後退していてもよい。本例は

50

、図 2 B と同様な効果を得ることができる。

【 0 1 1 2 】

図 3 A は、トレンチボトム領域 R p および電子通過領域 R n の配置の一例を示す図である。図 3 B は、図 3 A における d - d' 断面を示す図である。本例のトレンチボトム部 7 5 は、トランジスタ部 7 0 において間欠的に設けられている。トランジスタ部 7 0 は、トレンチボトム部 7 5 と同じ Z 軸方向位置において、トレンチボトム部 7 5 の間に設けられた電子通過部 7 7 を有する。図 3 B において、電子通過部 7 7 の範囲をハッチングで示しているが、電子通過部 7 7 は、ドリフト領域 1 8 と同じ N 型の領域であり、ドリフト領域 1 8 の一部であってよい。

【 0 1 1 3 】

本明細書では、上面視で、トレンチボトム部 7 5 および電子通過部 7 7 に対応する領域をそれぞれ、トレンチボトム領域 R p および電子通過領域 R n と称する。本例のトランジスタ部 7 0 は、上面視で、トレンチボトム部 7 5 が設けられていない電子通過領域 R n を有する。

【 0 1 1 4 】

電子通過領域 R n は、X 軸方向において、トレンチ部から隣のトレンチ部まで延伸して設けられている。つまり、図 3 A に示すように、電子通過領域 R n は、X 軸方向において、メサ部にわたって延伸して設けられている。なお、図 3 A では、トレンチ部としてゲートトレンチ部 4 0 のみを示すが、これに限られない。電子通過領域 R n は、X 軸方向において、複数のダミートレンチ部 3 0 およびゲートトレンチ部 4 0 のうち隣接する 2 つの間のメサ部にわたって延伸して設けられている。

【 0 1 1 5 】

電子通過領域 R n は、X 軸方向において、複数のトレンチ部を越えて延伸してよい。すなわち、電子通過領域 R n は、上面視で、エミッタ領域 1 2 と平行に延伸してよい。

【 0 1 1 6 】

本例において、電子通過領域 R n のメサ部には、エミッタ領域 1 2 が設けられていない。つまり、図 3 B に示すように、電子通過部 7 7 の上方にはエミッタ領域 1 2 が設けられておらず、エミッタ領域 1 2 の下方には、トレンチボトム部 7 5 が設けられている。図 3 A に示すように、電子通過領域 R n は、上面視で、Y 軸方向端部がコンタクト領域 1 5 内に位置するように設けられている。

【 0 1 1 7 】

トレンチボトム領域 R p がトランジスタ部 7 0 全体に設けられていると、トランジスタ部 7 0 のターンオン時にトレンチボトム部 7 5 の電位が上昇するまで過渡的抵抗が増大するため、オン抵抗が悪化するおそれがある。

【 0 1 1 8 】

本例では、トランジスタ部 7 0 のターンオン時に、エミッタ領域 1 2 からの電子は、まず電子通過部 7 7 を通過してコレクタ領域 2 2 に向かう。その後、トレンチボトム部 7 5 にコレクタ領域 2 2 からのホールが蓄積されると、電子がトレンチボトム部 7 5 も通過するようになり、導通に至る。このように、トランジスタ部 7 0 が電子通過領域 R n を有することにより、トランジスタ部 7 0 のターンオン時における過渡的抵抗の増大を抑制し、オン抵抗が改善される。

【 0 1 1 9 】

電子通過部 7 7 では、電流が集中するためアバランシェが発生しやすい。しかしながら、本例では、電子通過領域 R n のメサ部にエミッタ領域 1 2 を設けないことにより、電子通過部 7 7 でラッチアップが発生する可能性を低減することができる。このように、本例では、エミッタ領域 1 2 の下方にトレンチボトム部 7 5 を設けることにより、ターンオン特性を改善しつつ、オン抵抗を改善することができる。

【 0 1 2 0 】

図 4 A は、トレンチボトム領域 R p および電子通過領域 R n の配置の一例を示す図である。図 4 B は、図 4 A における e - e' 断面を示す図である。図 3 A および図 3 B と同様に

10

20

30

40

50

、本例のトレンチボトム部 75 は、トランジスタ部 70 において間欠的に設けられており、トランジスタ部 70 は、トレンチボトム部 75 と同じ Z 軸方向位置において、トレンチボトム部 75 の間に設けられた電子通過部 77 を有する。

【0121】

図 3 A および図 3 B と同様に、本例の電子通過領域 R n は、X 軸方向において、トレンチ部から隣のトレンチ部まで延伸して設けられている。つまり、電子通過領域 R n は、X 軸方向において、メサ部にわたって延伸して設けられている。また、電子通過領域 R n は、X 軸方向において、複数のトレンチ部を越えて延伸してよい。すなわち、電子通過領域 R n は、上面視で、トレンチ部に直交して延伸してよい。

【0122】

図 3 A および図 3 B と異なり、本例の電子通過領域 R n には、エミッタ領域 12 が少なくとも設けられている。つまり、いずれかのエミッタ領域 12 の下方には、電子通過部 77 が設けられている。これにより、トランジスタ部 70 のターンオン時に、エミッタ領域 12 からの電子が確実に電子通過部 77 を通過することができる。このように、トランジスタ部 70 が電子通過領域 R n を有することにより、トランジスタ部 70 のターンオン時における過渡的抵抗の増大を抑制し、オン抵抗が改善される。

【0123】

図 5 A は、トレンチボトム領域 R p および電子通過領域 R n の配置の一例を示す図である。図 5 B は、図 5 A における f - f' 断面を示す図である。図 3 A ~ 図 4 B と同様に、本例のトレンチボトム部 75 は、トランジスタ部 70 において間欠的に設けられており、トランジスタ部 70 は、トレンチボトム部 75 と同じ Z 軸方向位置において、トレンチボトム部 75 の間に設けられた電子通過部 77 を有する。

【0124】

図 3 A ~ 図 4 B と異なり、本例では、トレンチボトム領域 R p および電子通過領域 R n が、X 軸方向において交互に設けられている。つまり、図 5 A に示すように、トレンチボトム領域 R p および電子通過領域 R n は、上面視で、ゲートトレンチ部 40 と平行に延伸して交互に設けられている。

【0125】

電子通過領域 R n には、ゲートトレンチ部 40 が少なくとも設けられていてよい。つまり、いずれかのゲートトレンチ部 40 の下方には、電子通過部 77 が設けられている。電子通過領域 R n に設けられたゲートトレンチ部 40 にチャネルが形成されると、チャネルからの電子が下方の電子通過部 77 を確実に通過することができる。このように、トランジスタ部 70 が電子通過領域 R n を有することにより、トランジスタ部 70 のターンオン時における過渡的抵抗の増大を抑制し、オン抵抗が改善される。

【0126】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

【0127】

請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

【符号の説明】

【0128】

10・・・半導体基板、11・・・ウェル領域、12・・・エミッタ領域、14・・・ベース領域、15・・・コンタクト領域、16・・・蓄積領域、17・・・プラグ領域、1

10

20

30

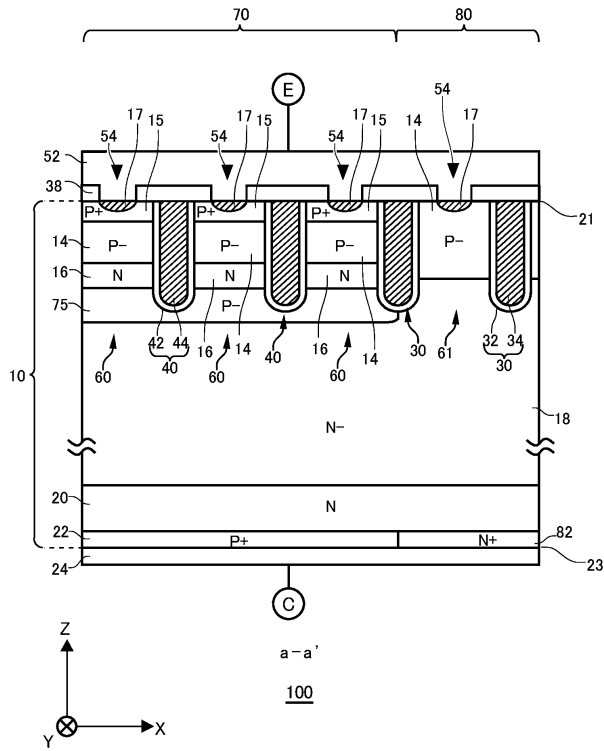
40

50

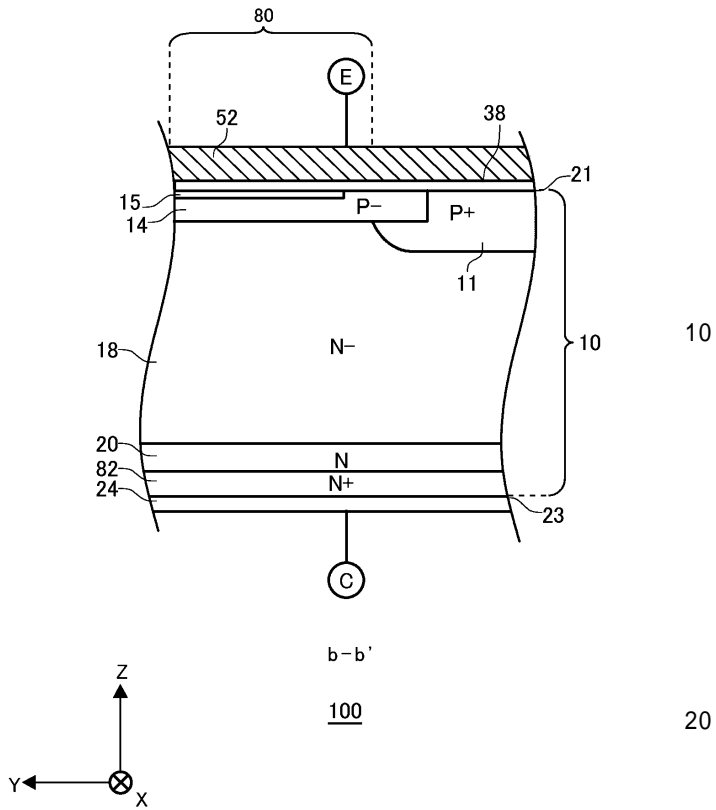




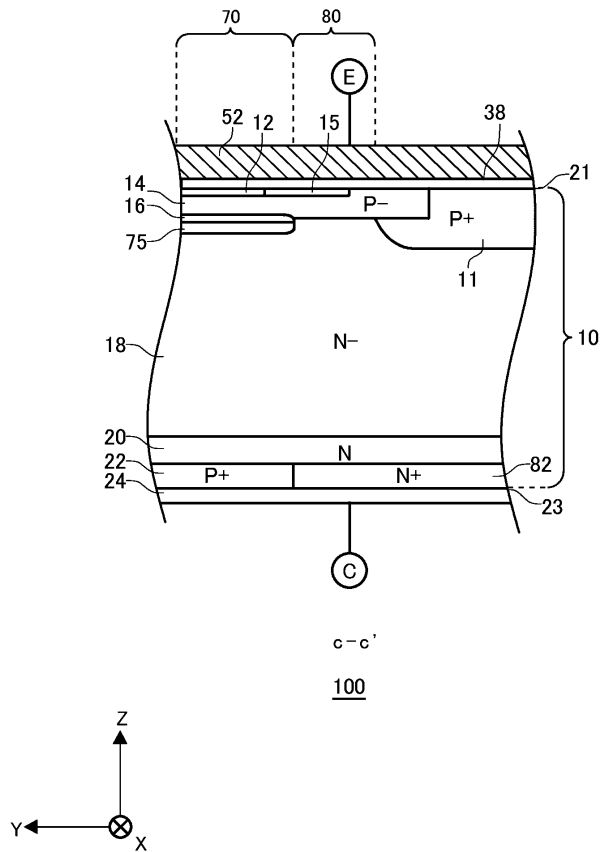
【図 2 B】



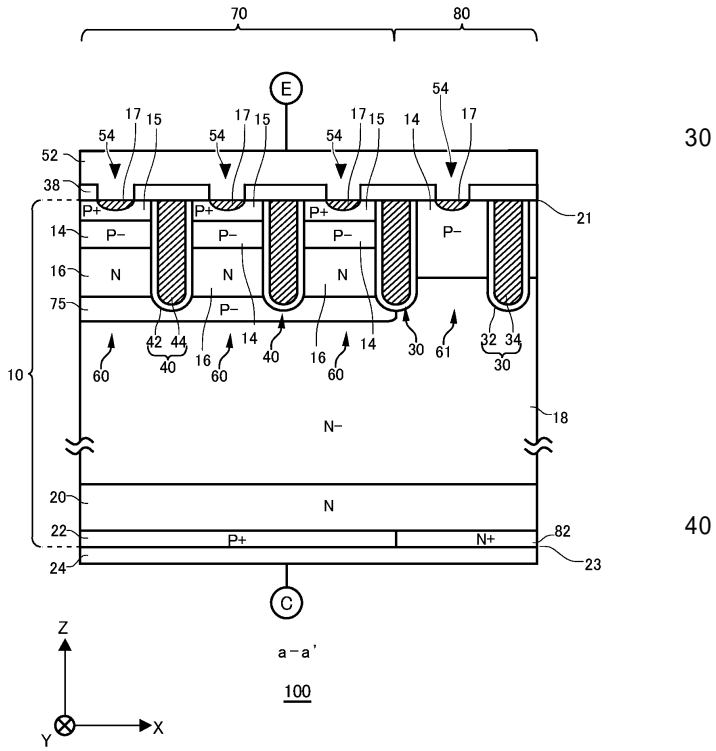
【図 2 C】



【図 2 D】



【図 2 E】



10

20

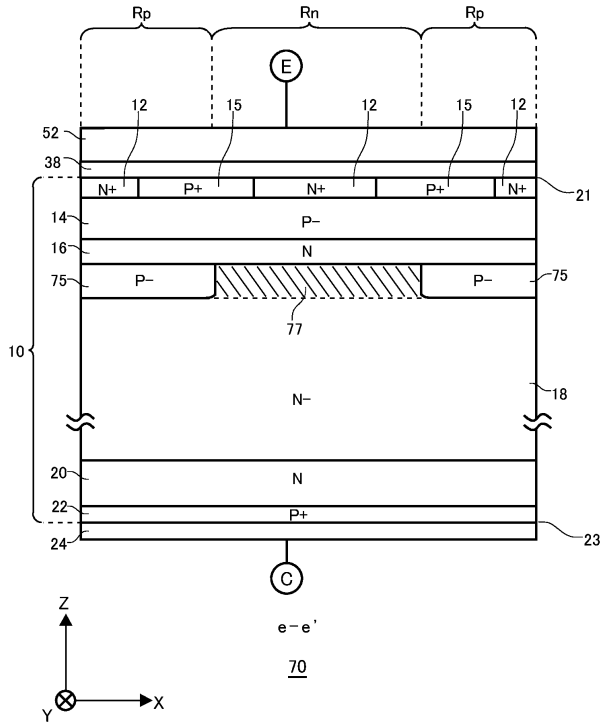
30

40

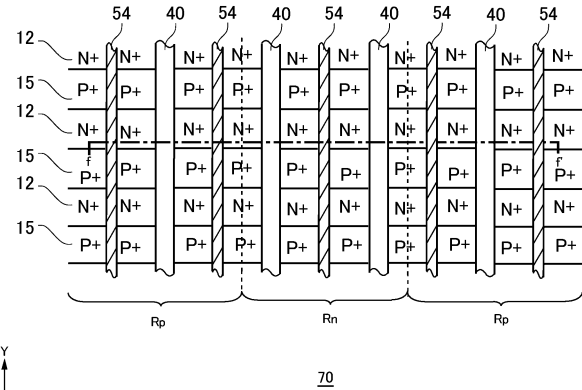
50



【図 4 B】



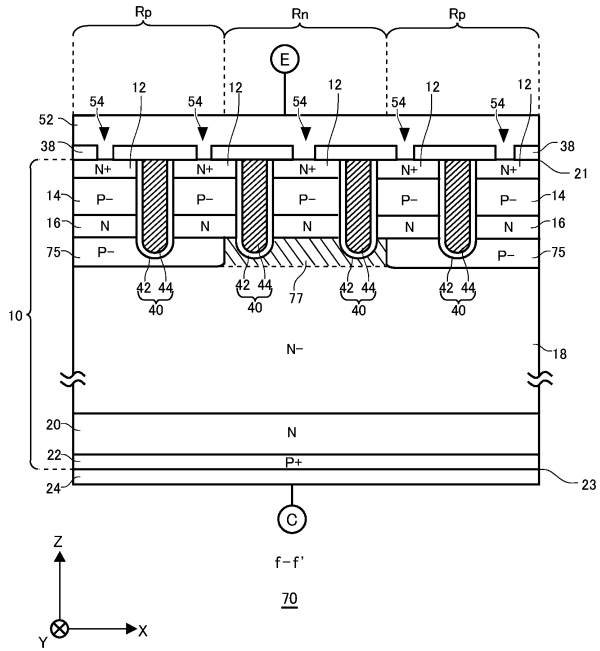
【図 5 A】



10

20

【図 5 B】



30

40

50

フロントページの続き

(51)国際特許分類	F I		
	H 0 1 L	29/78	6 5 5 B
	H 0 1 L	29/78	6 5 5 D
	H 0 1 L	29/78	6 5 3 A
	H 0 1 L	29/78	6 5 2 J
	H 0 1 L	29/06	3 0 1 V
	H 0 1 L	29/06	3 0 1 G

神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内

審査官 志津木 康

- (56)参考文献
- 特開 2 0 1 0 - 2 8 3 1 2 8 ( J P , A )
  - 特表 2 0 1 6 - 5 2 3 4 5 4 ( J P , A )
  - 特開 2 0 2 1 - 0 2 8 9 3 0 ( J P , A )
  - 特開 2 0 1 0 - 2 2 5 6 1 5 ( J P , A )
  - 特開 2 0 1 8 - 1 9 5 7 8 2 ( J P , A )

- (58)調査した分野 (Int.Cl. , D B 名)
- H 0 1 L 2 1 / 8 2 3 4
  - H 0 1 L 2 7 / 0 6
  - H 0 1 L 2 9 / 0 6
  - H 0 1 L 2 1 / 3 3 6
  - H 0 1 L 2 9 / 7 8
  - H 0 1 L 2 9 / 1 2
  - H 0 1 L 2 9 / 7 3 9
  - H 0 1 L 2 9 / 8 6 1
  - H 0 1 L 2 9 / 8 6 8