[19]中华人民共和国专利局

[11] 公开号 CN 1120373A

[12] 发明专利申请公开说明书

[21]申请号 94191624.3

[51]Int.Cl[6]

G11C 11/403

[43]公开日 1996 年 4 月 10 日

[22]申请日 94.3.16

[30]优先权

[32]93.3.17 [33]US[31]08/032,610

[86]国际申请 PCT/US94/02885 94.3.16

[87]国际公布 WO94/22142 英 94.9.29

[85]进入国家阶段日期 95.9.28

[71]申请人 蔡卡得公司

地址 美国加利福尼亚州

[72]发明人 里查德·D·福尔曼

[74]专利代理机构 北京市中原信达知识产权代理公司

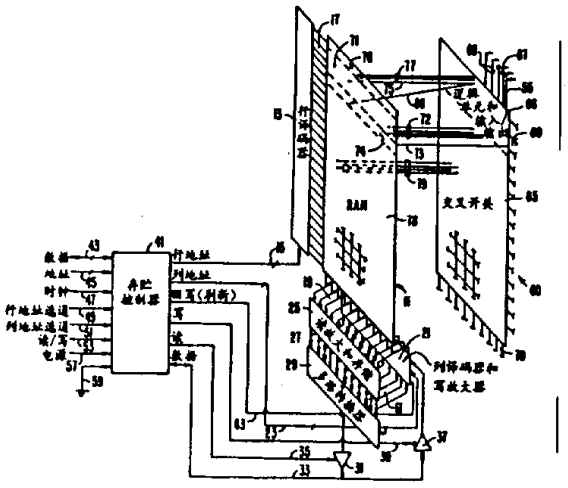
代理人 余 朦

权利要求书 1 页 说明书 37 页 附图页数 11 页

[54]发明名称 基于随机存储存贮器(RAM)的可配置阵列

[57]摘要

一种字段可编程装置包括两个分隔开电气绝缘的阵列（11 和 60），其导体行与列共享集成电路基底上的同一区域。一个阵列与存贮单元互连以形成一个 RAM。另一个形成一完全式部分交叉的开关网络。阵列 11 易于用未访问阵列（60）的所希望模式，以能易于观察操作过程中的内部信号。



权利要求书

1. 一集成电路，可选择地互连两条信号线，包括：

在两条信号线附近构成的一开关单元并且包括：

一个存贮单元，其类型是通过存储随时间而消失的电荷实现状态信息的存贮，

一个开关，连接在所述的两条信号线之间从而在其间提供一导电的路径，和

一个专用电路，专门连接在存贮单元和开关之间，其中所述的开关根据存贮单元的状态通过所述的连接是可控的，和

刷新装置，可以连到所述的存贮单元而用于读存贮单元的电荷电平并且回写电荷到存贮单元以表示所述的状态。

2. 根据权利要求 1 的集成电路，其中所述的专用电路包括一装置，用于在读所述的存贮单元时维持控制存贮单元的开关状态。

说　明　书

基于随机存储存贮器(RAM)的可配置阵列

本发明涉及字段可编程门阵列(FPGA)。字段可编程逻辑阵列或门阵列通常存储配置数据来控制字段可编程门阵列的可配置的开关和可配置的逻辑块。

在现有技术中,FPGA 芯片存在的问题之一是芯片的每个逻辑门的高功耗。另一个问题是计算这些可配置的逻辑芯片的路径需要很长的周期。现有技术的某些 FPGA 芯片需要计算机花费数小时来计算路径。现有技术中的 FPGA 芯片的另一问题是其很低的门利用率。由于路径选择的困难,因此现有技术的 FPGA 芯片对于给定的电路设计通常只使用一小部分门。现有技术的 FPGA 芯片另外存在的问题是芯片中的电路的低可见度,因此,很难看到电路中某些节点的值,从外部设置某些节点的值也是很困难的。当 FPGA 芯片用于仿真时,低可见度是一个很严重的缺点。在一个电路被仿真或测试时,常常需要具备可观察性和可控制性。

因此,本发明的一个目的是提供一种 FPGA 芯片,它的每一个门具有较低的功耗。

本发明的另一个目的是提供一种 FPGA 芯片,它的路径选择所花费的计算机的时间较少。

本发明的另外一个目的是提供一种 FPGA 芯片,它具

有高的门利用率。

本发明的最后一个目的是提供一种FPGA芯片，它具有较好的可见度和可控制性。

在集成电路芯片中，通过使用需要周期性充电刷新的电荷存储存贮单元，可实现上述本发明目的的一部分，例如基于动态随机存贮器(DRAM)的存贮单元与可配置的开关和逻辑块的配置位缓冲器相联系。DRAM是一种非常紧凑的存贮器。在FPGA中，小的DRAM单元可附在可配置的开关上，用于FRGA中内连导线，可用附在缓冲器上，用于配置逻辑块。

前述的基于DRAM的存贮单元用在FPGA中是不实际的。DRAM存贮单元用电容器存储数据位。这些电容器必须周期性地刷新以确保DRAM不丢失数据。这些DRAM单元通过读电容器的值并重新写入这些值到电容器中来实现刷新。现有技术的DRAM系统中，读电容器的值会暂时破坏该电容器的值。基于这一理由，如果在FPGA芯片中将DRAM存贮单元连到开关或缓冲器上，则在刷新存贮单元时缓冲器或开关的状态将可能产生变化。因此，另外的一种看法是，需要包括一个分离的存贮器，它存有电荷存储单元阵列的每个单元的内容，以便在周期性地刷新时不会破坏根据存贮单元状态设置的值。但是，本发明不采用这种复杂的存贮器而用两种可能的方法在FPGA中使用DRAM类型的存贮单元。

根据本发明的一个特定的方面，就是对FPGA设置或

仿真的电路的类型有一些限制。如果在FPGA 上仿真或设置的电路类型仅使用触发器作为存储元件，而不是用组合逻辑异步地存储信息，这样将使传统的DRAM 存贮单元直接与FPGA 中的开关和/或缓冲器相连接成为可能。即使对被仿真的电路设置一些限制，FPGA 也必须保证的一点是，当基于DRAM 的存贮单元被刷新后，信号从一个触发器存储元件到另一个触发器存储元件有一传送延迟，则在FPGA 中被仿真的电路的系统时钟不能设在这一延迟的最长时间周期内。

根据本发明的另一应优先考虑的方面，在传统的基于DRAM 的存贮单元中，属于开关单元部分被使用几种特殊的方法之一所改进并直接耦合到一个开关晶体管或一个缓冲器或反相器的输入上。这样，在周期性的刷新过程中，开关单元维持这些开关的状态并根据这些状态配置数据缓冲器。

获得这一结果的一种方法是在DRAM 存贮单元中用一个比正常的电容器更大的电容器。通过使用较大的电容器，则在刷新期间，开关或缓冲器的电压能够维持在驱动开关或缓冲器的开关点的上下。另外，基于DRAM 的存贮单元的刷新周期的写周期可以扩展以适应对较大电容器的较慢的回写。

另一种方法是，在基于DRAM 的存贮单元中加一个电阻性元件，而其电容器的大小与正常使用的相同。这个电阻性元件可以减慢存贮单元中的电容器的放电速度，这样就使得在电容器的值降到晶体管的开关点之前，DRAM 电路能

将电容器的值写回电容器。这个电阻也能与比正常电容大的电容器组合。

本发明的另一个实施例是在DRAM 单元中用两个电容器。这两个电容器被一个电阻性元件分隔开。第一个电容器离存贮单元的访问晶体管较近，它能够被读，其方式类似于一般的DRAM 存贮单元中的电容器的读方式。被电阻性元件分开的第二个电容器不能被快速地读，为的是连到此第二电容器的开关或缓冲器不能转变其状态。增加刷新周期的写时间可使这两个电容器都能在回写时被充电到正确的值。

此外，上述的过程是不平衡的。也就是说，写一个逻辑"0"或者逻辑"1"到第二电容器需要更多的时间。用一个泄漏二极管可加速对第二电容器的逻辑"0"或逻辑"1"的写过程。

另外，在两个电容器之间可使用多个二极管，一组二极管在一个方向上偏置，而另一组二极管在另一个方向上偏置。这种二极管组的使用可防止列预充电对第二电容器的电容值的影响。

当然，为了在读和刷新操作中维持DRAM 单元的状态，根据本发明也可对DRAM 单元实施其它的各种改变。

采用基于DRAM 存贮单元的优点之一是每个门的功耗较低。DRAM 芯片的生产成本非常低，这样，采用改进的DRAM 单元的优点与在FPGA 芯片中采用基于DRAM 的存贮单元的优点相似，因此，与现有技术中的FPGA 芯片相比，本发明中的FPGA 芯片中的每个门更便宜。另外，基于DRAM 的存贮器的密度非常高。在当前处理技术中，

DRAM 存贮单元的密度被金属化的宽度所限制。上面讨论的附加元件不需要更大的存贮单元的面积。到基于DRAM的存贮单元部件的存取线之间可留有内部连接线的空隙，这些存取线也由金属化层制成。由于增加了开关的密度，在本发明的FPGA 中可使用更多的开关。这就是说由全交叉点结构的变型而产生的结构是可行的。这种结构使用更多的开关用于内部连接，而这种连接在逻辑上较容易，这就是说FPGA 中门的利用率将增加并且用计算机进行路径选择的时间将减少。对于FPGA 芯片的仿真应用来说，路径选择时间的减少是非常好的优点。

根据本发明的另一方面，随机存取存贮器(RAM)通过存贮阵列而被提供配置的开关网络或逻辑电路的访问节点的能力，其目的是监视一些节点(可见度)的信号和传送信号到另一些节点(可控制性)。这一优点不需要使用动态类型的RAM 单元，但由于DRAM 单元的高密度，每位的低功耗，以及上面讨论的其它的优点，DRAM 单元往往被优先选用，例如，可使用其可观察性的特征的节点的例子是被选择的逻辑块的输入和输出。使用可控制性特征的例子是设置和复位一配置电路的触发器。可控制性和可观察性特征的使用允许高电平的可见度和控制，当在芯片中仿真一个实际的逻辑电路或测试一具体的电路设计时，这一点是非常重要的。由于一个被仿真或测试的电路可很容易和快速地部分或全部重配置，因此，通过随机访问和编程控制存贮地址(与现存的系统相反，需要加载全部的串行比特流以转换配置的电路)，配

置电路的连接和逻辑功能可以容易而快速地编辑。

本发明的另外的一个优点是关于用行和列译码器设置仿真时的值。存贮单元可设置在开关和缓冲器位置的适当地方，而译码器的行和列线中可与用于在逻辑门间转换的内连线交织在一起。

结合附图，下面的详细描述将使本发明的各个特性和方面更加清楚。附图说明如下：

图 1 显示本发明的一个完整的具有不同方面的集成电路系统的功能单元；

图 2A 和 2B 显示了具有包括在图 1 中的储存成电路的开关单元实例的两个储存成电路芯片设计；

图 3A 显示了具有包含在图 1 的集成电路中的逻辑单元实例的储存成电路芯片设计；

图 3B 是对图 3A 的补充电路图；

图 4 显示了具有包含在图 1 的集成电路中的另一逻辑单元实例的集成电路芯片设计；

图 5 显示了具有包含在图 1 的集成电路中的一个输入/输出单元的集成电路芯片设计；

图 6 是现有技术中 DRAM 单元的示意图；

图 7 是图 6 中存贮单元中的电容器电压的图表，它表示了在存贮单元的泄漏，读和写期间的逻辑“0”和“1”的值；

图 8 是本发明的一个实施例的示意图，它显示了一个访问晶体管，一个电容元件通过内部两条连线连到一个开关，构成一个存贮单元；

图 9 是一个方框图，显示了 FPGA 中的仿真电路加上使用图 8 中的存贮单元所需的连接电路的各部分；

图 10 是一个时序图，用来解释图 8 中所示存贮单元的限制；

图 11A 是本发明对存贮单元使用一个较大电容的电容性元件的具体实施例的示意图；

图 11B 是一个示意图，显示了一个预充电电路，包含一个固有的电容 C_I 连到存贮单元，存贮单元包含一个电容元件 C_{II}；

图 12 是一个表示图 11A 中电容器的电位的图表，它显示了在泄漏，读和写期间这个电容表示逻辑“0”和“1”的电位；

图 13A 是本发明的一个实施例的示意图，它显示了一个存贮单元，在电容和访问晶体管之间有一个电阻性元件；

图 13B 是本发明的一个实施例的示意图，它显示了在列和访问晶体管之间有一个电阻性元件；

图 14 是一个图表，它显示了在图 13A 和 13B 中的电容器在泄漏，读和写期间表示逻辑“0”和“1”的电位；

图 15 还是本发明另一个实施例的示意图，显示了存贮单元中两个电容器被一个电阻性元件所分离；

图 16 是一个图表，显示了图 15 中存贮单元中的电容器 A 在泄漏，读和写期间表示逻辑“0”或“1”的电压；

图 17 是一图表，显示了图 15 中存贮单元中的电容器 B 在泄漏，读和写期间表示逻辑“0”或“1”的电压；

图 18 还是本发明另一实施例的示意图，它显示了电容器 A 和 B 被泄漏二极管所分离；

图 19 是一图表，显示了图 18 中存贮单元中的电容器 A 在泄漏，读或写期间表示逻辑“1”或逻辑“0”的电压；

图 20 是一图表，显示了图 18 中存贮单元中的电容器 B 在泄漏，读和写期间表示逻辑“1”或逻辑“0”的电压；

图 21 还是本发明的另一实施例，显示了一个存贮单元具有电容器 A 和电容器 B，它们被两组相反方向偏置的二极管所分离。

图 22 是一个图表，显示了图 21 中存贮中的电容器 A 在泄漏，读或写期间表示逻辑“1”或逻辑“0”的电压；

图 23 是一个图表，显示了图 21 中存贮单元中的电容器 B 在泄漏，读或写期间表示逻辑“1”或逻辑“0”的电压；

图 24 是本发明的一个具体实施便的示意图，显示了一个存贮单元，具有两个电容器和两个晶体管；

图 25 是一个示意图，显示了用于图 24 中存贮单元的金属化层；

图 26 是一个示意图，显示了本发明的一个存贮单元连到一个缓冲器；

图 27 是一个具备可观察性的线的一位的示意图；

图 28 是具备可控制性的线的一位的示意图；

图 29 是一个逻辑单元的示意图，它包含一个具有可观察性和可控制性的触发器。

实施本发明的各个方面的一个系统虽然可采用两个或

多个集成电路芯片来实现，并且这些芯片分别封装或单一封装，但是，从成本和利用率的观点来看，实现本发明时各芯片分别封装的方法应更好一些。在一个芯片上实现本系统的各基本功能单元如图 1 所示。RAM11 采用一般的设计，它提供一个二维存贮单元阵列，每个行和列导线的交点处有一个存贮单元。

行译码器 13，响应总线 15 的行地址从多个行导线（字线）中选择一个特定的行，使得在连接到该选中的行线上的一个或更多的存贮单元上可执行读或写。同时对一个或多个存贮单元的读写操作可通过下面的方法实现：将欲进行读写操作的存贮单元连到多元列线中的相应列线并提供一合适的电压到这些列线。在写操作时，译码器响应列地址总线 23 的地址信号，从而选择所需的一列和多列并连到相应的一个单元或多个单元，列译码模块 21 还包括一个或多个写放大器，用于驱动所选择的寻址的条列线或多条列线。同样地，读放大器 25 也连到列线 19，通常每条列线单独使用一个读放大器，它们的输出通过线 27 送到多路转换器 29（多路转换器在附图用 MUX 表示），多路转换器 29 响应列地址总线 23 的地址信号。选择一个或多个读放大器的输出。读放大器 25 和多路转换器 29 允许读一行中的任一个存贮单元，这一行的行线 17 被提供适当的电压并由多路转换器 29 寻址。多路转换器 29 的输出送到选通放大器 31，在响应由线 35 提供的读控制信号时，选通放大器 31 提供一个输出到数据线 33。单个读放大器 25 也可被设计成存储各自列线的电压，至

少是临时地存储。另一选通放大器37从数据线33接收一个信号并送到列译码器和写放大器模块21以响应线39的写信号的触发。

按标准设计的存贮控制器41也包含在芯片中。图1所示芯片中的存贮控制器41通过下列封装引线与一个更大的系统的其它元件相连接:数据总线43,地址总线45,时钟信号47,行地址选通(RAS)信号49,列地址选通(CAS)信号51,读/写控制信号53,电源连线57和59。

RAM11的优选结构是前面讨论的DRAM,因为DRAM在当前技术条件下具有很高的密度,并且具有相对低的功耗。另外,DRAM可与具有导线和可配置逻辑单元的阵列60很好地结合起来,阵列60可被场效应管(FET)开关有选择地从内部连通,并且可在存贮阵列11存贮的信息的控制下进行相应的配置。虽然使用其他结构的RAM,例如静态存储器(SRAM),电可擦可编程只读存贮器(EEDROM),或者其他结构的永久存储器,也能实现本发明的许多方面,但是在选用DRAM时,存贮系统必须包括周期刷新存贮单元的一般能力。也就是说,DRAM单元存贮0或1时,在每个单元的电容器上存储一个相应的电荷电平,超过一定的时间后电容器中的电荷将泄露完。在图1的系统中,通过连到各个的线27,导线61将读放大器25的输出,送到模块21中写放大器的输入端。响应线63上的刷新控制信号,临时存储在其中读放大器的输出的通过写放大器21,被写回刚刚被读出的相同的列线。这样,一次可刷新阵列11

中的一行存贮单元。正如我们知道的刷新过程是，首先读取由行译码器 13 寻址的特定行中的存贮单元的状态，这将使得这些单元中的电容器进一步放电，然后是通过刷新过程立即将电容器充满。关于刷新过程和具体的单元结构的更详细的描述，下面将根据图 6 和图 7 进行说明。刷新 DRAM 的公知技术是很多的，而且公知的 DRAM 系统结构也有很多。

在图 1 的例子中，阵列 60 被分成两个不同的功能部分 65 和 66。功能部分 65 包括行和列导线，不管这些导线是连续的或是分段的，它们都将开关晶体管连到可选择地连接的行和列导线，并且/或者通过不同的配置段将这些行和列的各个段连在一起。

阵列 60 的另一功能部分 66 包括可配置的逻辑单元和可配置的输入输出电路，此输入输出电路连接从阵列 60 的功能部分 65 延伸过来的列导线而接收和发送信号。这样，在阵列的功能部分 65 中互连的 FET 开关可与阵列的功能部分 66 中的逻辑单元和输入输出信号互连。当然，逻辑单元能够被交替地或附加地连到阵列功能部分 65 中的行导线上。一个相当简单的系统结构已经被选择用来对本发明的各个方面和它们的最佳实施以图解的形式解释其基本的原理。

导线 67 表示阵列功能部分 66 中电路的信号输出，并被连到封装上的外部引脚。同样地，一些外部的封装引脚连到前述电路中的输入线 68。也就是说，外部的连接，例如线 55，根据其相应的输入输出电路的配置而将其设成双向的功能。导线 69 和 70 是阵列 60 中相应行和列导线的延伸。这种可

选择的延伸允许连接其他阵列的类似的导线而使系统得到进一步的扩充，这个系统可采用一个芯片，也可采用多个芯片，可采用单一的封装，也可采用各自分开的封装。

可用于部分66的逻辑单元的类型有很多。在这里已经描述的特别简单的例子中，采用了两种逻辑单元，它们都是可配置的。第一种是逻辑门，具有检查功能，两个输入端一个输出端，逻辑门的功能可被配置成标准的门类型，如或，与，或非，异或等等。更复杂的门结构，例如具有更多输入和/或输出端的门结构也包括在内。除了上面所列的功能外，任何逻辑功能都能实现，包括多路转换器，晶体管，三态缓冲器，以及其它。例子中所述的逻辑单元的另一种是D触发器。一种优选的逻辑单元包括一个四输入端，一个可检查逻辑功能的输出端，一个触发器和一个三态驱动器，正如下面将根据图29进行描述的一样。阵列60中的部分66的输入输出电路包括适当的缓冲和控制部分以实现阵列60的列线和外部信号之间的接口。

通过加载到阵列11的相关的存贮单元适当的值而配置逻辑单元。存贮器阵列11的部分71包括这样一此单元，它们的输出例为通过四个存贮单元的四条线72连接到阵列60的区域66中予含的可配置的门逻辑单元之一上。下面将要根据图4描述这样的逻辑单元的一个例子。除了四条配置的信号线72，另外一条线73连到存贮阵列11的另一部分74中的存贮单元的输出，这样将允许位于配置的逻辑单元内的信号节点通过RAM阵列11而被访问。

阵列部分66中的触发器逻辑单元也可由RAM阵列11中的部分71中的存贮单元的状态来配置，这一存贮单元的状态由线75传送。可以对RAM阵列11的部分76所包含的存贮单元进行写操作，其目的是强制触发器逻辑单元的状态，此时从存贮单元到触发器逻辑单元的信号通过线77传送。与配置它们的连接或功能相反，在部分76中的存贮单元提供一个对阵列部分66中的逻辑单元的操作的控制。

同样地，通过位于RAM阵列11的部分78中的相关的存贮单元之一的开或关状态，可控制阵列60的部分65中的每个开关晶体管。如图1所示的线79，传送阵列60的部分65中的四个存贮单元的状态，这四个存贮单元连有四个相对应的开关晶体管。

如图1所示的具有分离的行和列导线的两个阵列11和60被分开的目的是用图说明各自的功能。阵列60包含大量的开关晶体管，其状态由阵列11中的各自的存贮单元的内容所控制。但是，根据本发明，这两个阵列互相叠放在一起并穿过半导体基片的一个公共区域。互相连接的不同部分的布局概念性地用图表示在图2A～图5中。

开关单元和可配置的逻辑单元阵列

图2A所示是一个穿过集成电路表面的俯视图，其中有部分65(图1)中的交叉开关的四个相邻单元以及其相关的控制存贮单元81—84(图2A)，这些控制存贮单元位于阵列11的部分78。控制存贮单元81—84的状态控制相应开并晶体管85—88是导通还是截止。每个存贮单元通过它的导线

阵列可编程，如图 2A 所示，导线阵列包括列导线 M1 和 M2，加上行导线 M3 和 M4。如图 2 所示，存贮单元 81—84 中的每一个都连到这些列导线的其中之一，也都连到这些行导线的其中之一，这样就能在对它们进行读，写和刷新操作时各自寻址。

图 2A 所示的开关网络由列导线 S1 和 S2，行导线 S3 和 S4 组成。从图 2A 中可注意到，开关晶体管 85—88 中的任意一个都连到列导线的其中之一和行导线的其中之一。行、列导线之间的连接可通过在与这些导线相连的开关晶体管的栅极上加能量而实现。

在图 2A 中，两个阵列中的行导线，即导线 S3、M3、S4 和 M4 在集成电路结构中形成一个金属层。同样地，列导成 M1、S1、M2 和 S2 形成与前述金属层绝缘的第二金属层。因此，阵列 11 和 60(图 1)的导线与集成电路结构中的两个金属层都相连。因此，在图 2A 所示的四个交叉开关单元中，任一单元都有两条列线和两条行线经过它。因为现有技术中 DRAM 的简洁和紧凑，所以存贮单元 81—84 的每一个都非常小，其结果是图 2A 所示的四个相邻单元的任一个也是非常小。实际上，每个单元作得如何小的限制是金属导线的间距。因此，可能需要构成第三个，甚至第四个金属层，这样可进一步垂直叠放图 2A 中的导线，从而减少一个开关单元所占的面积。

图 2A 中所示的开关阵列的类型，如果将它扩展到阵列 60 的部分 65 的全部，则将得到一个完整的交叉(十字)开

关。这时，任一列导线可以连到任一行导线。因此，在阵列60的部分66中的逻辑单元，可连到从开关部分65扩展的用于在逻辑单元之间传送信号的列导线，也能通过大量的行导线连到其他的列导成。这一点是必须的，因为这样在实现一个设计的逻辑单元之间的内部连接时可提供最大的灵活性，并且在为实现这些连接，确定加到各个存贮单元的值时可减小复杂性。

虽然在集成电路中一个完整的交叉开关网络不需要大的面积，但是，在适当的条件下，通过减少部分65中的行导线数而使之少于列导线数，或者其它一些适当的安排，可以减少这个面积。这种减少面积通常意味着在逻辑单元间设计路径以构成一特定的电路的工作变得更复杂和更费时。

上述的一个完整的交叉开关阵列能够将一些或全部的列和行断开而分成许多隔开的段，这一点在其某些应用中可能是很需要的。特别需要的是在不提供一个完整的交叉开关网络时，一条导线能够在它的分开的段中传送多于一个的信号。这种电路的一个设计如图2B所示，它是对图2中的设计的一个改进，所有的元件用相同的标号加上一个撇号(′)来表示。与晶体管85—88(图2A)可选择地将行和列导线连在一起不同，图2B中则是晶体管85′—88′连在不同的行和列导线的路径中。这样的每一导线是维持连通或者分成两段将依赖于存贮在它的晶体管开关控制存贮单元的值。

本发明也可用于完成具他不同的导线连接设计，使用不提供完整的交叉连接的经济的FPGA来实现。一个例子是

一个包含有许多单独的开关晶体管的开关网络能够被编程，以构成在三对或硬多对导线之间连接的任意组合。在这样的一个应用中，这个网络的每一开关晶体管有一个状态，这个状态被 DRAM 阵列中的相应的存储单元的信息所控制。

图 3A 中描述了阵列 60(图 1)的部分 66 中的一个逻辑单元的一个例子。简单地看，一个可配置的逻辑门有两个输入端 IN0 和 IN1，接在两个列导线上，一个输出端 OUT，接在另一个列导线上。信号导线延伸到阵列 60 的交叉开关部分 64 并且在这里通过开关网络连到部分 66 中的其它逻辑单元。列导线 M5、M6 和 M7 是存贮阵列 11 的一部分，同样地行导线 M8 和 M9 也是存贮阵列 11 的一部分。另一个行导线 01 在存贮阵列 11 的可观察阵列部分 74 中。

图 3A 所示的简单逻辑电路的功能被 RAM 阵列 11(图 1)中的四个存贮单元 89～92 中的内容所配置。这种功能表示在图 3B 的功能块电路图中。图 3B 使用相同的参考号码。实际上，在列导线 IN0 和 IN1 上的数字输入信号的四种可能的组合操纵一个多路转换器 56，从而选择存贮单元 89～92 中的一个的信号送到输出(OUT)导线。这个电路的功能是或、与。或者其它的逻辑功能将决定于四个存贮单元中的内容。逻辑单元的结构要能适应更多的输入端并用存贮单元配置其功能。例如，在图 3B 中可以看列，优选的四输入(输入 IN0 和 IN1 已示出，另外的输入 IN2 和 IN3 未示出)逻辑单元增加了多路转换器 56 的能力，使其在最多十六个存贮单元之间进行转换。用于实现图 3B 中的逻辑单元的技术的

另一种方法是，在存贮单元的一个二维阵列中存储一个逻辑检查表的技术也能实现，但不是优选的。

图 3B 的存贮单元 89～92 中的任一个单元驱动对应的缓冲器 93～96 中的一个。如果不是象图 2A 和 2B 所示的开关网络中将存贮单元直接连到开关晶体管那样，在采用 DRAM 类型的存贮单元时需要为每一单元提供一个电流源。正如下面将要说明和讨论的那样，从这种单元中引出电流可很快地耗尽其中所存的电荷而很快地改变其状态。因此，在每个 DRAM 单元中存储的电荷，需要一输出电流连到一缓冲器，根据存储在存贮单元中的电荷电平控制缓冲器的输出在两个电平之间。

本发明的可观察性特征从图 3A 中也可看出，通过在输出列导线 OUT 和一个存贮阵列列导线 M7 之间连接一个开关晶体管 97 来实现其可观察性。晶体管 91 的导通或截止依赖于 RAM 阵列行线 01 上的电压。因此，当行线 01 被行译码器 13(图 1)寻址时，图 3A 中的电路的输出连到列线 M7。这样通过 RAM 阵列 11 可有选择地观察或监视这一 OUT。由于这种阵列有很好的随机访问性，在配置电路的内部节点上的信号可以很方便地访问或观察。

图 4 显示了可被实现的位于阵列 60 的部分 66(图 1)中的另一种逻辑单元，这就是 D 触发器。触发器电路 98 的 Q 输出端连到一输出列导线，而它的 D 输入端连到一D 列导线。来自另一个列导线(CLK)的时钟输入到触发器 98。一个复位或清除触发器 98 的信号通过图示的逻辑元件来自于另

一列导线(PRE/CLR)。PRE/CLR 列导线上的一个激励信号是否引起触发器的复位或清除决定于存贮单元 1 的状态，这一状态制约通过图示的反相器 4 和其他逻辑元件的复位和清除信号。

两个附加的存贮单元 2 和 3，驱动各自的缓冲器 5 和 6，允许触发器 98 被强迫置成清除或复位状态而不影响由存贮单元 1 中的内容所设置的配置。存贮单元 2 和 3 都连到 RAM 阵列 11 的可控制部分 76 的的一个行导线 C1 上。存贮单元 2 和 3 能够被随机访问，它们中的内容在需要控制触发器 98 的操作时发生改变。如图所示的另一种选择是将可控制存贮元件连到一个公共的行(字)导线，它们能在配置逻辑存贮单元中被分配。

由图 2A 到 4 中的电路完成的配置和可控制性功能之间存在一个区别。存储在配置存贮单元中的位要么建立连接(该连接构成一个电路以传送信号)，要么制约电路如何响应一给定的信号。在图 2A 和 2B 中，电路中的存贮单元的状态直接建立电路连接。而在图 3A 中，电路中的存贮单元的状态在其输入和输出之间建立逻辑变换功能。在图 4 中，存贮单元 1 中的状态制约电路在特定的通路中响应 PRE/SET 线的激励信号。另一方面，存储在可控制存贮单元中的位设置所建立的电路中的信号的值。例如，写入图 4 中的单元 2 和 3 的位，将强置触发器 98 进入预定状态，从而控制在导线 OUT 上的输出信号的状态。

图 4 的电路也包括了一个可观察性的功能。一个 FET

开关 99 把触发器 98 的输出连到存贮阵列的列线 M13。FET99 的栅极通过线 80 连到存贮行导线 02。这样，当行 02 的信号的状态变成激活时，可通过存贮阵列读触发器 98 的输出。在测试或仿真芯片内配置的电路时，这是一个重要的优点。能够确定操作的电路中的内部触发器的状态是很重要的。

在图 3A 和 4 描述的电路设计中，虽然它们各自的可观察性晶体管 97 和 99 可由分开的相应行线 01 和 02 中的信号来导通，但是，它们也能组合起来响应一条行线。实际上，许多这样的可观察性 FET 开关能够由一条行线上的信号控制。结果是可同时访问在许多内部电路结点上的相应的列线的信号。

从图 3A 和 4 中也可以看出，可以选择存贮和逻辑电路的列导线跨过这些电路。通常这种设计是非常方便的，虽然不是所有的存贮列导线被使用(例如图 4 中的 M12)，但是，这里不连到一个逻辑单元的列导线将被连到另一个逻辑单元。

图 5 概念性地表示了一种输入/输出的电路设计，它可用于阵列 60 中的部分 66(图 1)。导线 55 连到电路芯片的焊接点 7 作为芯片中配置的电路的一个输入或输出，以响应来自图 5 中的电路外部的列线 CONT IN 的一个控制位的值。如果作为一输出电路，那么来自另一配置的逻辑单元的列导线 DATA OUT 上的信号被传送到与焊接点 7 相连的列导线上。如果作为一输入电路，那么在焊接点 7 上的信号被送

到列导线DATA IN上并且用于芯片上的另一配置的逻辑电路。

存贮单元8和9在图5的电路用于提供一输出时提供主要的配置信息。通过提供一输入到一异或门10，它的另一输入是信号DATA OUT，存贮单元8中的内容配置的电路接收列导线DATA OUT上的一个指定极性信号。门10通过一多路转换器12控制输出晶体管14和16的栅极。晶体管14和16连成一串联电路，再串接附加的晶体管18和20，然后跨接在电源两端。这样，通过门10和多路转换器12，列导线DATA OUT上的信号值驱动这个串联晶体管电路的输出，线22和连到焊接点7的列导线相连。

但是，只有当列线CONT IN上的控制位指定为输出功能时，才能执行输出功能。通过把一个多路转换器24连到晶体管18和20的栅极来实现它。当这些晶体管截止时，线22上无输出，但当这些晶体管导通时，允许电路提供一输出到焊接点7。根据存贮单元9中的内容，送到晶体管20的信号可被门缓冲器26有选择地中断。当存贮单元9的位使晶体管20截止和列导线CONT IN上的信号使晶体管18导通时，输出22被配置成一个集电极开路输出。

存贮单元28和30提供一个输出电路的可控制性功能。多路转换器12响应存贮单元32中的配置位，能够选择存贮单元28的内容作为一输出信号而代替列导线DATA OUT中的实际信号。同样地，多路转换器24响应存贮单元34中的配置位，能够取代存贮单元30中的内容作为一控制信号

而代替列导线 CONT IN 中的实际控制信号。

当需要使图 5 中的电路作为一输入电路时，列导线 CONT IN 上的控制信号被设置成维持晶体管 18 和 20 的关闭(截止)状态，或者多路转换器 24 选择存贮单元 30 的内容而使晶体管 18 和 20 截止。这样在焊接点 7 的任意信号通过异或门 36 和多路转换器 38 送到列导线 DATA IN 作为其它配置逻辑单元的一个输入信号。存贮单元 40 的一个配置位使电路适应输入信号的极性。存贮单元 42 中的可控制位根据配置存贮单元 44 的内容可以被这样的一个实际输入信号替换。

在图 5 的电路中的某些导线上的信号的可观察性由晶体管 46、48、50 和 52 提供。存贮行导线 M22 上的信号使每个晶体管变成导通或者截止。当这些晶体管导通时，在导线 CONT IN 上的控制信号连到存贮阵列导线 M16，在焊接点 7 上的信号连到存贮导线 M17，在导线 DATA IN 上的输入信号连到存贮导线 M18。采用这样的设计，存贮列导线 M15、M16 和 M17 在不同的时间分别用于访问连到它们的存贮单元和在集成电路芯中外部通过它们观察电路中的导线上的信号。

存贮单元设计

许多不同类型的基于 DRAM 的存贮单元可用于图 1—5 中的结构。这里将讨论有关的现有技术中的 DRAM 存贮单元。

图 6 是现有技术的DRAM 存贮单元 101 的示意图。存贮单元 101 包括一个访问晶体管 103，它的栅极连到行线 105，源极连到列线 107。访问晶体管 103 的漏极连到电容元件 109。这个电容元件一般由槽式电容器构成。

行线 105 和列线 107 通常是在金属化台阶中形成的金属线。在 DRAM 存贮系统中，由于泄漏到基片而使电容元件 109 失去电荷。基于这一理由，电容器 109 的值需要周期性的刷新。在刷新操作中，列线 107 被预充电到一电压值，此值位于表示逻辑“1”的电压和表示逻辑“0”的电压之间。典型地，5V 表示逻辑“1”，0V 表示逻辑“0”，而预充电的电压是 2.5V。正如下面描述的那样，本发明的 FDGA 芯片可以用较低的电压表示逻辑“1”是容易理解的。对列线 107 的典型预电时间是大约 50ns，在列线 107 预充电后，行线 105 上的电压被升高从而使访问晶体管 103 导通。

下面根据图 7 详细描述 DRAM 单元 101 在读和回写期间的动作。图 7 表示了在对存贮单元 101 的泄漏、读和写期间，图 6 中的存贮单元的电容器表示逻辑“1”和逻辑“0”时的电压的变化情况。本图中的时间范围与图 12、14、16、17、19、20、22 和 23 中的不一样。泄漏期比读或写周期大得多。泄漏期或者说最长的时间周期，在电容器 109 的两次刷新之间，如图所示的约为 4ms。图 7 中显示出图 6 中的存贮单元 101 的电容器 109 上的电压变化，连续线表示逻辑“1”的情况，虚线表示逻辑“0”。如图 7 所示，在泄漏期，电容器 109 上的电压在表示逻辑“1”时慢慢下降，而在表示逻辑“0”时慢慢上

升。这种电压的变化是由于电容器中的电荷通过基片泄漏。对线 107 的预充电没有画在图 7 中。预充电周期正好在读周期之前。

当读周期开始时，访问晶体管 103 导通。在逻辑“1”时，电荷从电容器 109 流向列线 107，而在逻辑“0”时电荷从列线 107 流向电容器 109。一个连到列线 107 的读放大器读取这个列线 107 上电压的微小的变化(图中未画出读放大器)。典型的读周期约需 30ns。

读放大器能识别存储在电容器 109 中的是逻辑“1”或者逻辑“0”。在写周期，存储在电容器 109 中的值通过列线 107 写回电容器 109。当表示逻辑“1”时电容器中的值被刷新到 5V，而当表示逻辑“0”时电容器中的值被刷新到 0V。在读和写周期后行线 105 上的值被设置为低电平。

典型地，DRAM 存贮单元每次刷新一行，这样一整行存贮单元在同一时间读和回写。这实际上意味着在最长的允许的泄漏期内，每条行线必须刷新。假设最长的允许的泄漏期是 4ms，并且有 256 行，那么每 15.6ms 必须刷新一行。由于预充电，读和写一行存贮单元需要 110ns，那么行刷新时间应少于存贮单元(例如单元 101)的访问时间的百分之二。

下面将要描述用基于 DRAM 的存贮单元作图 1—5 中的存贮单元的第一种方法。图 8 是本发明的一个实施例的示意图，其中由访问晶体管 113 和电容元件 115 组成的存贮单元 111 连到开关 117，开关 117 连到两条线 119 和 121。图 8 中也显示了列线 123 和行线 125 连到存贮单元 111 的访问

晶体管 113。存贮单元 111 和开关 117 可用作图 2A 中的存贮单元和开关。再看图 8，存贮单元 111 的特性与图 6 中的 DRAM 存贮单元类似。由于图 8 中的存贮单元 115 连到具有非常高的阻抗的晶体管 117 的栅极，因而电容器 115 上的电压在泄漏期，写和读周期中的变化情况能够达到图 7 所示的情况。在读和写周期，电容器 115 上的电压在表示逻辑“0”时升到晶体管 117 的低开关电压(V_{IL})之上时，或者在表示逻辑“1”时升到晶体管 117 的高开关电压(V_{IH})之下时，可能会产生问题。在任一情况下，开关晶体管 115 的状态将是不正确的，因而在连接线 119 和 121 上的任何信号的值都是不精确的。由于这一原因，在 FPGA 芯片中用 DRAM 存贮单元，例如存贮单元 111，控制连接开关或保持配置数据位被认为是不实际的。典型地，现有技术中的 FDGA 芯片采用不需要刷新的 SRAM 存贮单元。

如果在 FDGA 中或者在被仿真的电路的类型上作一些限制，那么在 FDGA 中使用图 8 所示的电路还是可能的。一种这样的限制是 FDGA 芯片中的电路用同步的方法维持信息，例如用由系统时钟计数的触发器。一种异步存储信息的电路是组合逻辑，它有一个输出反馈到输入而不使用系统时钟。

如果异步存储信息的电路放在使用存贮单元 111 的 FDGA 芯片中，那么当在刷新存贮单元 112 时间内读电容器 115 时，存储在异步电路中的信息将被毁坏。但是，如果 FDGA 中的电路的信息存储在由系统时钟计数的触发器

中，那么在存贮单元例如存贮单元 111 中的电容器的刷新能够被定时，因而不会丢失信息。

图 9 是一功能块图，显示了 FDGA 中的仿真电路的一部分和用于存贮单元 111(图 8)的连接电路 129。如果一系统时钟送到属于 FDGA 中的电路的一部分的触发器 133 和 135，则一个系统块时钟请求块 127 发送一个请求到连接电路 129。另外，如果需要刷新一行，则刷新请求电路 131 发送一个刷新请求到连接电路 129。连接电路 129 在系统时钟请求和刷新请求之间仲裁，这样，在系统时钟使触发器 135 输入数据之前，信号能够从触发器 133 送到 触发器 135。在系统时钟信号送到之前，无刷新信号在对应于最长延迟的时期内能够送到触发器。两个触发器间的最长延时可以是 50 至 250ns。逻辑块 133 和逻辑块 135 之间的信号通过开关和可配置逻辑块段 137 传送。由存贮单元(例如图 8 中的存贮单元 111)构成的 DRAM 控制位 139 控制开关和可配置逻辑块段 137。再看图 9，如果由于行刷新而使 DRAM 控制位的值和 DRAM 控制位电路 139 处于不确定状态，则正确的信号可以不送到逻辑块 135。在没有冲突的情况下连接电路 129 送一信号到刷新电路 141 或者系统时钟 143。

图 10 是一个时序图，用来解释图 8 中的存贮单元在使用时的限制。刷新信号线显示一典型的刷新是 110ns。典型地，每 15.5ms 有一个行刷新。在一个行刷新后，在等于两个触发器间的最长时延的时期内，系统时钟不会触发。注意在行刷新的时刻 A 和时钟跃变的时刻 B 之间的时间间隔大于

50 至 250ns 的最长时延。可以选择的是，如果系统时钟在时刻 D 的下降跃变被触发，则在时刻 C 的刷新信号和时刻 D 的时钟触发之间的时间间隔大于两个触发器之间的最长时延。注意在时钟跃变之间能够产生许多行刷新。另外，在行刷新之间能够产生许多时钟跃变。由于电路信息包含在触发器中，因此，当图 9 中的 DRAM 控制位处于不确定状态直到足够的时间用于信号从触发器 133 送到触发器 135 为止，信息不会被破坏。注意，如图 8 所示的存贮单元 111 之类的基于 DRAM 的存贮单元不能连到图 9 的触发器 133 和 135 的异步输入。

在 FDGA 芯片中使用电荷存储存贮单元的第二种优选的方法是改进基本的 DRAM 存贮单元。图 1A、13A、13B、15、18 和 21 公开了几种能用于图 1—5 中的电路的电荷存储存贮单元。正如下面将要描述的那样，在一存贮单元的刷新期间，这些存贮单元维持一开关或驱动元件中的状态信息。例如，如果这些存贮单元连到一开关的门，则在刷新存贮单元的读和写阶段，门上的电压在表示逻辑“1”时维持高于 V_{IH}，在表示逻辑“0”时维持低于 V_{IL}。采用这种方法，则在存贮单元的刷新期间，开关不会因偶然因素而改变状态（例如在源极和漏极间由导通变为截止，反之亦然）。

图 11A 是本发明的一个实施例的示意图，其中存贮单元 145 含有一个大的电容元件 147。图中显示一个开关单元 150 由存贮单元 145，专用连接 152 和开关 155。专用连接 152 只用于连接存贮元件 145 和开关 155。如实施例中所见，

专用连接 152 是由硬件实现的多晶硅连接。

开关单元 150 位于内连或者信号线 154 和 156 的附近。开关单元 150 中的开关 155 连在内连线 154 和 56 之间并被存贮单元 145 存储的状态所控制。存贮单元 145 存储用于控制开关 155 的存贮状态。存贮单元 145 采用存储电荷 方法存储存贮状态，它随时放电并需要刷新。显示在图 8、13A、13B、15、18 和 24 中的存贮单元也是这种类型。一般地，集成电路中的这种类型的存贮单元采用一个电容元件存储电荷。在图 11 中，如下面将要描述的那样，存贮单元 145 连到一电路，在刷新期此电路读存贮单元 145 的状态并重新写入存贮单元 145。这个刷新电路包括行线 151 和列线 149。在使用 DRAM 存贮的技术中有很多公知的刷新电路。

一般地，DRAM 存贮单元中的电容元件很小以便能使存贮单元的读写能够尽可能地快。由于 DRAM 单元中的电容元件很小，因而在 DRAM 存贮单元的刷新期中，电容元件上的电压将接近图 7 中的预充电电压值。在读存贮单元 145 期间大电容器 147 维持控制存贮的开关状态。对照图 11B 可以看到采用大的电容器 147 的优点。

图 11B 是一个示意图，一预充电电路 161 和一含有固有电容 C_1 的列线 149′连到一包含电容性元件 147′的存贮单元 145′。连到列 149′的预充电电路 161 预充电列线 89′至预充电电压 2.5V；随后预充电电路中的晶体管 163 截止。在读周期当行 151′变成高电平时，晶体管 153 导通并且电荷在容量为 Cs 的电容器 147′和列线 149′的固有电容 C1 之间分

配。因为 Q＝CV，所以当一较大的电容 Cs 用于存贮单元 145′时，由于从电容器 147′到列线 149 的电荷移动的减少而使得电压下降或上升。Cs 的值能根据 C1 选择而使晶体管 155′的状态在读周期不发生改变。

图 12 是图 11A 中的电容器 147 上的电压变化图。它显示了电容器上的电压表示逻辑“1”和逻辑“0”时在泄漏期、读周期和读周期的变化。为便于说明，在图 12、14、16、17、19、20、22 和 23 中的信号幅度限制在 0 至 5V。注意，本发明中的存贮单元能被设计用于信号范围为 0～3V 的电路或者其它任意需要的信号范围。另外，在所有的这些图表中，虚线对应逻辑“0”的情况，而连续线对应逻辑“1”的情况。

再看图 12，注意在读周期 163，电容器上的电压在表示逻辑“1”时维持在电压 V_{IH} 之上，而在表示逻辑“0”时维持在电压 V_{IL} 之下。这样，在读周期 163 和写周期 165 中开关晶体管 155 的状态能够被维持。对于图 116：

$$Q=CV$$

$$Q_{1b}+Q_{sb}=Q_{ta}$$

$$V_{pr}C_1+V_{s1}C_s=C_{ar}(C_1+C_s)$$

$$\frac{C_s}{C_1}=\frac{V_{ar}-V_{pr}}{V_{s1}-V_{ar}}$$

这里 Q_{1b} 是读周期前电容器 C_1 的电荷，Q_{sb} 是读周期前电容器 C_s 的电荷，Q_{ta} 是读周期后的总电荷，V_{pr} 是预充电电压，V_{SL} 是泄漏期后是泄漏期后电容器 C_s 的电压，C_{ar} 是读周期后两个电容上的电压。直观地看，如果晶体管 155′的 V_{IH} 的

3.5V，V_{IL}为115V，V_{pr}为2.5V，表示逻辑"1"或逻辑"0"时V_{SL}为4.5V 或者0.5V，相应地，此时C_s应大于C_L。此外，正如下面将要描述的那样，加一个电阻性元件可以缩短读周期，为的是在读周期使两个电容上的电压不会完全相等。在这种情况下，C_s可以稍微小一些。

现在回到图12，注意，写周期165的长度需要以典型的DRAM 存贮单元的写周期长度上扩展。其原因是使用了较大的电容器147。因为写周期165被扩展，所以用于刷新存贮单元的时间的比例要增加。这个增加是可能的，因为现有技术的DRAM 存贮器的刷新周期仅占整个存贮器访问时间的百分之一至百分之二。典型地，DRAM 存贮器是一种快速存贮器，它的刷新时间需要尽可能的小。由于图11A 的存贮单元145不用作快速存贮器。因此，在本发明的各种存贮单元中行刷新时间的比例可以明显地增加。

图13A 是本发明的一个实施例地示意图，其中存贮单元167有一电阻性元件169位于电容性元件171和访问晶体管之间。电阻性元件169以及下面将要描述的其它存贮单元的电阻性元件用电阻性晶体管代替会更好。电容性元件171可以是如图11A 的电容器147那样的大电容器，或者可以是较小的电容器。再看图13A，用电阻性元件169减慢对电容器171的读操作使得在电容器171的电压达到开关晶体管175的触发电压V_{IH}或V_{IL}之前能够读电容器171的值。

图13B 是本发明的一个实施例的示意图，其中电阻性

元件179位于列线181′和访问晶体管173之间。电阻性元件179位于这个位置与图13A的电阻性元件169一样具有相同的作用。

图14是一个图，显示了图13A的电容器171或图13B的电容器171′上的电压在表示逻辑“1”或逻辑“0”时在泄漏期，读和写周期的变化情况。注意在读周期183，电容器171或171′上的电压表示逻辑“1”时维持在电压V_{IH}之上，而表示逻辑“0”时维持在电压V_{IL}之下。在这个实施例中，由于电阻169或179使得读操作变得比较慢，因此，在写 周期开始前，在电容必元件171或171′与列线181或181′之间转移的电荷也较少。因为转移的电荷较少，因此在电容性元件171或171′上的电压的变化也较小。

由于RC常数的增加而扩展了读周期183和写周期185的长度。RC常数的增加应归因于电阻性元件169和179。读和写周期的增加使得刷新周期需要更多的时间。由于RC常数的增加而扩展了读周期183和写周期185的长度。RC常数的增加应归固于电阻性元件169和179。读和写周期的增加使得刷新周期需要更多的时间。

图15是本发明的另一实施例的示意图，其中有两个电容器，存贮单元187中的电容器A和B被电阻性元件189隔开。存贮单元187也有一个访问晶体管191。在刷新时，当从电容器A上读存贮单元的状态值时，电阻性元件189和电容器B用来维持存贮单元187的状态。注意，电容器B上的电压供给开关晶体管193。

图 16 是一个图，显示了图 15 的存贮单元中的电容器 A 的电压表示逻辑“1”或逻辑“0”时在泄漏期，读和写周期的变化情况。在读周期 195，电容器 A 上的值被读并且其电压流向线 194 的预充电电压。在写周期 197，正确的电压被写回电容器 A。

图 17 是一个图，显示了图 15 的存贮单元 187 中的电容器 B 的电压在表示逻辑“1”或逻辑“0”时在泄漏期，读和写周期的变化情况。在读周期 195′，电容器 B 上的电压在表示逻辑“0”时绝不会升到电压 V_{IL} 之上，而在表示逻辑“1”时绝不会降到电压 V_{IH} 之下。这是因为电容器 B 和电容器 A 被电阻性元件 189 隔开。电阻性元件 189 减慢了电荷从电容器 A 到 B 的转移速度。注意，扩展的写周期 197′ 需要写回电容器 A 和电容器 B 上的电压至初始值。作为一个例子，写周期可以是 400ns。由于电容器 B 的电容对电容器 A 上的电压有一点影响，因此，电容器 A 的体积所以比用在普通 DRAM 存贮单元中的电容性元件稍微小一些。

图 18 是本发明的另一个实施例的示意图，其中，电容器 A 和 B 被一个泄漏二极管 199 隔开。如图所示的泄漏二极管由一个二极管和一个电阻性元件并联而成。如果电容器 A 和 B 仅仅被一个电阻性元件隔开，那么当存贮单元 201 在使用时，把逻辑“0”写回电容器 B 要比把逻辑“1”写回电容器 B 占用更多的时间。如果电容器 B 上的电压高出电容器 A 上的电压 0.6V 时，泄漏二极管 199 将导通，因此，二极管会加快写逻辑“0”到电容器 B 的操作。如果写逻辑“1”到电

容器B占用更多的时间，则可将二极管朝另一方向连接也可起到同样的效果。

图19是一个图，显示了图18中存贮单元21的电容器A上的电压表示逻辑“1”或逻辑“0”时在泄漏期、读或写周期的变化情况。对电容器A的读和刷新与图16中描述的类似。

图20是一个图，显示了图18中存贮单元201的电容器B上的电压表示逻辑“1”或逻辑“0”时在泄漏期，读和写周期的变化情况。注意，泄漏二极管防止了电容器B上的电压在表示逻辑“0”时升到电压V12之上，也防止了电容器B上的电压在表示逻辑“1”时降到电压V111之下。注意在写周期213′，电容器B上的电压在表示逻辑“0”时达到OV要比电容器B上的电压在表示逻辑“1”时达到5V快。采用二极管199补偿这个在回写逻辑“0”时需要更多的时间的不对称过程。而将二极管方向可补偿在回写逻辑“1”时需要更多的时间的不对称过程。

图21是本发明的另一实施例，其中存贮单元215的两个电容器A和B被两组在相反方向上偏置的二极管隔开。即二极管组217和219。采用两组二极管使得在读周期将电容器B上电压与列线218上的预充电电压隔离。

图22是一个图，显示了图21的存贮单元215中的电容器A上的电压在表示逻辑“1”或逻辑“0”时在泄漏期，读或写周期的变化情况。注意，电容器A上的电压与开关219可由串联二极管217和219隔离。

图 23 显示了图 21 的存贮单元 215 中的电容器 B 上的电压在表示逻辑“1”或逻辑“0”时在泄漏期，读或写周期的变化情况。在逻辑“1”时，在泄漏期 220′的起点，线 218 的电压将充到 5V 的回写电压并送到存贮单元 219。电容器 A 上的电压被充到 5V，因为被隔开的电容器 B 上的电压等于电容器 A 减去两个二极管的压降，所以电容器 B 的电压应的 3.8V。(5V —1.2V ＝3.8V，这里的 1.2V 是两个二极管上的压降)。

在泄漏期 220′，电容器 B 上的电压可能含下降到，例如 3.6V，但它仍高于前述的 3.5V 的 V_{IH}。在读周期 221′，列线 218 预充电至 2.5V。此值低于 2.6V，由于 3.6V 减去 2.5V 等于 1.1V，而 1.1V 低于导通二极管组 217 所需的电压 1.2V，因此电容器 B 上的电压在读周期 221′不会改变。在写周期，当电容器 A 上的电压达到 5V 时电容器 B 上的电压被快速写回到 3.8V。

反之，在逻辑“0”时，在泄漏期 220′的起点，电压值为 1.2V。在泄漏期 226′的终点，电容器 B 的电压为 114V。1.4V 低于前述的 1.5V 的进压 V_{IL}。当列线 218 预充电至 2.5V 时，电容器 B 上的电压不受影响。在写周期 223′，当电容器 A 上的值回写到 0V 时，电容器 B 上的电压降到 1.2V。注意在读周期，电容器 B 上的电压不会受到列线 218 上的预充电电压的影响。

图 24 是本发明的一个实施例的示意图。其中存贮单元 225 有两个电容器 227 和 229，还有两个晶体管 213 和 233。

访问晶体管 231 被行线 235 上的电压导通。而访问晶体管 233 被行线 237 上的电压导通。在读电容器 227 时访问晶体管 233 截止。在写存贮器 225 时，访问晶体管 231 首先导通而使列线 241 上的电压存入电容器 227。在一延迟期后，访问晶体管 233 导通而将电压值写回电容器 229。这样，开关 243 总维持正确的状态。写信号送到与行线 237 相连的延迟电路 245。

存贮单元 225 的优点是在读周期访问晶体管 233 将电容器 229 与预充电电压隔离。在写周期，访问晶体管 231 先于访问晶体管 233 导通，使得电容器 227 的电压在读周期后不直接到达电容器 229，这样，晶体管 243 不会偶然地开关。

从图 25 中可以看出图 24 的实施例的缺点。图 25 是一个示意图，显示了用于图 24 的存贮单元的金属化层。注意，由于需要两条行线 235′ 和 237′，因此需要增加每一存贮单元和开关的组合所占的硅面积。由于现有的 DRAM 处理过程受金属化层的限制，因此这是一个非常现实的问题。图 25 能涉及到前面的图 1 的随机访问存储部分 11 和交叉开关部分 60 的改进，其中由存贮单元和开关组合的开关单元需要一条附加的行线。

图 26 是一个示意图，其中本发明的存贮单元 247 连到一驱动元件 249。如图所示，驱动单元 252 由驱动元件 249，专用连线 250 和存贮单元 247 组成。图中的驱动元件 249 是一个反相器但也可以是其它的，例如，一个非反相缓冲器，其典型的实施例是两个反相器连在一起。驱动元件 2549 和存

贮单元247由专用连线250连接。列线251和行线253用于写存贮的内容到存贮单元247中，同样的方法在图15中也被描述。这里描述的任一存贮单元都能用于图26的存贮单元247。存储在存贮单元247中的状态信息用于设置驱动元件249的值。驱动元件249可以连到可配置的逻辑块，其方法见关于图3的描述。

可见度和可观察性的线

图27是可观察性线的一位的示意图。行线255和只读列线257连到访问晶体管259。当行线255上的电压主为高电平时，只读列线257能够确定在FPGA芯片中仿真的电路的节点261上的值。图1所示的位于部分74中的一位可观察性线连到行译码器13和列译码器21。、从图27可看出，由于列257和行255能够连到一个行和列译码器，因此，通过只读列线257可以方便地读出节点261的值。

图28是可控制性线的一位和示意图。通过行线265和列线267访问的存贮单元263可用于存储驱动元件269的状态。存贮单元263可以是上述的存贮单元中的任一种。存贮单元263中电容器的值可使用前面描述的方法刷新。驱动元件269，如图所示是一反相器，但也可是其它，例如一非反相缓冲器。被驱动的地址271是一个节点，例如触发器上的复位和置位。在图1的可控制性部分76中，行线265和列线267连到行译码器B和列译码器21。图4中，存贮单元2和驱动元件5使用这种方式清除触发器98。由于触发器的状态能用可控制性位进行设置，使得测试FDGA中的仿真电

路时具有更高的效率，这是因为用可控制性线设置仿真电路中的特定的节点是容易的。

图 29 是本发明的可配置逻辑块 273 的一个优选实施例的示意图。此图说明了用可控制性和可观察性线的优点。可观察性位 275 能够看到可配置逻辑块 273 的输出状态。可观察性位能够看到四输入—输出查找表 279 的输出。可观察性位 281 能够看到 D 触发器 283 的 Q 输出。可控制性位 285 能够设置触发器 283 的输入端 PRE，而可控制性位 287 能够设置触发器 283 的输入端 CLR。可控制性位 303 能够设置三态缓冲器 297 为高阻抗模式。在仿真应用中使用这些可控制性和可观察性位是特别有益的。

可配置的逻辑块 273 的拓扑图由配置位设置。这些配置位可以是图 26 所示的存贮单元和驱动元件的组合。再看图 29，包含 16 个配置位的配置位 289 设置查找表 279 的配置。配置位 291 决定输入信号 PRE/CLR 是否送到 D 触发器 283 的输入端 PRE 或 CLR。配置位 305 决定输入信号 PRE/CLR 是否被禁止。允许触发器 283 的 Q 输出，查找表 279 的输出，一个逻辑“1”或一个逻辑“0”通过而到达三态缓冲器 297 的输入端。配置位 299 决定二状态多路转换器 301 是否允许可控制性位 303 的值或者三态缓冲器输入通过而到达三态缓冲器 297，用来控制三态缓冲器是否为高阻抗模式。

图 29 所示的电路的一部分在图 4 中有一个补充。图 29 中的配置位 291 对应于图 4 中的存贮单元 1 和反相器 4。图

29 中的可控制性位 285 对应于图 4 中的存贮单元 3 和缓冲器 6。图 29 中的可控制位 287 对应于图 4 中的存贮单元 2 和缓冲器 5。图 29 中的可观察性位 281 对应于图 4 中的晶体管 99。

注意，图 8 中的存贮单元 111 不能用于图 29 中的配置位 291 或控制位 285 或 287，因为这些位都连到触发器 283 的异步输入端。另外，如果这些互连的开关单元采用图 8 中的存贮单元 111，那么在其刷新期内，可配置的逻辑块 273 的输入端 PRE/CLR 和 CLK 的状态必须被维持。上述各个方法和实现的详细描述仅仅是对本发明的说明。

上述内容的各种变化也应在本发明的范围之内，在权利要求书中将作出限定。

说 明 书 附 图

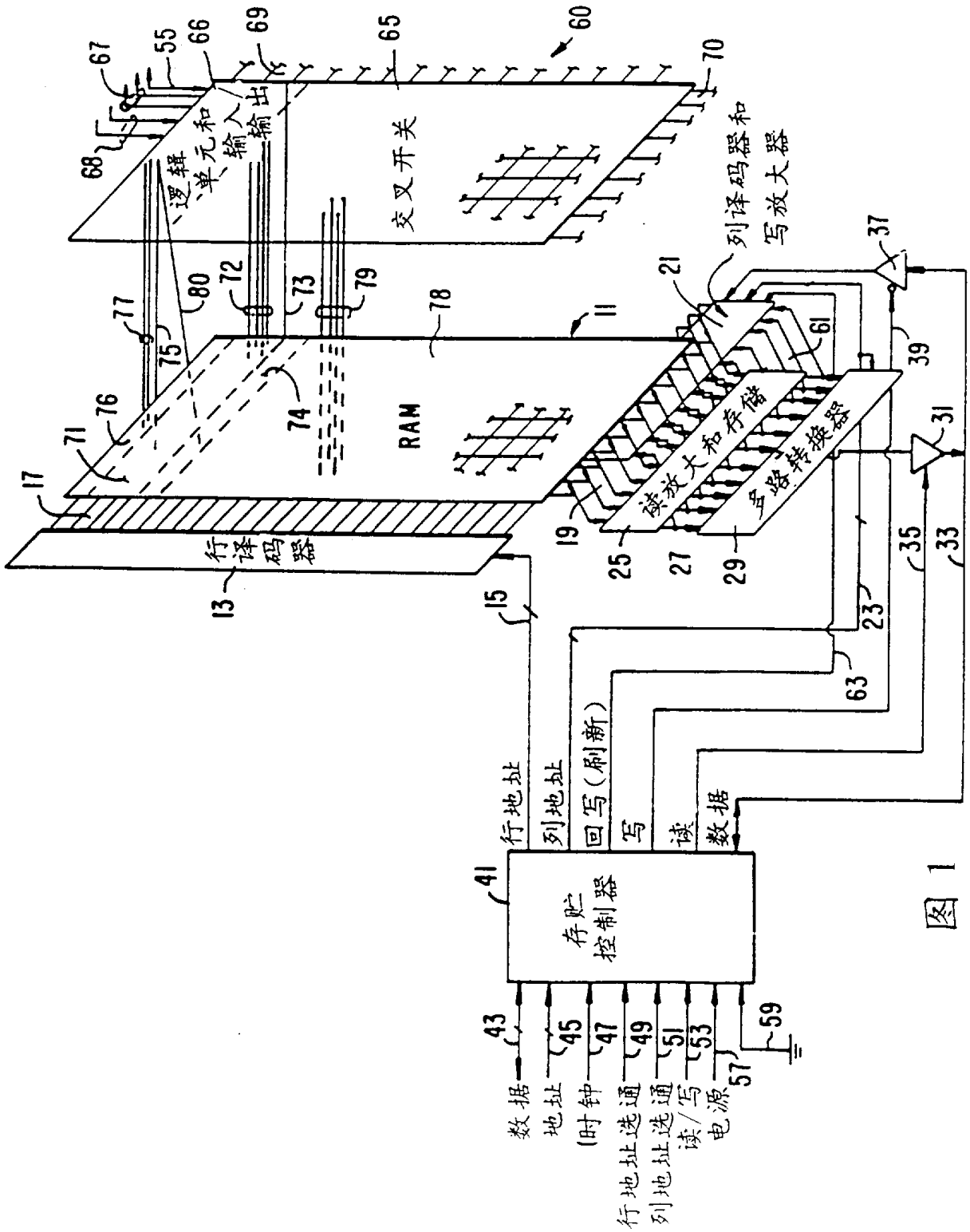

逻辑单元和输入输出
交叉开关
RAM
行译码器
列译码器和写放大器
读放大和存储
总路转换器
存贮控制器
行地址
列地址
回写(刷新)
写
读
数据
数据
地址
时钟
行地址选通
列地址选通
读/写
电源

图 1

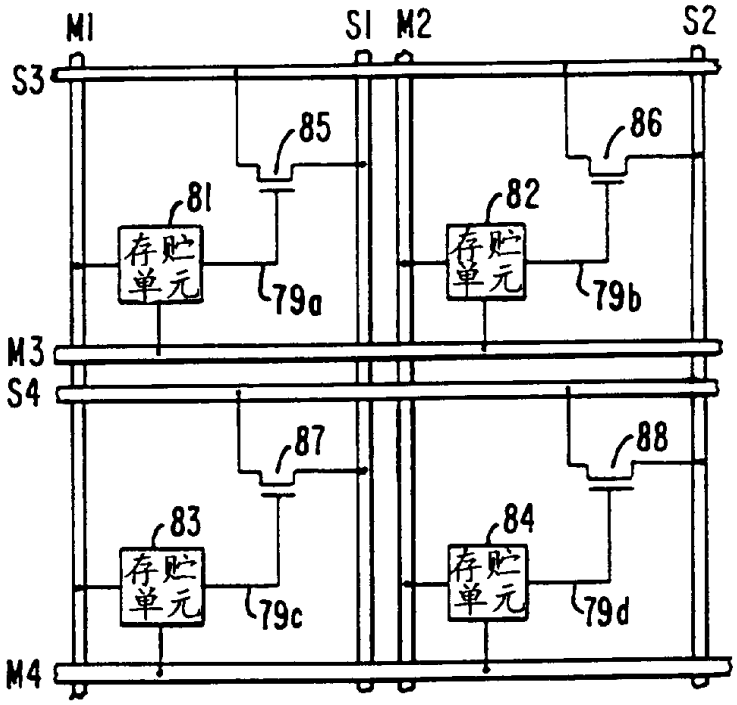

M1
S1
M2
S2
S3
85
86
81
82
存贮单元
79a
79b
M3
S4
87
88
83
84
79c
79d
M4

图 2A

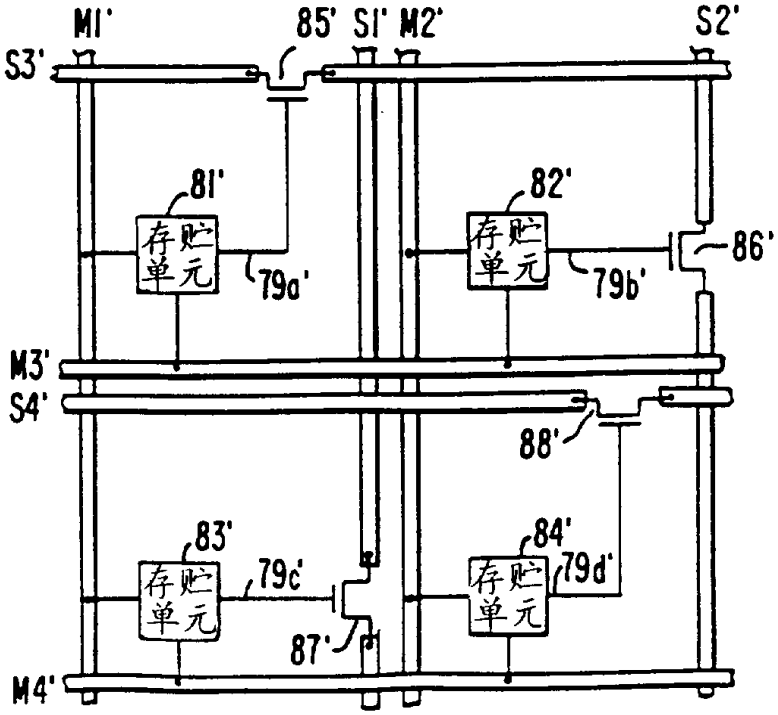

M1'
85'
S1'
M2'
S2'
S3'
81'
82'
存贮单元
79a'
79b'
86'
M3'
S4'
88'
83'
84'
79c'
79d'
87'
M4'

图 2B

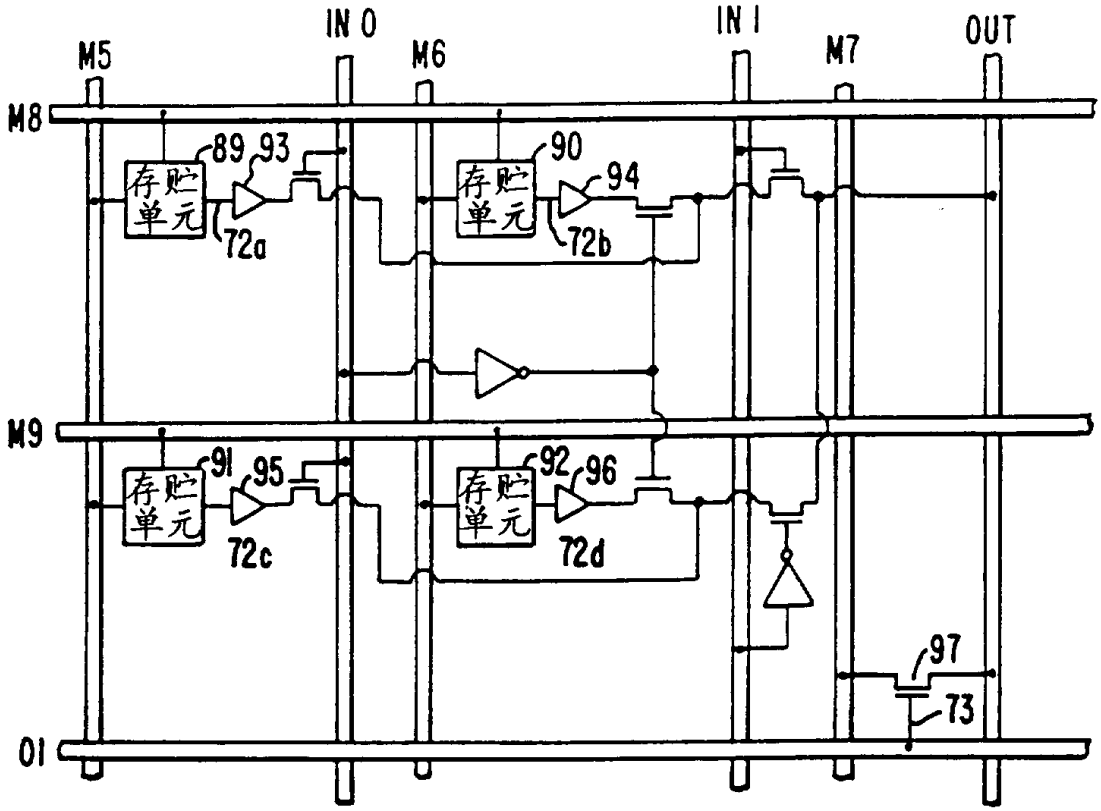

IN 0
IN 1
OUT
M5
M6
M7
M8
M9
O1
存贮单元
89
93
90
94
72a
72b
91
95
92
96
72c
72d
97
73

图 3A

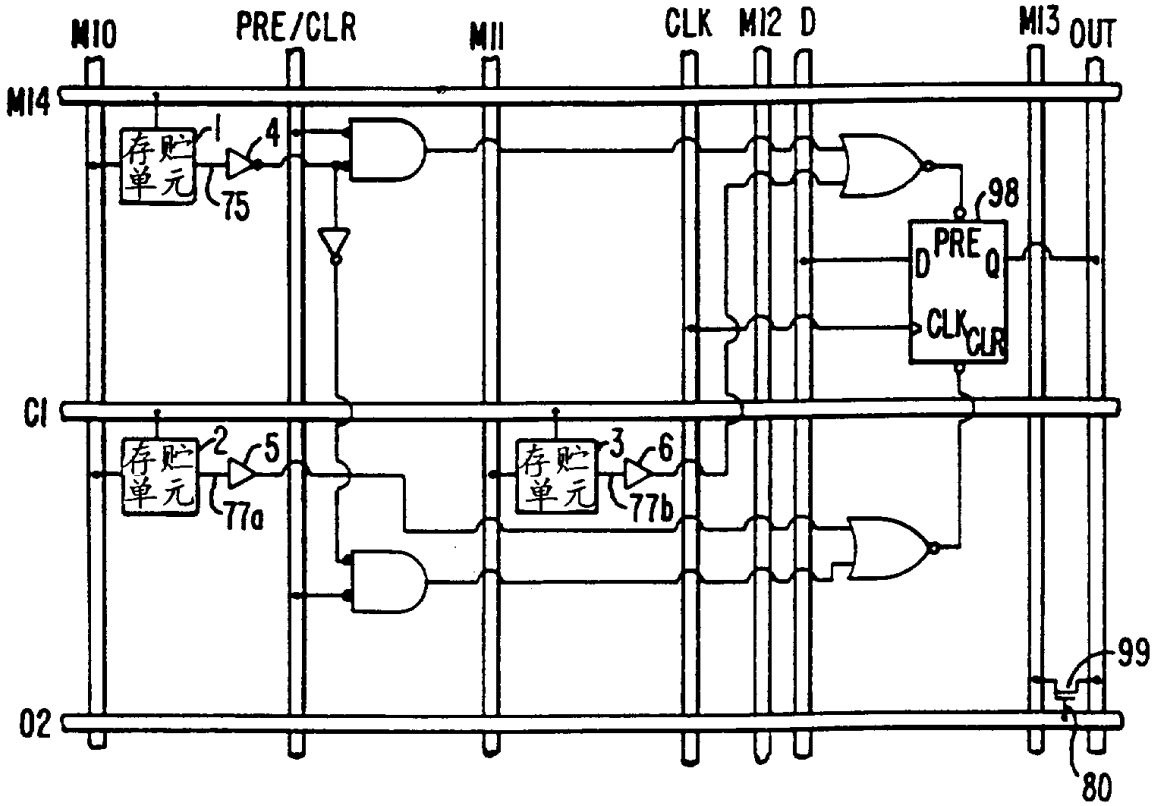

M10
PRE/CLR
M11
CLK
M12
D
M13
OUT
M14
C1
O2
存贮单元
1
4
75
2
5
77a
3
6
77b
98
PRE
D
Q
CLK
CLR
99
80

图 4

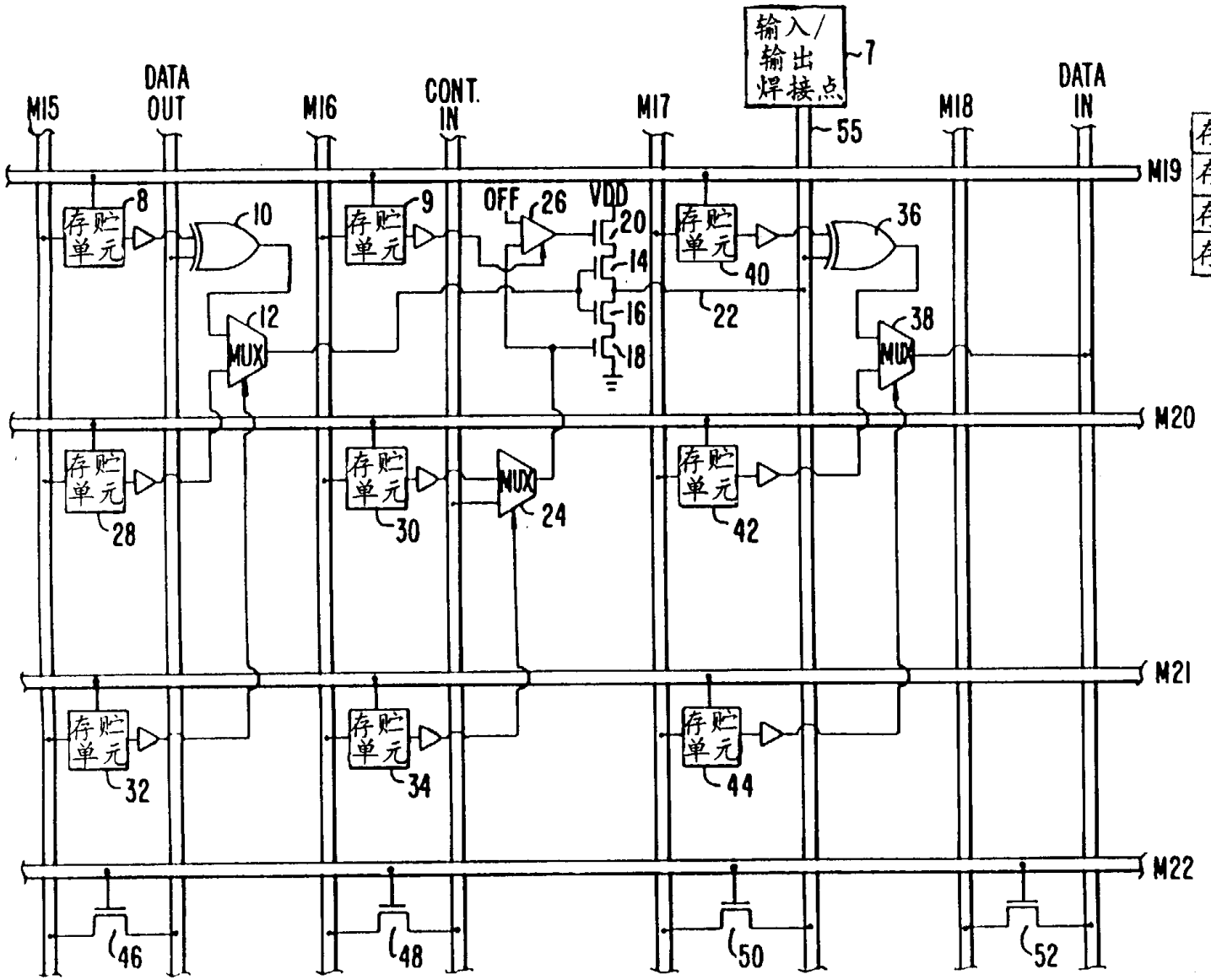

M15
DATA OUT
M16
CONT. IN
M17
输入/输出焊接点
7
55
M18
DATA IN
M19
M20
M21
M22
存贮单元
8
9
10
12
MUX
OFF
26
VDD
20
14
16
18
22
36
38
40
24
28
30
32
34
42
44
46
48
50
52

图 5

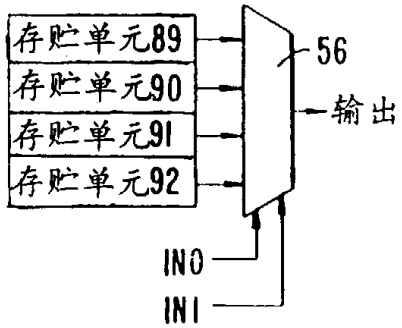

存贮单元89
存贮单元90
存贮单元91
存贮单元92
56
输出
IN0
IN1

图 3B

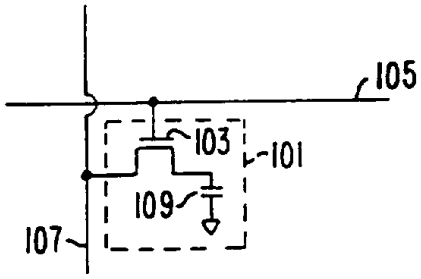


图 6（现有技术）

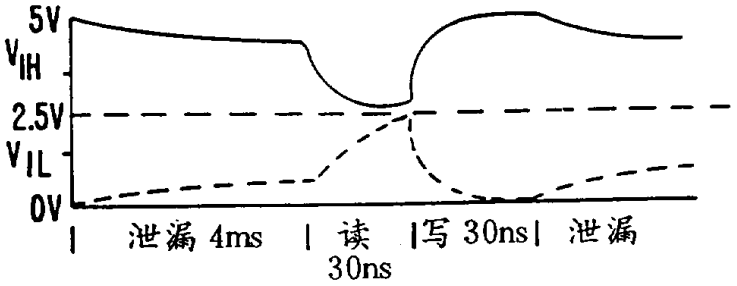


图 7（现有技术）

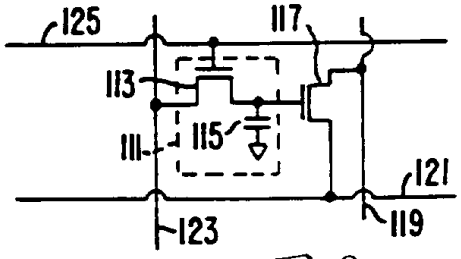


图 8

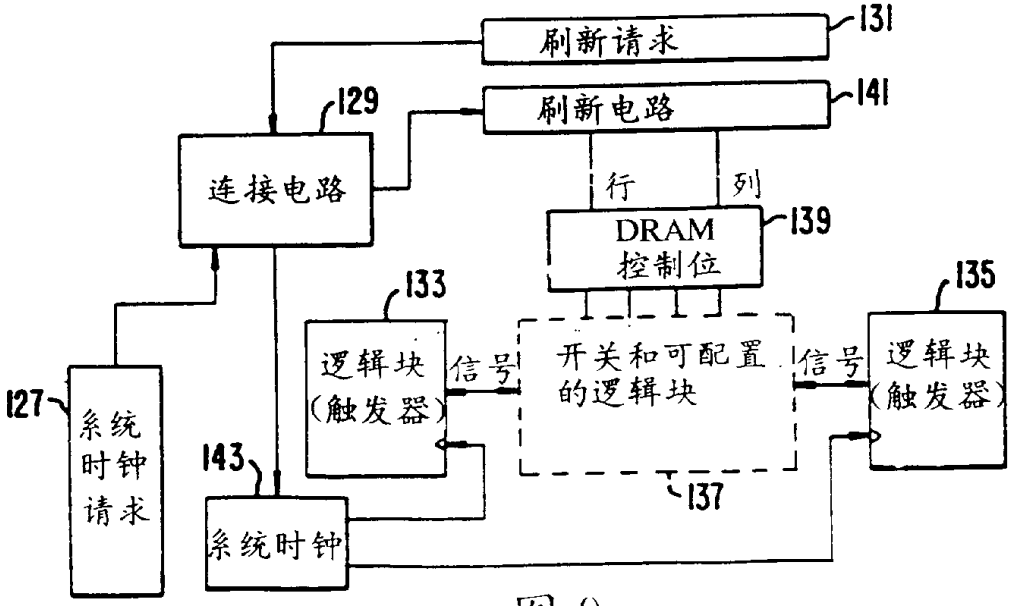


图 9

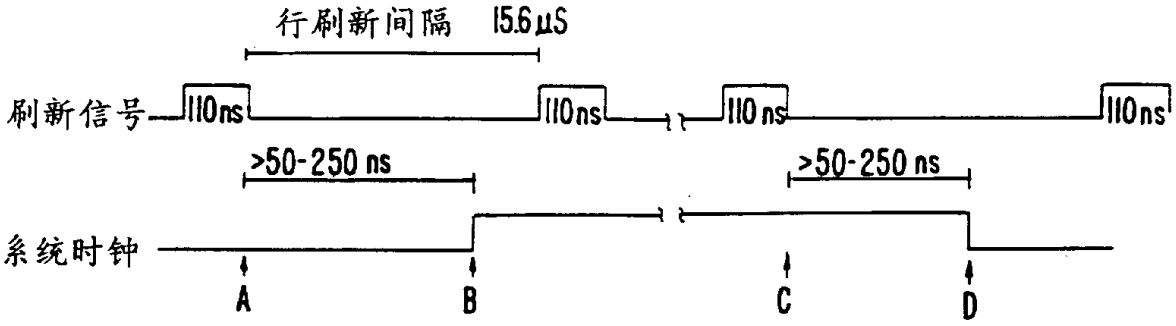


图 10

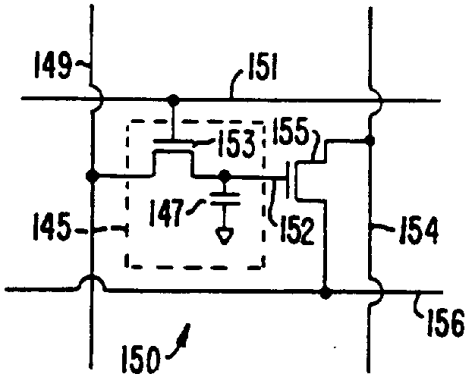


图 11A

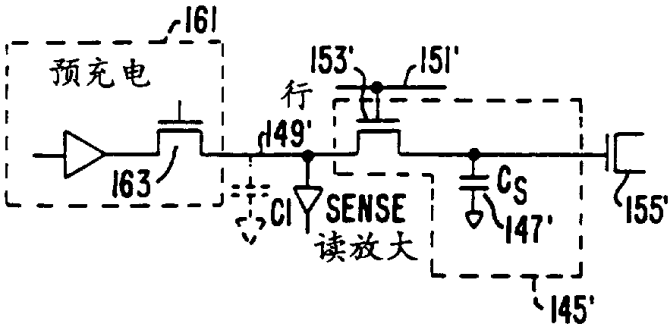


图 11B

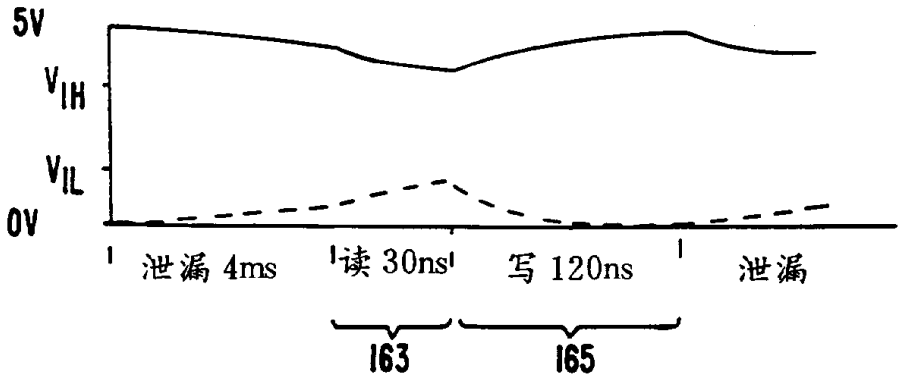


图 12

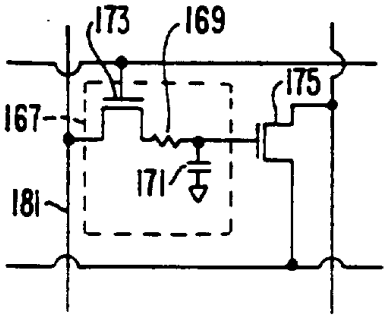


图 13A

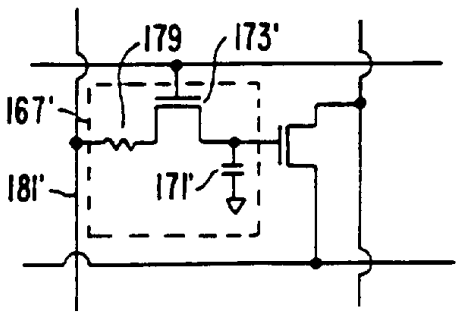


图 13B

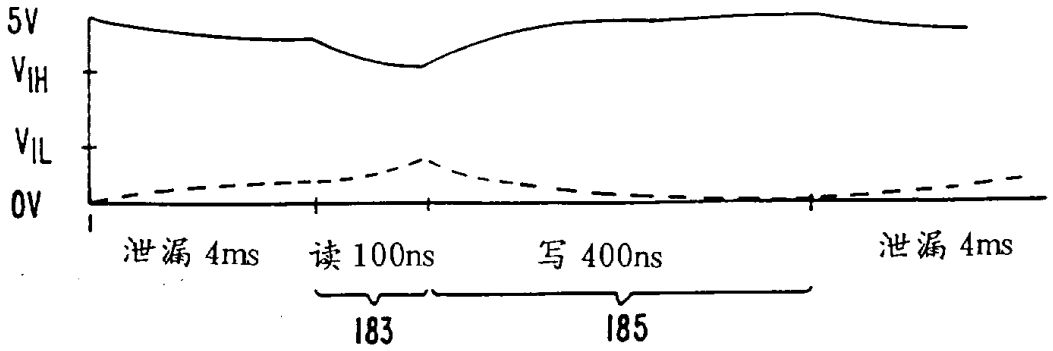


图 14

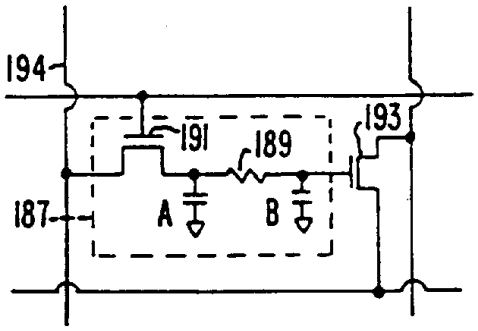


图 15

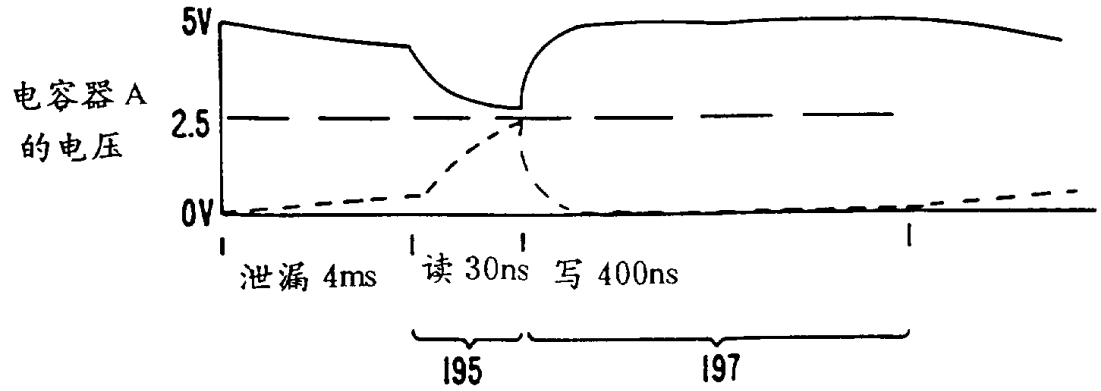


图 16

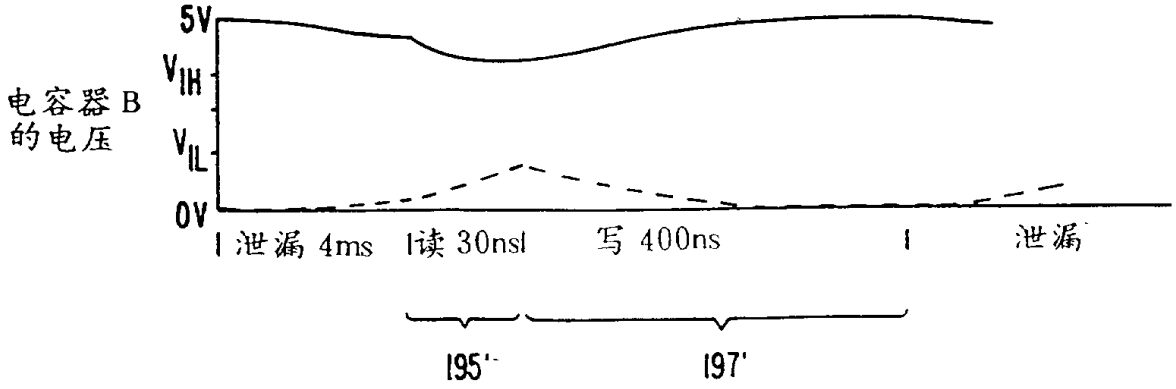


图 17

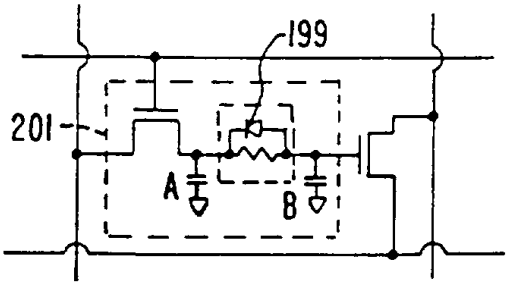


图 18

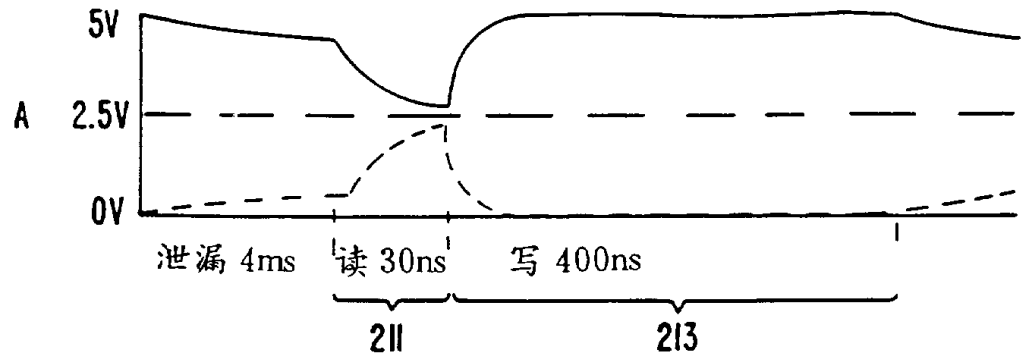


图 19

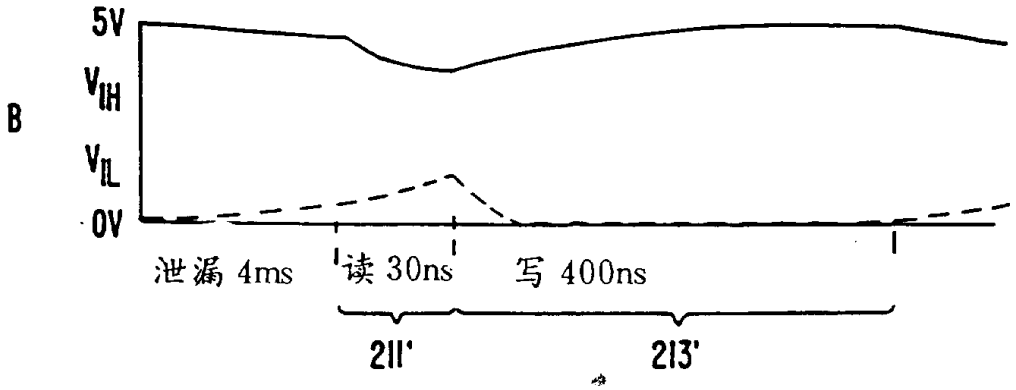


图 20

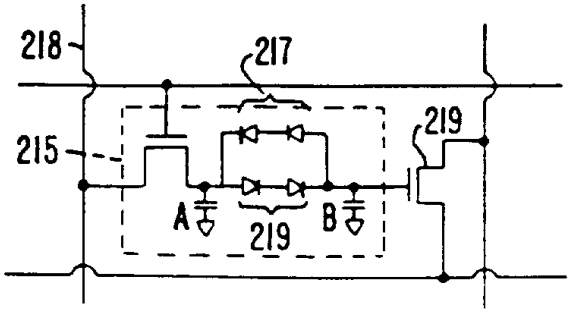


图 21

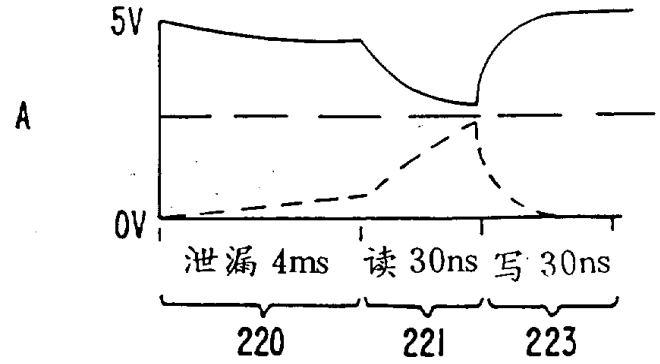

5V
A
0V
泄漏 4ms
读 30ns
写 30ns
220
221
223

图 22

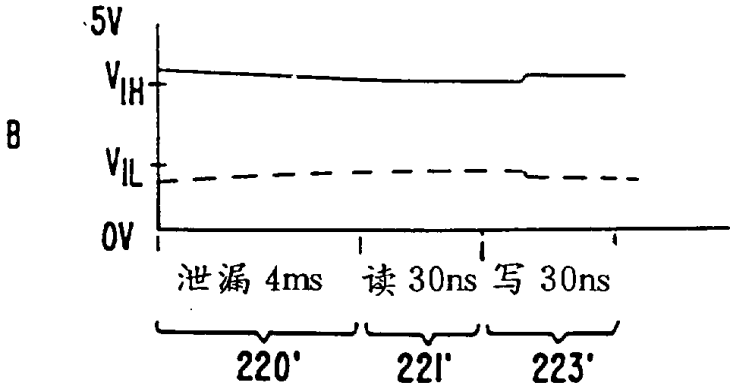

5V
V_{IH}
B
V_{IL}
0V
泄漏 4ms
读 30ns
写 30ns
220'
221'
223'

图 23

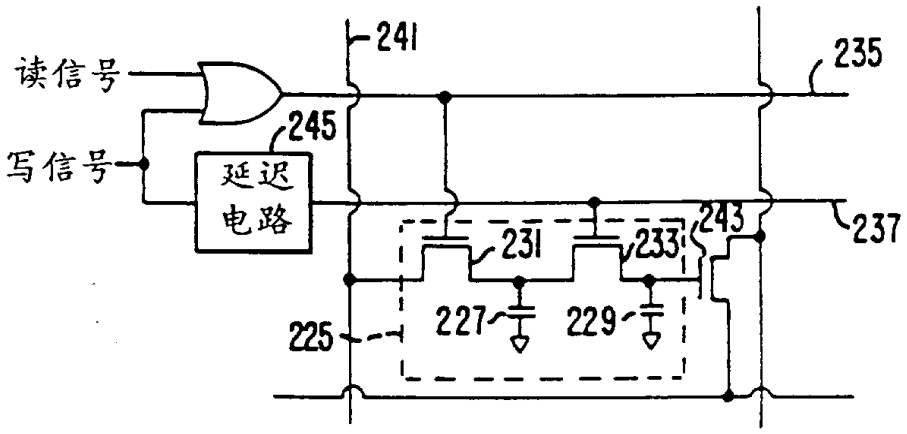

241
235
读信号
245
写信号
延迟
电路
231
233
243
237
227
229
225

图 24

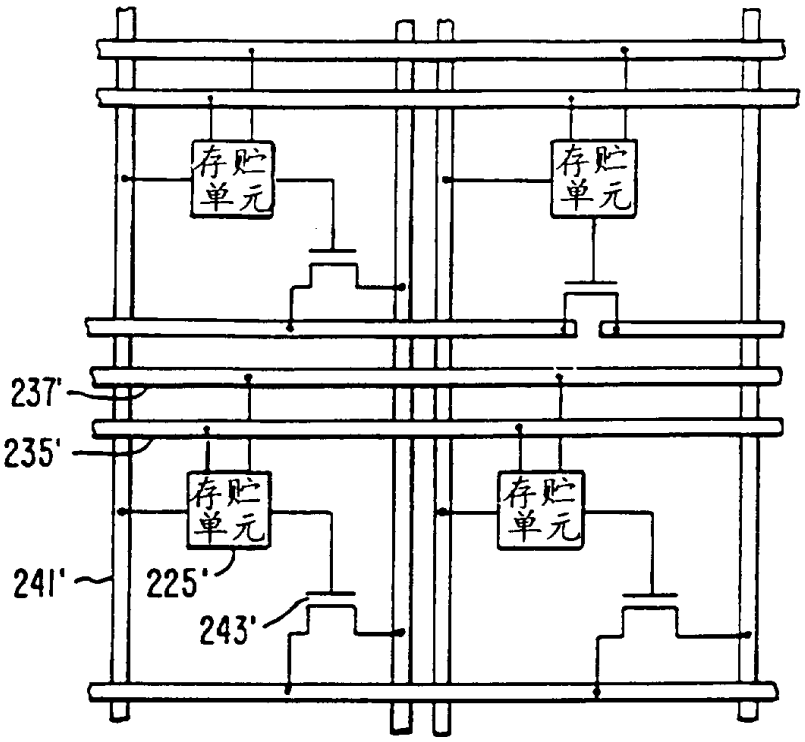

存贮单元
存贮单元
237'
235'
存贮单元
存贮单元
241'
225'
243'

图 25

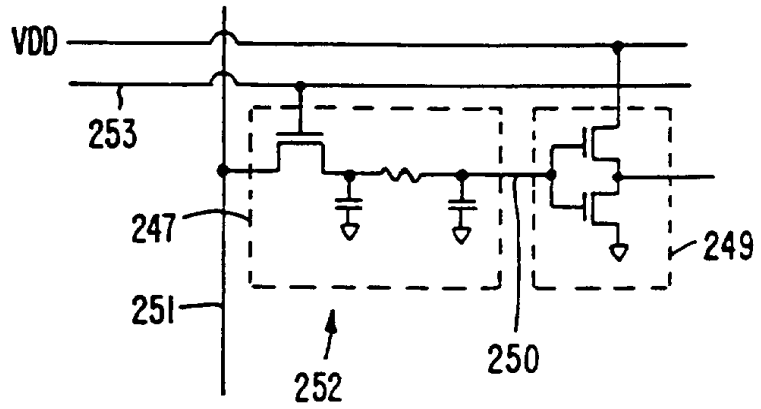

VDD
253
247
251
252
250
249

图 26

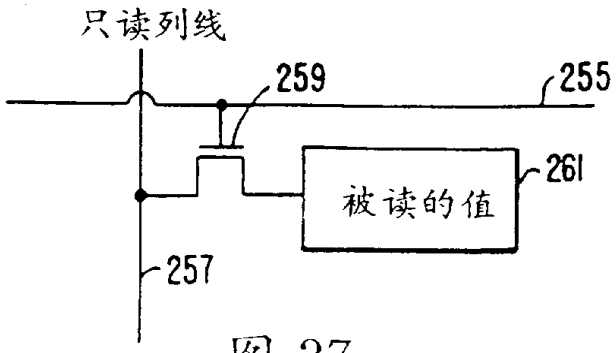

只读列线
259
255
被读的值
261
257

图 27

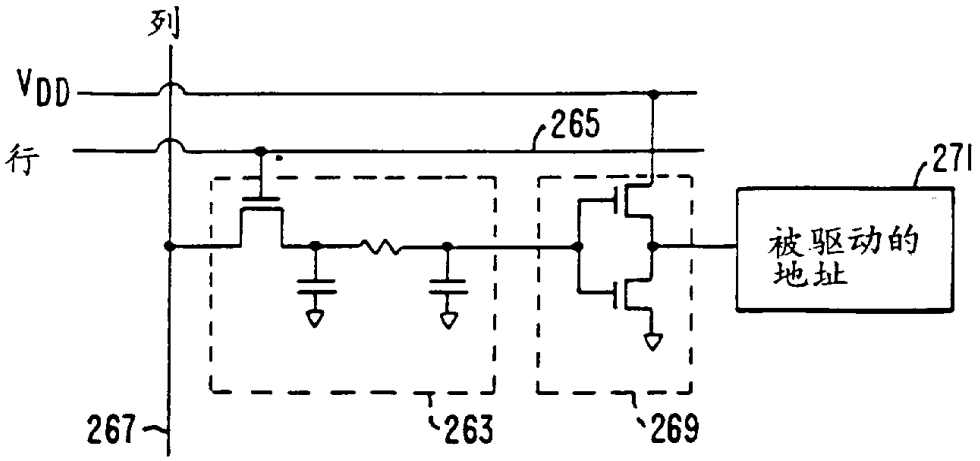

列
VDD
行
265
271
被驱动的地址
267
263
269

图 28

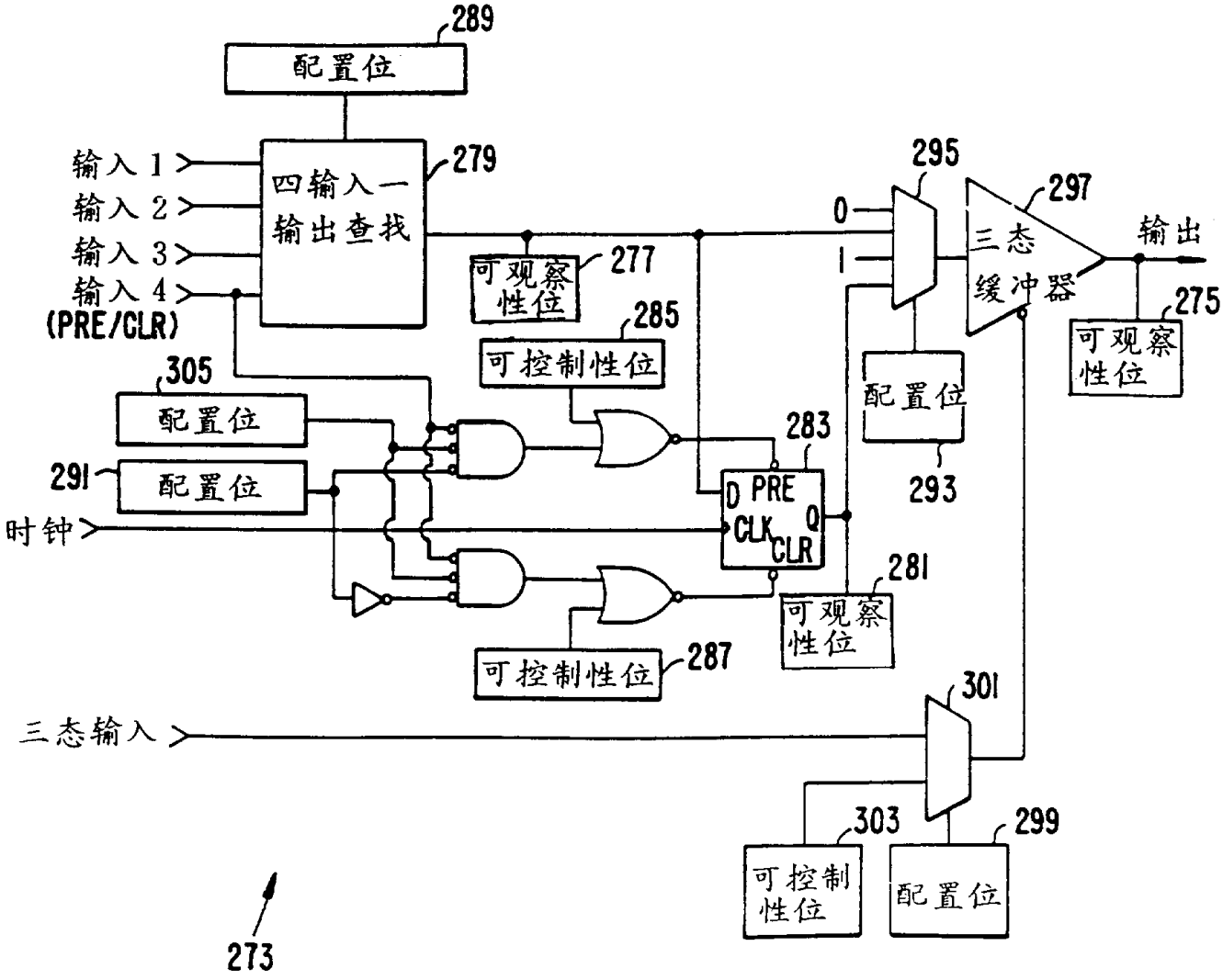

289
配置位
输入 1
输入 2
输入 3
输入 4
(PRE/CLR)
四输入一输出查找
279
可观察性位
277
285
可控制性位
305
配置位
291
配置位
时钟
283
D PRE Q
CLK CLR
281
可观察性位
可控制性位
287
三态输入
273
295
0
1
297
三态缓冲器
输出
275
可观察性位
配置位
293
301
303
可控制性位
299
配置位

图 29