

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成22年9月2日(2010.9.2)

【公表番号】特表2009-537899(P2009-537899A)

【公表日】平成21年10月29日(2009.10.29)

【年通号数】公開・登録公報2009-043

【出願番号】特願2009-511054(P2009-511054)

【国際特許分類】

G 06 F 12/16 (2006.01)

G 11 C 11/401 (2006.01)

【F I】

G 06 F 12/16 3 2 0 A

G 11 C 11/34 3 7 1 C

G 06 F 12/16 3 1 0 G

【手続補正書】

【提出日】平成22年7月16日(2010.7.16)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

書き込みデータに対応するエラー管理情報を生成する装置常駐エラー管理回路と、読み出しデータに対応するエラー管理情報を生成する装置常駐エラー管理回路と、書き込みトランザクションにおける潜在エラーを表す情報を、および読み出しトランザクションにおける潜在エラーを表す情報を、分析のために遠隔コントローラに出力する送信回路と、

を含むメモリ装置。

【請求項2】

前記書き込みデータに対応するエラー管理情報を生成する装置常駐エラー管理回路および前記読み出しデータに対応するエラー管理情報を生成する装置常駐エラー管理回路が、共通の回路内に含まれ、前記装置が、

各書き込みトランザクションまたは読み出しトランザクションに対して巡回冗長検査符号(CRC)を生成し、かつ前記CRCの少なくとも1つを装置常駐バッファに記憶する回路をさらに含む、請求項1に記載の装置。

【請求項3】

前記書き込みデータに対応するエラー管理情報を生成する装置常駐エラー管理回路が、各書き込みトランザクションに対してエラー管理符号を生成するエラー符号生成回路を含み、

前記読み出しデータに対応するエラー管理情報を生成する装置常駐エラー管理回路が、各読み出しトランザクションに対してエラー管理符号を生成するエラー符号生成回路を含み、

前記送信回路が、複数のトランザクションを表す複数のエラー管理符号と一緒に圧縮して圧縮情報を生成する圧縮回路を含み、

前記装置に関わる書き込みおよび読み出しトランザクションにおける全てのエラー検出が、前記トランザクションが書き込みまたは読み出しトランザクションかどうかにかかわらず、トランザクションの遠隔コントローラ側で行われるように、前記装置が、前記圧縮

情報を分析のために前記遠隔コントローラに送信するようになされる、請求項 1 に記載の装置。

【請求項 4】

前記メモリ装置が集積回路メモリ装置である、請求項 1 に記載の装置。

【請求項 5】

前記書き込みデータに対応するエラー管理情報および前記読み出しデータに対応するエラー管理情報を記憶する少なくとも 1 つの装置常駐循環バッファをさらに含む、請求項 1 に記載の装置。

【請求項 6】

前記送信回路が、

前記書き込みデータに対応するエラー管理情報および前記読み出しデータに対応するエラー管理情報を記憶するバッファと、

ハードウェア、ファームウェアまたはソフトウェアの少なくとも 1 つとして実現された同期論理であって、少なくとも、エラーなしに実行されたトランザクションに対応するバッファ記憶位置に対して、バッファ記憶位置を再利用して、新しいトランザクション用のエラー管理情報を記憶する、同期論理と、

を含む、請求項 1 に記載の装置。

【請求項 7】

前記書き込みデータに対応するエラー管理情報および前記読み出しデータに対応するエラー管理情報が、少なくとも 1 つのエラー検出符号を含む、請求項 6 に記載の装置。

【請求項 8】

前記送信回路が、

複数のエラー符号を記憶するバッファと、

ハードウェア、ファームウェアまたはソフトウェアの少なくとも 1 つとして実現された同期論理であって、前記複数のエラー符号に基づいて、書き込みトランザクションにおける潜在エラーを表す情報、および読み出しトランザクションにおける潜在エラーを表す情報を、所定のイベントが発生したとき前記遠隔コントローラに選択的に出力する、同期論理と、

を含む、請求項 1 に記載の装置。

【請求項 9】

前記所定のイベントが、前記遠隔コントローラによって開始された読み出しトランザクションであり、前記装置が、少なくとも 1 つの制御ビット線をさらに含み、前記同期論理が、前記読み出しトランザクションを受信すると、前記複数のエラー符号を表す情報を、前記少なくとも 1 つの制御ビット線を介して出力する、請求項 8 に記載の装置。

【請求項 10】

前記少なくとも 1 つの制御ビット線が、少なくとも 1 つのデータマスクビット線を含み、前記同期論理が、前記読み出しトランザクション中に、前記複数のエラー符号を表す圧縮情報を、前記少なくとも 1 つのデータマスクビット線を介して出力する、請求項 9 に記載の装置。

【請求項 11】

前記所定のイベントが、前記遠隔コントローラからの所定のコマンドの受信を含む、請求項 8 に記載の装置。

【請求項 12】

前記装置が、少なくとも 1 つのシリアル制御線をさらに含み、前記同期論理が、書き込みトランザクションにおける潜在エラーを表すエラー検出情報、および読み出しトランザクションにおける潜在エラーを表す情報を、前記少なくとも 1 つのシリアル制御線を介して前記遠隔コントローラに出力する、請求項 8 に記載の装置。

【請求項 13】

少なくとも複数のトランザクションタイプに対応するメモリ装置に関わる各トランザクション用のエラー管理符号を生成することと、

前記エラー管理符号を表す情報をコントローラに出力することと、
前記コントローラにおいて、前記エラー管理符号を表す前記情報を分析して各トランザクションが正確に実行されたかどうかを判定することと、
を含む、システムの方法。

【請求項 14】

前記複数のトランザクションタイプが、少なくとも読み出しトランザクションおよび書き込みトランザクションを含む、請求項 13 に記載の方法。

【請求項 15】

前記コントローラが、システム中央演算処理ユニット（CPU）または専用メモリサブシステムコントローラの 1 つであり、前記メモリ装置が集積回路メモリ装置である、請求項 13 に記載の方法。

【請求項 16】

不正確に実行されたと判定されたトランザクションを再試行することをさらに含む、請求項 13 に記載の方法。

【請求項 17】

前記方法が、前記エラー管理符号を前記メモリ装置に記憶して前記コントローラに選択的に出力することをさらに含み、

出力することが、前記メモリ装置へのコマンドのコントローラによる発行を介する出力をトリガすることを含む、請求項 13 に記載の方法。

【請求項 18】

前記エラー管理符号と一緒に圧縮することによって前記エラー管理符号を表す前記情報を生成して、前記メモリ装置に関わる複数のトランザクションを集合的に表すことをさらに含む、請求項 13 に記載の方法。

【請求項 19】

前記少なくとも複数のトランザクションタイプが、少なくとも 1 つのタイプの制御トランザクションを含み、前記少なくとも 1 つのタイプの制御トランザクションに関わるトランザクションにおけるエラーの判定に統一して各メモリトランザクションを再試行することをさらに含む、請求項 13 に記載の方法。

【請求項 20】

前記方法が、前記少なくとも 1 つのタイプの制御トランザクションを表すエラーから読み出しおよび書き込みトランザクションを表すエラーを区別することと、前記エラーが読み出しトランザクションまたは書き込みトランザクションに関わり、任意のタイプの制御トランザクションに関わらない場合、トランザクションを再試行することとをさらに含む、請求項 19 に記載の方法。

【請求項 21】

前記情報を出力することが、複数の最近のトランザクションを表すエラー管理符号と一緒に圧縮することを含み、前記方法が、前記複数の最近のトランザクションのうちで表される場合、複数のトランザクションタイプを表すエラー管理符号と一緒に圧縮するようになされる、請求項 13 に記載の方法。

【請求項 22】

前記出力することが、読み出しトランザクション中に 1 つ以上のデータマスク線を介して前記エラー管理符号を表す前記情報を前記コントローラにアップロードすることを含む、請求項 13 に記載の方法。

【請求項 23】

断続的に前記メモリ装置および前記コントローラを同期することをさらに含み、前記同期することが、メモリ装置記憶バッファの位置を再利用して新しいメモリトランザクション用の前記位置の再利用を可能にすることを含む、請求項 13 に記載の方法。

【請求項 24】

メモリおよびコントローラを有するシステムにおけるエラーを管理する方法であって、前記メモリにおいて書き込みまたは読み出し動作に関わる各トランザクションを表す情

報を生成することと、

前記情報を前記コントローラに出力することと、

前記コントローラにおいて、前記情報を分析して前記書き込みまたは読み込み動作に関わるエラーが発生したかどうかを判定することと、

を含む方法。

【請求項 25】

前記メモリが集積回路メモリ装置である、請求項 24 に記載の方法。

【請求項 26】

前記コントローラにより検出されたエラーに応じて、コントローラにより開始される再試行動作を実行することをさらに含む、請求項 24 に記載の方法。

【請求項 27】

前記情報を出力することが、

前記メモリにおいて各書き込みまたは読み出し動作に対してエラー管理符号を生成することと、

前記エラー管理符号を前記メモリに記憶することと、

複数のエラー管理符号と一緒に圧縮して圧縮情報を生成することと、

前記圧縮情報を前記コントローラに断続的に送信することと、

前記圧縮情報を分析のために用いてエラーが発生したかどうかを判定することと、
を含む、請求項 24 に記載の方法。

【請求項 28】

前記送信することが、所定のイベントが発生したとき前記圧縮情報を前記コントローラに送信することを含む、請求項 27 に記載の方法。

【請求項 29】

前記出力することが、前記情報を、メモリに記憶されるべきデータのプライマリ転送のために用いられる双方向データバスを含まない制御線上で前記コントローラに送信することを含む、請求項 24 に記載の方法。

【請求項 30】

読み出しデータまたは書き込みデータの少なくとも 1 つに対応するエラー管理情報を生成する装置常駐エラー管理回路と、

読み出しデータまたは書き込みデータの前記少なくとも 1 つに関連するメモリアドレスに対応するエラー管理情報を生成する装置常駐エラー管理回路と、

読み出しデータまたは書き込みデータの前記少なくとも 1 つにおける潜在エラー、および潜在アドレスエラーを表す情報を、分析のためにコントローラに出力する送信回路と、
を含むメモリ装置。

【請求項 31】

前記読み出しデータまたは書き込みデータの少なくとも 1 つに対応するエラー管理情報を生成する装置常駐エラー管理回路、および前記メモリアドレスに対応するエラー管理情報を生成する装置常駐エラー管理回路が、共通の回路内に含まれ、前記装置が、

各書き込みトランザクションまたは読み出しトランザクションに対して巡回冗長検査符号 (CRC) を生成する回路をさらに含む、請求項 30 に記載の装置。

【請求項 32】

前記書き込みデータまたは読み出しデータの少なくとも 1 つに対応するエラー管理情報を生成する装置常駐エラー管理回路が、各書き込みトランザクションおよび各読み出しトランザクションに対してエラー管理情報を生成するエラー符号生成回路を含み、

前記送信回路が、アドレス情報およびトランザクション情報を複数のエラー管理情報を一緒に圧縮する圧縮回路を含み、

前記装置に関する書き込みおよび読み出しトランザクションにおける全てのエラー検出が、前記トランザクションが書き込みまたは読み出しトランザクションかどうかにかかわらず、トランザクションのコントローラ側で行われるように、前記装置が、前記圧縮情報を分析のために前記コントローラに送信するようになされる、請求項 30 に記載の装置。

【請求項 3 3】

前記メモリ装置が集積回路メモリ装置である、請求項 3 0 に記載の装置。

【請求項 3 4】

(a) 読み出しデータまたは書き込みデータの少なくとも 1 つ、および (b) 前記読み出しデータまたは書き込みデータの少なくとも 1 つに対応するアドレス、の両方用の符号を生成するエラー検出符号生成器と、

エラーを検査するために、生成後にエラー検出符号を別の装置に送信するチャネルと、を含むダイナミックランダムアクセスメモリ。

【請求項 3 5】

前記エラー検出符号生成器が、読み出しデータまたは書き込みデータのそれぞれ用の符号を生成し、

前記メモリが、(a) 読み出しありは書き込みデータトランザクション、および (b) 関連するアドレス情報、の両方を表すエラー検出情報を、分析のために他の装置に送信する送信回路をさらに含む、請求項 3 4 に記載のダイナミックランダムアクセスメモリ。

【請求項 3 6】

エラー検出符号の送信が前記読み出しありは書き込みトランザクションに対して遅延されるように、他の装置への送信の前に (a) および (b) の両方を表すエラー検出情報を記憶するためのバッファをさらに含む、請求項 3 5 に記載のダイナミックランダムアクセスメモリ。

【請求項 3 7】

前記エラー検出符号情報が、アドレス情報および少なくとも 1 つのトランザクションの両方を表す圧縮 C R C 符号を含む、請求項 3 6 に記載のダイナミックランダムアクセスメモリ。

【請求項 3 8】

(a) 読み出しトランザクションまたは書き込みトランザクションの少なくとも 1 つに対する、メモリ装置に関わる各トランザクションの精度、および (b) 前記トランザクションによって影響を受けたメモリアドレスの精度、を表すエラー管理情報を生成することと、

前記エラー管理情報を表す情報をコントローラに出力することと、

前記コントローラにおいて、前記エラー管理情報を表す前記情報を分析して前記関連するトランザクションが正確に実行されたかどうかを判定することと、を含む方法。

【請求項 3 9】

エラー管理情報を生成することが、各読み出しトランザクションまたは書き込みトランザクションおよび関連するメモリアドレスの前記精度に対してエラー管理情報を生成することを含み、

情報を出力することが、前記トランザクションおよび前記関連するメモリアドレスの両方を表す前記エラー管理情報を出力することを含む、請求項 3 8 に記載の方法。

【請求項 4 0】

不正確に実行されたと判定されたトランザクションを再試行することをさらに含む、請求項 3 9 に記載の方法。

【請求項 4 1】

前記方法が、前記エラー管理情報を、前記情報を前記コントローラに選択的に出力する前に、一定期間の間、前記メモリ装置に記憶することをさらに含む、請求項 3 9 に記載の方法。