

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7678676号  
(P7678676)

(45)発行日 令和7年5月16日(2025.5.16)

(24)登録日 令和7年5月8日(2025.5.8)

(51)国際特許分類 F I  
 H 0 4 N 25/70 (2023.01) H 0 4 N 25/70  
 H 0 4 N 25/78 (2023.01) H 0 4 N 25/78  
 H 0 4 N 25/617(2023.01) H 0 4 N 25/617

請求項の数 11 (全24頁)

(21)出願番号	特願2021-16618(P2021-16618)	(73)特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日	令和3年2月4日(2021.2.4)	(74)代理人	100094112 弁理士 岡部 譲
(65)公開番号	特開2022-119469(P2022-119469 A)	(74)代理人	100101498 弁理士 越智 隆夫
(43)公開日	令和4年8月17日(2022.8.17)	(74)代理人	100106183 弁理士 吉澤 弘司
審査請求日	令和6年1月26日(2024.1.26)	(74)代理人	100136799 弁理士 本田 亜希
		(72)発明者	小林 大祐 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		審査官	檀本 研太郎

最終頁に続く

(54)【発明の名称】 光電変換装置

(57)【特許請求の範囲】

【請求項1】

入射光に基づく第1信号とリセット状態に基づく第2信号とを各々が生成する複数の画素が、複数の列をなすように配された画素アレイと、  
 前記画素アレイの複数の列の各々に対応して配された列回路と、  
 を有する光電変換装置であって、  
 前記列回路は、  
 前記第1信号を保持する第1サンプルホールド部と、  
 前記第2信号を保持する第2サンプルホールド部と、  
 前記第1サンプルホールド部及び前記第2サンプルホールド部からの出力に基づくアナログ信号をデジタル信号に変換するデルタ-シグマ型のアナログデジタル変換回路と、  
 前記第1サンプルホールド部に駆動電位を供給する第1電位線と、  
 前記第2サンプルホールド部に駆動電位を供給する第2電位線と、  
 を有し、

前記第1電位線と前記第2電位線とが、前記光電変換装置において共通化されており、  
 前記第1電位線と前記第2電位線とが共通化されるノードは、複数の前記列回路の各々に対応して設けられている

ことを特徴とする光電変換装置。

【請求項2】

入射光に基づく第1信号とリセット状態に基づく第2信号とを各々が生成する複数の画素

が、複数の列をなすように配された画素アレイと、  
 前記画素アレイの複数の列の各々に対応して配された列回路と、  
 を有する光電変換装置であって、  
 前記列回路は、  
 前記第 1 信号を保持する第 1 サンプルホールド部と、  
 前記第 2 信号を保持する第 2 サンプルホールド部と、  
 前記第 1 サンプルホールド部及び前記第 2 サンプルホールド部からの出力に基づくアナログ信号をデジタル信号に変換するデルタ - シグマ型のアナログデジタル変換回路と、  
 前記第 1 サンプルホールド部に駆動電位を供給する第 1 電位線と、  
 前記第 2 サンプルホールド部に駆動電位を供給する第 2 電位線と、  
 を有し、  
 前記第 1 電位線と前記第 2 電位線とが、前記光電変換装置において共通化されており、  
 前記第 1 電位線と前記第 2 電位線とが共通化されるノードは、複数の前記列回路について  
 共通に設けられている  
 ことを特徴とする光電変換装置。

10

【請求項 3】

前記第 1 サンプルホールド部は、縦続接続された第 1 反転増幅器及び第 1 ソースフォロ  
 ワ回路を含み、

前記第 2 サンプルホールド部は、縦続接続された第 2 反転増幅器及び第 2 ソースフォロ  
 ワ回路を含み、

20

前記第 1 電位線は、前記第 1 反転増幅器及び前記第 1 ソースフォロワ回路のうちの少な  
 くとも 1 つに駆動電位を供給し、

前記第 2 電位線は、前記第 2 反転増幅器及び前記第 2 ソースフォロワ回路のうちの少な  
 くとも 1 つに駆動電位を供給する、

ことを特徴とする請求項 1 又は 2 に記載の光電変換装置。

【請求項 4】

前記アナログ信号は、前記第 1 信号と前記第 2 信号の差に基づく信号である

ことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の光電変換装置。

【請求項 5】

入射光に基づく第 1 信号とリセット状態に基づく第 2 信号とを各々が生成する複数の画  
 素が、複数の列をなすように配された画素アレイと、

30

前記画素アレイの複数の列の各々に対応して配された列回路と、

を有する光電変換装置であって、

前記列回路は、

縦続接続された第 1 反転増幅器及び第 1 ソースフォロワ回路を含み、前記第 1 信号を保  
 持する第 1 サンプルホールド部と、

縦続接続された第 2 反転増幅器及び第 2 ソースフォロワ回路を含み、前記第 2 信号を保  
 持する第 2 サンプルホールド部と、

前記第 1 反転増幅器及び前記第 1 ソースフォロワ回路のうちの少なくとも 1 つに駆動電  
 位を供給する第 1 電位線と、

40

前記第 2 反転増幅器及び前記第 2 ソースフォロワ回路のうちの少なくとも 1 つに駆動電  
 位を供給する第 2 電位線と、

を有し、

前記第 1 電位線と前記第 2 電位線とが、前記光電変換装置において共通化されており、  
 前記第 1 電位線と前記第 2 電位線とが共通化されるノードは、複数の前記列回路の各々に  
 対応して設けられている

ことを特徴とする光電変換装置。

【請求項 6】

入射光に基づく第 1 信号とリセット状態に基づく第 2 信号とを各々が生成する複数の画  
 素が、複数の列をなすように配された画素アレイと、

50

前記画素アレイの複数の列の各々に対応して配された列回路と、  
を有する光電変換装置であって、

前記列回路は、

縦続接続された第 1 反転増幅器及び第 1 ソースフォロワ回路を含み、前記第 1 信号を保持する第 1 サンプルホールド部と、

縦続接続された第 2 反転増幅器及び第 2 ソースフォロワ回路を含み、前記第 2 信号を保持する第 2 サンプルホールド部と、

前記第 1 反転増幅器及び前記第 1 ソースフォロワ回路のうちの少なくとも 1 つに駆動電位を供給する第 1 電位線と、

前記第 2 反転増幅器及び前記第 2 ソースフォロワ回路のうちの少なくとも 1 つに駆動電位を供給する第 2 電位線と、

を有し、

前記第 1 電位線と前記第 2 電位線とが、前記光電変換装置において共通化されており、前記第 1 電位線と前記第 2 電位線とが共通化されるノードは、複数の前記列回路について共通に設けられている

ことを特徴とする光電変換装置。

【請求項 7】

前記第 1 電位線及び前記第 2 電位線に共通の駆動電位を供給するための共通の外部端子を更に有する

ことを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の光電変換装置。

【請求項 8】

前記複数の列のうちの第 1 列の前記列回路に含まれる前記第 1 電位線及び前記第 2 電位線が、前記複数の列のうちの第 2 列の前記列回路に含まれる前記第 1 電位線と前記第 2 電位線と共通化されている

ことを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の光電変換装置。

【請求項 9】

前記駆動電位は、電源電位、グラウンド電位及び基準電位のいずれかである

ことを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の光電変換装置。

【請求項 10】

請求項 1 乃至 9 のいずれか 1 項に記載の光電変換装置と、

前記光電変換装置から出力される信号を処理する信号処理手段と、

を有することを特徴とする光電変換システム。

【請求項 11】

移動体であって、

請求項 1 乃至 9 のいずれか 1 項に記載の光電変換装置と、

前記光電変換装置からの信号に基づく視差画像から、対象物までの距離情報を取得する距離情報取得手段と、

前記距離情報に基づいて前記移動体を制御する制御手段と、

を有することを特徴とする移動体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光電変換装置に関する。

【背景技術】

【0002】

特許文献 1 は、画素から出力される信号を保持するサンプルホールド部を備えた固体撮像素子を開示している。

【先行技術文献】

【特許文献】

【0003】

10

20

30

40

50

【文献】国際公開第2019/069614号

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献1に記載されているような光電変換装置において、更なる精度の向上が求められている。

【0005】

そこで、本発明は、精度が向上された光電変換装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明の一観点によれば、入射光に基づく第1信号とリセット状態に基づく第2信号とを各々が生成する複数の画素が、複数の列をなすように配された画素アレイと、前記画素アレイの複数の列の各々に対応して配された列回路と、を有する光電変換装置であって、前記列回路は、前記第1信号を保持する第1サンプルホールド部と、前記第2信号を保持する第2サンプルホールド部と、前記第1サンプルホールド部及び前記第2サンプルホールド部からの出力に基づくアナログ信号をデジタル信号に変換するデルタ-シグマ型のアナログデジタル変換回路と、前記第1サンプルホールド部に駆動電位を供給する第1電位線と、前記第2サンプルホールド部に駆動電位を供給する第2電位線と、を有し、前記第1電位線と前記第2電位線とが、前記光電変換装置において共通化されており、前記第1電位線と前記第2電位線とが共通化されるノードは、複数の前記列回路の各々に対応して設けられていることを特徴とする光電変換装置が提供される。

【0007】

本発明の他の観点によれば、入射光に基づく第1信号とリセット状態に基づく第2信号とを各々が生成する複数の画素が、複数の列をなすように配された画素アレイと、前記画素アレイの複数の列の各々に対応して配された列回路と、を有する光電変換装置であって、前記列回路は、前記第1信号を保持する第1サンプルホールド部と、前記第2信号を保持する第2サンプルホールド部と、前記第1サンプルホールド部及び前記第2サンプルホールド部からの出力に基づくアナログ信号をデジタル信号に変換するデルタ-シグマ型のアナログデジタル変換回路と、前記第1サンプルホールド部に駆動電位を供給する第1電位線と、前記第2サンプルホールド部に駆動電位を供給する第2電位線と、を有し、前記第1電位線と前記第2電位線とが、前記光電変換装置において共通化されており、前記第1電位線と前記第2電位線とが共通化されるノードは、複数の前記列回路について共通に設けられていることを特徴とする光電変換装置が提供される。

【0008】

本発明の他の観点によれば、入射光に基づく第1信号とリセット状態に基づく第2信号とを各々が生成する複数の画素が、複数の列をなすように配された画素アレイと、前記画素アレイの複数の列の各々に対応して配された列回路と、を有する光電変換装置であって、前記列回路は、縦続接続された第1反転増幅器及び第1ソースフォロワ回路を含み、前記第1信号を保持する第1サンプルホールド部と、縦続接続された第2反転増幅器及び第2ソースフォロワ回路を含み、前記第2信号を保持する第2サンプルホールド部と、前記第1反転増幅器及び前記第1ソースフォロワ回路のうちの少なくとも1つに駆動電位を供給する第1電位線と、前記第2反転増幅器及び前記第2ソースフォロワ回路のうちの少なくとも1つに駆動電位を供給する第2電位線と、を有し、前記第1電位線と前記第2電位線とが、前記光電変換装置において共通化されており、前記第1電位線と前記第2電位線とが共通化されるノードは、複数の前記列回路の各々に対応して設けられていることを特徴とする光電変換装置が提供される。

本発明の他の観点によれば、入射光に基づく第1信号とリセット状態に基づく第2信号とを各々が生成する複数の画素が、複数の列をなすように配された画素アレイと、前記画素アレイの複数の列の各々に対応して配された列回路と、を有する光電変換装置であって、前記列回路は、縦続接続された第1反転増幅器及び第1ソースフォロワ回路を含み、前記

10

20

30

40

50

第 1 信号を保持する第 1 サンプルホールド部と、縦続接続された第 2 反転増幅器及び第 2 ソースフォロワ回路を含み、前記第 2 信号を保持する第 2 サンプルホールド部と、前記第 1 反転増幅器及び前記第 1 ソースフォロワ回路のうちの少なくとも 1 つに駆動電位を供給する第 1 電位線と、前記第 2 反転増幅器及び前記第 2 ソースフォロワ回路のうちの少なくとも 1 つに駆動電位を供給する第 2 電位線と、を有し、前記第 1 電位線と前記第 2 電位線とが、前記光電変換装置において共通化されており、前記第 1 電位線と前記第 2 電位線とが共通化されるノードは、複数の前記列回路について共通に設けられていることを特徴とする光電変換装置が提供される。

【発明の効果】

【0009】

本発明によれば、精度が向上された光電変換装置が提供される。

【図面の簡単な説明】

【0010】

【図 1】第 1 実施形態に係る光電変換装置の概略構成を示すブロック図である。

【図 2】第 1 実施形態に係る画素の回路図である。

【図 3】第 1 実施形態に係る画素からの信号の読み出し動作を説明するタイミングチャートである。

【図 4】第 1 実施形態に係る 1 列の回路構成及び配線の接続を示すブロック図である。

【図 5】第 1 実施形態に係るリセット信号用の第 2 サンプルホールド部の構成を示すブロック図である。

【図 6】第 1 実施形態に係る画素信号用の第 1 サンプルホールド部の構成を示すブロック図である。

【図 7】第 1 実施形態に係る A/D 変換部の構成を示すブロック図である。

【図 8】第 2 実施形態に係る 1 列の回路構成及び配線の接続を示すブロック図である。

【図 9】第 3 実施形態に係る 1 列の回路構成及び配線の接続を示すブロック図である。

【図 10】第 3 実施形態に係る A/D 変換部の構成を示すブロック図である。

【図 11】第 4 実施形態に係る 1 列の回路構成及び配線の接続を示すブロック図である。

【図 12】第 5 実施形態に係る 1 列の回路構成及び配線の接続を示すブロック図である。

【図 13】第 6 実施形態に係る 1 列の回路構成及び配線の接続を示すブロック図である。

【図 14】第 7 実施形態に係る A/D 変換部の構成を示すブロック図である。

【図 15】第 8 実施形態に係るサンプルホールド部の配置を示すブロック図である。

【図 16】第 9 実施形態に係る撮像システムの概略構成を示すブロック図である。

【図 17】第 10 実施形態に係る撮像システム及び移動体の構成例を示す図である。

【発明を実施するための形態】

【0011】

以下、図面を参照しつつ、本発明の実施形態を説明する。複数の図面にわたって同一の要素又は対応する要素には共通の符号が付されており、その説明は省略又は簡略化されることがある。

【0012】

[第 1 実施形態]

図 1 は、本実施形態に係る光電変換装置 100 の概略構成を示すブロック図である。光電変換装置 100 は、画素アレイ 10、垂直走査回路 20、負荷回路部 30、信号保持部 40、アナログデジタル変換部 (A/D 変換部) 50、デジタルメモリ部 60、水平走査回路 64、デジタル信号処理部 70、出力部 80 及び制御回路 90 を有している。これらの回路は 1 又は 2 以上の半導体基板上に形成され得る。なお、本実施形態の光電変換装置 100 は、画像を取得する撮像装置であるものとするが、これに限定されるものではない。例えば、光電変換装置は、焦点検出装置、測距装置、TOF (Time - Of - Flight) カメラ等であってもよい。

【0013】

画素アレイ 10 は、複数の行及び複数の列をなすように配置された複数の画素 12 を備

10

20

30

40

50

える。垂直走査回路 20 は、画素 12 に含まれるトランジスタをオン（導通状態）又はオフ（非導通状態）に制御するための制御信号を画素 12 の各行に設けられた制御信号線 14 を介して供給する走査回路である。垂直走査回路 20 は、シフトレジスタ又はアドレスデコーダにより構成され得る。ここで、各画素 12 に供給される制御信号は複数の種類の制御信号を含み得るため、各行の制御信号線 14 は複数の駆動配線の組として構成され得る。画素 12 の各列には列信号線 16 が設けられており、画素 12 からの信号が列ごとに列信号線 16 に読み出される。

#### 【0014】

負荷回路部 30 は、画素 12 の各列に対応した負荷回路 32 を有している。負荷回路 32 は、対応する列の列信号線 16 に、画素 12 からの信号の読み出しのためのバイアス電流を供給する。信号保持部 40 は、画素 12 の各列に対応したサンプルホールド部 42 を有している。サンプルホールド部 42 は、画素 12 から出力された信号を保持する。

10

#### 【0015】

AD変換部 50 は、画素 12 の各列に対応したアナログデジタル変換回路（AD変換回路）52 を有している。AD変換回路 52 は、サンプルホールド部 42 に保持されている信号に基づくアナログ信号をデジタル信号に変換する。デジタルメモリ部 60 は、画素 12 の各列に対応したデジタルメモリ 62 を有している。デジタルメモリ 62 は、AD変換部 50 から出力されたデジタル信号を記憶する。

#### 【0016】

水平走査回路 64 は、デジタルメモリ部 60 からデジタル信号処理部 70 に、列ごとに順次、デジタル信号を出力させる制御を行うための制御信号を供給する。水平走査回路 64 は、シフトレジスタ又はアドレスデコーダにより構成され得る。デジタル信号処理部 70 は、入力されたデジタル信号に対し種々の信号処理を行う回路である。出力部 80 は、処理後のデジタル信号を光電変換装置 100 の外部に出力する。制御回路 90 は、垂直走査回路 20、負荷回路部 30、信号保持部 40、アナログデジタル変換部（AD変換部）50、デジタルメモリ部 60、水平走査回路 64 及び出力部 80 の動作タイミング等を制御する。

20

#### 【0017】

上述のように、画素アレイ 10 の各列に対応して、負荷回路 32、サンプルホールド部 42、AD変換回路 52 及びデジタルメモリ 62 が配されている。これらの画素アレイ 10 の各列に対応した信号読み出し用の回路を列回路と呼ぶことがある。

30

#### 【0018】

図 2 は、本実施形態に係る画素 12 の回路図である。画素 12 は、光電変換部 PD、転送トランジスタ M1、リセットトランジスタ M2、増幅トランジスタ M3 及び選択トランジスタ M4 を備える。これらのトランジスタは、制御電極としてゲート電極を有する N 型の MOS トランジスタにより構成され得る。転送トランジスタ M1、リセットトランジスタ M2 及び選択トランジスタ M4 のゲートには、垂直走査回路 20 から制御信号線 14 を介して、これらのトランジスタを制御するための制御信号 PTX、PRES、PSEL がそれぞれ入力される。

#### 【0019】

光電変換部 PD は、光電変換により入射光に応じた電荷を生成するとともに、当該電荷を蓄積する光電変換素子である。光電変換部 PD は半導体基板内に形成されたフォトダイオードにより構成され得る。光電変換部 PD を構成するフォトダイオードのアノードは接地電位 GND を有する電位線に接続されており、カソードは転送トランジスタ M1 のソースに接続されている。

40

#### 【0020】

転送トランジスタ M1 のドレイン、リセットトランジスタ M2 のソース及び増幅トランジスタ M3 のゲートは相互に接続されている。この接続ノードはいわゆるフローティングディフュージョンである。転送トランジスタ M1 は、オンとなることにより光電変換部 PD の電荷をフローティングディフュージョンに転送する。フローティングディフュージョ

50

ンは容量を有しており、この容量により、フローティングディフュージョンの電位は光電変換部 P D から転送された電荷に応じて変化する。

【 0 0 2 1 】

リセットトランジスタ M 2 のドレイン及び増幅トランジスタ M 3 のドレインは、電源電位 V D D を有する電位線に接続されている。増幅トランジスタ M 3 のソースは、選択トランジスタ M 4 のドレインに接続されている。選択トランジスタ M 4 のソースは、列信号線 1 6 に接続されている。増幅トランジスタ M 3 は、列信号線 1 6 に接続された負荷回路 3 2 内の電流源とともにソースフォロワ回路を構成する。このソースフォロワ回路は、フローティングディフュージョンの電圧に基づく信号を選択トランジスタ M 4 を介して列信号線 1 6 に出力する。リセットトランジスタ M 2 は、オンとなることによりフローティングディフュージョンの電位をリセットする。

10

【 0 0 2 2 】

画素 1 2 の各々は、入射光が光電変換部 P D に導かれるまでの光路上に配されたマイクロレンズ及びカラーフィルタを有していてもよい。マイクロレンズは、入射光を光電変換部 P D に集光する。カラーフィルタは、所定の色の光を選択的に透過する。

【 0 0 2 3 】

図 3 は、本実施形態に係る画素 1 2 からの信号の読み出し動作を説明するタイミングチャートである。図 3 は、垂直走査回路 2 0 から複数の画素 1 2 のうちのある 1 つの行に出力される制御信号 P S E L、P R E S、P T X のタイミングと、画素 1 2 から対応する列の列信号線 1 6 に出力される出力電位 V O U T とを示している。

20

【 0 0 2 4 】

時刻 T 1 において、制御信号 P S E L がハイレベルになる。これにより、選択トランジスタ M 4 がオン状態になり、当該行の画素 1 2 が選択され、フローティングディフュージョンの電圧に基づく信号が列信号線 1 6 に出力される。

【 0 0 2 5 】

時刻 T 2 において、制御信号 P R E S がハイレベルになり、その後ローレベルになる。この動作によりリセットトランジスタ M 2 が一時的にオン状態になり、フローティングディフュージョンの電位が電源電位 V D D に応じた電位にリセットされる。これにより、出力電位 V O U T は、画素 1 2 のリセット状態に基づく電位となる。この電位は、サンプルホールド部 4 2 にリセット信号（第 2 信号）として保持される。

30

【 0 0 2 6 】

時刻 T 3 において、制御信号 P T X がハイレベルになり、その後ローレベルになる。この動作により転送トランジスタ M 1 が一時的にオン状態になり、光電変換部 P D に蓄積されている電荷がフローティングディフュージョンに転送される。これにより、出力電位 V O U T は、入射光に応じて光電変換部 P D に蓄積された電荷に基づく電位となる。この電位は、サンプルホールド部 4 2 に画素信号（第 1 信号）として保持される。

【 0 0 2 7 】

時刻 T 4 において、制御信号 P S E L がローレベルになる。これにより、選択トランジスタ M 4 がオフ状態になり、当該行の画素 1 2 の選択が解除される。

【 0 0 2 8 】

図 4 は、本実施形態に係る 1 列の回路構成及び配線の接続を示すブロック図である。図 4 には、図 1 において述べた画素 1 2 及び画素 1 2 に対応する列回路の一部のブロックが 1 列分だけ抜粋された形で示されている。

40

【 0 0 2 9 】

また、図 4 には、画素アレイ 1 0、列回路等が配されている光電変換装置 1 0 0 の素子領域 R 1 と、光電変換装置 1 0 0 に外部から駆動電位を供給するための外部端子であるパッドが配されたパッド領域 R 2 とが示されている。素子領域 R 1 及びパッド領域 R 2 は、半導体基板上の異なる領域に配され得る。図 4 には、素子領域 R 1 内に、画素アレイ 1 0、負荷回路 3 2、サンプルホールド部 4 2 及び A D 変換回路 5 2 が配されていることが模式的に示されている。また、図 4 には、パッド領域 R 2 内に、パッド P 1、P 2、P 3、

50

P 4 が配されていることが模式的に示されている。パッド P 1、P 2、P 3、P 4 は、例えば、ボンディングワイヤ、パンプ等の実装部材が接続される金属膜であり得る。

【 0 0 3 0 】

なお、以下の説明においては、パッド P 1、P 2、P 3、P 4 はグラウンド電位を供給するためのグラウンド端子であるものとするが、これらのパッドは、電源電位を供給する電源端子又は各回路における基準電位を供給する基準電位端子であってもよい。グラウンド電位、電源電位及び基準電位は、より一般的な用語として、駆動電位と呼ばれることもある。言い換えると、パッド P 1、P 2、P 3、P 4 は、光電変換装置 1 0 0 の各回路に駆動電位を供給する外部端子であり得る。

【 0 0 3 1 】

画素アレイ 1 0 は、複数の画素 1 2 を有しており、画素 1 2 のグラウンド配線は、パッド P 1 に接続されている。負荷回路 3 2 は、列信号線 1 6 に接続された電流源 3 4 を有している。電流源 3 4 のグラウンド配線はパッド P 2 に接続されている。

【 0 0 3 2 】

サンプルホールド部 4 2 は、第 1 サンプルホールド部 4 4 S、第 2 サンプルホールド部 4 4 N 及び抵抗 R を有している。列信号線 1 6 は、第 1 サンプルホールド部 4 4 S 及び第 2 サンプルホールド部 4 4 N に接続されている。第 1 サンプルホールド部 4 4 S は、画素 1 2 から出力される画素信号を列信号線 1 6 を介して取得し、保持する。第 2 サンプルホールド部 4 4 N は、画素 1 2 から出力されるリセット信号を列信号線 1 6 を介して取得し、保持する。

【 0 0 3 3 】

第 2 サンプルホールド部 4 4 N は、信号線 I L 1、抵抗 R、信号線 I L 2 を順に介して第 1 サンプルホールド部 4 4 S に接続されている。これにより、第 2 サンプルホールド部 4 4 N は、保持しているリセット信号に基づく電流を第 1 サンプルホールド部 4 4 S に供給することができる。第 1 サンプルホールド部 4 4 S は、画素信号とリセット信号との差に基づく電流を信号線 I L 3 を介して A D 変換回路 5 2 に出力する。これにより、画素信号とリセット信号との相関二重サンプリングによる補正処理が行われる。

【 0 0 3 4 】

第 1 サンプルホールド部 4 4 S のグラウンド配線 G L 1 ( 第 1 電位線 ) と、第 2 サンプルホールド部 4 4 N のグラウンド配線 G L 2 ( 第 2 電位線 ) とは、素子領域 R 1 の外のノード N 1 において共通化されている。共通化されたグラウンド配線は、パッド P 3 に接続されている。なお、ノード N 1 は、素子領域 R 1 又はパッド領域 R 2 にあってもよく、少なくともパッド P 3 よりもサンプルホールド部 4 2 側でグラウンド配線が共通化されていればよい。A D 変換回路 5 2 のグラウンド配線 G L 3 ( 第 3 電位線 ) は、パッド P 4 に接続されている。

【 0 0 3 5 】

図 5 は、本実施形態に係るリセット信号用の第 2 サンプルホールド部 4 4 N の構成を示すブロック図である。第 2 サンプルホールド部 4 4 N は、サンプルホールド回路群 4 6 N 及び増幅部 4 8 N を有している。

【 0 0 3 6 】

サンプルホールド回路群 4 6 N は、N 個のサンプルホールド回路 4 6 2 N<sub>1</sub> ~ 4 6 2 N<sub>n</sub> ~ 4 6 2 N<sub>N</sub> を有している ( N は 2 以上の整数、n は 1 以上かつ N 未満の整数 )。サンプルホールド回路 4 6 2 N<sub>1</sub> は、スイッチ S 1<sub>1</sub>、S 2<sub>1</sub> 及び容量 C 1<sub>1</sub> を有している。サンプルホールド回路 4 6 2 N<sub>n</sub> は、スイッチ S 1<sub>n</sub>、S 2<sub>n</sub> 及び容量 C 1<sub>n</sub> を有している。このように、サンプルホールド回路 4 6 2 N<sub>1</sub> ~ 4 6 2 N<sub>N-1</sub> の各々は、2 個のスイッチと 1 個の容量を有している。サンプルホールド回路 4 6 2 N<sub>N</sub> は、スイッチ S 1<sub>N</sub> 及び容量 C 1<sub>N</sub> を有している。

【 0 0 3 7 】

増幅部 4 8 N は、反転増幅器 4 8 2 N、トランジスタ M 5、電流源 4 8 4 N 及びスイッチ S 3、S 4、S 5 を有している。トランジスタ M 5 は P 型の MOS トランジスタである

10

20

30

40

50

。サンプルホールド回路群 46N 及び増幅部 48N に含まれる複数のスイッチは、制御回路 90 からの制御に基づいてオン又はオフに制御される。

【0038】

列信号線 16 は、スイッチ  $S_{11} \sim S_{1N}$  の第 1 端子に接続されている。スイッチ  $S_{11}$  の第 2 端子は、スイッチ  $S_{21}$  の第 1 端子及び容量  $C_{11}$  の第 1 端子に接続されている。スイッチ  $S_{21}$  の第 2 端子は、隣接するサンプルホールド回路 462N<sub>2</sub> に含まれるスイッチ  $S_{12}$  の第 2 端子、スイッチ  $S_{22}$  の第 1 端子及び容量  $C_{12}$  の第 1 端子に接続されている。サンプルホールド回路 462N<sub>2</sub> ~ 462N<sub>N-1</sub> も同様の構成を有している。スイッチ  $S_{1N}$  の第 2 端子は、スイッチ  $S_{2N-1}$  の第 2 端子、容量  $C_{1N}$  の第 1 端子及びスイッチ  $S_4$  の第 1 端子に接続されている。容量  $C_{11} \sim C_{1N}$  の第 2 端子は、反転増幅器 482N の入力端子及びスイッチ  $S_3$  の第 1 端子に接続されている。

10

【0039】

反転増幅器 482N の出力端子は、スイッチ  $S_3$  の第 2 端子及びスイッチ  $S_5$  の第 1 端子に接続されている。スイッチ  $S_5$  の第 2 端子は、トランジスタ  $M_5$  のゲートに接続されている。スイッチ  $S_4$  の第 2 端子は、電流源 484N 及びトランジスタ  $M_5$  のソースに接続されている。電流源 484N の電源端子は、電源電位 VDD を有する電位線に接続されている。スイッチ  $S_4$  の第 2 端子、電流源 484N 及びトランジスタ  $M_5$  のソースの接続ノードは、第 2 サンプルホールド部 44N の出力端子をなしており、信号線 IL1 に接続されている。反転増幅器 482N のグラウンド端子及びトランジスタ  $M_5$  のドレインは、グラウンド配線 GL2 に接続されている。

20

【0040】

このように、増幅部 48N は、反転増幅器 482N (第 2 反転増幅器) と、電流源 484N 及びトランジスタ  $M_5$  により構成されたソースフォロワ回路 (第 2 ソースフォロワ回路) とが縦続接続された増幅回路をなしている。増幅部 48N は、容量  $C_{11} \sim C_{1N}$  に保持された電圧に応じた電流を信号線 IL1 に出力することができる。

【0041】

図 6 は、本実施形態に係る画素信号用の第 1 サンプルホールド部 44S の構成を示すブロック図である。第 1 サンプルホールド部 44S は、サンプルホールド回路群 46S 及び増幅部 48S を有している。

【0042】

サンプルホールド回路群 46S は、N 個のサンプルホールド回路 462S<sub>1</sub> ~ 462S<sub>n</sub> ~ 462S<sub>N</sub> を有している。サンプルホールド回路 462S<sub>1</sub> は、スイッチ  $S_{61}$ 、 $S_{71}$  及び容量  $C_{21}$  を有している。サンプルホールド回路 462S<sub>n</sub> は、スイッチ  $S_{6n}$ 、 $S_{7n}$  及び容量  $C_{2n}$  を有している。このように、サンプルホールド回路 462S<sub>1</sub> ~ 462S<sub>N-1</sub> は、2 個のスイッチと 1 個の容量を有している。サンプルホールド回路 462S<sub>N</sub> は、スイッチ  $S_{6N}$  及び容量  $C_{2N}$  を有している。サンプルホールド回路群 46S 内の回路の接続関係は、サンプルホールド回路群 46N と同様であるため説明を省略する。

30

【0043】

増幅部 48S は、反転増幅器 482S、トランジスタ  $M_6$ 、電流源 484S 及びスイッチ  $S_8$ 、 $S_9$ 、 $S_{10}$  を有している。トランジスタ  $M_6$  は P 型の MOS トランジスタである。サンプルホールド回路群 46S 及び増幅部 48S に含まれる複数のスイッチは、制御回路 90 からの制御に基づいてオン又はオフに制御される。

40

【0044】

反転増幅器 482S、トランジスタ  $M_6$ 、電流源 484S 及びスイッチ  $S_8$ 、 $S_9$ 、 $S_{10}$  の接続関係は、増幅部 48N と概ね同様である。したがって、以下では、増幅部 48N と相違する点について説明する。

【0045】

スイッチ  $S_9$  の第 2 端子、電流源 484S 及びトランジスタ  $M_6$  のソースの接続ノードは、信号線 IL2 に接続されている。このノードには、第 2 サンプルホールド部 44N から電流が入力される。反転増幅器 482S のグラウンド端子は、グラウンド配線 GL1 に

50

接続されている。トランジスタM6のドレインは、第1サンプルホールド部44Sの出力端子をなしており、信号線IL3に接続されている。

【0046】

増幅部48Sは、反転増幅器482S（第1反転増幅器）と、電流源484S及びトランジスタM6により構成されたソースフォロワ回路（第1ソースフォロワ回路）とが縦続接続された増幅回路をなしている。増幅部48Sは、容量 $C_{21} \sim C_{2N}$ に保持された電圧に応じた電流と、信号線IL2から入力される電流の差に応じた電流を信号線IL3に出力することができる。

【0047】

図3から図6を相互に参照しつつ、サンプルホールド部42の動作の概略を説明する。図3における時刻T2から時刻T3の間のリセット信号の出力期間において、スイッチ $S_{11} \sim S_{1N}$ 、 $S_3$ 、 $S_{6n+1} \sim S_{6N}$ 、 $S_8$ がオン状態になる。この期間において、その他のスイッチはオフ状態である。その後、スイッチ $S_{11} \sim S_{1N}$ 、 $S_3$ 、 $S_{6n+1} \sim S_{6N}$ 、 $S_8$ がオフ状態になる。これらの動作により、容量 $C_{11} \sim C_{1N}$ 、 $C_{2n+1} \sim C_{2N}$ にリセット信号に基づく電圧が保持される。

10

【0048】

その後、図3における時刻T3から時刻T4の間の画素信号の出力期間において、スイッチ $S_{21} \sim S_{2N-1}$ 、 $S_4$ 、 $S_5$ 、 $S_{61} \sim S_{6n}$ 、 $S_8$ がオン状態になる。この期間において、その他のスイッチはオフ状態である。この動作により、容量 $C_{11} \sim C_{1N}$ は並列接続され、第2サンプルホールド部44Nは、容量 $C_{11} \sim C_{1N}$ に保持されている電圧に応じた電流を信号線IL1に出力する状態となる。その後、スイッチ $S_{61} \sim S_{6n}$ 、 $S_8$ がオフになる。これらの動作により、容量 $C_{21} \sim C_{2n}$ に画素信号に基づく電圧が保持される。

20

【0049】

その後、スイッチ $S_{21} \sim S_{2N-1}$ 、 $S_4$ 、 $S_5$ 、 $S_{71} \sim S_{7N-1}$ 、 $S_9$ 、 $S_{10}$ がオン状態になる。その他のスイッチはオフ状態である。この動作により、容量 $C_{21} \sim C_{2N}$ は並列接続され、第1サンプルホールド部44Sは、容量 $C_{21} \sim C_{2N}$ に保持された電圧に応じた電流と、信号線IL2から入力される電流の差に応じた電流を信号線IL3に出力する状態となる。

【0050】

以上の動作により、画素信号とリセット信号との相関二重サンプリングによる補正処理が行われた電流信号を信号線IL3に出力することができる。また、サンプルホールド回路群46Sにおいて、 $n$ 個の容量 $C_{21} \sim C_{2n}$ に保持された画素信号と、 $N - n$ 個の容量 $C_{2n+1} \sim C_{2N}$ に保持されたりリセット信号とが容量の個数に応じて加重平均される。これにより、リセット信号と画素信号の差の電圧が $n / N$ 倍に減衰される。したがって、列回路における入力信号の電圧レンジを拡張することができる。

30

【0051】

図7は、本実施形態に係るAD変換回路52の構成を示すブロック図である。本実施形態において例示されるAD変換回路52はデルタ - シグマ型のAD変換回路であるが、これに限定されるものではない。例えば、AD変換回路52は、ランプ信号と入力電圧を比較して、大小関係が反転するまでの時間をカウンタで計測する方式のAD変換回路であってもよい。また、AD変換回路52は、DA変換回路の出力電圧と入力電圧とを繰り返し比較することにより入力電圧に近いデジタル値を得る逐次比較型のAD変換回路であってもよい。なお、本実施形態では1ビットのAD変換回路を例示しているが、ビット数はこれに限定されるものではなく、実際にはこれよりも多くのビット数のAD変換が行われ得る。

40

【0052】

AD変換回路52は、デジタルアナログ変換回路（DA変換回路）54a、54b、容量 $C_a$ 、 $C_b$ 、電圧電流変換部56、量子化器58、デシメーションフィルタDF、バッファB1、B2を有している。上述のように、AD変換回路52には、サンプルホールド

50

部 4 2 から信号線 I L 3 を介して相関二重サンプリングによる処理後の電流信号が入力される。

【 0 0 5 3 】

信号線 I L 3 は、D A 変換回路 5 4 a の出力端子、容量 C a の第 1 端子及び電圧電流変換部 5 6 の入力端子と接続されている。電圧電流変換部 5 6 の出力端子は、D A 変換回路 5 4 b の出力端子、容量 C b の第 1 端子及び量子化器 5 8 の入力端子と接続されている。量子化器 5 8 の出力端子は、デシメーションフィルタ D F の入力端子及びバッファ B 1 の入力端子と接続されている。バッファ B 1 の出力端子は、D A 変換回路 5 4 b の入力端子及びバッファ B 2 の入力端子と接続されている。バッファ B 2 の出力端子は、D A 変換回路 5 4 a の入力端子と接続されている。D A 変換回路 5 4 a、5 4 b のグラウンド端子、容量 C a、C b の第 2 端子、電圧電流変換部 5 6 のグラウンド端子、量子化器 5 8 のグラウンド端子及びデシメーションフィルタ D F のグラウンド端子は、グラウンド配線 G L 3 に接続されている。デシメーションフィルタ D F の出力端子は、A D 変換回路 5 2 の出力端子である。

10

【 0 0 5 4 】

信号線 I L 3 を流れる電流量及び時間経過に応じて、容量 C a には電荷が蓄積される。電圧電流変換部 5 6 は、容量 C a の第 1 端子の電位に応じた電流信号を出力端子から出力する。このように、容量 C a は、積分器として機能する。

【 0 0 5 5 】

電圧電流変換部 5 6 から出力される電流量及び時間経過に応じて、容量 C b には電荷が蓄積される。このように、容量 C b 及び電圧電流変換部 5 6 も、積分器として機能する。量子化器 5 8 は、比較回路であり得る。量子化器 5 8 は、容量 C b の第 1 端子の電位と所定の閾値とを比較して、比較結果を示す 1 ビットのデジタル信号を出力する。これにより、量子化器 5 8 は、1 ビットのアナログデジタル変換を行う。なお、量子化器 5 8 は、所望のサンプリング周波数よりも高い周波数によるオーバーサンプリングを行う。

20

【 0 0 5 6 】

量子化器 5 8 から出力されるデジタル信号は、バッファ B 1 に入力される。このデジタル信号は、バッファ B 1、B 2 を介して D A 変換回路 5 4 a、5 4 b にフィードバックされる。D A 変換回路 5 4 a、5 4 b は電流源、スイッチ等を含む。D A 変換回路 5 4 a は、入力されたデジタル信号に応じた電流を流すデジタルアナログ変換を行うことにより、デジタル信号に応じた電荷を容量 C a の第 1 端子から抜き取ってグラウンド配線 G L 3 に流す。D A 変換回路 5 4 b も同様に、入力されたデジタル信号に応じた量の電荷を容量 C b の第 1 端子から抜き取ってグラウンド配線 G L 3 に流す。このようにして、量子化器 5 8 から出力されるデジタル信号が、積分器又は量子化器 5 8 の入力側にフィードバックされる。このフィードバックループは、低周波領域における量子化誤差を低減させるように動作する。

30

【 0 0 5 7 】

なお、図 7 に示されるように、本実施形態の A D 変換回路 5 2 は一方向に延びた回路配置となりやすいため、フィードバック用の配線が長くなることがある。バッファ B 1、B 2 が設けられていることにより、フィードバック用の配線が長いことに起因する電圧降下等の影響が低減される。しかしながら、フィードバック用の配線による影響が許容できる場合には、バッファ B 1、B 2 は設けられていなくてもよい。

40

【 0 0 5 8 】

デシメーションフィルタ D F は、量子化器 5 8 から出力される信号を間引くことにより、サンプリング周波数を下げる処理を行う。これにより、高周波領域におけるノイズが低減される。

【 0 0 5 9 】

以上のように、本実施形態の A D 変換回路 5 2 には、高精度化及び高分解能化に適したデルタ - シグマ型が採用されている。これにより、高精度なデジタル信号を出力することができる。

50

## 【 0 0 6 0 】

本実施形態において、図 4 に示すように、第 1 サンプルホールド部 4 4 S のグラウンド配線 G L 1 と、第 2 サンプルホールド部 4 4 N のグラウンド配線 G L 2 とが共通化されていることによる効果について説明する。光電変換装置 1 0 0 内の回路の動作、外部からのノイズ等の影響によりグラウンド配線の電位は変動することがある。この電位変動は、出力信号の精度を低減させる要因となり得る。

## 【 0 0 6 1 】

本実施形態では、第 1 サンプルホールド部 4 4 S のグラウンド配線 G L 1 と、第 2 サンプルホールド部 4 4 N のグラウンド配線 G L 2 とが共通化されている。そのため、グラウンド電位の変動の影響は第 1 サンプルホールド部 4 4 S と第 2 サンプルホールド部 4 4 N に対して同程度に重畳する。ここで、第 2 サンプルホールド部 4 4 N に保持されているリセット信号は、第 1 サンプルホールド部 4 4 S に保持されている画素信号との相関二重サンプリングに用いられる信号である。そのため、グラウンド配線の電位の変動に起因して、第 2 サンプルホールド部 4 4 N と第 1 サンプルホールド部 4 4 S が受けるノイズの影響は、相関二重サンプリングを行うことにより低減される。したがって、本実施形態によれば、精度が向上された光電変換装置 1 0 0 が提供される。

10

## 【 0 0 6 2 】

## [ 第 2 実施形態 ]

本実施形態の光電変換装置 1 0 0 は、第 1 実施形態の構成から第 1 サンプルホールド部 4 4 S のグラウンド配線 G L 1 と、第 2 サンプルホールド部 4 4 N のグラウンド配線 G L 2 とが共通化される位置を変更した変形例である。これ以外の要素は第 1 実施形態と同様であるため、説明を省略する。

20

## 【 0 0 6 3 】

図 8 は、本実施形態に係る 1 列の回路構成及び配線の接続を示すブロック図である。図 8 に示されているように、第 1 サンプルホールド部 4 4 S のグラウンド配線 G L 1 と、第 2 サンプルホールド部 4 4 N のグラウンド配線 G L 2 とは、サンプルホールド部 4 2 内のノード N 2 において共通化されている。図 8 では 1 列のみが図示されているが、グラウンド配線が共通化されるノード N 2 は、列回路ごとに設けられ得る。

## 【 0 0 6 4 】

本実施形態においては、第 1 実施形態のように、素子領域 R 1 の外でグラウンド配線が共通化されるのではなく、列ごとに共通化用のノード N 2 が設けられている。相関二重サンプリングの単位ごとにグラウンド配線の共通化がなされるため、ノイズ低減の効果がより向上し得る。

30

## 【 0 0 6 5 】

なお、第 1 実施形態の構成では、パッド P 3 により近いノード N 1 においてグラウンド配線が共通化されている。また、ノード N 1 は、複数の列回路について共通に設けられ得る。この構成では、ノード N 1 からパッド P 3 の間の配線によって生じる共通インピーダンスを少なくすることができる。したがって、設計によっては、第 1 実施形態の構成の方がノイズを低減できる場合もある。第 1 実施形態の構成と、第 2 実施形態の構成は回路設計、レイアウト等の条件等を考慮して適宜選択することができる。

40

## 【 0 0 6 6 】

## [ 第 3 実施形態 ]

本実施形態の光電変換装置 1 0 0 は、第 1 実施形態の構成から A D 変換回路 5 2 のグラウンド配線の構成を変更した変形例である。これ以外の要素は第 1 実施形態と同様であるため、説明を省略する。

## 【 0 0 6 7 】

図 9 は、本実施形態に係る 1 列の回路構成及び配線の接続を示すブロック図である。図 9 に示されているように、A D 変換回路 5 2 の一部の回路のグラウンド配線 G L 4 ( 第 4 電位線 ) がノード N 3 において、グラウンド配線 G L 1 及びグラウンド配線 G L 2 と共通化されている。

50

## 【 0 0 6 8 】

図 1 0 は、本実施形態に係る A D 変換回路 5 2 の構成を示すブロック図である。図 1 0 に示されているように、D A 変換回路 5 4 a のグラウンド端子は、グラウンド配線 G L 4 に接続されている。D A 変換回路 5 4 b のグラウンド端子、容量 C a、C b の第 2 端子、電圧電流変換部 5 6 のグラウンド端子、量子化器 5 8 のグラウンド端子及びデシメーションフィルタ D F のグラウンド端子は、グラウンド配線 G L 3 に接続されている。

## 【 0 0 6 9 】

本実施形態においては、A D 変換回路 5 2 内の量子化器 5 8 等の A D 変換動作を行う部分に接続されたグラウンド配線 G L 3 と、A D 変換回路 5 2 の入力側に配された D A 変換回路 5 4 a のグラウンド配線 G L 4 とが分離されている。これにより、A D 変換動作により生じ得る電位の変動が入力側のノードに影響を与えるキックバックが低減され得る。また、グラウンド配線 G L 3 は、第 1 サンプルホールド部 4 4 S 及び第 2 サンプルホールド部 4 4 N のグラウンドとも分離されているため、第 1 サンプルホールド部 4 4 S 及び第 2 サンプルホールド部 4 4 N へのキックバックも低減されている。したがって、本実施形態によれば、精度が向上された光電変換装置 1 0 0 が提供される。

10

## 【 0 0 7 0 】

また、本実施形態においても第 1 実施形態と同様に、ノード N 3 において、グラウンド配線 G L 1 とグラウンド配線 G L 2 とが共通化されている。これにより、第 1 実施形態と同様の理由により第 1 サンプルホールド部 4 4 S と第 2 サンプルホールド部 4 4 N へのノイズの影響が低減され得る。

20

## 【 0 0 7 1 】

## 〔 第 4 実施形態 〕

本実施形態の光電変換装置 1 0 0 は、第 3 実施形態の構成からグラウンド配線 G L 1、G L 2、G L 4 が共通化される位置を変更した変形例である。これ以外の要素は第 3 実施形態と同様であるため、説明を省略する。

## 【 0 0 7 2 】

図 1 1 は、本実施形態に係る 1 列の回路構成及び配線の接続を示すブロック図である。図 1 1 に示されているように、グラウンド配線 G L 1 と、グラウンド配線 G L 2 と、グラウンド配線 G L 4 とは、サンプルホールド部 4 2 内のノード N 4 において共通化されている。図 1 1 では 1 列のみが図示されているが、グラウンド配線が共通化されるノード N 4 は、列回路ごとに設けられ得る。

30

## 【 0 0 7 3 】

本実施形態においては、第 3 実施形態のように、素子領域 R 1 の外でグラウンド配線が共通化されるのではなく、列ごとに共通化用のノード N 4 が設けられている。相関二重サンプリング及び A D 変換の単位ごとにグラウンド配線の共通化がなされるため、ノイズ低減の効果がより向上し得る。

## 【 0 0 7 4 】

なお、第 3 実施形態の構成では、パッド P 3 により近いノード N 3 においてグラウンド配線が共通化されている。また、ノード N 3 は、複数の列回路について共通に設けられ得る。この構成では、ノード N 3 からパッド P 3 の間の配線によって生じる共通インピーダンスを少なくすることができる。したがって、設計によっては、第 3 実施形態の構成の方がノイズを低減できる場合もある。第 3 実施形態の構成と、第 4 実施形態の構成は回路設計、レイアウト等の条件等を考慮して適宜選択することができる。

40

## 【 0 0 7 5 】

## 〔 第 5 実施形態 〕

本実施形態の光電変換装置 1 0 0 は、第 3 実施形態の構成から第 1 サンプルホールド部 4 4 S のグラウンド配線 G L 1 の構成と、パッドの配置を変更した変形例である。これ以外の要素は第 3 実施形態と同様であるため、説明を省略する。

## 【 0 0 7 6 】

図 1 2 は、本実施形態に係る 1 列の回路構成及び配線の接続を示すブロック図である。

50

図 1 2 に示されているように、A D 変換回路 5 2 の一部の回路のグラウンド配線 G L 4 がノード N 5 において、第 2 サンプルホールド部 4 4 N のグラウンド配線 G L 2 と共通化されている。ノード N 5 はパッド P 3 と接続されている。第 1 サンプルホールド部 4 4 S のグラウンド配線 G L 1 は、ノード N 5 には接続されておらず、パッド P 5 と接続されている。

【 0 0 7 7 】

本実施形態においても第 3 実施形態と同様に、グラウンド配線 G L 3 とグラウンド配線 G L 4 とが分離されているため、キックバックの低減によるノイズ低減の効果が得られる。したがって、本実施形態によれば、精度が向上された光電変換装置 1 0 0 が提供される。

【 0 0 7 8 】

なお、図 1 2 においては、グラウンド配線 G L 4 がノード N 5 においてグラウンド配線 G L 2 と共通化されており、グラウンド配線 G L 1 はこれらとは分離されている。しかしながら、グラウンド配線 G L 4 がグラウンド配線 G L 1 と共通化され、グラウンド配線 G L 2 がこれらとは分離されている構成であってもよい。

【 0 0 7 9 】

[ 第 6 実施形態 ]

本実施形態の光電変換装置 1 0 0 は、第 5 実施形態の構成からグラウンド配線 G L 2 、 G L 4 が共通化される位置を変更した変形例である。これ以外の要素は第 5 実施形態と同様であるため、説明を省略する。

【 0 0 8 0 】

図 1 3 は、本実施形態に係る 1 列の回路構成及び配線の接続を示すブロック図である。図 1 3 に示されているように、グラウンド配線 G L 2 と、グラウンド配線 G L 4 とは、サンプルホールド部 4 2 内のノード N 6 において共通化されている。図 1 3 では 1 列のみが図示されているが、グラウンド配線が共通化されるノード N 6 は、列回路ごとに設けられ得る。

【 0 0 8 1 】

本実施形態においては、第 5 実施形態のように、素子領域 R 1 の外でグラウンド配線が共通化されるのではなく、列ごとに共通化用のノード N 6 が設けられている。A D 変換の単位ごとにグラウンド配線の共通化がなされるため、ノイズ低減の効果がより向上し得る。

【 0 0 8 2 】

なお、第 5 実施形態の構成では、パッド P 3 により近いノード N 5 においてグラウンド配線が共通化されている。また、ノード N 5 は、複数の列回路について共通に設けられ得る。この構成では、ノード N 5 からパッド P 3 の間の配線によって生じる共通インピーダンスを少なくすることができる。したがって、設計によっては、第 5 実施形態の構成の方がノイズを低減できる場合もある。第 5 実施形態の構成と、第 6 実施形態の構成は回路設計、レイアウト等の条件等を考慮して適宜選択することができる。

【 0 0 8 3 】

なお、図 1 3 においては、グラウンド配線 G L 4 がノード N 6 においてグラウンド配線 G L 2 と共通化されており、グラウンド配線 G L 1 はこれらとは分離されている。しかしながら、グラウンド配線 G L 4 がグラウンド配線 G L 1 と共通化され、グラウンド配線 G L 2 がこれらとは分離されている構成であってもよい。

【 0 0 8 4 】

[ 第 7 実施形態 ]

本実施形態の光電変換装置 1 0 0 は、第 3 実施形態乃至第 6 実施形態のいずれかの構成から A D 変換回路 5 2 内のグラウンド配線の構成を変更した変形例である。これ以外の要素は第 3 実施形態乃至第 6 実施形態と同様であるため、説明を省略する。

【 0 0 8 5 】

図 1 4 は、本実施形態に係る A D 変換回路 5 2 の構成を示すブロック図である。図 1 4 に示されているように、D A 変換回路 5 4 a のグラウンド端子及び容量 C a の第 2 端子は、グラウンド配線 G L 4 に接続されている。D A 変換回路 5 4 b のグラウンド端子、容量

10

20

30

40

50

C bの第2端子、電圧電流変換部56のグラウンド端子、量子化器58のグラウンド端子及びデシメーションフィルタDFのグラウンド端子は、グラウンド配線GL3に接続されている。

#### 【0086】

本実施形態においては、AD変換回路52内の量子化器58等のAD変換動作を行う部分に接続されたグラウンド配線GL3と、AD変換回路52の入力側に配されたDA変換回路54a及び容量Caの第2端子のグラウンド配線GL4とが分離されている。これにより、AD変換動作により生じ得る電位の変動が入力側のノードに影響を与えるキックバックが低減され得る。したがって、本実施形態によれば、精度が向上された光電変換装置100が提供される。

10

#### 【0087】

AD変換回路52内におけるグラウンド配線GL3、GL4の分離方法として、図10と図14の2つの例を示しているが、これらに限定されるものではない。例えば、電圧電流変換部56のグラウンド端子と、DA変換回路54bのグラウンド端子の間のノードでグラウンド配線が分離されていてもよい。また、DA変換回路54bのグラウンド端子と容量Cbの第2端子の間のノードでグラウンド配線が分離されていてもよい。また、容量Cbの第2端子と量子化器58のグラウンド端子の間のノードでグラウンド配線が分離されていてもよい。このように、少なくとも量子化器58のグラウンド端子と、それよりも前段の素子のグラウンド端子とが分離されていれば、キックバックを低減する効果が得られる。

20

#### 【0088】

##### [第8実施形態]

本実施形態の光電変換装置100は、第1実施形態で述べたサンプルホールド部42の配置をより具体化したものである。本実施形態で述べるサンプルホールド部42の構成は、第1実施形態乃至第7実施形態のいずれにも適用可能であり、第1実施形態乃至第7実施形態と重複する部分については説明を省略する。

#### 【0089】

図15は、第8実施形態に係るサンプルホールド部42の配置を示すブロック図である。図15には、サンプルホールド回路462N<sub>1</sub>~462N<sub>N</sub>、増幅部48N、サンプルホールド回路462S<sub>1</sub>~462S<sub>N</sub>及び増幅部48Sの配列が模式的に示されている。各部の接続関係は図5及び図6に示すものと同様であるため説明を省略する。図15に示されているように、列信号線16、信号線IL1、IL2、IL3は第1方向(図15の縦方向)に延在している。そして、図15に示されているように、サンプルホールド回路462N<sub>1</sub>~462N<sub>N</sub>、増幅部48N、サンプルホールド回路462S<sub>1</sub>~462S<sub>N</sub>及び増幅部48Sの各ブロックも、この順に、第1方向に延在している。このように、各回路と信号線を平行に配列することにより、効率よくこれらの素子をレイアウトすることができる。

30

#### 【0090】

##### [第9実施形態]

本発明の第9実施形態による撮像システムについて、図16を用いて説明する。図16は、本実施形態による撮像システムの概略構成を示すブロック図である。

40

#### 【0091】

上述の第1乃至第8実施形態で述べた光電変換装置100は、種々の光電変換システムに適用可能である。光電変換システムの一例としては撮像システムが挙げられる。光電変換装置100を適用可能な撮像システムの例としては、デジタルスチルカメラ、デジタルカムコーダ、監視カメラ、複写機、ファックス、携帯電話、車載カメラ、観測衛星等が挙げられる。また、レンズ等の光学系と光電変換装置とを備えるカメラモジュールも、撮像システムに含まれる。図16には、これらのうちの一例として、デジタルスチルカメラのブロック図を例示している。

#### 【0092】

50

図16に例示した撮像システム200は、撮像装置201、被写体の光学像を撮像装置201に結像させるレンズ202、レンズ202を通過する光量を可変にするための絞り204、レンズ202の保護のためのバリア206を有する。レンズ202及び絞り204は、撮像装置201に光を集光する光学系である。撮像装置201は、第1乃至第8実施形態のいずれかで説明した光電変換装置100であって、レンズ202により結像された光学像を画像データに変換する。

【0093】

撮像システム200は、また、撮像装置201より出力される出力信号の処理を行う信号処理部208を有する。信号処理部208は、撮像装置201が出力するデジタル信号から画像データの生成を行う。また、信号処理部208は必要に応じて各種の補正、圧縮を行って画像データを出力する動作を行う。

10

【0094】

撮像システム200は、更に、画像データを一時的に記憶するためのメモリ部210、外部コンピュータ等と通信するための外部インターフェース部（外部I/F部）212を有する。更に撮像システム200は、撮像データの記録又は読み出しを行うための半導体メモリ等の記録媒体214、記録媒体214に記録又は読み出しを行うための記録媒体制御インターフェース部（記録媒体制御I/F部）216を有する。なお、記録媒体214は、撮像システム200に内蔵されていてもよく、着脱可能であってもよい。

【0095】

更に撮像システム200は、各種演算とデジタルスチルカメラ全体を制御する全体制御・演算部218、撮像装置201と信号処理部208に各種タイミング信号を出力するタイミング発生部220を有する。ここで、タイミング信号などは外部から入力されてもよく、撮像システム200は少なくとも撮像装置201と、撮像装置201から出力された出力信号を処理する信号処理部208とを有すればよい。

20

【0096】

撮像装置201は、撮像信号を信号処理部208に出力する。信号処理部208は、撮像装置201から出力される撮像信号に対して所定の信号処理を実施し、画像データを出力する。信号処理部208は、撮像信号を用いて、画像を生成する。

【0097】

このように、本実施形態によれば、第1乃至第8実施形態による光電変換装置100を適用した撮像システムを実現することができる。

30

【0098】

[第10実施形態]

本発明の第10実施形態による撮像システム及び移動体について、図17を用いて説明する。図17は、本実施形態による撮像システム及び移動体の構成を示す図である。

【0099】

図17(a)は、車載カメラに関する撮像システムの一例を示したものである。撮像システム300は、撮像装置310を有する。撮像装置310は、上述の第1乃至第8実施形態のいずれかに記載の光電変換装置100である。撮像システム300は、撮像装置310により取得された複数の画像データに対し、画像処理を行う画像処理部312と、撮像システム300により取得された複数の画像データから視差（視差画像の位相差）の算出を行う視差取得部314を有する。また、撮像システム300は、算出された視差に基づいて対象物までの距離を算出する距離取得部316と、算出された距離に基づいて衝突可能性があるか否かを判定する衝突判定部318と、を有する。ここで、視差取得部314や距離取得部316は、対象物までの距離情報を取得する距離情報取得手段の一例である。すなわち、距離情報とは、視差、デフォーカス量、対象物までの距離等に関する情報である。衝突判定部318はこれらの距離情報のいずれかを用いて、衝突可能性を判定してもよい。距離情報取得手段は、専用に設計されたハードウェアによって実現されてもよいし、ソフトウェアモジュールによって実現されてもよい。また、FPGA（Field Programmable Gate Array）やASIC（Application Specific Integrated Circuit）等

40

50

によって実現されてもよいし、これらの組合せによって実現されてもよい。

#### 【0100】

撮像システム300は車両情報取得装置320と接続されており、車速、ヨーレート、舵角などの車両情報を取得することができる。また、撮像システム300は、衝突判定部318での判定結果に基づいて、車両に対して制動力を発生させる制御信号を出力する制御装置である制御ECU330が接続されている。また、撮像システム300は、衝突判定部318での判定結果に基づいて、ドライバーへ警報を発する警報装置340とも接続されている。例えば、衝突判定部318の判定結果として衝突可能性が高い場合、制御ECU330はブレーキをかける、アクセルを戻す、エンジン出力を抑制するなどして衝突を回避、被害を軽減する車両制御を行う。警報装置340は音等の警報を鳴らす、カーナビゲーションシステムなどの画面に警報情報を表示する、シートベルトやステアリングに振動を与えるなどしてユーザに警告を行う。

10

#### 【0101】

本実施形態では、車両の周囲、例えば前方又は後方を撮像システム300で撮像する。図17(b)に、車両前方(撮像範囲350)を撮像する場合の撮像システムを示した。車両情報取得装置320が、撮像システム300ないしは撮像装置310に指示を送る。このような構成により、測距の精度をより向上させることができる。

#### 【0102】

上述では、他の車両と衝突しないように制御する例を説明したが、他の車両に追従して自動運転する制御や、車線からはみ出さないように自動運転する制御などにも適用可能である。更に、撮像システムは、自車両等の車両に限らず、例えば、船舶、航空機あるいは産業用ロボットなどの移動体(移動装置)に適用することができる。加えて、移動体に限らず、高度道路交通システム(ITS)等、広く物体認識を利用する機器に適用することができる。

20

#### 【0103】

##### [変形実施形態]

本発明は、上述の実施形態に限らず種々の変形が可能である。例えば、いずれかの実施形態の一部の構成を他の実施形態に追加した例や、他の実施形態の一部の構成と置換した例も、本発明の実施形態である。

#### 【0104】

また、上述の第9及び第10実施形態に示した撮像システムは、本発明の光電変換装置を適用しうる撮像システム例を示したものであり、本発明の光電変換装置を適用可能な撮像システムは図16及び図17に示した構成に限定されるものではない。

30

#### 【0105】

上述の実施形態において、グラウンド配線が共通化されるノードが列回路の各々に対応して設けられている例と、複数の列回路について共通に設けられている例の2種類が示されているが、これに限定されるものではない。例えば、複数の列のうち任意の2つの列を第1列及び第2列とすると、第1列のグラウンド配線が第2列のグラウンド配線と共通化されていてもよい。ここで、第1列と第2列は隣接する列であってもよく、隣接しない列であってもよい。隣接しない列である場合の例としては、第1列と第2列がともに偶数番目の列である場合、あるいは、第1列と第2列がともに偶数番目の列である場合が挙げられる。また、別の例としては、第1列と第2列は同じ色のカラーフィルタが画素12に配されている列であってもよい。また、更に別の例としては、画素アレイ10から列回路が上下の両方に延在している構成において、第1列と第2列は上下の異なる方向に配されている列であってもよい。

40

#### 【0106】

また、上述の実施形態においては、グラウンド電位を供給するグラウンド配線が共通化又は分離されている種々の例が挙げられているが、これに限られない。例えば、上述のグラウンド配線と同様の態様で、電源電位を供給する電源配線が共通化又は分離されていてもよく、基準電位を供給する基準電位配線が共通化又は分離されていてもよい。これらの

50

例においても同様の効果が得られる。グラウンド配線、電源配線及び基準電位配線は、より一般的に電位線と呼ばれることもある。

【0107】

本発明は、上述の実施形態の1以上の機能を実現するプログラムを、ネットワーク又は記憶媒体を介してシステム又は装置に供給し、そのシステム又は装置のコンピュータにおける1つ以上のプロセッサがプログラムを読み出し実行する処理でも実現可能である。また、1以上の機能を実現する回路（例えば、ASIC）によっても実現可能である。

【0108】

なお、上述の実施形態は、いずれも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

10

【符号の説明】

【0109】

10	画素アレイ
12	画素
44S	第1サンプルホールド部
44N	第2サンプルホールド部
52	A/D変換回路
100	光電変換装置
GL1、GL2、GL3	グラウンド配線

20

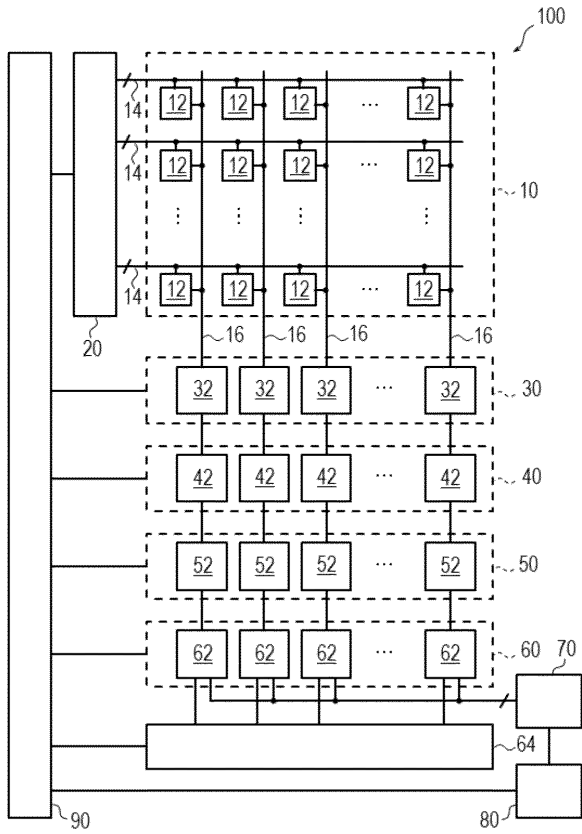
30

40

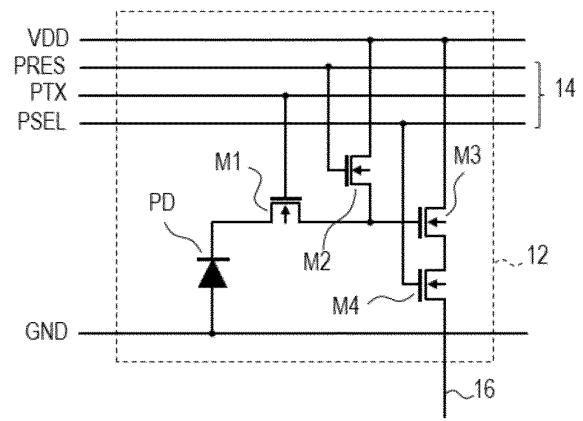
50

【図面】

【図 1】



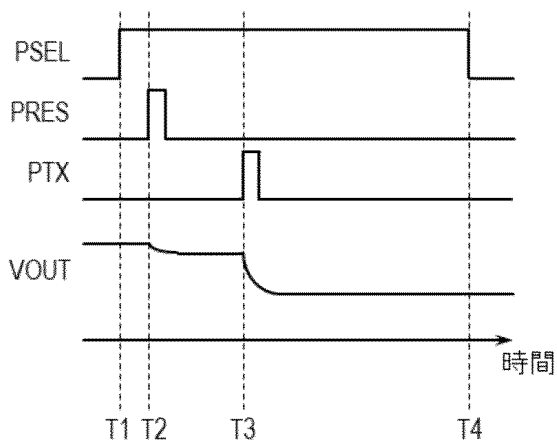
【図 2】



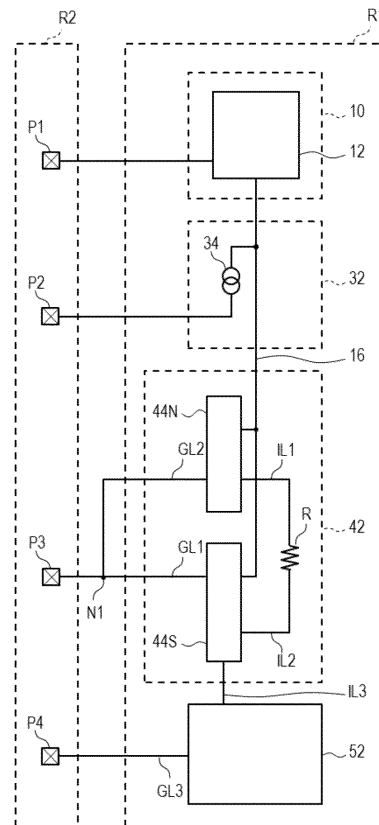
10

20

【図 3】



【図 4】

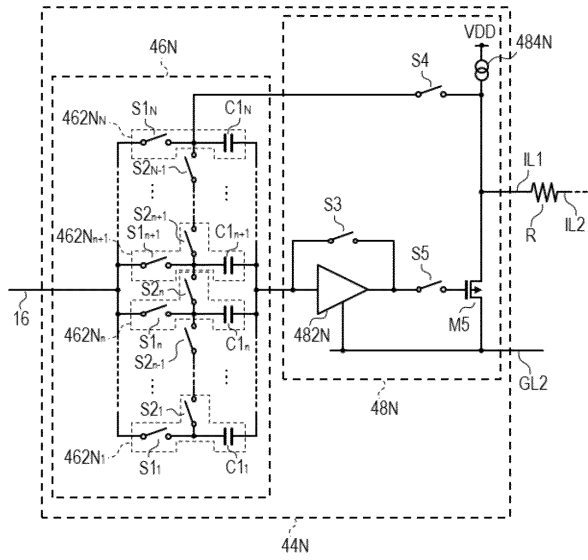


30

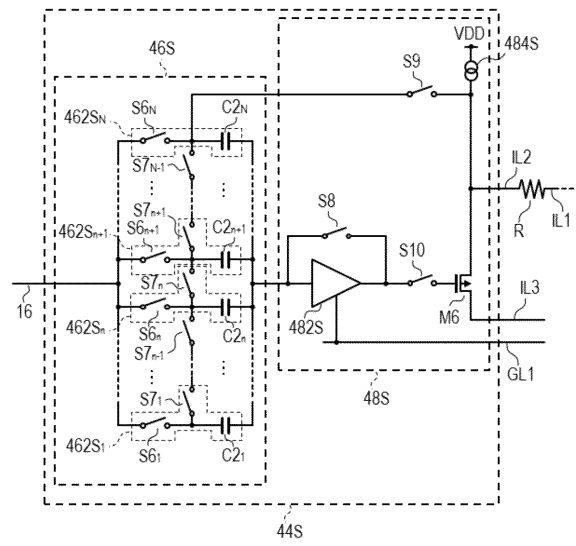
40

50

【図 5】

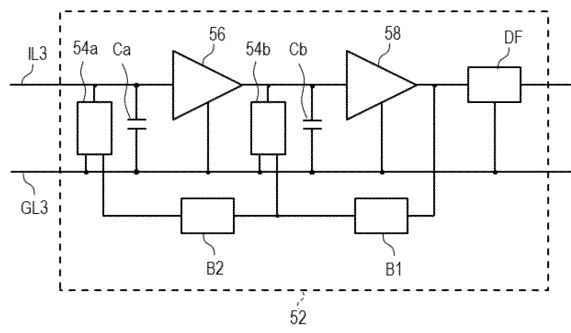


【図 6】

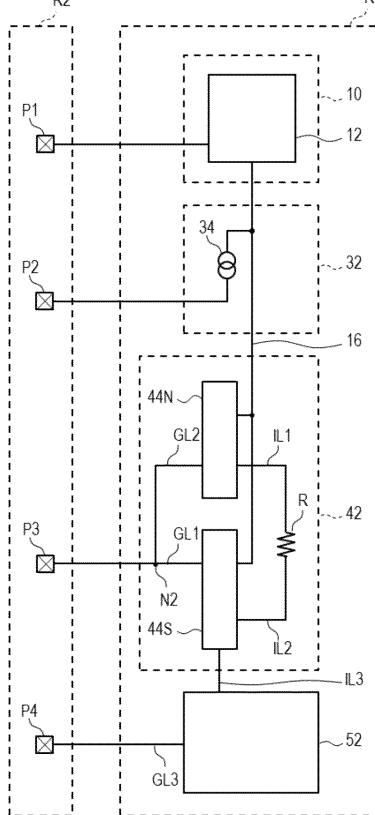


10

【図 7】



【図 8】



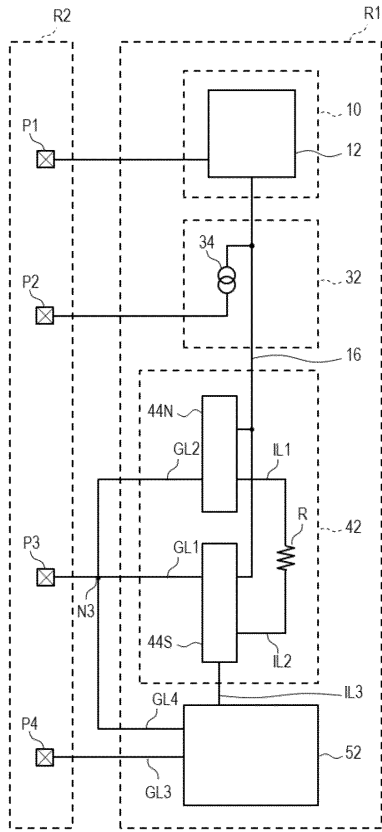
20

30

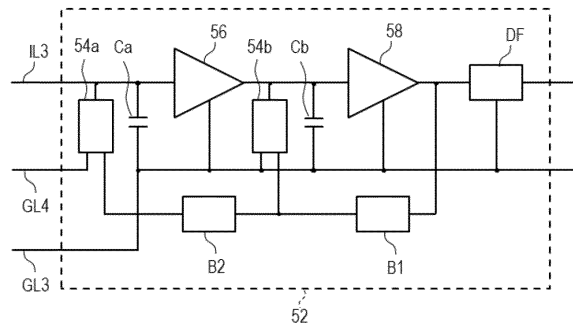
40

50

【 9 】



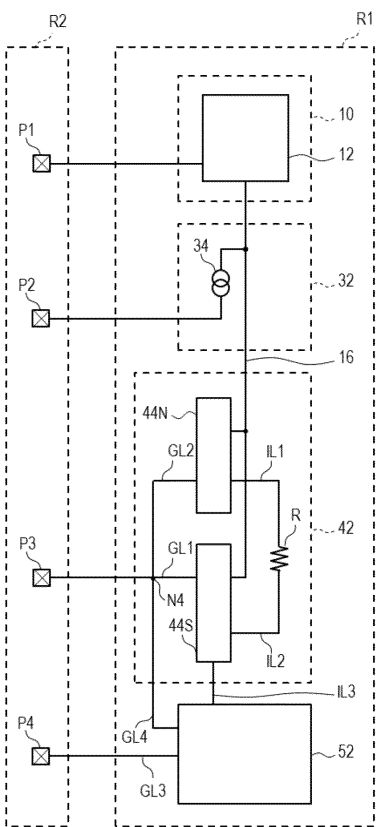
【 10 】



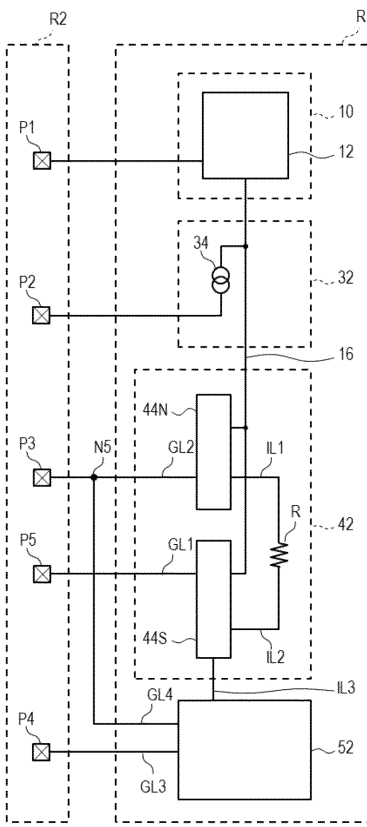
10

20

【 11 】



【 12 】

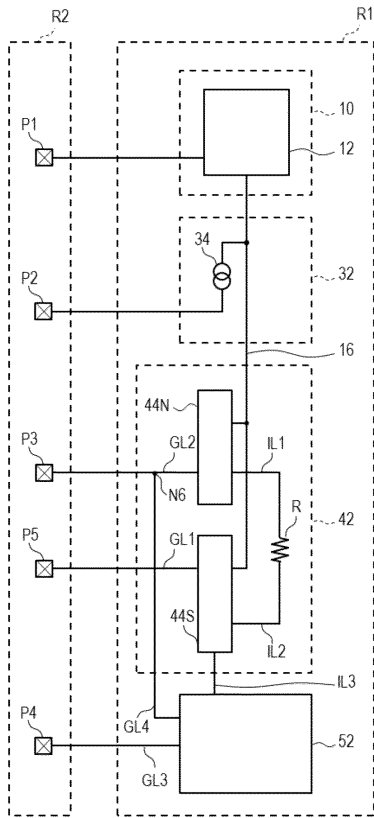


30

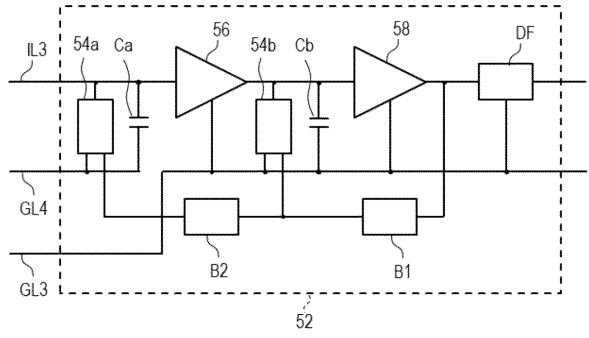
40

50

【図13】



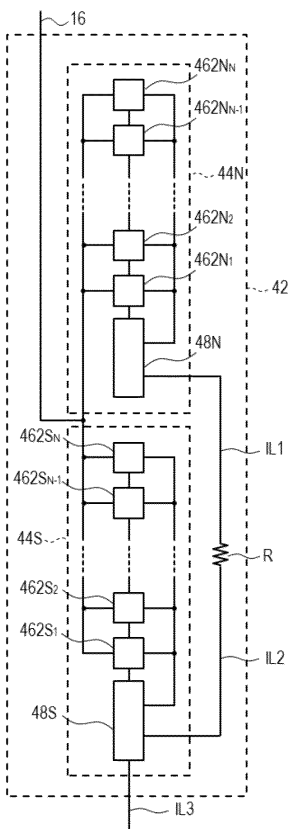
【図14】



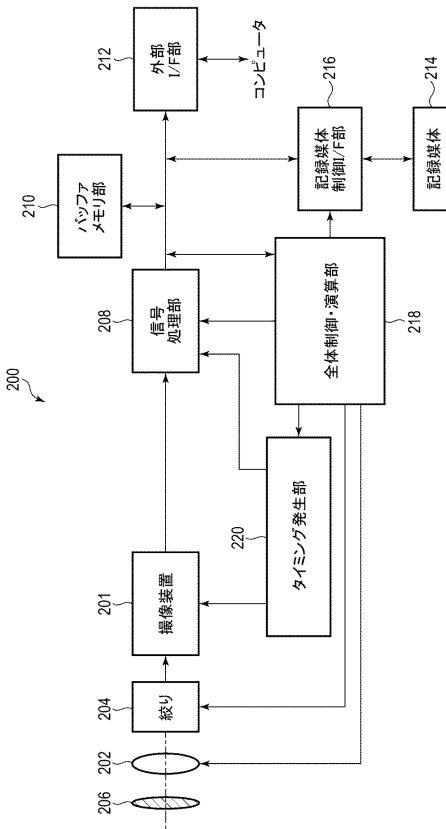
10

20

【図15】



【図16】



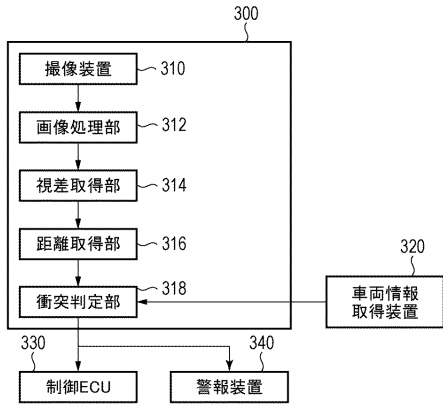
30

40

50

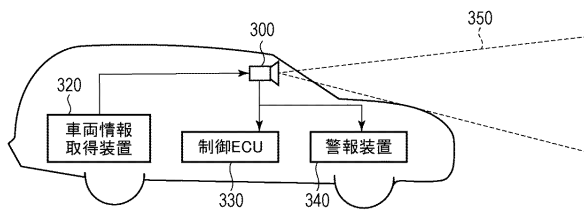
【 図 17 】

(a)



10

(b)



20

30

40

50

## フロントページの続き

- (56)参考文献 国際公開第2019/069614(WO, A1)  
特開2003-229557(JP, A)  
特開2017-103514(JP, A)  
特開2020-014110(JP, A)  
特開2020-096225(JP, A)
- (58)調査した分野 (Int.Cl., DB名)  
H04N 5/30 - 5/33、23/11  
23/20 - 23/30、25/00  
25/20 - 25/61、  
25/615 - 25/79  
H10D 44/00 - 44/45  
H10F 39/00 - 39/18、39/95  
H10K 39/30 - 39/38