(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3625930号
(P3625930)
(45)発行日　平成17年3月2日(2005.3.2)　(24)登録日　平成16年12月10日(2004.12.10)

(51)Int.Cl.[7]	F I		
H03K 19/0175	H03K	19/00	101K
G01R 31/28	G01R	31/28	V
H03K 19/0948	H03K	19/094	B

請求項の数 6　(全 15 頁)

(21)出願番号　特願平7-302100
(22)出願日　平成7年10月26日(1995.10.26)
(65)公開番号　特開平9-130226
(43)公開日　平成9年5月16日(1997.5.16)
審査請求日　平成14年8月5日(2002.8.5)

(73)特許権者　000005108
株式会社日立製作所
東京都千代田区丸の内一丁目６番６号
(74)代理人　100081938
弁理士　徳若　光政
(72)発明者　高橋　敏郎
東京都青梅市今井２３２６番地　株式会社日立製作所　デバイス開発センタ内
(72)発明者　小出　一夫
東京都青梅市今井２３２６番地　株式会社日立製作所　デバイス開発センタ内

審査官　彦田　克文

最終頁に続く

(54)【発明の名称】半導体集積回路装置

(57)【特許請求の範囲】
【請求項１】
第１動作電位点と第２動作電位点とを有する半導体集積回路装置であって、
上記半導体集積回路装置の電源電圧よりも小さい第１の信号振幅の入力信号を受ける入力端子と、
一方のＭＯＳＦＥＴのゲートが上記入力端子に接続され、他方のＭＯＳＦＥＴのゲートに基準電圧が入力され、そのソースが該一方のＭＯＳＦＥＴのソースと共通化された一対の第１導電型の差動ＭＯＳＦＥＴと、
そのソース・ドレイン経路を上記第１動作電位点と上記差動ＭＯＳＦＥＴの共通化されたソースとの間に有する第１導電型の第１ＭＯＳＦＥＴと、
上記差動ＭＯＳＦＥＴを構成する各ＭＯＳＦＥＴのドレインと上記第２動作電位点との間にそれぞれ接続された負荷素子と、
ドレインとゲートが互いに交差接続され、一方のＭＯＳＦＥＴのドレインが上記差動ＭＯＳＦＥＴの一方のＭＯＳＦＥＴのドレインに、他方のＭＯＳＦＥＴのドレインが上記差動ＭＯＳＦＥＴの他方のＭＯＳＦＥＴのドレインに接続され、上記入力信号を上記半導体集積回路装置の電源電圧よりも小さい第２の信号振幅の信号としてラッチする第１導電型のラッチ形態のＭＯＳＦＥＴと、
そのソース・ドレイン経路を上記第１動作電位点と上記ラッチ形態のＭＯＳＦＥＴのソースに接続され、上記第１ＭＯＳＦＥＴと相補的に動作する第１導電型の第２ＭＯＳＦＥＴとを有し、

上記ラッチ形態のＭＯＳＦＥＴにラッチされた信号が、上記半導体集積回路装置の電源電圧に増幅されて内部論理回路に供給される半導体集積回路装置。

【請求項２】

請求項１において、

上記ラッチ形態のＭＯＳＦＥＴにラッチされた信号を増幅する増幅回路と、

ラッチ回路とを有し、

上記増幅回路は、上記ラッチ形態のＭＯＳＦＥＴにラッチされた信号が入力される第１のＣＭＯＳインバータ回路と、第２のＣＭＯＳインバータ回路とを含み、

上記ラッチ回路は上記第１のＣＭＯＳインバータ回路と上記第２のＣＭＯＳインバータ回路との間に設けられ、上記第１ＭＯＳＦＥＴの制御信号の変化に応じて上記第１のＣＭＯＳインバータ回路の出力を取り込む半導体集積回路装置。

【請求項３】

請求項１において、

上記ラッチ形態のＭＯＳＦＥＴにラッチされた信号を増幅する増幅回路と、

テストモード信号にその動作が制御され、その出力が上記増幅回路に接続されたテスト用入力バッファとを有し、

上記テスト用入力バッファが上記テストモード信号により動作状態にされるときには、上記第１ＭＯＳＦＥＴと上記第２ＭＯＳＦＥＴとが非導通状態とされる半導体集積回路装置。

【請求項４】

第１動作電位点と第２動作電位点とを有する半導体集積回路装置であって、

上記半導体集積回路装置の電源電圧よりも小さい第１の信号振幅の入力信号を受ける入力端子と、

一方のＭＯＳＦＥＴのゲートが上記入力端子に接続され、他方のＭＯＳＦＥＴのゲートに基準電圧が入力され、そのソースが該一方のＭＯＳＦＥＴのソースと共通化された一対の第１導電型の差動ＭＯＳＦＥＴと、

そのソース・ドレイン経路を上記第１動作電位点と上記差動ＭＯＳＦＥＴの共通化されたソースとの間に有する第１導電型の第１ＭＯＳＦＥＴと、

上記差動ＭＯＳＦＥＴを構成する各ＭＯＳＦＥＴのドレインと上記第２動作電位点との間にそれぞれ接続された負荷素子と、

一方のＭＯＳＦＥＴのドレインが上記差動ＭＯＳＦＥＴの上記一方のＭＯＳＦＥＴのドレインに、他方のＭＯＳＦＥＴのドレインが上記差動ＭＯＳＦＥＴの上記他方のＭＯＳＦＥＴのドレインに接続され、該一方及び該他方のいずれかのＭＯＳＦＥＴのドレインから上記入力信号を上記半導体集積回路装置の電源電圧よりも小さい第２の信号振幅の信号として出力する一対の第１導電型のラッチ形態のＭＯＳＦＥＴと、

上記差動ＭＯＳＦＥＴの上記一方のＭＯＳＦＥＴのドレイン出力が入力され、その出力を上記ラッチ形態のＭＯＳＦＥＴの上記他方のＭＯＳＦＥＴのゲートに出力する第１のレベルシフト回路と、

上記差動ＭＯＳＦＥＴの上記他方のＭＯＳＦＥＴのドレイン出力が入力され、その出力を上記ラッチ形態のＭＯＳＦＥＴの上記一方のＭＯＳＦＥＴのゲートに出力する第２のレベルシフト回路と、

そのソース・ドレイン経路を上記第１動作電位点と上記ラッチ形態のＭＯＳＦＥＴのソースに接続され、上記第１ＭＯＳＦＥＴと相補的に動作する第１導電型の第２ＭＯＳＦＥＴとを有し、

上記ラッチ形態のＭＯＳＦＥＴにラッチされた信号が、上記半導体集積回路装置の電源電圧に増幅されて内部論理回路に供給される半導体集積回路装置。

【請求項５】

請求項１または請求項４において、

上記第１動作電位点の電位は３．３Ｖまたは５．０Ｖであり、

上記第２動作電位点の電位は０Ｖであり、

上記第１の信号振幅は０．８Ｖであり、
上記基準電圧は０．６Ｖである半導体集積回路装置。
【請求項６】
所定の電源電圧を有する半導体集積回路装置であって、上記電源電圧よりも小さい第１の信号振幅の入力信号を受ける入力端子、入力回路、制御回路及び増幅回路を有し、
上記入力回路は、上記入力端子にそのゲートが接続される第１のＭＯＳＦＥＴと、基準電圧がそのゲートに入力され、そのソースが上記第１のＭＯＳＦＥＴのソースに接続される第２のＭＯＳＦＥＴと、上記第１及び第２のＭＯＳＦＥＴのソースに接続されて上記第１及び第２のＭＯＳＦＥＴの動作電流を供給する電流源トランジスタと、クロック信号に応答して上記第１及び第２ＭＯＳＦＥＴの出力を上記電源電圧よりも小さい第２の信号振幅で保持するラッチ回路とを有し、　上記ラッチ回路は、そのドレインが上記第１のＭＯＳＦＥＴのドレインに接続され、そのゲートが上記第２のＭＯＳＦＥＴのドレインに接続された第３のＭＯＳＦＥＴと、そのドレインが上記第２のＭＯＳＦＥＴのドレインに接続され、そのゲートが上記第１のＭＯＳＦＥＴのドレインに接続された第４のＭＯＳＦＥＴとを有し、
上記制御回路は、上記第３及び第４のＭＯＳＦＥＴに接続され、上記クロック信号に同期して上記入力信号に対応する信号をラッチするように上記第３及び第４のＭＯＳＦＥＴを制御し、
上記増幅回路は、上記ラッチ回路の出力を上記半導体集積回路装置の電源電圧に対応する第３の信号振幅に増幅する半導体集積回路装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は、半導体集積回路装置と小振幅信号受信方法に関し、主として半導体集積回路装置間を小振幅信号で伝達させる入力回路とその受信方法に利用して有効な技術に関するものである。
【０００２】
【従来の技術】
従来のＣＭＯＳ集積回路装置の相互間のインターファイスとして広く使用されているＴＴＬ又はＣＭＯＳレベルにおいては、信号伝送線路の両端で乱反射が生じるためにデータ転送周波数としてせいぜい６０ＭＨｚ～１００ＭＨｚが性能の限界と言われている。これに対して、擬似ＥＣＬやＧＴＬでは、信号伝送線路の終端に終端抵抗を接続して、波形の反射を防止することにより、データ転送周波数を高くするようにしている。ただし、消費電力を小さくするために、半導体集積回路装置の動作電圧が５Ｖ又は３．３Ｖであるのに対して、信号振幅は０．８Ｖ程度に小さくしている。上記擬似ＥＣＬに関しては、アイ・イー・イー・イージャーナル　オブ　ソリッドーステート　サーキッツ　第２３、Ｎｏ．１、１９８８年2月、ｐｐ．５９－６７（ＩＥＥＥ　ＪＯＵＲＮＡＬ　ＯＦ　ＳＯＬＩＤ－ＳＴＡＴＥ　ＣＩＲＣＵＩＴＳ，Ｖｏｌ．２３　Ｎｏ．１　ＦＥＢＵＲＵＡＲＹ　１９８８，ｐｐ．５９－６７）がある。また、ＧＴＬに関しては、米国特許公報第５，０２３，４８８号（１９９１年1月１１日）がある。
【０００３】
【発明が解決しようとする課題】
半導体集積回路における素子等の微細化技術の進歩につれて、ＣＭＯＳ集積回路装置の高速化が進められている。本願発明者においては、このような半導体集積回路装置における内部回路の動作速度の高速化が益々進められるに対して、半導体集積回路装置の相互間でのデータ転送速度がいずれ追いつかなくなり、システム全体の性能のボトルネックになってしまうことに気が付いた。そこで、半導体集積回路装置の相互間でのデータ転送の見直しを行った結果、本願発明に到達した。
【０００４】
この発明の目的は、簡単な構成で高速にデータ受信を実現した半導体集積回路装置及び半

導体集積回路装置における高速な小振幅信号受信方法を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【０００５】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、クロック信号に同期して入力され、電源電圧に対して小さな信号振幅にされた受信信号を受け、かかる受信信号に対応した小さな信号振幅のままでの保持するラッチ回路を備えた入力バッファを設ける。

【０００６】

本願において開示される発明のうち他の代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、２つの半導体集積回路装置でクロック信号に同期した信号伝達を上記半導体集積回路装置の動作電圧に対して小さい信号振幅で行うとき、受信側においてそのままの小信号振幅で上記クロック信号に同期して受信信号を保持させ、かかる受信側の半導体集積回路装置での次段ラッチ回路に伝えられる組み合わせ論理回路を含む信号伝達経路中で上記小さな信号振幅の受信信号を増幅する。

【０００７】

【発明の実施の形態】

図１には、この発明の一実施例の概略ブロック図が示されている。同図には、送信側ＬＳＩ（大規模集積回路装置）と受信側ＬＳＩの１つの信号伝達経路が代表として例示的に示されている。送信側ＬＳＩでは、クロック信号ＣＫに同期してラッチ（フリップフロップ）回路ＦＦ１に取り込まれた信号が、出力バッファＢＡ１を通して伝送線路ＬＮに伝えられる。この伝送線路ＬＮは、その特性インピーダンスに整合された終端抵抗ＲＬにより終端されている。特に制限されないが、上記送信側ＬＳＩの出力バッファＢＡ１は、オープンドレインの出力ＭＯＳＦＥＴから構成され、上記終端抵抗ＲＬがＧＴＬに対応した１．２Ｖのような低い電圧に接続される。これにより、ロウレベルがオン状態の出力ＭＯＳＦＥＴのソース，ドレイン電圧に対応した約０．４Ｖ程度となり、ハイレベルが上記電圧１．２Ｖになることにより、上記伝送線路ＬＮには０．８Ｖのような小振幅の信号が伝達される。

【０００８】

上記のＧＴＬ回路では、上記終端抵抗ＲＬは伝送線路の特性インピーダンスに対応して５０Ωのような小さな抵抗値にされ、ロウレベルの信号が伝達されるときに上記抵抗終端抵抗ＲＬに大きな直流電流が流れて消費電流を大きくしてしまうのを防ぐために、送信側ＬＳＩや受信側ＬＳＩの５Ｖや３．３Ｖといったような動作電圧ではなく、上記のように終端抵抗ＲＬが接続される電圧を上記のように１．２Ｖのように低くするものである。このように小振幅にされた伝送信号は、受信側ＬＳＩの入力部に設けられた入力バッファＢＡ２により取り込まれる。

【０００９】

この実施例では、上記のような小振幅での信号伝達速度を実質的に速くするために、上記入力バッファＢＡ２においては、上記小振幅の信号のままで入力信号を取り込むとともにほぼそのレベルのままで保持させるラッチ回路ＦＦを内蔵させるものである。つまり、入力バッファＢＡ２には、上記入力信号を小振幅のままで保持するラッチ回路ＦＦが設けられており、かかるラッチ回路ＦＦはクロック信号ＣＫに同期して入力信号の取り込みと保持を行うようにされる。

【００１０】

受信側ＬＳＩにおいては、上記入力バッファＢＡ２の出力信号が組み合わせ論理回路を通して次段のラッチ回路ＦＦ２に伝えられる。上記のように受信側ＬＳＩでは、上記伝送された入力信号に対して、大きな動作電圧で動作する論理回路から構成されるために、その入力に供給される入力信号は、上記小振幅の信号を上記電源電圧に対応したハイレベルと回路の接地電位に対応したロウレベルに増幅するさせる必要がある。この実施例では、内

部論理回路での伝達速度は、前記のような素子の微細化により高速化できることや、論理段数を工夫するなどにより次段のラッチ回路ＦＦ２との間の伝送速度の設定は、上記半導体集積回路装置の相互間の信号伝送に比べて遙に自由度があり、上記小振幅の信号を電源電圧に対応したフル振幅の信号に増幅する時間を確保するものである。

【００１１】

この実施例での信号伝達に要する時間は、送信側ＬＳＩにおけるラッチ回路ＦＦ１での遅延時間ｔｐｄ１と、出力バッファＢＡ１での遅延時間ｔｐｄ２、伝送線路ＬＮでの遅延時間ｔｐｄ３、受信側ＬＳＩにおける小振幅入力バッファＢＡ２にけるラッチ回路ＦＦでのセットアップ時間ｔｓｅｔ及びクロック信号ＣＫのクロックスキュー（ワートスケース）ｔｓｋの総和であり、その逆数がデータ転送周波数にされる。

【００１２】

ちなにみ、本願発明に先立って本発明者等が検討した図８に示すような受信側ＬＳＩにおいて、入力バッファＢＡ３を設け、この入力バッファＢＡ３により小振幅の入力信号を増幅し、かかる増幅された受信信号をラッチ回路ＦＦで取り込むようにした場合には、上記入力バッファＢＡ３においては、上記のような０．８Ｖの信号振幅を３．３Ｖあるいは５Ｖのような信号振幅に増幅するための遅延時間ｔｐｄ４が余分にかかることなる。

【００１３】

上記入力バッファＢＡ３での信号遅延ｔｐｄ３は、単に信号を伝達させるものではなく、上記のように信号振幅の増幅を必要とするものであるので、信号遅延時間が比較的大きい。例えば、送信側ＬＳＩにおけるラッチ回路ＦＦ１での遅延時間ｔｐｄ１や１ｎｓ、出力バッファＢＡ１での遅延時間ｔｐｄ２は２ｎｓ、伝送線路ＬＮでの遅延時間ｔｐｄ３は２ｎｓ、受信側ＬＳＩにおける小振幅入力バッファＢＡ２にけるラッチ回路ＦＦでのセットアップ時間ｔｓｅｔは０．５ｎｓ、クロック信号ＣＫのクロックスキュー（ワートスケース）ｔｓｋは０．５ｎｓであり、入力バッファＢＡ３での信号遅延ｔｐｄ３は２ｎｓ程度である。

【００１４】

したがって、図８のように入力バッファＢＡ３で小振幅の入力信号を増幅し、増幅された受信信号をラッチ回路ＦＦで保持する構成では、遅延時間の総和は８ｎｓになるので、伝送周波数は１２５ＭＨｚが限界になってしまう。これに対して、この実施例のように入力バッファＢＡ２により小振幅のままで保持させる構成では、遅延時間の総和は６ｎｓに減少するので、伝送周波数は１６７ＭＨｚのように高速にできる。

【００１５】

上記のように入力バッファＢＡ２では、小振幅のままで信号の保持を行うものであるので、組み合わせ論理回路に入力される信号を電源電圧に対応したフル振幅のレベルに増幅するために上記のように約２ｎｓの時間を必要とする。このため、上記入力バッファＢＡ２の出力信号を受ける組み合わせ論理回路での信号遅延時間の総和が、上記増幅動作に費やされる遅延時間２ｎｓを含めて６ｎｓ以下になるように論理段数を制限する等の工夫により簡単に解決することができる。大抵の場合には、内部回路での組み合わせ論理回路での遅延時間の総和は、上記のような半導体集積回路装置の相互間での信号遅延時間に比べて短いこと、及び素子の微細化等により高速化ができることから実際上には何ら問題にはならない。仮に、組み合わせ論理回路での遅延時間が大きいときには、それを２つに分割してダミーのラッチ回路を挿入する等のように内部回路にあっては種々の工夫により簡単に対処できるものである。

【００１６】

図２には、上記入力バッファの一実施例の具体的回路図が示されている。同図の各回路素子は、公知のＣＭＯＳ集積回路の製造技術により、図示してい他の回路とともに１つの半導体基板上において形成される。同図において、Ｐチャンネル型ＭＯＳＦＥＴは、そのゲート部分に丸印を付することにより、Ｎチャンネル型ＭＯＳＦＥＴと区別される。

【００１７】

入力端子Ｉ１から入力された入力信号は、Ｐチャンネル型ＭＯＳＦＥＴＱ１のゲートに供

給される。このＭＯＳＦＥＴＱ１と差動形態にされたＰチャンネル型ＭＯＳＦＥＴＱ２のゲートには、上記入力端子Ｉ１から入力される入力信号のハイレベルとロウレベルの中間電位に対応した基準電圧ＶＲＥＲが供給されている。この基準電圧ＶＲＥＦは、図示しない他の入力バッファの同様な差動ＭＯＳＦＥＴにも共通に供給される。

【００１８】

上記差動ＭＯＳＦＥＴＱ１とＱ２の共通化されたソースと電源電圧ＶＤＤ１との間には、動作電流を流すＰチャンネル型ＭＯＳＦＥＴＱ１０が設けられる。このＭＯＳＦＥＴＱ１０のゲートには、ナンドゲート回路Ｇ１により形成されたクロック信号ＣＫの反転信号が供給される。上記差動ＭＯＳＦＥＴＱ１とＱ２のドレインと回路の接地電位ＶＳＳ１との間には、特に制限されないが、電流ミラー形態にされたＮチャンネル型ＭＯＳＦＥＴＱ７とＱ８が負荷手段として設けられる。

【００１９】

この実施例では、上記小振幅の入力信号のレベルのままでデータ保持を行うようにするため、上記差動ＭＯＳＦＥＴＱ１とＱ２及び負荷ＭＯＳＦＥＴＱ７とＱ８及び定電流ＭＯＳＦＥＴＱ１０の素子定数により決まる増幅率はほぼ１に設定され、ＭＯＳＦＥＴＱ１とＱ２のドレイン電圧は、直流的にレベルシフトされるが、その信号振幅は入力信号の信号振幅とほぼ同じくされる。

【００２０】

この実施例では、入力バッファにラッチ機能を設けるために、上記差動ＭＯＳＦＥＴＱ１とＱ２に対して、並列的にドレインとゲートが交差接続されることによりラッチ形態にされたＰチャンネル型ＭＯＳＦＥＴＱ４とＱ６が設けられる。つまり、このラッチ形態のＭＯＳＦＥＴＱ４とＱ６は、上記負荷ＭＯＳＦＥＴＱ７とＱ８を共通に用いるよう、その交差接続されたゲート，ドレインが上記差動ＭＯＳＦＥＴＱ１とＱ２の対応するドレインに接続される。

【００２１】

上記ラッチ形態のＭＯＳＦＥＴＱ４とＱ６を、クロック信号ＣＫに同期して上記差動ＭＯＳＦＥＴＱ１とＱ２と相補的に動作させるようにするため、つまり、入力信号の取り込み時には差動ＭＯＳＦＥＴＱ１とＱ２を動作状態にし、かかる差動ＭＯＳＦＥＴＱ１とＱ２により取り込まれた入力信号をラッチ形態のＭＯＳＦＥＴＱ４とＱ６とにより保持させるようするため、特に制限されないが、上記ＭＯＳＦＥＴＱ４とＱ６のソースと電源電圧ＶＤＤ１との間には、上記スイッチＭＯＳＦＥＴＱ１０に対応したスイッチＭＯＳＦＥＴＱ３とＱ５が設けられる。これらのＭＯＳＦＥＴＱ３とＱ５のゲートには、ナンドゲート回路Ｇ１とＧ２を通してクロック信号ＣＫと同相にされたクロック信号が供給される。上記スイッチＭＯＳＦＥＴＱ３とＱ５は、差動ＭＯＳＦＥＴＱ１とＱ２に設けられたＭＯＳＦＥＴＱ１０のように、１つのスイッチＭＯＳＦＥＴに置き換えることができるものである。

【００２２】

特に制限されないが、上記入力信号を受ける差動ＭＯＳＦＥＴＱ１のドレインの内部信号は、ＰチャンネルＭＯＳＦＥＴとＮチャンネルＭＯＳＦＥＴからなるＣＭＯＳインバータ回路ＩＮ１及びＩＮ２を通して上記のような小振幅の信号が電源電圧ＶＤＤ１とＶＳＳ１に対応したハイレベルとロウレベルに増幅されて図示しない内部の組み合わせ論理回路に供給される信号ＯＵＴとして出力される。このＣＭＯＳインバータ回路ＩＮ１とＩＮ２は、組み合わせ論理回路の中に組み込むような構成にしてもよい。

【００２３】

この実施例の入力バッファには、テスト機能が設けられる。つまり、このテスト機能は、例えばスタンバイ電流テストのときにラッチ機能の無いＣＭＯＳ入力バッファに切り換えるようにするものである。テストモード信号ＴＥＳＴは、ＰチャンネルＭＯＳＦＥＴとＮチャンネルＭＯＳＦＥＴからなるＣＭＯＳインバータ回路ＩＮ３に供給され、その反転信号が形成される。上記テストモード信号ＴＥＳＴと、上記インバータ回路ＩＮ３により形成された反転信号とは、クロックドインバータ（３状態出力回路）回路ＣＮ１を構成

するＮチャンネル型ＭＯＳＦＥＴとＰチャンネル型ＭＯＳＦＥＴのゲートに供給される。このクロックドインバータ回路ＣＮ１の入力であるＰチャンネル型ＭＯＳＦＥＴとＮチャンネル型ＭＯＳＦＥＴのゲートには、上記入力端子Ｉ１に接続される。このクロックドインバータ回路ＣＮ１の出力端子は、上記小振幅のラッチ信号を増幅するＣＭＯＳインバータ回路ＩＮ１の入力端子に接続される。

【００２４】

上記インバータ回路ＩＮ３により形成されたテストモード信号ＴＥＳＴの反転信号は、クロック信号ＣＫを受けるナンドゲート回路Ｇ１とＧ２のゲート制御信号として用いられる。つまり、通常動作のときには、テストモード信号ＴＥＳＴがロウレベルにされる。これにより、インバータ回路ＩＮ３の出力信号がハイレベルになり、上記クロックドインバータ回路ＣＮ１は、出力ハイインピーダンス状態にされるとともに、ナンドゲート回路Ｇ１とＧ２はゲートを開いて実質的にインバータ回路としての動作を行う。

【００２５】

このような通常動作のときには、クロック信号ＣＫがハイレベルのときには、ナンドゲート回路Ｇ１の出力信号がロウレベルに、ナンドゲート回路Ｇ２の出力信号がハイレベルになる。上記ナンドゲート回路Ｇ１の出力信号のロウレベルにより、差動ＭＯＳＦＥＴＱ１とＱ２の共通化されたソースに設けられたＰチャンネル型ＭＯＳＦＥＴＱ１０がオン状態になり、差動ＭＯＳＦＥＴＱ１とＱ２が動作状態になって、入力端子Ｉ１から入力された入力信号の取り込みを行う。このとき、ナンドゲート回路Ｇ２の出力信号のハイレベルにより、ラッチ形態のＭＯＳＦＥＴＱ４とＱ５のソースに設けられたＰチャンネル型ＭＯＳＦＥＴＱ３とＱ５がオフ状態になり、かかるラッチ形態のＭＯＳＦＥＴＱ４とＱ６は共に非動作状態にされている。

【００２６】

上記クロック信号ＣＫがハイレベルからロウレベルに変化すると、上記差動ＭＯＳＦＥＴＱ１とＱ２の共通化されたソースに設けられたＰチャンネル型ＭＯＳＦＥＴＱ１０がオフ状態に、ラッチ形態のＭＯＳＦＥＴＱ４とＱ６のソースに設けられたＰチャンネル型ＭＯＳＦＥＴＱ３とＱ５がオン状態にされる。これらのＭＯＳＦＥＴＱ３とＱ５のオン状態に応じて、かかるラッチ形態のＭＯＳＦＥＴＱ４とＱ６が動作状態にされ、上記差動ＭＯＳＦＥＴＱ１とＱ２のドレイン電圧を保持する。このようにして、入力端子Ｉ１から入力された入力信号は、クロック信号ＣＫのハイレベルに同期して取り込まれ、クロック信号ＣＫのロウレベルの期間はそのレベルが保持される。

【００２７】

これに対して、テストモード信号ＴＥＳＴがハイレベルにされると、上記負荷ＭＯＳＦＥＴＱ８に並列に設けられたＮチャンネル型ＭＯＳＦＥＴＱ９がオン状態になり、かかる負荷ＭＯＳＦＥＴＱ８及びＱ７をオフ状態にさせる。上記テストモード信号ＴＥＳＴのハイレベルにより、クロック信号ＣＫに無関係にナンドゲート回路Ｇ１とＧ２の出力信号がハイレベルとなり、スイッチＭＯＳＦＥＴＱ１０とＱ３，Ｑ４をオフ状態にされるために上記入力部がフローティング状態にされる。そして、上記クロックドインバータ回路ＣＮ１を動作状態にして、入力端子Ｉ１から供給された入力信号を取り込み、上記ＣＭＯＳインバータ回路ＩＮ１の入力に伝える。このようにして、テストモードのときには、上記入力バッファとラッチ回路が非動作状態にされ、それに代わってクロックドインバータ回路ＣＮ１が動作状態にされて、入力端子Ｉ１から供給されたテスト用の入力信号を内部回路にそのまま伝えるという動作が行われる。

【００２８】

図３には、この発明に係る入力バッファの動作を説明するための動作波形図が示されている。同図では、クロック信号ＣＫを４００ＭＨｚのような高周波数に設定した場合のコンピュータシュミレーションにより求められた波形図が示されている。

【００２９】

入力信号は、上記のようなロウレベルが０．４Ｖで、ハイレベルが１．２Ｖのような小振幅の信号として差動ＭＯＳＦＥＴＱ１のゲートに供給される。差動ＭＯＳＦＥＴＱ２のゲ

ートには、０．６Ｖのような基準電圧ＶＲＥＦが供給されるものとする。センスアンプの内部ノードの波形は、上記差動ＭＯＳＦＥＴＱ１とＱ２のドレイン及びラッチ形態のＭＯＳＦＥＴＱ４とＱ６のゲート，ドレイン接続点の波形である。

【００３０】

入力バッファにおける電流ミラー形態の負荷ＭＯＳＦＥＴＱ７とＱ８のうち、ダイオード形態にされたＭＯＳＦＥＴＱ８が接続されたＭＯＳＦＥＴＱ２（Ｑ６）のドレイン側の電位は、かかるＭＯＳＦＥＴＱ８のゲート，ソース間のしきい値電圧に対応した１．２Ｖ付近の比較的安定した電位にされ、相対的にＭＯＳＦＥＴＱ７が接続されたＭＯＳＦＥＴＱ１（Ｑ４）のドレイン電位が、上記入力信号の振幅に対応して変化させられることになる。そして、この内部ノードの信号は、上記入力信号に対応した小振幅のままで実質的に保持されることが理解できるであろう。上記内部ノードの信号は、前記のようなＣＭＯＳインバータ回路ＩＮ１とＩＮ２により増幅されて、電源電圧に対応した３．３Ｖのようなハイレベルと、回路の接地電位ＶＳＳ１（０Ｖ）のようなロウレベルにされる。

【００３１】

図４には、上記入力バッファの他の一実施例の具体的回路図が示されている。同図においては、前記図２の実施例に比べて差動回路とラッチ回路を構成するＭＯＳＦＥＴの導電型が全て逆にされる。つまり、差動ＭＯＳＦＥＴＱ１とＱ２及びラッチ形態のＭＯＳＦＥＴＱ４とＱ６及びこれらの動作制御を行うスイッチＭＯＳＦＥＴＱ１０とＱ３，Ｑ４はそれぞれＮチャンネル型ＭＯＳＦＥＴにより構成され、負荷ＭＯＳＦＥＴＱ８とＱ７と、スイッチＭＯＳＦＥＴＱ９とがそれぞれＰチャンネル型ＭＯＳＦＥＴにより構成される。

【００３２】

上記のようなＭＯＳＦＥＴの導電型が逆にされたことに対応して、アンドゲート回路がノアゲート回路Ｇ１，Ｇ２に置き換えられ、その制御信号としてテストモード信号ＴＥＳＴがそのまま供給され、上記負荷ＭＯＳＦＥＴＱ８，Ｑ７の動作を制限するスイッチＭＯＳＦＥＴＱ９に伝えられるテストモード信号は号もインバータ回路ＩＮ３により反転させられた信号が用いられる。また、テストモード信号ＴＥＳＴがハイレベルにされたときには、Ｐチャンネル型ＭＯＳＦＥＴＱ９のオン状態により、上記付加ＭＯＳＦＥＴＱ７，Ｑ９をオフ状態にさせるとともに、増幅用のＣＭＯＳインバータ回路ＩＮ１の入力を電源電圧ＶＤＤ１に固定する。つまり、前記のようなクロックドインバータ回路ＣＮ１が省略され、テトス時には外部端子ＩＮからの入力が禁止され、上記ＶＤＤ１のハイレベルが入力信号と見做される。

【００３３】

このようにＮチャンネル型ＭＯＳＦＥＴを用いて差動増幅したり、あるいは信号保持を行う場合には、入力信号は同じ小振幅であっても上記Ｎチャンネル型ＭＯＳＦＥＴの動作バイアス電圧、つまり、差動ＭＯＳＦＥＴＱ１，Ｑ２及びラッチ形態のＭＯＳＦＥＴＱ４，Ｑ６のゲート，ソース間のしきい値電圧と、動作電流を流すＭＯＳＦＥＴＱ１０及びＱ３，Ｑ５のドレイン，ソース間電圧を確保する必要がある。このため、前記ＧＴＬレベルのように０．４Ｖ～１．２Ｖのように回路の接地電位側に偏倚された信号では、上記動作バイアス電圧が確保できず、図２の実施例のようにＰチャンネル型ＭＯＳＦＥＴを用いることになる。

【００３４】

この実施例の入力バッファは、上記のようなＮチャンネル型ＭＯＳＦＥＴの動作電圧を確保する必要から、擬似ＥＣＬ信号又はＬＶＴＴＬ（小振幅ＴＴＬ信号）に向けられている。例えば、３．３Ｖの動作電圧を基準にして動作する擬似ＥＣＬの場合には、基準電圧ＶＲＥＦとして、１．６５Ｖが用いられる。このように、図４の実施例回路では入力される小振幅の信号が電源電圧ＶＤＤ１側に全体としてシフトされたものに対応して動作し、実質的な信号入力と保持動作及びテスト動作は前記図２の実施例と同様であるので、その説明は省略する。

【００３５】

図５には、上記入力バッファの他の一実施例の具体的回路図が示されている。同図におい

ては、前記図２の実施例回路にエッジトリガ機能が付加される。つまり、上記入力部で小振幅のままで信号取り込みと保持が行われる内部ノードの信号を増幅するインバータ回路ＩＮ１とＩＮ２の間に、スルーラッチ回路が挿入される。上記インバータ回路ＩＮ１の出力部に、ＣＭＯＳ構成のトランスファゲート回路ＴＧを設け、これを入力ゲートとし、増幅回路としてのインバータ回路ＩＮ５とクロックドインバータ回路ＣＮ２によりラッチ回路を構成する。

【００３６】

これにより、クロック信号ＣＫがハイレベルの入力信号取り込み期間では上記トランスファゲート回路ＴＧをオン状態にして入力信号をそのまま通し、上記クロック信号ＣＫがハイレベルからロウレベルに変化するタイミング（エッジ）により、上記トランスファゲート回路ＴＧをオフ状態にし、上記出力されている信号を上記インバータ回路ＩＮ５とクロックドインバータ回路ＣＮ２とによりラッチしてしまうものである。

【００３７】

図６には、上記入力バッファの他の一実施例の具体的回路図が示されている。同図においては、前記図４の実施例回路にエッジトリガ機能が付加される。この実施例では、上記のようにＭＯＳＦＥＴの導電型が逆にされることに対応して回路が前記同様に変更される。また、テストモード信号ＴＥＳＴがハイレベルにされるときには、Ｐチャンネル型ＭＯＳＦＥＴＱ９をオン状態にして、増幅用のＣＭＯＳインバータ回路ＩＮ１の入力信号を強制的にハイレベルに固定し、外部端子からの入力を受け付けないように簡略化するものである。入力端子Ｐ１に設けられたＰチャンネル型ＭＯＳＦＥＴＱ１２とＮチャンネル型ＭＯＳＦＥＴＱ１３は、静電破壊防止回路を構成するものである。前記実施例の入力端子ＩＮ１では省略されているが、上記のような、あるいは他の構成の適当な静電破壊防止回路が設けられるものである。

【００３８】

図７には、上記入力バッファの更に他の一実施例の具体的回路図が示されている。同図においては、前記図２ないし図６の実施例回路では、入力バッファにおける内部ノードにおける小振幅信号のうち、負荷回路として電流ミラー回路を用いた場合には、図３に示した波形図のようにダイオード形態にされた負荷ＭＯＳＦＥＴＱ８側の出力レベルがほぼ一定になり、他方の負荷ＭＯＳＦＥＴＱ７側の出力レベルが変化するという変則的な差動信号になる。

【００３９】

この実施例では、ラッチ形態にされるＭＯＳＦＥＴＱ４とＱ６のゲートに、レベルシフト回路が設けられ、上記の変則的な差動信号のレベル調整が行われる。つまり、差動ＭＯＳＦＥＴＱ１のドレイン出力は、ＭＯＳＦＥＴＱ１１のゲートに供給され、このＭＯＳＦＥＴＱ１１と固定抵抗Ｒ１及びＭＯＳＦＥＴＱ１３かならるレベルシフト回路により信号レベルが調整されて、ＭＯＳＦＥＴＱ６のゲートに伝えられる。同様に、差動ＭＯＳＦＥＴＱ２のドレイン出力は、ＭＯＳＦＥＴＱ１４と固定抵抗Ｒ２及びＭＯＳＦＥＴＱ１６からなるレベルシフト回路により信号レベルが調整されて、ＭＯＳＦＥＴＱ４のゲートに伝えられる。

【００４０】

上記レベルシフト回路は、ＭＯＳＦＥＴＱ４とＱ６のゲートに伝えられる信号レベルのハイレベルとロウレベルの絶対値がほぼ同じ電位にさせるように作用する。つまり、ＭＯＳＦＥＴＱ４のゲートがハイレベルのときには、ＭＯＳＦＥＴＱ６のゲートはロウレベルになるが、ＭＯＳＦＥＴＱ４のゲートがロウレベルに切り換えられるときには、上記ＭＯＳＦＥＴＱ６のゲートに供給されてたロウレベルとほぼ同じロウレベルにされ、上記ＭＯＳＦＥＴＱ６のゲートがハイレベルに切り換えられるときは、上記ＭＯＳＦＥＴＱ４に供給されていたハイレベルとほぼ同じハイレベルにされる。上記のようにラッチ形態にされる一対のＭＯＳＦＥＴＱ４とＱ６のゲート電圧が、相互にハイレベル／ロウレベルに切り換えられるために、小振幅のままでの安定した信号保持動作を行うようにすることができる。

【００４１】
上記の実施例から得られる作用効果は、下記の通りである。すなわち、
（１）　クロック信号に同期して入力され、電源電圧に対して小さな信号振幅にされた受信信号を受け、かかる受信信号に対応した小さな信号振幅のままでの保持するラッチ回路を備えた入力バッファを設けるという簡単な構成により、信号の受け渡しに小振幅の信号を電源電圧に対応したフル振幅の信号に増幅するための遅延時間がなくなるから、データ転送速度の高速化を図ることができるという効果が得られる。
【００４２】
（２）　終端抵抗により終端された信号伝送線路を通して伝達されるものに上記入力バッファを用いるようにすることにより、低消費電力で高速なデータ転送を行う半導体集積回路装置に好都合なものとすることができるという効果が得られる。
【００４３】
（３）　上記入力バッファとして、受信信号に同期して入力されるクロック信号が一方のレベルにあるときにオン状態にされて上記受信信号と基準電圧とを受ける差動ＭＯＳＦＥＴを動作状態にし、上記クロック信号が他方のレベルにあるときオン状態にされてラッチ形態のＭＯＳＦＥＴを動作状態にし、かかる差動ＭＯＳＦＥＴとラッチ形態のＭＯＳＦＥＴの対応するドレインに共通に負荷手段を設けて、かかる差動ＭＯＳＦＥＴのうちの一方のドレイン電圧を増幅して上記一方の動作電圧と他方の動作電圧に対応した内部信号を形成する増幅回路とにより構成することにより、受信信号に対応した小さな信号振幅のままでの受信信号を保持することができ、受信信号の取り込みに小振幅の信号を電源電圧に対応したフル振幅の信号に増幅するための遅延時間がなくなるから、データ転送速度の高速化を図ることができるという効果が得られる。
【００４４】
（４）　上記入力バッファには、３状態出力機能を持つテスト用の入力バッファを並列に設け、通常動作のときにはテストモード信号によりかかるテスト用の入力バッファの出力をハイインピーダンス状態にし、テストモードのときには上記テストモード信号により上記テスト用の入力バッファを動作状態するとともに、上記の信号受信用の入力バッファは出力を実質的にハイインピーダンス状態にすることにより、スタンバイ電流テストを実施することができるという効果が得られる。
【００４５】
（５）　上記増幅回路は、入力用と出力用のＣＭＯＳインバータ回路と、上記入力用のＣＭＯＳインバータ回路の出力と出力用の入力との間に上記クロック信号により制御されるＣＭＯＳ回路からなるスールラッチ回路を設けるようにすることにより、エッジトリガによるラッチ機能を付加することができるという効果が得られる。
【００４６】
（６）　２つの半導体集積回路装置でクロック信号に同期した信号伝達を上記半導体集積回路装置の動作電圧に対して小さい信号振幅で行うとき、受信側においてそのままの信号振幅で上記クロック信号に同期して受信信号を保持させ、かかる受信側の半導体集積回路装置の次段ラッチ回路に伝えられる組み合わせ論理回路を含む信号伝達経路中で上記小さな信号振幅の受信信号を増幅させることにより、データ転送速度の高速化を図ることができるという効果が得られる。
【００４７】
（７）　上記小さな信号振幅での信号伝達は、信号線路とその終端に設けられた終端抵抗により行われるものに使用することにより、低消費電力で高速なデータ転送を行うものに好都合とすることができるという効果が得られる。
【００４８】
以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、差動ＭＯＳＦＥＴとラッチ形態のＭＯＳＦＥＴのドレインに設けられる負荷ＭＯＳＦＥＴは、前記のような電流ミラー形態にされた負荷回路を用いるこ

と他、抵抗作用として動作させられるＭＯＳＦＥＴを含む抵抗手段としてもよい。半導体集積回路装置の間を転送させる信号は、前記のようなＧＴＬや擬似ＥＣＬの他、上記半導体集積回路装置における動作電圧に対して小振幅にされたものであれば何であってもよい。この発明は、電源電圧に対して小振幅の入力信号が伝えられる半導体集積回路装置とその小振幅信号受信方法として広く利用できる。

【００４９】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、クロック信号に同期して入力され、電源電圧に対して小さな信号振幅にされた受信信号を受け、かかる受信信号に対応した小さな信号振幅のままでの保持するラッチ回路を備えた入力バッファを設けるという簡単な構成により、信号の受け渡しに小振幅の信号を電源電圧に対応したフル振幅の信号に増幅するための遅延時間がなくなるから、データ転送速度の高速化を図ることができる。

【００５０】

終端抵抗により終端された信号伝送線路を通して伝達されるものに上記入力バッファを用いるようにすることにより、低消費電力で高速なデータ転送を行う半導体集積回路装置に好都合なものとすることができる。

【００５１】

上記入力バッファとして、受信信号に同期して入力されるクロック信号が一方のレベルにあるときにオン状態にされて上記受信信号と基準電圧とを受ける差動ＭＯＳＦＥＴを動作状態にし、上記クロック信号が他方のレベルにあるときオン状態にされてラッチ形態のＭＯＳＦＥＴを動作状態にし、かかる差動ＭＯＳＦＥＴとラッチ形態のＭＯＳＦＥＴの対応するドレインに共通に負荷手段を設けて、かかる差動ＭＯＳＦＥＴのうちの一方のドレイン電圧を増幅して上記一方の動作電圧と他方の動作電圧に対応した内部信号を形成する増幅回路とにより構成することにより、受信信号に対応した小さな信号振幅のままでの受信信号を保持することができ、受信信号の取り込みに小振幅の信号を電源電圧に対応したフル振幅の信号に増幅するための遅延時間がなくなるから、データ転送速度の高速化を図ることができる。

【００５２】

上記入力バッファには、３状態出力機能を持つテスト用の入力バッファを並列に設け、通常動作のときにはテストモード信号によりかかるテスト用の入力バッファの出力をハイインピーダンス状態にし、テストモードのときには上記テストモード信号により上記テスト用の入力バッファを動作状態するとともに、上記の信号受信用の入力バッファは出力を実質的にハイインピーダンス状態にすることにより、スタンバイ電流テストを実施することができる。

【００５３】

上記増幅回路は、入力用と出力用のＣＭＯＳインバータ回路と、上記入力用のＣＭＯＳインバータ回路の出力と出力用の入力との間に上記クロック信号により制御されるＣＭＯＳ回路からなるスールラッチ回路を設けるようにすることにより、エッジトリガによるラッチ機能を付加することができる。

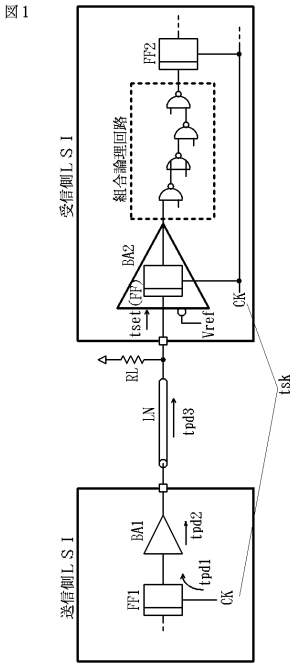
【００５４】

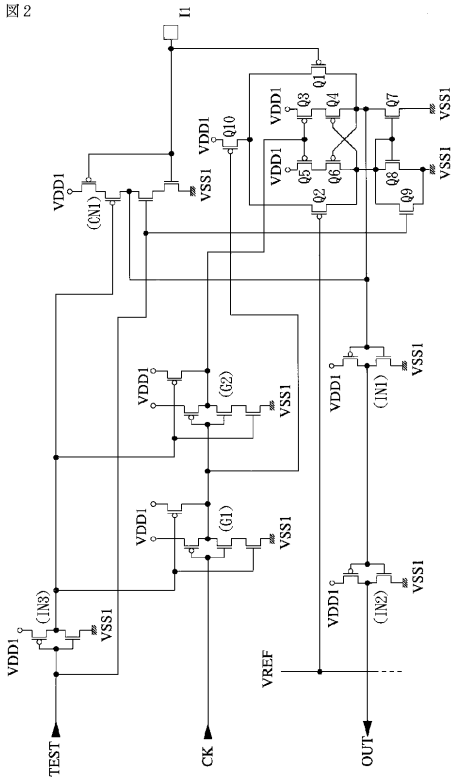
２つの半導体集積回路装置でクロック信号に同期した信号伝達を上記半導体集積回路装置の動作電圧に対して小さい信号振幅で行うとき、受信側においてそのままの信号振幅で上記クロック信号に同期して受信信号を保持させ、かかる受信側の半導体集積回路装置の次段ラッチ回路に伝えられる組み合わせ論理回路を含む信号伝達経路中で上記小さな信号振幅の受信信号を増幅させことにより、データ転送速度の高速化を図ることができる。

【００５５】

上記小さな信号振幅での信号伝達は、信号線路とその終端に設けられた終端抵抗により行われるものに使用することにより、低消費電力で高速なデータ転送を行うものに好都合とすることができる。

【図面の簡単な説明】
【図１】この発明の一実施例の示す概略ブロック図である。
【図２】図１の入力バッファの一実施例を示す具体的回路図である。
【図３】この発明に係る入力バッファの動作を説明するための動作波形図である。
【図４】図１の入力バッファの他の一実施例を示す具体的回路図である。
【図５】図１の入力バッファの他の一実施例を示す具体的回路図である。
【図６】図１の入力バッファの他の一実施例を示す具体的回路図である。
【図７】図１の入力バッファの更に他の一実施例を示す具体的回路図である。
【図８】この発明に先立って本発明者等により検討した小振幅のデータ転送の一例を説明するための概略ブロック図である。
【符号の説明】
ＬＳＩ…大規模集積回路、ＦＦ，ＦＦ１，ＦＦ２…ラッチ（フリップフロップ）回路、ＢＡ１…出力バッファ、ＬＮ…伝送線路、ＲＬ…終端抵抗、ＢＡ２，ＢＡ３…入力バッファ、Ｇ１，Ｇ２…ゲート回路、ＩＮ１～ＩＮ５…インバータ回路、ＣＮ１，ＣＮ２…クロックドインバータ回路、ＴＧ…トランスファゲート回路、Ｑ１～Ｑ６…ＭＯＳＦＥＴ。

【図１】


【図２】


【図３】

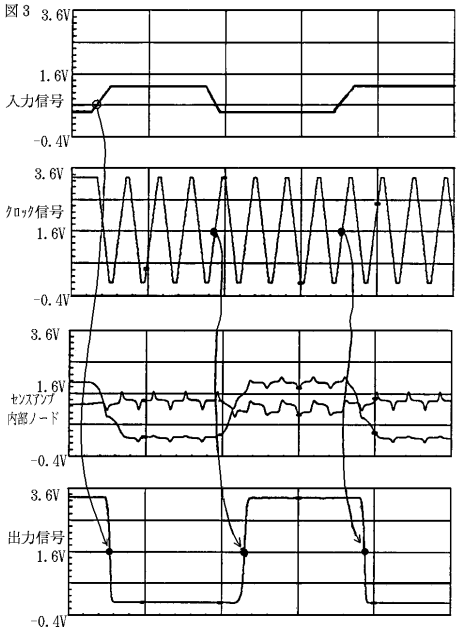


図３
3.6V
1.6V
入力信号
-0.4V
3.6V
クロック信号
1.6V
-0.4V
3.6V
1.6V
センスアンプ
内部ノード
-0.4V
3.6V
出力信号
1.6V
-0.4V

【図４】

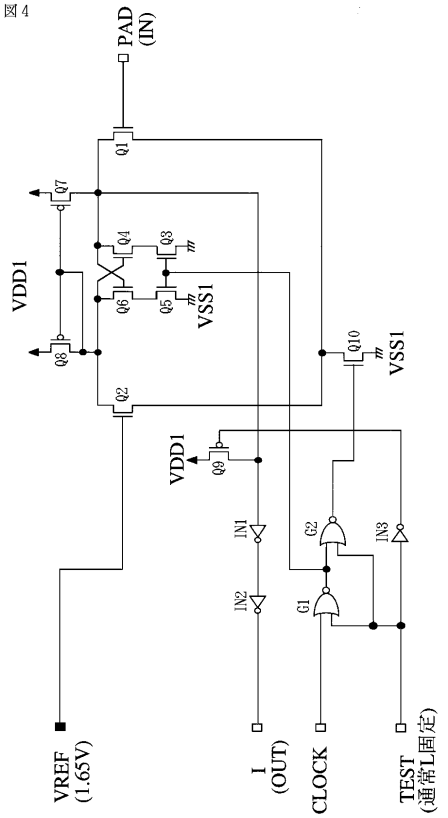


図４
PAD
(IN)
Q1
Q7
VDD1
Q4
Q3
Q6
Q5
VSS1
Q8
Q10
VSS1
Q2
VDD1
Q9
IN1
G2
IN3
IN2
G1
VREF
(1.65V)
I
(OUT)
CLOCK
TEST
(通常L固定)

【図５】

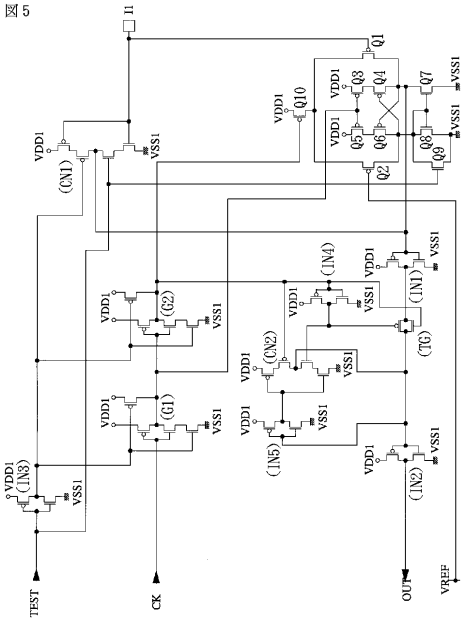


図５
I1
Q1
VDD1
Q10
Q3
Q4
Q7
VSS1
Q5
Q6
Q8
Q9
Q2
(CN1)
(IN4)
(IN1)
(G2)
(T6)
(CN2)
(G1)
(IN5)
(IN3)
(IN2)
TEST
CK
OUT
VREF

【図６】

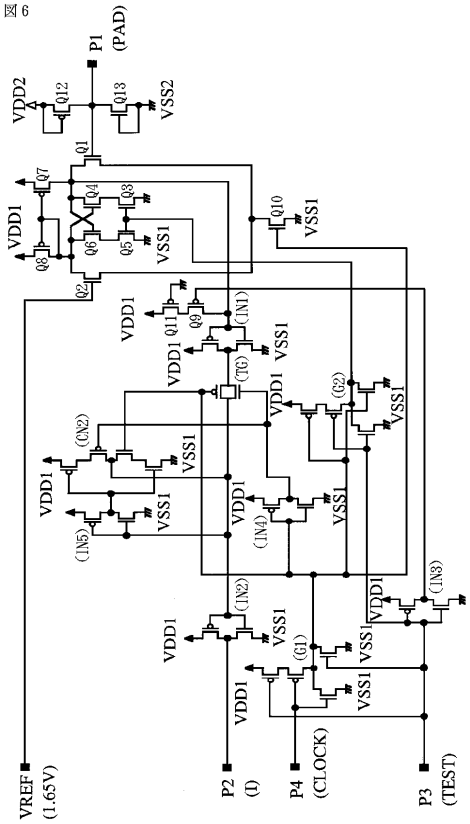
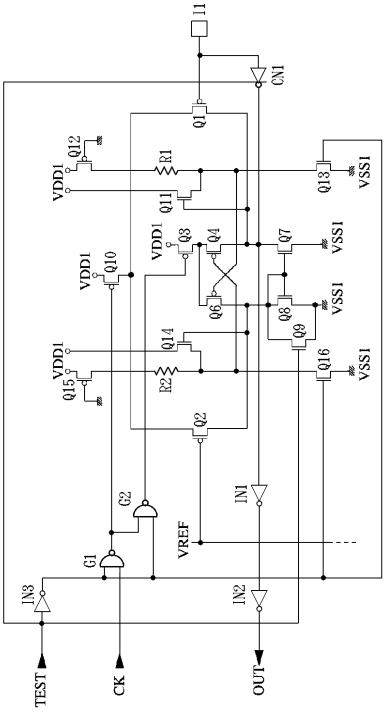


図６
P1
(PAD)
VDD2
Q12
Q13
VSS2
Q1
Q7
Q4
Q3
VDD1
Q10
VSS1
Q6
Q5
Q8
Q2
Q11
Q9
(IN1)
(T6)
(G2)
(CN2)
(IN5)
(IN4)
(IN3)
(IN2)
(G1)
VREF
(1.65V)
P2
(I)
P4
(CLOCK)
P3
(TEST)

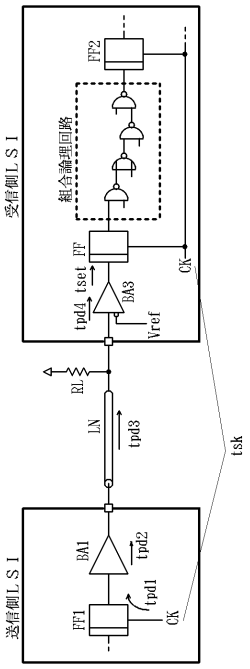
【図７】

図7


I1
CN1
Q1
Q12
R1
VDD1
Q11
Q13
VSS1
Q3
Q4
Q7
Q10
Q6
Q8
Q9
Q14
Q15
R2
Q16
Q2
C2
IN1
VREF
G1
IN3
IN2
TEST
CK
OUT1

【図８】

図8


受信側ＬＳＩ
FF2
組合論理回路
FF
CK
tset
tpd4
BA3
Vref
RL
LN
tpd3
tsk
送信側ＬＳＩ
BA1
tpd2
FF1
tpd1
CK

フロントページの続き

(56)参考文献 特開平０７－００７４０９（ＪＰ，Ａ）
特開平０７－２６４０１４（ＪＰ，Ａ）
特開平０７－２０２６５０（ＪＰ，Ａ）
特開平０５－１４５４０１（ＪＰ，Ａ）
特開平０２－１９６５０７（ＪＰ，Ａ）
特開平０３－０１１８２１（ＪＰ，Ａ）
特開平０５－１８３４７０（ＪＰ，Ａ）
特開平０７－２７３６３７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H03K 19/0175
H03K 19/0948
G01R 31/28