

申請日期： 92.11.30	IPC分類
申請案號： 92102181	

H01L21/60, H01L21/90, H01L21/821

(以上各欄由本局填註)

# 發明專利說明書

200414379

一、 發明名稱	中文	形成接觸窗的方法
	英文	
二、 發明人 (共2人)	姓名 (中文)	1. 廖子毅 2. 許建宙
	姓名 (英文)	1. Tzu-I Liao 2. Chien-Chou Hsu
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 台北市漢口街二段109巷16號4樓 2. 高雄市前鎮區瑞興街214巷6號
	住居所 (英文)	1. 2.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 友達光電股份有限公司
	名稱或姓名 (英文)	1.
	國籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中文)	1. 新竹科學工業園區新竹市力行二路一號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1.
	代表人 (中文)	1. 李焜耀
	代表人 (英文)	1.



0632-8949TWE(N1) ; AI01244 ; Phoelip.ptd

## 一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
------------	------	----	------------------

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得, 不須寄存。

## 五、發明說明 (1)

## 【發明所屬之技術領域】

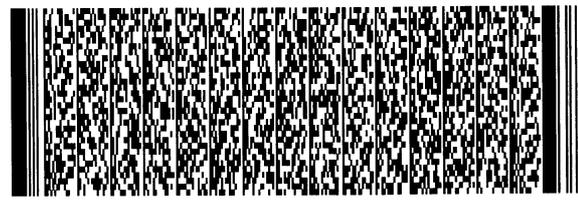
本發明係有關於一種半導體元件製程技術 (semiconductor-device-process-technology)，且特別有關於一種在半導體元件製程技術中製作接觸窗 (contact/via) 的方法。

## 【先前技術】

隨著半導體元件之應用日趨廣泛，製程技術也越來越精密及複雜化，為了能夠在有限的晶片表面上製作足夠的金屬內連線及增加電路的積集度，目前大多採用多層內連線的立體架構方式，以完成各個元件的連接，且在導電層之間以介電層來作為隔離各金屬內連線之介電材料，以避免元件之間產生非預期性的導通。在多重內連導線的製程中，除了需製作各層導線圖案之外，更需藉助接觸窗 (contact/via)，以作為元件接觸區與導線之間，或是多層導線之間聯繫的通道。

當積體電路的密度增加，元件的設計法則 (design rule) 也越趨細密。近年來隨著製程線寬的縮小，接觸窗的尺寸也越來越小，然而，為了提供內連線足夠低的阻值，一般都不會將接觸窗的深度變小，這樣一來，卻使得接觸窗的深寬比 (aspect ratio) 急速地增加。因此，如何形成覆蓋能力良好的接觸電極便成了製程上的重要課題。

第1a~1d圖繪示習知技術中製作接觸窗與阻障金屬的部分製程。第1a圖顯示在一半導體基底10上依序形成第一介電層12與第二介電層14。介電層的材質有很多種，在此



## 五、發明說明(2)

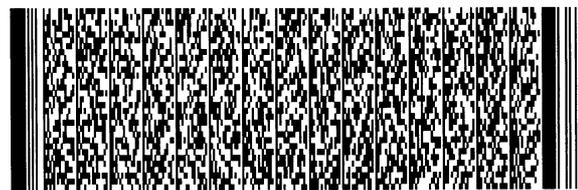
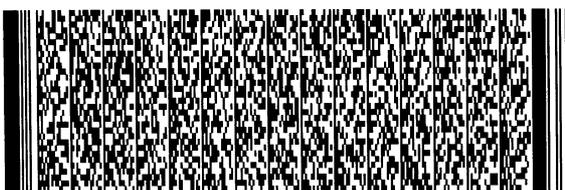
一較佳實施例，第二介電層14的材質為氮化矽；而第一介電層12的材質為氧化矽，其可用來避免內層介電層14的摻質擴散到基底10。

接著，請參照第1b圖，以一光阻圖案18作為罩幕，蝕刻第一介電層12與第二介電層14以形成一接觸窗16，請參照第1c圖。在此處，以濕蝕刻之方式蝕刻第一介電層12與第二介電層14。由於濕蝕刻是一等向性蝕刻，且第一介電層12與第二介電層14在濕蝕刻過程中蝕刻速率不同，所以不僅在所希望的垂直方向(vertical)進行，而在橫方向(lateral)也同樣發生，此時在第一介電層12與第二介電層14之介面，極易有底切(undercut)現象產生，會在接觸窗16中產生一突出物30。

之後，濺鍍一層金屬阻障層在接觸窗的側壁與底部。然而，如第1d圖所示，接觸窗16內的突出物30卻使得金屬層20的濺鍍非常困難，特別是在凹陷處的階梯覆蓋(step coverage)程度最差。此種阻障層覆蓋不足的現象將會導致接觸電阻上升，而且造成接觸電極的電性不穩。為了使接觸窗的製程技術臻於完善，實有必要針對上述問題謀求改善之道。

## 【發明內容】

有鑑於此，為了解決上述問題，本發明主要目的在於提供一種形成接觸窗的方法，運用濕蝕刻之特性形成一較佳之接觸窗開口(contact/via hole)結構，增加次層金屬



## 五、發明說明 (3)

層的覆蓋(coverage)能力，減少元件斷線或是阻抗的增加，且其免除習知技術易發生底切(undercut)及缺角(notch)等問題。

為達上述目的，本發明所述之形成接觸窗之方法，其製成至少包括以下步驟：

提供一基底，且該基底已完成半導體元件之製作；於上述之基底依序形成具有不同蝕刻速率之第一介電層與第二介電層；於上述第二介電層上形成具有與上述第二介電層不同蝕刻速率之第三介電層；在上述第三介電層上，形成一定義圖案之光阻層及以該光阻層為罩幕，以一蝕刻程序去除未被該光阻層所覆蓋之部分的第一介電層、第二介電層及第三介電層，直至裸露出該基底，以形成一接觸窗開口。

本發明亦關於另一形式之形成接觸窗之方法，其製成至少包括以下步驟：

提供一基底，在上述基底形成第一介電層；於上述第一介電層上形成未摻雜之第二介電層；於上述第二介電層上形成一具有摻雜之第三介電層；在上述第三介電層上，形成一圖案化之罩幕層；以及以一蝕刻程序去除未被該罩幕層所覆蓋之部分的第一介電層、第二介電層及第三介電層，直至裸露出該基底，以形成一接觸窗開口。

本發明之特徵係在增加一層第三介電層作為覆蓋層(cap layer)，藉由第一介電層、第二介電層及第三介電



## 五、發明說明(4)

層其在上述之蝕刻程序中，各層蝕刻速率之不同，以得到一較佳之接觸窗開口(contact/via hole)結構，以增加次層金屬層的覆蓋(coverage)能力，減少元件斷線或是阻抗的增加。利用本發明所述之方法可形成如第2a圖所示之兩側漸窄(taper)之接觸窗開口，也可以形成如第2b圖所示一底部(bottom)較窄之接觸窗開口。

本發明所形成之較佳接觸窗開口結構，係為具有一兩側漸窄(taper)之接觸窗開口(contact/via hole)，其特徵在於第一介電層底部開口距離d1係小於第一介電層表面開口距離d2，而第一介電層表面開口距離d2係小於第二介電層表面開口距離d3，且第二介電層表面開口距離d3係小於第三介電層表面開口距離d4。

本發明之另一特徵係本發明所述之具不同蝕刻速率的第一介電層、第二介電層及第三介電層，在本發明所述之蝕刻程序中，第一介電層之蝕刻速率大於第二介電層之蝕刻速率，而第三介電層其蝕刻速率也大於第二介電層之蝕刻速率。

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

## 【實施方式】

以下將配合圖式詳細說明本發明之較佳實施例。

請參照第3a圖，其顯示本實施例之起始步驟。本發明

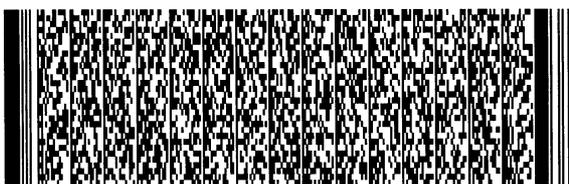


## 五、發明說明 (5)

之方法適用於一基底100，例如是一矽晶圓或是液晶顯示器中具電晶體側之基底，其上方可以形成任何所需的半導體元件，例如MOS電晶體、薄膜電晶體(例如非晶矽薄膜電晶體、低溫多晶矽薄膜電晶體及有機薄膜電晶體)、電阻、邏輯元件、或其他的主動或被動元件等，不過此處為了簡化圖式，僅以平整的基板表示之。在本發明的敘述中，"基底"一詞係包括半導體晶圓上已形成的元件與覆蓋在晶圓上的各種塗膜。

首先，在基底上覆蓋一層第一介電層102，厚度可為約1000~6000埃。此第一介電層可擇自於矽之氮化物、矽之氧化物、矽之氮氧化物、磷矽玻璃、硼矽玻璃、硼磷矽玻璃、未摻雜之矽玻璃及其組合物所組成之族群中，在此可為氧化矽層。此第一介電層的沉積方式可利用熱氧化法、化學氣相沈積法、旋塗式玻璃法或是高密度電漿法。

接下來，依序形成具有不同蝕刻速率之第二介電層104與第三介電層106於第一介電層102上，第二介電層104與第三介電層106可擇自於矽之氮化物、矽之氧化物、矽之氮氧化物、磷矽玻璃、硼矽玻璃、硼磷矽玻璃、未摻雜之矽玻璃及其組合物所組成之族群中。形成之方法可為化學氣相沈積法、旋塗式玻璃法或是高密度電漿法。由以下敘述可知，為了形成具兩側漸窄的結構，本發明需要使第三介電層(上層)106的蝕刻速率大於第二介電層(下層)104，且第三介電層106與第二介電層104的性質最好差不因此多，第三介電層106的較佳材質可為摻雜之氮化物(doped

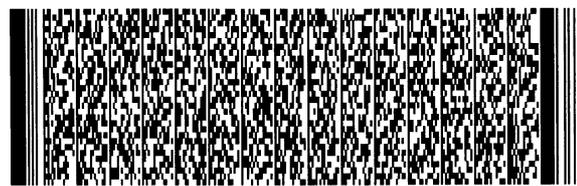
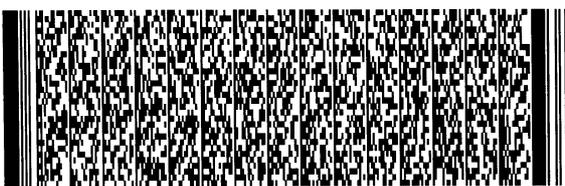


## 五、發明說明 (6)

nitride)，且第二介電層104的較佳材質可為未摻雜之氮化物(undoped nitride)。同樣也可以是第二介電層104為四乙氧基矽烷(TEOS)氧化層，第三介電層106為硼磷-四乙氧基矽烷(BP-TEOS)氧化層。上述第二介電層的厚度可介於200至1500埃之間，而上述第三介電層的厚度可介100至1500埃之間。

接著，請參照第3b圖，形成一光阻圖案層110於第三介電層上，以此光阻圖案層110為罩幕，以一蝕刻程序去除未被該光阻層110所覆蓋之部分的第二介電層102、第二介電層104及第三介電層106，直至裸露出該基底100，以形成一接觸窗開口108，請參照第3c圖。在此處，上述蝕刻程序，對於各層介電層分別具有不同的濕式蝕刻速率，且對第一介電層102的蝕刻速率要大於對第二介電層104的蝕刻速率、對於第三介電層106的蝕刻速率要大於第二介電層104的蝕刻速率，才可形成具有一兩側漸窄(taper)之接觸窗開口108，其結構具有第一介電層底部開口距離 $d_1$ 係小於第一介電層表面開口距離 $d_2$ ，而第一介電層表面開口距離 $d_2$ 係小於第二介電層表面開口距離 $d_3$ ，且第二介電層表面開口距離 $d_3$ 係小於第三介電層表面開口距離 $d_4$ 。

在接觸窗(contact/via)的蝕刻中，一般係使用乾式蝕刻或是濕式蝕刻來進行。但是在具多層結構的接觸窗蝕刻中(尤其是具有氧化矽介電層的結構)，若是單以乾蝕刻來進行，很容易發生光阻燃燒(burning)的現象；但是若單以濕蝕刻來進行，線寬的控制較不精密，且由於各層蝕

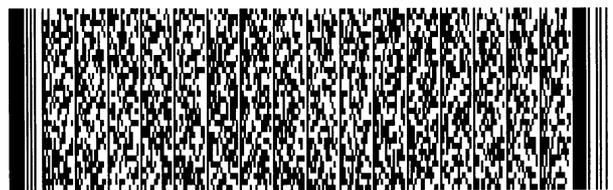
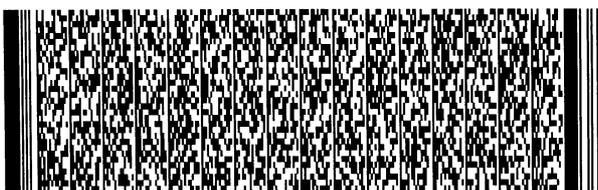


## 五、發明說明 (7)

刻速率不同，蝕刻條件不易控制，容易產生如底切(undercut)等結構缺陷發生。

為解決上述現象發生，本發明接連使用一乾蝕刻及一溼蝕刻做為蝕刻程序。首先利用乾蝕刻對介電層進行蝕刻，在蝕刻的過程中，此乾蝕刻可以蝕刻至第一介電層中(未露出基板)，或是蝕刻至露出基板。乾蝕刻目的在行進一非等向性蝕刻以露出一缺口，以利控制後續之濕蝕刻對不同蝕刻速率的各層來進行蝕刻，達到易於控制接觸窗開口108輪廓的目的。所使用之乾蝕刻程序，可包含利用反應性離子蝕刻(reactive ion etch, RIE)之乾蝕刻法，所使用之蝕刻氣體可為含氟碳的氣體，如四氟化碳( $\text{CF}_4$ )、三氟甲烷( $\text{CHF}_3$ )、六氟乙烷( $\text{C}_2\text{F}_6$ )、八氟環丁烷( $\text{C}_4\text{F}_8$ )及二氟甲烷( $\text{CH}_2\text{F}_2$ )，亦可使用六氟化硫( $\text{SF}_6$ )當作氟之來源氣體。所使用之濕蝕刻程序，可以是浸沒於適當的化學溶液中，或是將化學溶液噴灑至其上。對於摻雜或未摻雜之矽氮化物，可以使用經加熱的磷酸(phosphoric acid)來進行蝕刻，熱磷酸對於摻雜或未摻雜之矽氮化物之蝕刻速率有所不同，一般而言熱磷酸對於未摻雜之矽氮化物之蝕刻速率較摻雜之矽氮化物之蝕刻速率來的慢。對於矽氧化物之蝕刻，可以使用氫氟酸(hydrofluoric acid)或是BOE緩衝溶液(氫氟酸與氟化氫(ammonium fluoride)的混合溶液)。上述蝕刻程序對於如第三介電層與第二介電層的蝕刻速率比約在100比1至2比1之間。

此蝕刻步驟可進行到第一介電層102下的基底100，也

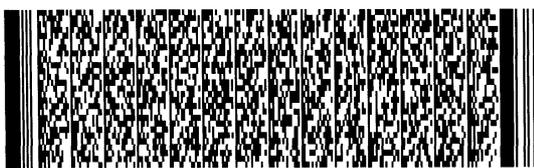


## 五、發明說明 (8)

就是以該基底作為蝕刻停止層。上述接觸窗開口108可露出一下層內連線或是露出一元件接觸區。最後，移除做為蝕刻的光阻圖案層110，請參照第3d圖，形成一具有兩側漸窄(taper)接觸窗開口108。如此一來，後續沈積的金屬層120將有更好的階梯覆蓋率。

綜上所述，本發明提出一種形成接觸窗的方法以改善後續沉積之膜層其階梯覆蓋率。藉由本發明的方法可以增加次層金屬層的覆蓋(coverage)能力，有效避免習知技術中因為階梯覆蓋不良所導致元件斷線或是阻抗的增加的問題，並確保元件具有高可靠度的接觸。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 四、中文發明摘要 (發明名稱：形成接觸窗的方法)

本發明揭示一種接觸窗(contact/via)的製造方法。首先提供一基底，在上述基底上依序形成具有不同蝕刻速率之第一介電層、第二介電層及第三介電層。接著，在上述第三介電層上，形成一圖案化之罩幕層。以一蝕刻程序去除未被該罩幕層所覆蓋之部分的第一介電層、第二介電層及第三介電層，直至裸露出該基底，以形成一接觸窗開口。本發明之目的在於提供一個較佳之接觸窗開口(contact/via hole)結構，增加次層金屬層的覆蓋(coverage)能力，以減少元件斷線或是阻抗的增加。

伍、(一)、本案代表圖為：第2a圖。

(二)、本案代表圖之元件代表符號簡單說明：

100~ 基底；

102~ 第一介電層；

104~ 第二介電層；

## 六、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：形成接觸窗的方法)

106~ 第三介電層；

108~ 接觸窗；

d1~ 第一介電層底部開口距離；

d2~ 第一介電層表面開口距離；

d3~ 第二介電層表面開口距離；以及

d4~ 第三介電層表面開口距離。

六、英文發明摘要 (發明名稱：)



## 圖式簡單說明

1. 一種形成接觸窗的方法，至少包含下列步驟：

提供一基底，在上述基底依序形成具有不同蝕刻速率之第一介電層與第二介電層；

於上述第二介電層上形成具有與上述第二介電層不同蝕刻速率之第三介電層；

於上述第三介電層上形成一圖案化之罩幕層；以及

以一蝕刻程序去除未被該罩幕層所覆蓋之部分的第一介電層、第二介電層及第三介電層，直至裸露出該基底，以形成一接觸窗開口。

2. 如申請專利範圍第1項所述之形成接觸窗的方法，其中上述基底係一液晶顯示器中具電晶體側之基底。

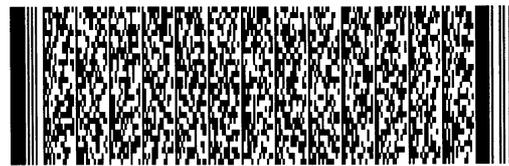
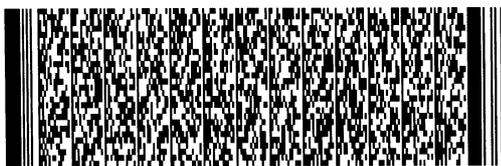
3. 如申請專利範圍第1項所述之形成接觸窗的方法，其中上述基底係一半導體元件基底。

4. 如申請專利範圍第1項所述之形成接觸窗的方法，其中上述蝕刻程序係以上述基底作為蝕刻停止層。

5. 如申請專利範圍第1項所述之形成接觸窗的方法，其中上述接觸窗開口露出一下層內連線。

6. 如申請專利範圍第1項所述之形成接觸窗的方法，其中上述接觸窗開口露出一元件接觸區。

7. 如申請專利範圍第1項所述之形成接觸窗的方法，其中上述第一介電層、第二介電層及第三介電層係分別擇自於矽之氮化物、矽之氧化物、矽之氮氧化物、磷矽玻璃、硼矽玻璃、硼磷矽玻璃、未摻雜之矽玻璃及其組合物所組成之族群中，且在上述蝕刻程序中第一介電層其蝕刻速



## 圖式簡單說明

率大於第二介電層之蝕刻速率、第三介電層其蝕刻速率大於第二介電層之蝕刻速率。

8. 如申請專利範圍第7項所述之形成接觸窗的方法，其中在上述蝕刻程序對第三介電層與第二介電層的蝕刻速率比約在100比1至2比1之間。

9. 如申請專利範圍第1項所述之形成接觸窗的方法，其中上述蝕刻程序包含乾蝕刻及溼蝕刻，以接連的順序完成。

10. 如申請專利範圍第1項所述之形成接觸窗的方法，其中上述第一介電層的厚度介於1000至6000埃之間。

11. 如申請專利範圍第1項所述之形成接觸窗的方法，其中上述第二介電層的厚度介於200至1500埃之間。

12. 一種形成接觸窗的方法，至少包含下列步驟：

提供一基底，在上述基底形成第一介電層；

於上述第一介電層上形成未摻雜之第二介電層；

於上述第二介電層上形成一具有摻雜之第三介電層；

在上述第三介電層上，形成一圖案化之罩幕層；以及

以一蝕刻程序去除未被該罩幕層所覆蓋之部分的第一介電層、第二介電層及第三介電層，直至裸露出該基底，以形成一接觸窗開口。

13. 如申請專利範圍第12項所述之形成接觸窗的方法，其中上述基底係一液晶顯示器中具電晶體側之基底。

14. 如申請專利範圍第12項所述之形成接觸窗的方法，其中上述基底係一半導體元件基底。



## 圖式簡單說明

15. 如申請專利範圍第12項所述之形成接觸窗的方法，其中上述蝕刻程序係以上述基底作為蝕刻停止層。

16. 如申請專利範圍第12項所述之形成接觸窗的方法，其中第一介電層係為氧化矽化合物。

17. 如申請專利範圍第12項所述之形成接觸窗的方法，其中第二介電層係為未摻雜之氮化矽化合物。

18. 如申請專利範圍第12項所述之形成接觸窗的方法，其中第三介電層係為摻雜之氮化矽化合物。

19. 如申請專利範圍第12項所述之形成接觸窗的方法，其中上述接觸窗開口露出一下層內連線。

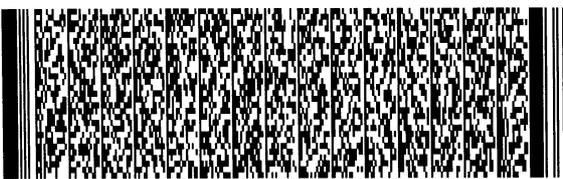
20. 如申請專利範圍第12項所述之形成接觸窗的方法，其中上述接觸窗開口露出一元件接觸區。

21. 如申請專利範圍第12項所述之形成接觸窗的方法，其中在上述蝕刻程序對第三介電層與第二介電層層的蝕刻速率比約在100比1至2比1之間。

22. 如申請專利範圍第12項所述之形成接觸窗的方法，其中上述蝕刻程序包含乾蝕刻及溼蝕刻，以接連的順序完成。

23. 如申請專利範圍第12項所述之形成接觸窗的方法，其中上述第一介電層的厚度介於1000至6000埃之間。

24. 如申請專利範圍第12項所述之形成接觸窗的方法，其中上述第二介電層的厚度介於200至1500埃之間。



## 六、申請專利範圍

第1a~1d圖為一系列剖面圖，用以說明習知製作接觸窗的流程。

第2a~2b圖為本發明較佳實施例可形成之接觸窗剖面圖。

第3a~3d圖為一系列剖面圖，用以說明本發明一較佳實施例製作接觸窗的流程。

## 【符號說明】

10~基底；

12~第一介電層；

14~第二介電層；

16~接觸窗；

18~光阻圖案層；

20~金屬層；

30~突出物；

100~基底；

102~第一介電層；

104~第二介電層；

106~第三介電層；

108~接觸窗；

110~光阻圖案層；

120~金屬層；

d1~第一介電層底部開口距離；

d2~第一介電層表面開口距離；

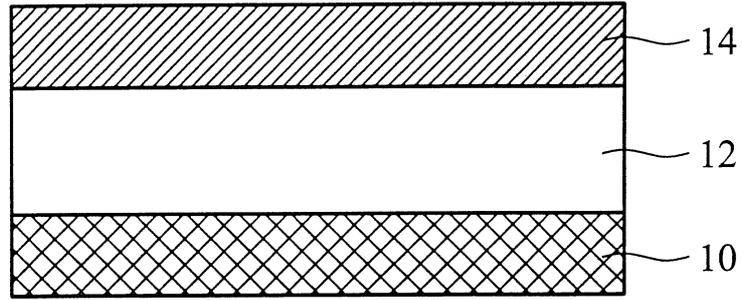
d3~第二介電層表面開口距離；以及



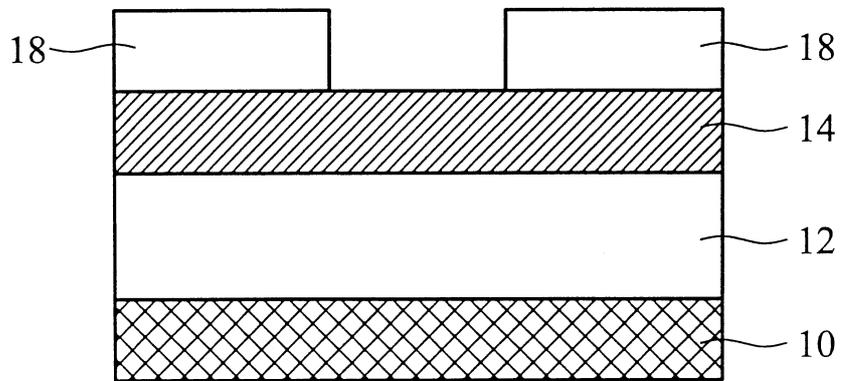
六、申請專利範圍

d4~ 第三介電層表面開口距離。

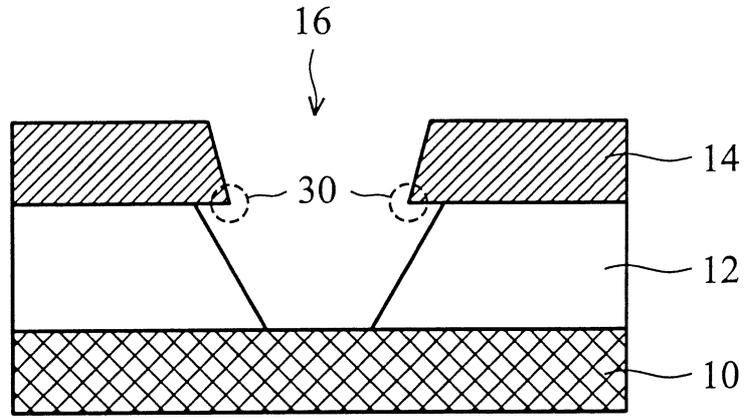




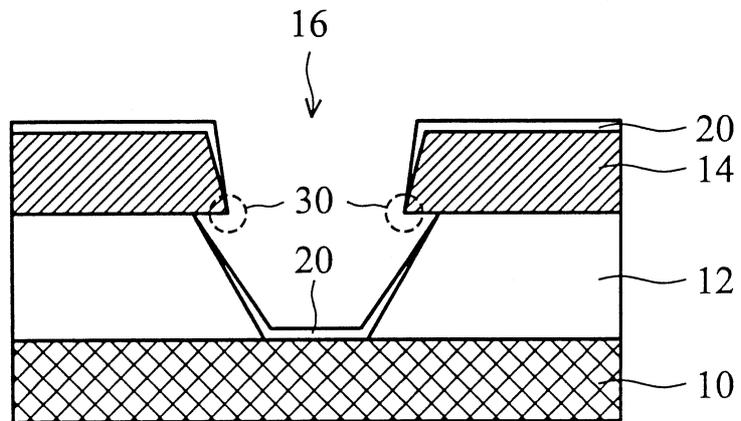
第 1a 圖



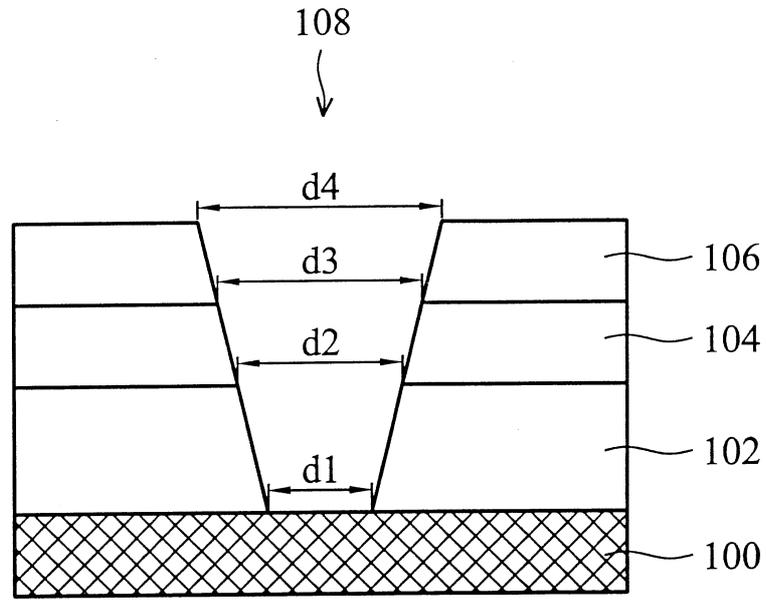
第 1b 圖



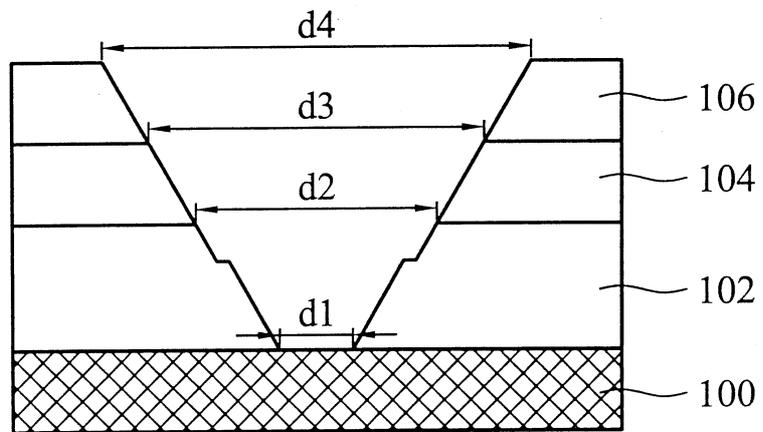
第 1c 圖



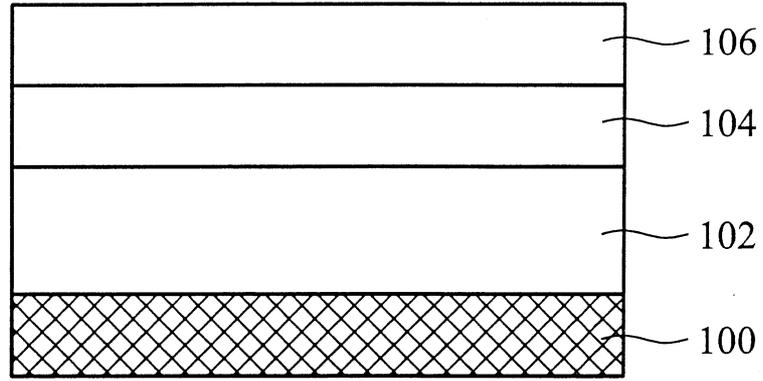
第 1d 圖



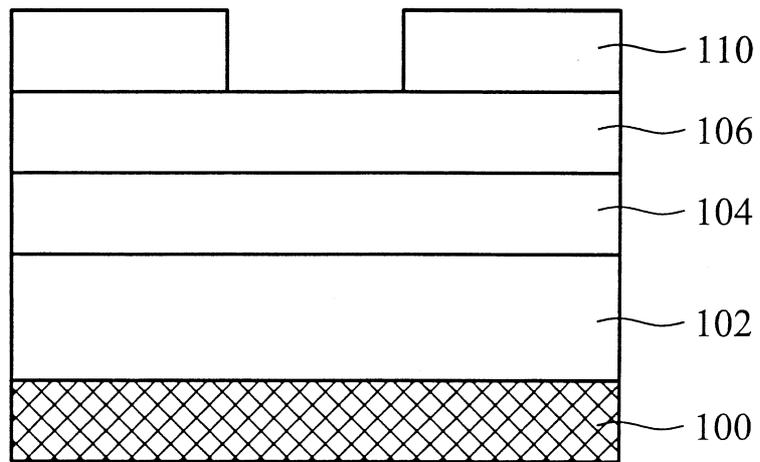
第2a圖



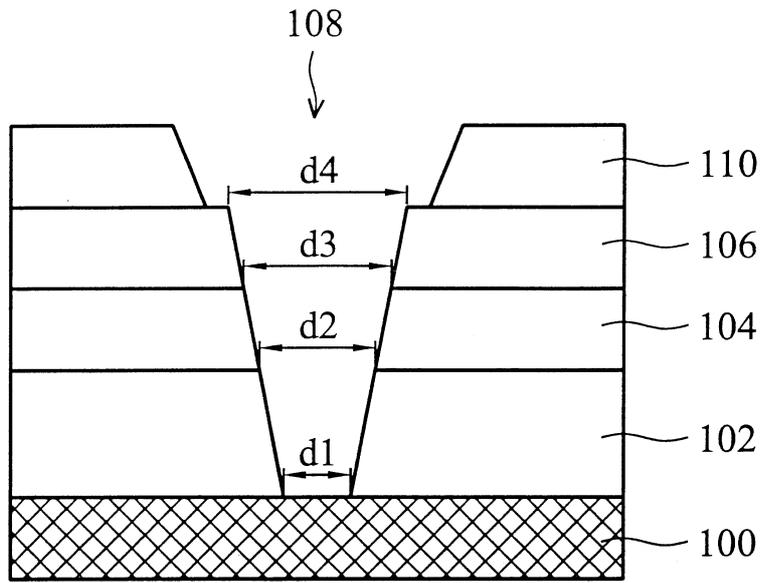
第2b圖



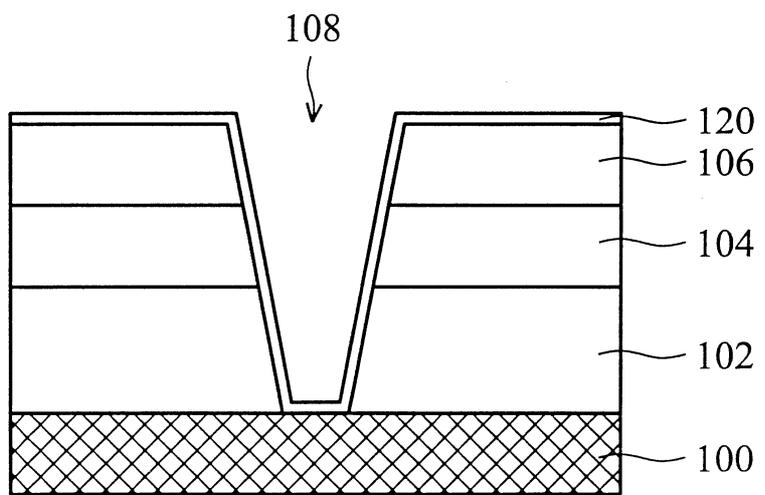
第 3a 圖



第 3b 圖



第3c圖



第3d圖