

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年5月1日(01.05.2014)

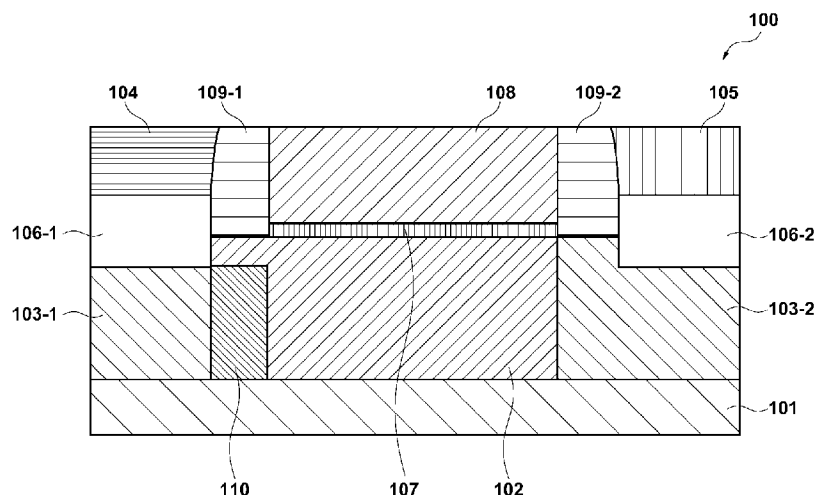


(10) 国際公開番号
WO 2014/064737 A1

- (51) 国際特許分類:
H01L 29/66 (2006.01) H01L 29/78 (2006.01)
H01L 21/336 (2006.01) H01L 29/786 (2006.01)
- (21) 国際出願番号: PCT/JP2012/006858
- (22) 国際出願日: 2012年10月25日(25.10.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): 国立大学法人東北大学(TOHOKU UNIVERSITY) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 Miyagi (JP).
- (72) 発明者; および
- (71) 出願人(米国についてのみ): 寺本章伸(TERAMOTO, Akinobu); 〒9808577 宮城県仙台市青葉区片平二丁目1番1号国立大学法人東北大学内 Miyagi (JP).
- (74) 代理人: 大塚 康德, 外(OHTSUKA, Yasunori et al.); 〒1020094 東京都千代田区紀尾井町3番6号 紀尾井町パークビル7F Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告(条約第21条(3))

(54) Title: ACCUMULATION-MODE MOSFET

(54) 発明の名称: Accumulation型MOSFET



(57) Abstract: The main problem to be addressed by the invention is to provide an accumulation-mode MOSFET such that the ratio of drain current when the MOSFET is off (0 V) to drain current when the MOSFET is on (power supply voltage) is large, and such that current driving performance when the MOSFET is on is high. This problem is resolved by providing a tunnel electron emission section and a thermionic emission section in the source region in the accumulation-mode MOSFET.

(57) 要約: 本発明の主たる課題は、MOSFETのOFF時(零V)とON時(電源電圧)におけるドレイン電流の比が大きく、且、ON時の電流駆動能力も大きい Accumulation型MOSFETを提供することである。上記課題は、Accumulation型MOSFETにおいて、トンネル電子放出部と熱電子放出部とをソース領域部に設けることで解決される。



WO 2014/064737 A1

明 細 書

発明の名称 : Accumulation型MOSFET

技術分野

[0001] 本発明は、Accumulation型MOSFETに関するものである。

背景技術

[0002] 最近の半導体集積回路装置（以後、「LSI装置」と記すこともある）は、微細化技術の進展に伴ってトランジスタなどの機能素子が膨大な個数（ $10^9 \sim 10^{12}$ 個）で高密度に集積されているため、その消費電力は大きく、昨今の省エネ時代にはそぐわない状況になりつつある。

[0003] LSI装置の消費電力の低減には電源電圧の低減が必須であり、このことは、半導体分野に限らず半導体搭載製品分野において重要で且つその解決に急務を要する課題である。LSI装置の電源電圧を低減させるには、その主要構成電子要素であるMOSFET（Metal-Oxide-Semiconductor Field-Effect-Transistor）の電源電圧を出来る限り小さくする必要がある。同時にON時の電流駆動能力を十分大きくすることも重要な課題である。そのためには、MOSFETのOFF時（零V）とON時（電源電圧）におけるドレイン電流の比を大きくし、閾値電圧をできるだけ小さくする必要がある。

[0004] 電流駆動能力を大きくするには、所謂、Inversion Mode MOSFET（以後、「I型MOSFET」と記すこともある）より、Accumulation Mode MOSFET（以後、「A型MOSFET」と記すこともある）の方が有効であるとされる（非特許文献1、2）。

しかし、非特許文献1、2に記載のA型MOSFETでは、熱電子放出によるキャリア移動であるためS値（ドレイン電流を一桁上げるためのゲート電圧）が60mV/dec以上（室温）である。

[0005] これに対して、トンネル電子放出を行う構造にして、46mV/decのS値を実現した例がある（非特許文献3）。しかし、非特許文献3に記載の例では、S値は46mV/decを実現しているが、ON時の電流駆動能力が通常の熱電

子放出タイプに比べて桁違いに小さい。

先行技術文献

非特許文献

[0006] 非特許文献1: Impact of Improved High-Performance Si(110)-Oriented Metal-Oxide-Semiconductor Field-Effect Transistors Using Accumulation-Mode Fully Depleted Silicon-on-Insulator Devices. W. Cheng et al., Jpn. J. Appl. Phys., vol.45, p.3110, 2006.

非特許文献2: Performance Comparison of Ultrathin Fully Depleted Silicon-on-Insulator Inversion-, Intrinsic-, and Accumulation-Mode Metal-Oxide-Semiconductor Field-Effect Transistors. R. Kuroda et al., Jpn. J. Appl. Phys., vol.47, p.2668, Apr 2008.

非特許文献3: Si Tunnel Transistors with a Novel Silicided Source and 46mV/dec Swing. J. Kanghoon et al., in 2010 Symposium on VLSI Technology, 201, p.121.

発明の概要

発明が解決しようとする課題

[0007] 本発明は、上記点に鑑みなされたもので、その課題は、MOSFETのOFF時（零V）とON時（電源電圧）におけるドレイン電流の比が大きく、且、ON時の電流駆動能力も大きいAccumulation型MOSFETを提供することである。本発明の課題の別な側面は、スイッチング特性と電流駆動能力に優れたAccumulation型MOSFETを提供することである。

課題を解決するための手段

[0008] 本発明の一つの側面は、トンネル電子放出部と熱電子放出部とをソース領域部に設けたことを特徴とするAccumulation型MOSFETにある（第一の発明）。

[0009] 本発明のもう一つの側面は、前記第一の発明に於いて、前記トンネル電子放出部と前記熱電子放出部とで2層構造を構成しているAccumulation型MO

S F E Tにある（第二の発明）。

[0010] 本発明の更に別の側面は、O F F状態からO N状態への遷移時にはトンネル電流によって駆動し、O N状態では、熱電子電流によって駆動することを特徴とするAccumulation型M O S F E Tの駆動方法にある（第三の発明）。

発明の効果

[0011] 本発明によれば、O F F時（零V）とO N時（電源電圧）におけるドレイン電流の比が大きく、且、O N時の電流駆動能力も大きいAccumulation型M O S F E T及びその駆動方法を提供することが出来る。更には、スイッチング特性と電流駆動能力に優れたAccumulation型M O S F E Tを提供することができる。

[0012] 本発明のその他の特徴及び利点は、添付図面を参照とした以下の説明により明らかになるであろう。なお、添付図面においては、同じ若しくは同様の構成には、同じ参照番号を付す。

図面の簡単な説明

[0013] 添付図面は明細書に含まれ、その一部を構成し、本発明の実施の形態を示し、その記述と共に本発明の原理を説明するために用いられる。

[0014] [図1]図1は本発明の好適な実施態様例の一つのAccumulation型M O S F E Tの構造の主要部を説明するために模式的に示す模式的構造説明図である。

[図2]図2は、閾値電圧（スイッチング時）付近の電流経路を説明するための模式的説明図である。

[図3]図3は、O N状態（動作状態）での電流経路を説明するための模式的説明図である。

発明を実施するための形態

[0015] 図1は、本発明の好適な実施態様例の一つのAccumulation型M O S F E Tの構造の主要部を説明するために模式的に示す模式的構造説明図である。

[0016] 図1に示すA型M O S F E T 100は、S i O₂（酸化シリコン）等で構成されるB O X（Buried oxide）層101上にチャネル領域が形成されるn⁻シリコン（S i）半導体領域（以後、単に「n⁻領域」と記すこともある）102、

オーミックコンタクトを形成するための2つの n^+ シリコン (S i) 半導体領域 (以後、単に「 n^+ 領域」と記すこともある) 103-1、103-2、を備えている。

[0017] BOX層101は、シリコン (S i) 半導体基板を用いて通常の半導体製造技術によって設けられる。その典型例としては、例えば、貼り合わせ法により作成されたSOI (Silicon on Insulator) 基板が挙げられる。あらかじめ表面を酸化して形成した所定厚の SiO_2 層を表面に有するS i半導体基板を2枚用意し、表面の SiO_2 層同士を内側にして張り合わせる。その後、一方のS i半導体基板のS i半導体領域の表面をCMP等で研磨して所定厚のS i半導体領域層とする。他には、S i半導体基板に酸素をイオン注入・熱処理して形成されるSOI基板がある。

[0018] n^+ 領域 (ソース領域) 103-1には、ソース電極104が、シリサイド領域106-1を介して、 n^+ 領域 (ドレイン領域) 103-2には、ドレイン電極105が、シリサイド領域106-2を介して、夫々電氣的に接続されている。

[0019] n^- 領域102上には、ゲート絶縁層107を介してゲート電極108が設けられてある。

[0020] ゲート絶縁層107とゲート電極108は、絶縁領域109-1、109-2によってソース電極104、ドレイン電極105、シリサイド領域106-1、106-2と電氣的に絶縁されている。

[0021] シリサイド領域106-1は、「ソース電極104／シリサイド領域106-1／ n^+ 領域103-1／ n^- 領域102」において、オーミックコンタクトが形成されるように、また、シリサイド領域106-2は、「ドレイン電極105／シリサイド領域106-2／ n^+ 領域103-2／ n^- 領域102」において、オーミックコンタクトが形成されるように、それぞれが所望の条件に従って設けられる。

[0022] n^+ 領域103-1、103-2は、シリサイド領域106-1、106-2を設けることで、ソース電極104と n^- 領域102との間、ドレイン電極10

5とn領域102の間、で良好なオーミックコンタクトが形成さるのであれば、必ずしも必要とされる訳ではない。

[0023] 図1に示すA型MOSFET100の構造的特徴は、n⁺領域103-1に接触した状態でn領域102中にp⁺埋め込み領域110が設けられていることである。また、p⁺埋め込み領域110は、n領域102の一部を挟んで絶縁領域109-1と対向している。

[0024] ソース電極104、ドレイン電極105は、半導体の分野で通常に使用されている金属、例えば、タングステン(W)、アルミニウム(Al)、銅(Cu)、ニッケル(Ni)等やポリシリコン(poly-Si)などで構成される。

[0025] シリサイド領域106は、n⁺領域103とソース電極104及びドレイン電極105との電氣的接触がオーミックコンタクトとなるように適切な構成材料が選択される。

[0026] シリサイド領域106は、所定厚のシリサイド領域106が形成できるに十分な厚みでBOX層101上に設けたn⁺領域上にソース又はドレイン電極の一部にもなることがある金属層を所定厚にスパッタ法等で設け、その後、熱処理を行って、n⁺領域中のシリコン(Si)と金属層の金属(以後、「M」と記すこともある)の熱拡散により出来た拡散領域である。この金属層には、低仕事関数の金属、例えば、ホルミウム(Ho)、エルビウム(Er)、サマリウム(Sm)、イットリウム(Yb)、等が好ましく使用される。特に、ホルミウム(Ho)、エルビウム(Er)が望ましい。

[0027] シリサイド領域106-1とシリサイド領域106-2とは、適切なオーミックコンタクトが形成されるようになるのであれば、その構成材料が同じでも異なっても差し支えない。

[0028] n領域102とゲート電極108の間に介在するゲート絶縁層107は、酸化シリコン、窒化シリコン、酸窒化シリコン等の緻密で絶縁性に優れた電氣的絶縁材料によって構成される。

[0029] ゲート電極108は、通常、ポリシリコン(poly-Si)で構成され

るが、その他、タングステン（W）、タンタル（Ta）などの高融点金属、チタン（Ti）、アルミニウム（Al）などの金属およびその化合物で構成することも出来る。

[0030] 図1に示すA型MOSFETは、通常の半導体技術によって作成される。図示されたMOSFET 100は、p型シリコン基板を用いて形成された支持基板（不図示）の表面に例えば50nm程度の厚さに設けたBOX層 101上に形成されている。BOX層 101上には、n-半導体領域 102が形成され、その内部にはチャネル領域が形成される。n-半導体領域 102は、例えば50nmの膜厚を有している。n-型半導体領域 102の両側には、当該チャネル領域と同一導電型で、不純物原子濃度がチャネル領域よりも高いn⁺半導体によって構成されたソース領域（n⁺領域 103-1）・ドレイン領域（n⁺領域 103-2）を備えている。

[0031] n-半導体領域 102上には、例えば電氣的等価膜厚（EOT）で7.5nmの膜厚の酸化膜によって構成されたゲート絶縁層 107が設けられ、当該ゲート絶縁層 107上には、p⁺ポリシリコンからなるゲート電極 108が設けられる。図示されたnチャネル・トランジスタのゲート長、ゲート幅は、それぞれ例えば0.6μm、20.0μmとされる。

[0032] ここで、n-半導体領域 102の平均的な不純物原子濃度は、例えば、 $2 \times 10^{17} \text{ cm}^{-3}$ 程度であり、n⁺領域 103-1、103-2の平均的な不純物原子濃度は、例えば $2 \times 10^{20} \text{ cm}^{-3}$ 程度とされる。

[0033] ソース領域 103-1、ドレイン領域 103-2及びシリサイド領域 106-1、106-2は、n⁺領域上に低仕事関数金属層とソース電極、ドレイン電極になる酸化防止金属層（本発明において典型的に採用されるのはタングステン（W）である）とを積層した状態で熱処理を施すことによって、前記n⁺領域と前記低仕事関数金属層との間にシリサイド化反応を起こすことで形成される。

[0034] ここで、低仕事関数金属層の材料は、ソース領域 106-1、ドレイン領域 106-2を構成するn⁺シリコンの伝導帯の底のエネルギーの絶対値に0.

3 e Vを加えた値よりも小さな仕事関数を持つ金属材料から選択するのが望ましい。そのような金属材料としては、特にホルミウム (H o) 或いはエルビウム (E r) であることが好ましい。

[0035] この場合、不純物の混入を極力抑えるため、金属層形成の方法はスパッタリング法が望ましい。例えば、ホルミウム (H o) を A r 雰囲気でのスパッタリングによって 1 0 n m 厚に成膜する。スパッタリングの雰囲気は X e でもよく、前術したようにホルミウム (H o) の代わりにエルビウム (E r) でもよい。7 0 0 °C を超える材料としては、前述したとおり、ホルミウム (H o) 又はエルビウム (E r) が望ましいが、サマリウム (S m)、イッテルビウム (Y b) 等、他の希土類金属も使用可能である。

[0036] 低仕事関数金属層は、ソース領域 1 0 3 - 1、ドレイン領域 1 0 3 - 2 が n 型シリコンの場合は、シリコンの伝導帯の底のエネルギーの絶対値に 0. 3 e V を加えた値よりも絶対値の小さな仕事関数をもつ金属材料によって形成されれば良い。

[0037] この様な材料の選択により、n-半導体領域 1 0 2 との接触抵抗を $1 \times 10^{-9} \Omega \text{ cm}^2$ 以下に抑え、n⁺領域であるソース領域 1 0 3 - 1、ドレイン領域 1 0 3 - 2 との直列抵抗と合わせてもトランジスタの直列抵抗としては 1. 0 $\Omega \mu\text{m}$ となるようにすることができる。

[0038] 低仕事関数金属層は、金属形成装置内でその一部がソース領域 1 0 3 - 1、ドレイン領域 1 0 3 - 2 を形成する n⁺領域の表面に形成される。

[0039] 低仕事関数金属層の形成後、大気に曝さないように例えば、減圧下の窒素、アルゴン等の不活性ガス雰囲気中を搬送して酸化防止金属層の形成チャンバー内に搬入し、ソース領域 1 0 3 - 1、ドレイン領域 1 0 3 - 2 を形成するための n⁺領域の露出している表面全体に酸化防止金属層を形成する。この場合の酸化防止金属層の形成は、例えば、タングステン (W) を用い、スパッタチャンバー内のアルゴン (A r) 雰囲気中で、タングステン (W) を 3 0 0 n m スパッタリングして行われる。

[0040] この後、低仕事関数金属層と酸化防止金属層を、例えば 6 0 0 °C で熱処理

(アニール)することによって前述したように、ホルミウム (Ho) シリサイド等のシリサイド層領域を形成する。アニールは、例えば、ArまたはN₂雰囲気中、300～700℃で、2～60分行うのが好ましい。より好ましくは、ホルミウム (Ho)、エルビウム (Er) の場合、600℃で、10分程度アニールするのが望ましい。上記のようにアニールすることによって、ホルミウム (Ho) 層又はエルビウム (Er) 層の全体がシリサイド化され、バリアハイトも最小になる。700℃を超えると、タングステン (W) とホルミウム (Ho) 又はエルビウム (Er) との化学反応が生じ、その結果バリアハイトが急増してしまうので、700℃を超える温度でのアニールは好ましくはない。

[0041] このとき、酸化防止金属層の厚さを、低仕事関数金属層の厚さよりも厚くすることにより、シリサイド層の表面粗さを低減することができ、pn接合の破壊を防止することが出来る。例えば、W層がないと、アニール時に、低仕事関数金属層を構成するホルミウム (Ho) またはエルビウム (Er) が酸化されてしまい、所望の低仕事関数を有する金属の高品質なシリサイド薄膜が形成できない。これに対して、W層を設けると、ホルミウム (Ho) またはエルビウム (Er) の酸化が抑えられて、形成されるシリサイド薄膜に欠陥が生じないか実質的に生じないので、所望の低仕事関数を有する金属の高品質なシリサイド薄膜を形成することが出来る。詰り、結果として、低仕事関数の高品質なシリサイド薄膜が形成される。

[0042] 低仕事関数金属層の構成金属がアニール時に移動し形成されるシリサイド領域とn⁺シリコン層領域との界面における平坦性の形成を阻害しないようにするための酸化防止金属層の厚さは、低仕事関数金属層の厚さによって適宜選択される。例えば、酸化防止金属層がW層の場合、好ましくは、W層の厚さが100nm以上あるのが望ましく、その場合に得られる効果は著しい。

[0043] n⁻半導体領域102の一部であって、絶縁領域109-1とp⁺埋め込み領域110とによって挟持されている部分の厚み(t)、換言すれば、絶縁領域109-1の底面とp⁺埋め込み領域110の上面との距離(L)は、n⁻半導体領

域 102 内に形成されるチャネル領域の厚み程度とされる。本発明においては、厚み (t) (距離 (L)) は、ゲート絶縁層 107 下に形成される蓄積層の厚さ程度に設定されることが好ましく、より好ましくは数 nm ~ 10 nm 程度に設定するのが望ましい。数 nm より薄くなりすぎると、ON 状態にしたとき n^+ 領域 103-1) あるいは、シリサイド領域 (106-1) から熱電子放出で電子が放出されなくなり、ON 電流が小さくなってしまう。10 nm 程度以上に厚くなると所謂トンネル効果が期待されなくなる。

[0044] 以上、A 型 n チャネル・MOSFET に、本発明を適用した場合について説明したが、本発明は、A 型 p チャネル・MOSFET にも同様に適用できる。又、上記においては、半導体として Si 半導体の例で説明したが、本発明では、他の半導体、例えば、Ge、SiGe、SiC 等の半導体も採用できる。

[0045] 次に、図 1 の半導体装置の製造条件の典型例の主な工程を示す。製造法は、半導体の製造法において一般的に採用されている手順と条件に従って実施される。

[0046] 「工程 1」: SOI 基板に $n\text{-well}$ ($3 \times 10^{17} \text{cm}^{-3}$) を形成

「工程 2」: 分離: 活性領域以外のシリコン部分をエッチング (Ar/HBr) ガスを用いたプラズマエッチング)

「工程 3」: ゲート酸化 (1.5nm、400°C、ラジカル酸化)。High-k 膜の成膜でも良い。

「工程 4」: Poly-Si デポジッション (150nm 厚、530°C、 SiH_4)

「工程 5」: ボロンイオン (B^+) 注入 ($5 \times 10^{15} \text{cm}^{-2}$ 、10keV)

「工程 6」: ゲート Poly-Si エッチング (Ar/HBr)

「工程 7」: BF_3 注入 ($1 \times 10^{15} \text{cm}^{-2}$ (tilt 7°))

「工程 8」: サイドウォール形成: Si_3N_4 (SiH_4 、 N_2 、 H_2 プラズマ CVD) + Dry エッチング

(C_5F_8)

「工程 9」: As 注入 ($3 \times 10^{15} \text{cm}^{-2}$ 、25KeV (tilt 0°))

「工程 10」：Er スパッタ成膜 ($W/E_r = 100/5\text{nm}$) + アニール 500°C 、2 min

「工程 11」：パターニング + W ウェットエッチング (アルカリエッチング) + Er ウェットエッチング (室温 $\text{H}_2\text{SO}_4 + \text{H}_2\text{O}_2$)

「工程 12」：活性化アニール、 N_2 、 1000°C 、5sec

「工程 13」：再酸化 (ラジカル酸化 7nm)

「工程 14」：CVD- SiO_2 、300nm

「工程 15」：コンタクトホール形成、ドライエッチング (C_5F_8)

「工程 16」：Al 成膜 500nm

「工程 17」：Al エッチング

[0047] 勿論、本発明においては、目的に適うのであれば、BOX 層を改めて Si 基板に形成しないで、市販の SOI 基板を入手し使用してもよい。

[0048] 次に、図 2、3 を用いて、本発明の半導体装置の動作方法の典型の一例を説明する。図 2 は、閾値電圧 (スイッチング時) 付近の電流経路を説明するための模式的説明図、図 3 は、ON 状態 (動作状態) での電流経路を説明するための模式的説明図、である。図 1 と共通の番号は、図 1 に示すものと同じものを示す。

[0049] ゲート電極 108 に電源電圧を印加すると、ゲート電極 108 の電位は、ゲート電極 108 に電荷が蓄積されるに従って電位変化し、やがて電源電圧に到達する。以後は、ゲート電極 108 の電位が電源電圧に到達すまでのこの過程を遷移過程 (transient) と呼ぶこともある。

[0050] MOSFET 100 のゲート電極 108 に印加されている電圧が閾値付近 (電源電圧に至る直前の電圧) の場合、n-半導体領域 102 に形成される空乏層は、n-半導体領域 102 の下方まで広がっているため、チャネル領域は n-半導体領域 102 の下方に形成される。即ち、p⁺埋め込み領域 110 の上面が、形成されるチャネル領域よりも十分高く形成されていると、閾値電圧付近では、ソース・ドレイン電流は、p⁺埋め込み領域 110 をトンネリングして流れる電子トンネル電流である (図 2 に矢印で電流経路が示されている)。この

電子トンネル電流は、ゲート電極 108 の電位、即ち、ゲート電圧が小さいうちから流れ始めるバルク電流である。

[0051] ON 状態（動作状態）にする印加電圧（電源電圧）（「ON 電圧」又は「動作電圧」）での電流経路は、図 3 に矢印で示してある。ゲート電圧が電源電圧になると、それまでに蓄積領域に蓄積されていた電荷に基づく電流（蓄積領域電流）が流れ始める。遷移過程から流れているバルク電流は、ゲート電圧が電源電圧になっても引き続き流れる。

[0052] 本発明の好適な MOSFET においては、OFF 状態から ON 状態に変化するとき、「n⁺領域 103-1 → p⁺埋め込み領域 110 → n⁻領域 102」と言う経路で電流が p⁺埋め込み領域をトンネルすることでキャリアが n⁺領域 103-1 から n⁻領域 102 に注入され、所謂、トンネル電流を形成するので、室温で 60mV/dec の制限はなくなり、p⁺埋め込み領域 11 に形成されるポテンシャルバリアを p⁺埋め込み領域 11 の幅で適切に制御すれば、60mV/dec 以下の傾きで OFF 状態から ON 状態に変化させることができる。

[0053] 本発明は上記実施の形態に制限されるものではなく、本発明の精神及び範囲から離脱することなく、様々な変更及び変形が可能である。従って、本発明の範囲を公にするために、以下の請求項を添付する。

符号の説明

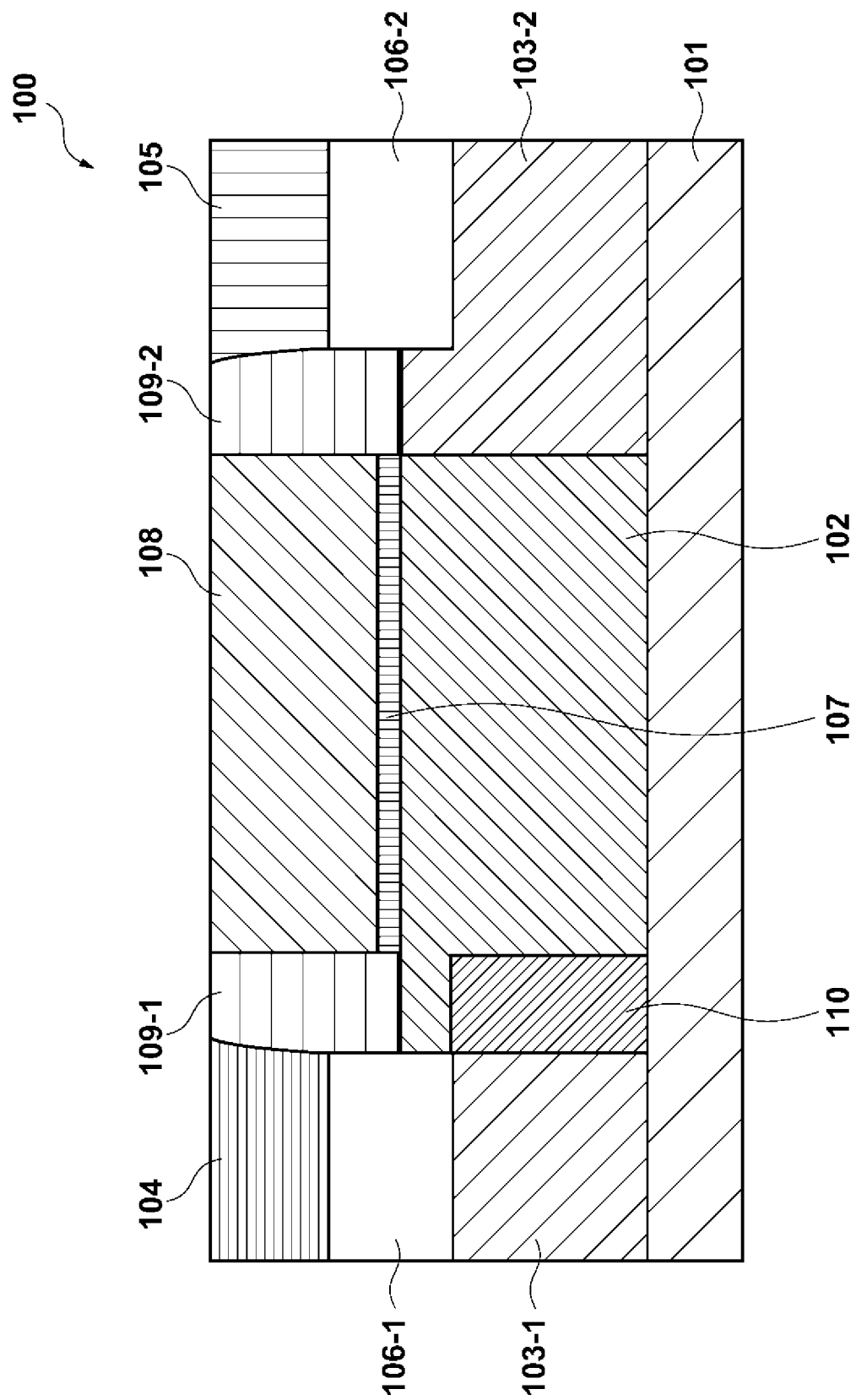
[0054] 100・・・MOSFET
101・・・BOX層
102・・・n⁻領域
103・・・n⁺領域
104・・・ソース電極
105・・・ドレイン電極
106・・・シリサイド領域
107・・・絶縁層
108・・・ゲート電極
109・・・絶縁領域

1 1 0 . . . p⁺埋め込み領域

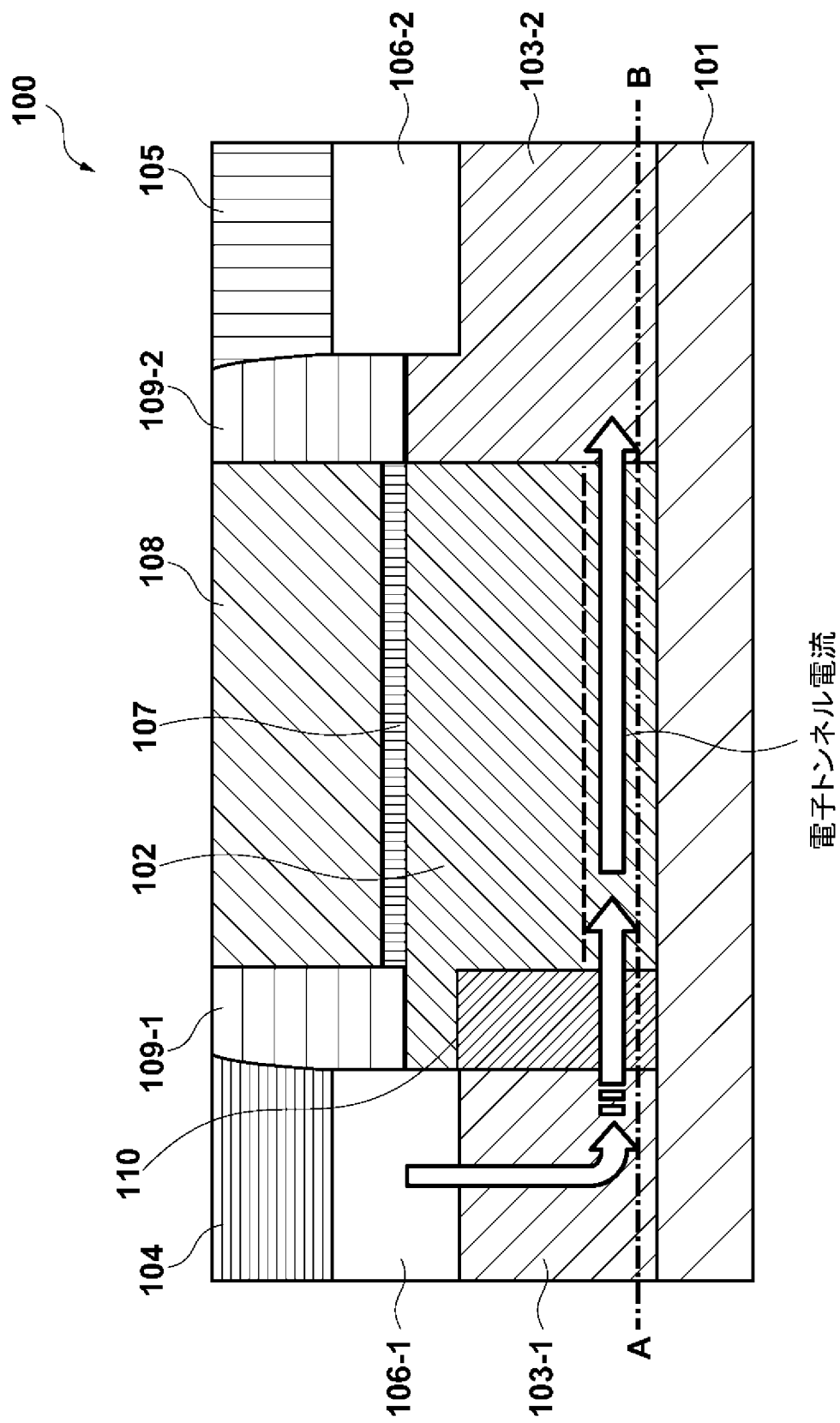
請求の範囲

- [請求項1] トンネル電子放出部と熱電子放出部とをソース領域部に設けたことを特徴とするAccumulation型MOSFET。
- [請求項2] 前記トンネル電子放出部と前記熱電子放出部とで2層構造を構成している請求項1に記載のAccumulation型MOSFET。
- [請求項3] トンネル電子放出部と熱電子放出部とをソース領域部に設けたAccumulation型MOSFETを、OFF状態からON状態への遷移時にはトンネル電流によって駆動し、ON状態では熱電子電流によって駆動することを特徴とするAccumulation型MOSFETの駆動方法。
- [請求項4] OFF状態からON状態に遷移するときのドレイン電流を一桁上昇させるために必要なゲート電圧が少なくとも室温で60mVより小さくなる領域が存在することを特徴とする請求項3に記載のMOSFETの駆動方法。

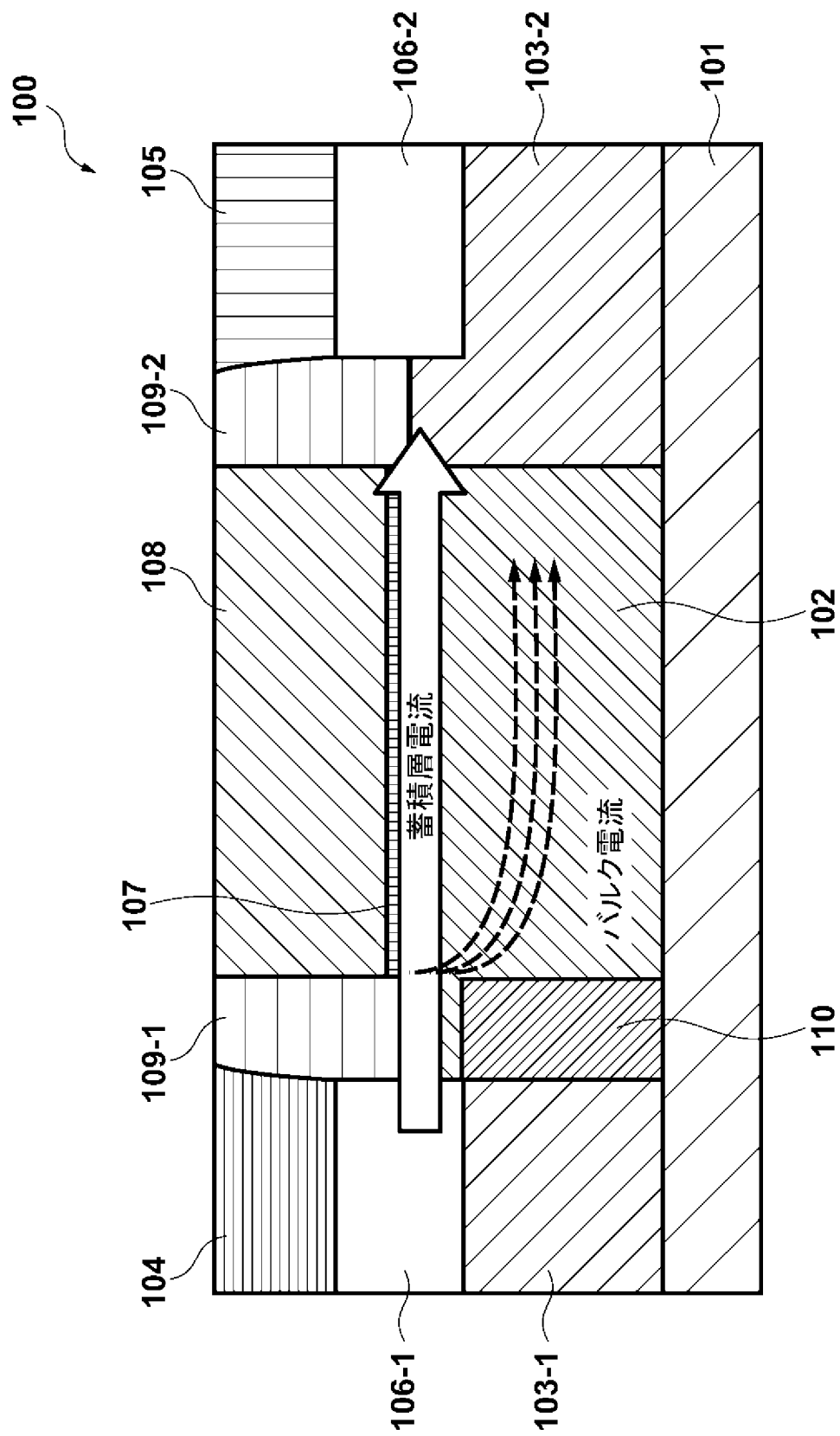
[図1]



[図2]



[図3]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/006858

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/66(2006.01)i, H01L21/336(2006.01)i, H01L29/78(2006.01)i,
H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/66, H01L21/336, H01L29/78, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2010/050405 A1 (Tohoku University), 06 May 2010 (06.05.2010), entire text; all drawings & JP 2010-109143 A & DE 112009002611 T & CN 102197461 A & TW 201025452 A & KR 10-2011-0081998 A	1-4
A	WO 2008/007749 A1 (Tohoku University), 17 January 2008 (17.01.2008), entire text; all drawings & US 2009/0309138 A1 & EP 2043159 A1 & CN 101490849 A & KR 10-2009-0039755 A & IL 196473 D & TW 200824119 A	1-4



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 January, 2013 (21.01.13)

Date of mailing of the international search report
29 January, 2013 (29.01.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/006858

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2005/083796 A1 (Rohm Co., Ltd.), 09 September 2005 (09.09.2005), entire text; all drawings & US 2007/0145377 A1 & DE 112005000441 T & CN 1906767 A & KR 10-2006-0120070 A & CN 102637740 A	1-4
A	JP 4-91480 A (Hitachi, Ltd.), 24 March 1992 (24.03.1992), entire text; all drawings & US 5177568 A & EP 469611 A1 & DE 69108631 C & KR 10-0189691 B	1-4
A	JP 2011-181617 A (Toshiba Corp.), 15 September 2011 (15.09.2011), entire text; all drawings & US 2011/0210375 A1 & CN 102169897 A	1-4

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L29/66(2006.01)i, H01L21/336(2006.01)i, H01L29/78(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L29/66, H01L21/336, H01L29/78, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2010/050405 A1 (国立大学法人東北大学) 2010.05.06, 全文、全図 & JP 2010-109143 A & DE 112009002611 T & CN 102197461 A & TW 201025452 A & KR 10-2011-0081998 A	1-4
A	WO 2008/007749 A1 (国立大学法人東北大学) 2008.01.17, 全文、全図 & US 2009/0309138 A1 & EP 2043159 A1 & CN 101490849 A & KR 10-2009-0039755 A & IL 196473 D & TW 200824119 A	1-4

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 1 . 0 1 . 2 0 1 3

国際調査報告の発送日

2 9 . 0 1 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

正山 旭

5 F

9 2 7 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 7

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2005/083796 A1 (ローム株式会社) 2005.09.09, 全文、全図 & US 2007/0145377 A1 & DE 112005000441 T & CN 1906767 A & KR 10-2006-0120070 A & CN 102637740 A	1-4
A	JP 4-91480 A (株式会社日立製作所) 1992.03.24, 全文、全図 & US 5177568 A & EP 469611 A1 & DE 69108631 C & KR 10-0189691 B	1-4
A	JP 2011-181617 A (株式会社東芝) 2011.09.15, 全文、全図 & US 2011/0210375 A1 & CN 102169897 A	1-4