

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4383392号
(P4383392)

(45) 発行日 平成21年12月16日(2009.12.16)

(24) 登録日 平成21年10月2日(2009.10.2)

(51) Int.Cl. F I
 HO 1 F 17/00 (2006.01) HO 1 F 17/00 B
 HO 1 F 41/04 (2006.01) HO 1 F 41/04 C

請求項の数 11 (全 11 頁)

(21) 出願番号	特願2005-210618 (P2005-210618)	(73) 特許権者	390019839
(22) 出願日	平成17年7月20日 (2005.7.20)		三星電子株式会社
(65) 公開番号	特開2006-32976 (P2006-32976A)		SAMSUNG ELECTRONICS
(43) 公開日	平成18年2月2日 (2006.2.2)		CO., LTD.
審査請求日	平成17年7月20日 (2005.7.20)		大韓民国京畿道水原市靈通区梅灘洞416
(31) 優先権主張番号	10-2004-0056468		416, Maetan-dong, Yeongtong-gu, Suwon-si,
(32) 優先日	平成16年7月20日 (2004.7.20)	(74) 代理人	100094145
(33) 優先権主張国	韓国 (KR)		弁理士 小野 由己男
		(74) 代理人	100106367
			弁理士 稲積 朋子

最終頁に続く

(54) 【発明の名称】 インダクタ及びその製造方法。

(57) 【特許請求の範囲】

【請求項1】

エッチングにより形成された開口部、を含む基板；
前記基板の両面にそれぞれ形成され、前記基板の開口部を挟んで互いに対向し、前記開口部の空間に浮かんだ状態の部分を含む、第1と第2との導体；及び、
 所定の距離を置いて前記第1と第2との導体の少なくともいずれかを覆い、それにより前記第1と第2との導体の周囲の空間を外部から遮断する保護体；
 を有する、インダクタ。

【請求項2】

前記第1と第2との導体が前記基板に対して対称的に形成されている、請求項1に記載のインダクタ。

【請求項3】

前記第1と第2との導体間を電氣的に接続する連結部、を更に有する、請求項1に記載のインダクタ。

【請求項4】

前記保護体が、前記第1と第2との導体をそれぞれ覆い、外部から遮断する第1と第2との保護体を含む、請求項1に記載のインダクタ。

【請求項5】

前記保護体が、前記第1と第2との導体に電流を供給するための電極層、を含む、請求項1に記載のインダクタ。

【請求項 6】

基板の両面にそれぞれ、第 1 と第 2 との導体を、互いに対向させて形成するステップ；
前記第 1 と第 2 との導体間に挟まれている前記基板の部分をエッチングにより除去して前記基板に開口部を形成し、前記第 1 と第 2 との導体を前記開口部を挟んで互いに対向させて、前記第 1 と第 2 との導体に前記開口部の空間に浮かんだ状態の部分形成するステップ；及び、

所定の距離を置いて前記第 1 と第 2 との導体の少なくともいずれかを保護体で覆い、前記第 1 と第 2 との導体の周囲の空間を外部から遮断するステップ；
を有する、インダクタの製作方法。

【請求項 7】

前記第 1 と第 2 との導体が前記基板に対して対称的に形成される、請求項 6 に記載のインダクタの製作方法。

【請求項 8】

前記第 1 と第 2 との導体間を電氣的に接続するステップ、を更に有する、請求項 6 に記載のインダクタの製作方法。

【請求項 9】

前記保護体が、前記第 1 と第 2 との導体をそれぞれ覆い、外部から遮断する第 1 と第 2 との保護体、を含む、請求項 6 に記載のインダクタの製作方法。

【請求項 10】

前記第 1 と第 2 との導体に電流を供給するための電極層、を前記保護体に形成するステップ、を更に有する、請求項 6 に記載のインダクタの製作方法。

【請求項 11】

前記エッチングがドライエッチングである、請求項 6 に記載のインダクタの製作方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、インダクタに関し、特に、薄膜インダクタ及びその製作方法に関する。

【背景技術】

【0002】

MEMS (Micro Electro Mechanical Systems) は、半導体基板上に微細な電子的 / 機械的構造を実装する技術である。MEMS 分野では近年、特に携帯電話や車載電子機器への応用を目的とする研究 / 開発が盛んである。MEMS 技術による集積化が特に期待されている素子の一例が、インダクタである。インダクタの集積化は、例えば DC - DC コンバータ、RF 回路、及び電磁ノイズフィルタ等の更なる小型化 / 省電力化に極めて有効である。

インダクタを半導体基板上に集積化する場合、特に、インダクタと基板との間の寄生容量が抑えられねばならない。それにより、インダクタの自己共振周波数が駆動周波数帯域より十分に高く維持されたまま、インダクタのインダクタンスが十分に高く設定される。更に、インダクタの Q 値が向上する。

【0003】

半導体基板上に集積化された従来のインダクタは例えば、図 1 に示されているような断面形状を有する。このインダクタは導体 102 を含む。導体 102 は、例えば電気メッキにより、半導体基板 100 上にループ状、又は螺旋状に形成されている。このインダクタでは、導体 102 全体が基板 100 に接触している。従って、例えば基板 100 を低誘電物質製にすることで、基板 100 と導体 102 との間の寄生容量が抑えられる。

【0004】

その他に、次のようなインダクタが知られている (例えば特許文献 1 参照)。そのインダクタでは、導体の大部分が基板から浮いている。すなわち、基板と導体との間にエアギャップが設けられている。空気の比誘電率はほぼ 1 であり、通常の基板部材の比誘電率より十分に低い。従って、基板と導体との間の寄生容量が抑えられる。

10

20

30

40

50

そのインダクタの導体は例えば次の工程で形成される。まず、基板上に凹部が形成され、その凹部が犠牲層、例えばフォトレジストで埋められる。その上に、インダクタの導体が形成される。その後、凹部を埋めていた犠牲層がウェットエッチングにより除去される。ウェットエッチングは等方的であるので、凹部を埋めている犠牲層全体が完全に除去される。その結果、導体が端部を基板に支えられた状態で、基板表面から離れて空気中に浮かぶ。

【特許文献 1】韓国公開特許2005-33701号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

10

半導体基板上に集積化されたインダクタに対しては特に、極めて高い駆動周波数での利用が望まれている。例えば、携帯電話のRF回路に実装される場合、駆動周波数はGHz程度に達する。従って、そのような高周波数帯域について、設定可能なインダクタンスの上限とQ値(Quality factor)との更なる向上が、インダクタの開発では重要である。

【0006】

しかし、図1に示されているような従来のインダクタの場合、導体102が基板100と直に接触しているため、導体102と基板100との間の寄生容量を更に低減させることが難しい。特に、低誘電率物質製の基板は比較的高価であるため、寄生容量の抑制に要するコストを更に低減させることが困難である。

【0007】

20

一方、導体と基板との間にエアギャップが形成されている従来のインダクタの場合、エアギャップが導体と基板との間の寄生容量を十分に低減させ得るので、十分に高い周波数帯域で、十分に高いインダクタンスとQ値とが得られるはずである。しかし、実際には、そのようなインダクタの製作工程には高度なMEMS技術が必要とされるため、インダクタの成形精度を更に向上させることが困難であった。特に、従来のインダクタの製作工程では上記の通り、導体を基板表面から離して空気中に浮かべるために、ウェットエッチングが利用される。ウェットエッチングでは、剥離液が導体の周囲と基板表面とを覆い、犠牲層を溶解させる。ウェットエッチングによりその犠牲層を完全に除去するには、その犠牲層が薄くなければならない(例えば数 μm 程度)。更に、剥離液の粘性が高いため、導体が剥離液との摩擦で変形しやすく、特に犠牲層が薄いので、導体の一部が基板表面に固着しやすい。こうして、エアギャップの成形精度を更に向上させることが困難であった。その結果、インダクタンスとQ値との更なる向上が妨げられていた。

30

【0008】

本発明の目的は、半導体基板上に高い成形精度で集積化されたインダクタであり、導体と基板との間にエアギャップを設けて両者間の寄生容量を抑制することにより、特に高周波数帯域で十分に高いQ値とインダクタンスとを確保するインダクタ、を提供することにある。

【課題を解決するための手段】

【0009】

40

本発明によるインダクタは、
エッチングにより形成された開口部、を含む基板；
その基板の開口部を挟んで互いに対向する、第1と第2との導体；及び、
所定の距離を置いて第1と第2との導体の少なくともいずれかを覆い、それにより第1と第2との導体の周囲の空間を外部から遮断する保護体を有する。

【0010】

本発明によるこのインダクタでは導体が二重であるため、従来のインダクタと同じサイズでもインダクタンスが高い。更に、導体の二重構造は剛性が高いため、従来のインダクタとは異なり、導体の中央部を支える必要がない。従って、二つの導体間の大部分から基板自体を除去できる。すなわち、二つの導体を基板の開口部の空間に浮かんだ状態に安定

50

に維持できる。それにより、インダクタ全体のサイズが小さく維持されたまま、導体と基板との間の平均距離、すなわちエアギャップの大きさが十分に大きく確保される。好ましくは、エアギャップの大きさが数百 μm に達する。それ故、導体と基板の間では寄生容量が十分に小さい。

【0011】

好ましくは、第1と第2との導体が基板に対して対称的に形成されている。更に、第1と第2との電極間を電氣的に接続する連結部、が備えられても良い。それにより、二つの導体の安定性が更に向上する。

【0012】

好ましくは、保護体が、第1と第2との導体をそれぞれ覆い、外部から遮断する第1と第2との保護体を含む。更に好ましくは、保護体が第1と第2との導体に電流を供給するための電極層、を含む。そのような保護体により、二つの導体は外部との電氣的な接続を維持したまま密封され、それらの周囲の空間が気密に保たれる。従って、二つの導体が例えば外部の湿気や塵等から保護されるので、その信頼性が更に高く維持される。

【0013】

本発明によるインダクタは、好ましくは、以下の方法で製作される。その方法は、基板の両面にそれぞれ、第1と第2との導体を、互いに対向させて形成するステップ；第1と第2との導体間に挟まれている基板の部分をエッチングにより除去するステップ；及び、

所定の距離を置いて第1と第2との導体の少なくともいずれかを保護体で覆い、第1と第2との導体の周囲の空間を外部から遮断するステップ；を有する。

【0014】

本発明による上記のインダクタの製作方法では、特に好ましくは、第1と第2との導体間に挟まれている基板の部分を除去するためのエッチングがドライエッチングである。本発明によるインダクタでは従来のインダクタとは異なり、基板自体がエッチングにより除去されれば良いので、ドライエッチングが利用できる。従って、インダクタの成形精度が高い。ドライエッチングでは特に、ウェットエッチングとは異なり、剥離液を使用する必要がなく、かつ、除去すべき基板の部分が厚くても良い。それ故、インダクタの導体が基板や他の部材に固着しない。

【発明の効果】

【0015】

本発明によるインダクタでは、上記の通り、従来のインダクタとは異なり、導体と基板との間のエアギャップが高精度で形成される。それにより、導体と基板との間の寄生容量が十分に低い。従って、十分に高い周波数帯域について、設定可能なインダクタンスの上限とQ値とが更に向上する。それ故、本発明によるインダクタは特に、例えば携帯電話や車載電子機器等、駆動周波数の高い小型電子機器への応用、特にRF回路への実装に有利である。

【発明を実施するための最良の形態】

【0016】

以下、添付された図面を参照しながら、本発明の好適な実施形態を詳説する。

図2、3は本発明の実施形態によるインダクタを示す断面図である。このインダクタは、基板202、第1の導体206、第2の導体204、連結部208、第1の保護体210、及び、第2の保護体200を有する。

【0017】

基板202は好ましくは、シリコン(Si)製であり、開口部201を含む。第1と第2との導体206、204は好ましくは金属、特に銅(Cu)から成る。その他に、ユーザの設定により、他の金属が用いられても良い。第1と第2との導体206、204は、例えば電気メッキにより、ループ状、又は螺旋状に形成される。第1と第2との導体206、204は基板202の開口部201を挟んで対向し、基板202に対して対称的に配置されている。連結部208は第1の導体20

10

20

30

40

50

6と第2の導体204との間を接続する。連結部208は好ましくは金属、特に銅(Cu)から成り、例えば電気メッキにより形成される。それにより、信号は例えば第2の導体204の端部から第1の導体206の端部へと通過する。

【0018】

本発明の実施形態によるインダクタでは図2、3に示されている通り、第1と第2との導体206、204が二重構造を有するので、インダクタンスが高い。更に、その二重構造は剛性が高いので、第1と第2との導体206、204が基板202の開口部201の空間に浮かんだ状態で安定に維持される。それにより、インダクタ全体のサイズが小さく維持されたまま、導体206、204と基板202との間の平均距離、すなわちエアギャップの大きさが十分に大きく確保される。好ましくは、エアギャップの大きさが数百 μm である。それ故、導体206、204と基板202の間では寄生容量が十分に小さい。

10

【0019】

第1と第2との保護体210、200は好ましくはガラス製である。その他に、ユーザの設定により、他の材料が用いられても良い。第1と第2との保護体210、200は特に、基板202に対向する面に凹部205、203をそれぞれ含む。各凹部205、203は所定の距離を置いて第1と第2との導体206、204を覆う。それにより、第1と第2との導体206、204の周囲の空間が外部から遮断される。特に図3では、第1と第2との保護体210、200が第1と第2との導体206、204の周囲の空間を密封する(hermetic sealing)。その場合、第1の保護体210上には好ましくは、電極層212が形成される。電極層212は好ましくは金属、特に銅(Cu)から成り、例えば電気メッキにより形成される。電極層212の先端部は基板202上で第1の導体206に接続される(図示せず)。それにより、第1と第2との保護体210、200による密封に関わらず、第1と第2との導体206、204に対しては外部から電極層212を通して電流が供給される。こうして、第1と第2との導体206、204が外部の湿気や塵等から保護されるので、信頼性が高く維持される。尚、図2、3では保護体210、200が導体206、204の端部と接触している。その他に、保護体210、200が導体206、204から完全に分離しても良い。

20

【0020】

次に、本発明によるインダクタの製作工程について、順を追って詳説する。図4~19は、その製作の各工程を時間順に示す、基板の断面図である。

・ステップ1：基板202の表面にシードレイヤ(seed layer)300を塗布する(図4参照)。シードレイヤ300は金属層であり、好ましくは、チタニウム(Ti)、又はクロム(Cr)を含む。

30

【0021】

・ステップ2：シードレイヤ300上の所定の領域にフォトレジスト(PR)302を塗布する(図5参照)。ここで、PR302を塗布する領域は、第1の導体のパターンに応じて決定される。

・ステップ3：PR302で覆われている領域を除き、シードレイヤ300の表面を電気メッキにより、金属で覆う(図6参照)。それにより第1の導体206が形成される。そのとき、シードレイヤ300が第1の導体206と基板202との間の接着力を補う。すなわち、シードレイヤ300により、第1の導体206が基板202上に安定に接着される。

40

・ステップ4：ステップ3で塗布されたPR302と、ステップ1で塗布されたシードレイヤ300とをエッチングにより除去する(図7参照)。それにより、基板202上には第1の導体206が残る。

【0022】

・ステップ5：第1の導体206の上方から第1の保護体210を接近させる(図7参照)。そのとき、第1の保護体210の下面に設けられた凹部205が第1の導体206を覆う。第1の保護体210と基板202との間の接着には好ましくは、陽極接合(anodic bonding)が利用される。まず、第1の保護体210と基板202とを真空中で加熱する。それにより、ガラス製である第1の保護体210が軟化する。次に、第1の保護体210に対して負の電圧を印加すると同時に、基板202に対して正の電圧を印加する。それにより、第1の保護体210と基板202と

50

の間に静電引力が生じるので、両者が安定に接触する（図8参照）。そのとき、第1の保護体210と基板202との間の接触部では化学反応が生じ、両者の材質が強く結合する。こうして、第1の導体206とその周囲の空間とが第1の保護体210により密封される。

【0023】

・ステップ6：基板202の裏面を研磨（Polishing）し、基板202の厚さを十分に小さな値、好ましくは数百 μm 程度に均一化させる（図9参照）。ここで、基板202の研磨には好ましくは、CMP（Chemical Mechanical Polishing）が採用される。それにより、基板202の平坦度が向上する。

【0024】

・ステップ7：好ましくは、第1の導体206の中央部に接触している基板202の領域をエッチングにより完全に除去する（図10参照）。それにより、基板202には微小な貫通穴207が空く。

・ステップ8：ステップ7でエッチングにより形成された貫通穴207の内部を電気メッキにより金属で覆う（図11参照）。電気メッキを行う過程はステップ2、3と同様である。それにより、貫通穴207の内部には連結部208が形成される。

【0025】

・ステップ9：ステップ1～4（図4～図7参照）と全く同様にして、第2の導体204を基板202の裏面に形成する（図12参照）。第2の導体204は特に、基板202を挟んで第1の導体206と対向する位置に形成される。更に、第2の導体204の中央部が連結部208を通し、第1の導体206の中央部に接続される。

【0026】

・ステップ10：基板202の裏面上で、特に第2の導体204の周縁部を含む領域にPR306を塗布する（図13参照）。例えば、図13では基板202の裏面に含まれている3つの領域（両端部と中央部）にPR306が塗布されている。

・ステップ11：第1の保護体210の外面に金属304を塗布する（図13参照）。金属304は好ましくは、ステップ1で基板202の表面に塗布された金属、すなわちシードレイヤ300と同じ物質である。ここで、ステップ11、すなわち金属304を第1の保護体210に塗布する工程は、ユーザの設定によって省略されても良い。その他に、以後のステップのいずれかで行われても良い。

【0027】

・ステップ12：好ましくは、ドライエッチングにより基板202の裏面に対してエッチングを行う。それにより、PR306が塗布されていない領域では、基板202自体がエッチングにより除去される（図14参照）。その結果、基板202では、第1と第2との導体206、204との間に挟まれた領域に開口部201が形成され、第1と第2との導体206、204が、基板202の開口部201の空間に浮かんだ状態で安定に維持される。特に、導体206、204と基板202との間に、数百 μm 程度のエアギャップが形成される。

【0028】

・ステップ13：ステップ10で塗布されたPR306を取除く（図15参照）。

・ステップ14：ステップ5と同様な陽極接合により第2の保護体200を基板202の裏面に接着する（図16参照）。特に、第2の保護体200の上面に形成された凹部203が、所定の距離を置いて第2の導体204を覆う。その結果、第1と第2との保護体210、200で、第1と第2との導体206、204、及びその周囲の空間が密封される。

【0029】

・ステップ15：第1の保護体210の上面を電気メッキにより、金属で覆う（図17参照）。特に、第1の保護体210の上面に形成されている凹部211を金属212で埋める。凹部211の先端部は基板202の表面に形成されている電極（図示せず）と接触しているので、第1と第2との導体206、204が、第1の保護体210の上面の凹部211内に埋められた金属212と電氣的に接続される。

【0030】

・ステップ16：ステップ10（図13参照）と同様に、電極層212上をPR310で覆う（図

10

20

30

40

50

18参照)。

・ステップ17：第1の保護体200の上面に対してエッチングを行い、PR310が塗布されていない領域を覆っていた金属213を除去する。その後、ステップ16で塗布されたPR310を取除く(図19参照)。こうして形成された電極層212を通し、外部から第1と第2との導体206、204に電流が供給される。

【0031】

図4~図19には第1の保護体210が描かれている。その他に、ユーザの設定により、第1の保護体210が省略され、第2の保護体200のみが形成されても良い。

【0032】

本発明は上述した特定の実施形態に限定されるものではない。実際、当業者であれば、上記の説明に基づき、特許請求の範囲に記載されている本発明の技術的範囲を逸脱することなく、本発明の実施形態に対し、種々の変形及び修正を施すことが可能であろう。従って、そのような変更及び修正は当然に、本発明の技術的範囲に含まれるべきである。

【図面の簡単な説明】

【0033】

【図1】半導体基板上に集積化された従来のインダクタを示す断面図である。

【図2】本発明の実施形態によるインダクタの一例を示す断面図である。

【図3】本発明の実施形態によるインダクタの別の例を示す断面図である。

【図4】本発明の実施形態によるインダクタを製作する工程のうち、ステップ1でのインダクタの断面を示す図である。

【図5】本発明の実施形態によるインダクタを製作する工程のうち、ステップ2でのインダクタの断面を示す図である。

【図6】本発明の実施形態によるインダクタを製作する工程のうち、ステップ3でのインダクタの断面を示す図である。

【図7】本発明の実施形態によるインダクタを製作する工程のうち、ステップ4でのインダクタの断面を示す図である。

【図8】本発明の実施形態によるインダクタを製作する工程のうち、ステップ5でのインダクタの断面を示す図である。

【図9】本発明の実施形態によるインダクタを製作する工程のうち、ステップ6でのインダクタの断面を示す図である。

【図10】本発明の実施形態によるインダクタを製作する工程のうち、ステップ7でのインダクタの断面を示す図である。

【図11】本発明の実施形態によるインダクタを製作する工程のうち、ステップ8でのインダクタの断面を示す図である。

【図12】本発明の実施形態によるインダクタを製作する工程のうち、ステップ9でのインダクタの断面を示す図である。

【図13】本発明の実施形態によるインダクタを製作する工程のうち、ステップ10、11でのインダクタの断面を示す図である。

【図14】本発明の実施形態によるインダクタを製作する工程のうち、ステップ12でのインダクタの断面を示す図である。

【図15】本発明の実施形態によるインダクタを製作する工程のうち、ステップ13でのインダクタの断面を示す図である。

【図16】本発明の実施形態によるインダクタを製作する工程のうち、ステップ14でのインダクタの断面を示す図である。

【図17】本発明の実施形態によるインダクタを製作する工程のうち、ステップ15でのインダクタの断面を示す図である。

【図18】本発明の実施形態によるインダクタを製作する工程のうち、ステップ16でのインダクタの断面を示す図である。

【図19】本発明の実施形態によるインダクタを製作する工程のうち、ステップ17でのインダクタの断面を示す図である。

10

20

30

40

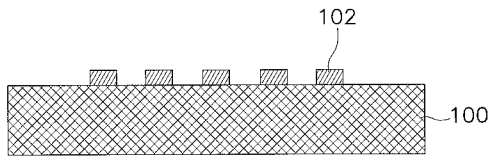
50

【符号の説明】

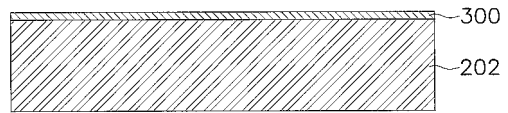
【 0 0 3 4 】

- 200 第2の保護体
- 203 第2の保護体200の凹部
- 202 基板
- 201 基板202の開口部
- 206 第1の導体
- 204 第2の導体
- 208 連結部
- 210 第1の保護体
- 205 第1の保護体210の凹部
- 212 電極層

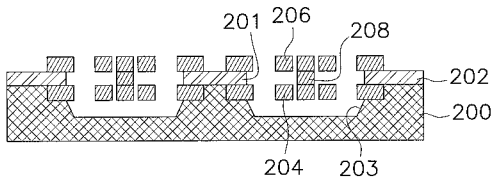
【図1】



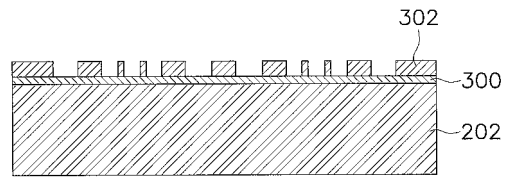
【図4】



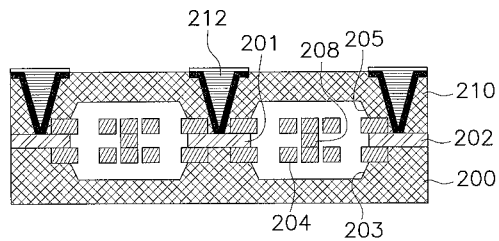
【図2】



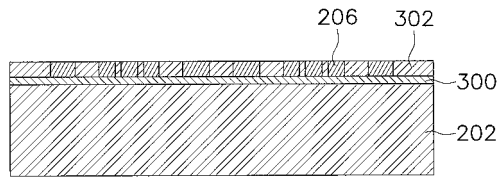
【図5】



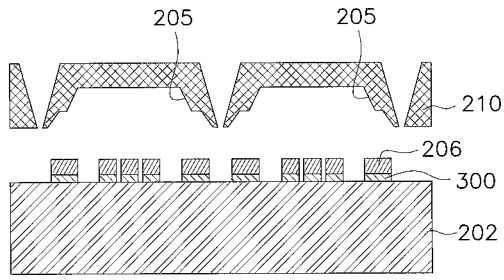
【図3】



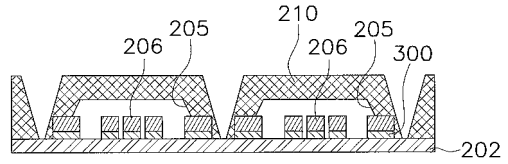
【図6】



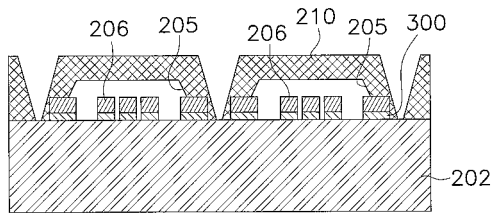
【図 7】



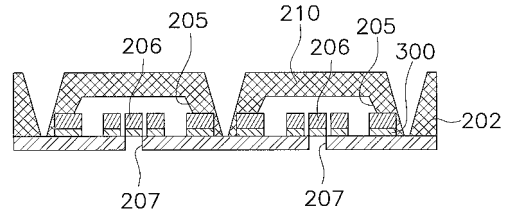
【図 9】



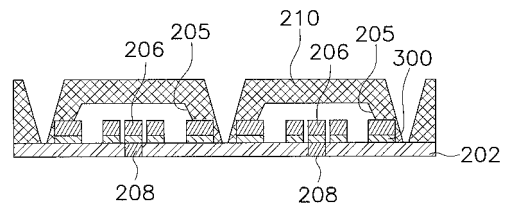
【図 8】



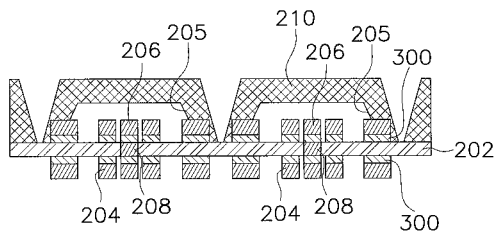
【図 10】



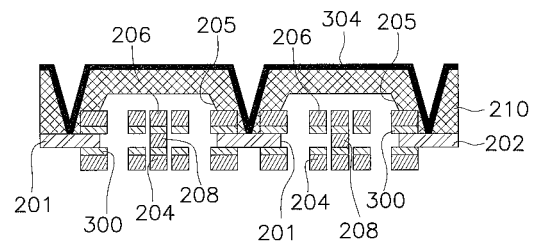
【図 11】



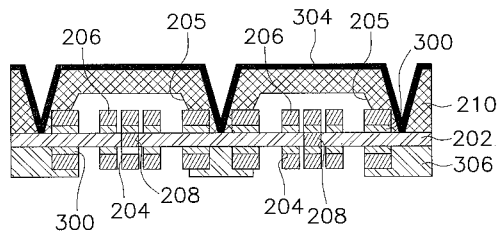
【図 12】



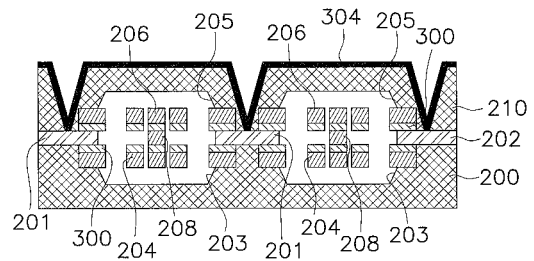
【図 15】



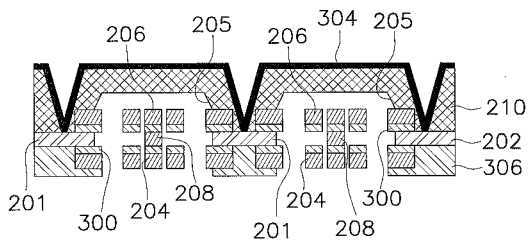
【図 13】



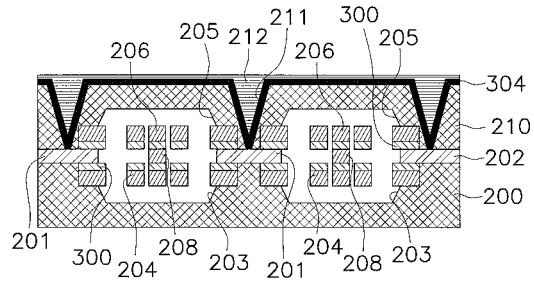
【図 16】



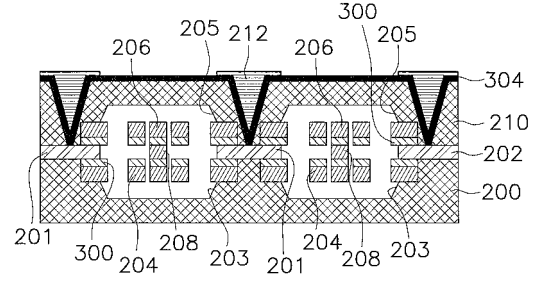
【図 14】



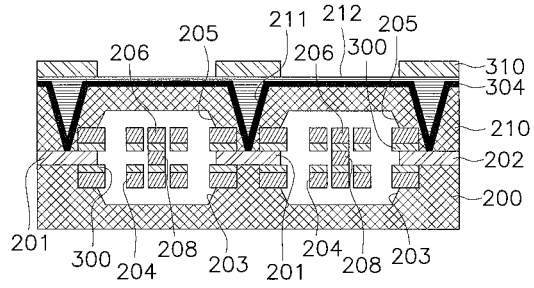
【図 17】



【図 19】



【図 18】



フロントページの続き

(72)発明者 李文 チョル

大韓民国京畿道水原市勸善区勸善洞常緑アパート343-803

(72)発明者 崔 ヒョン

大韓民国京畿道城南市盆唐区書ヒョン洞示範團地韓信アパート125-603

審査官 田中 純一

(56)参考文献 特開2004-007424(JP,A)

特開平08-222438(JP,A)

特開平08-186461(JP,A)

特開昭54-011042(JP,A)

特開平10-092932(JP,A)

特開2006-339197(JP,A)

特開2004-356310(JP,A)

特開平10-107201(JP,A)

特開平05-190333(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01F 17/00 - 21/12

H01F 27/00 - 27/02

H01F 27/06 - 27/08

H01F 27/29

H01F 27/36

H01F 27/42

H01F 30/00

H01F 38/42

H01F 41/00 - 41/04

H01F 41/08 - 41/10