

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-295363  
(P2007-295363A)

(43) 公開日 平成19年11月8日(2007.11.8)

(51) Int. Cl.	F I	テーマコード (参考)
H03L 7/087 (2006.01)	H03L 7/08 P	5J106
H03L 7/183 (2006.01)	H03L 7/18 B	
H03L 7/06 (2006.01)	H03L 7/06 H	

審査請求 未請求 請求項の数 21 O L (全 10 頁)

(21) 出願番号	特願2006-122057 (P2006-122057)	(71) 出願人	302062931 NECエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(22) 出願日	平成18年4月26日(2006.4.26)	(74) 代理人	100080816 弁理士 加藤 朝道
		(72) 発明者	石井 あきの 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
		Fターム(参考)	5J106 AA04 BB03 BB04 CC02 CC21 CC31 CC38 CC53 DD23 DD25 DD32 GG09 HH01 KK25 KK26

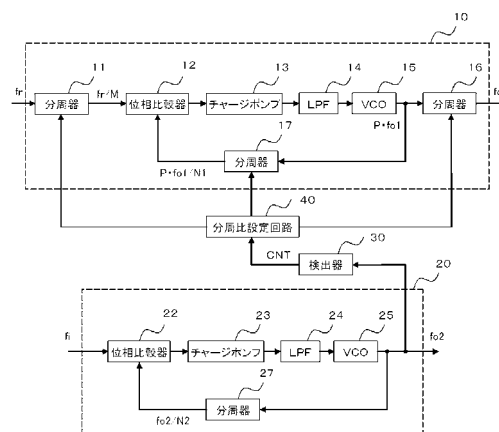
(54) 【発明の名称】 PLL回路、PLL回路の干渉防止方法及びこのPLL回路を搭載した光ディスク装置

(57) 【要約】

【課題】 PLL回路間の相互の干渉を抑える。

【解決手段】 検出器30は、入力信号の周波数がスイープされるPLL回路20の出力信号周波数と所定の周波数との差が第1の閾値以下であるか否かを検出する。分周比設定回路40は、この差が第1の閾値以下である場合にPLL回路10の出力信号周波数を変更するように制御する。所定の周波数とは、PLL回路10の出力信号周波数に基づいて予め設定した固定の周波数である。PLL回路10は、PLL回路10の出力信号周波数を定める分周器11、16、17を備え、分周器の分周比を分周比設定回路40の制御によって変更可能となるように構成する。分周比設定回路40の制御によって変更された出力信号周波数と変更される前の出力信号周波数との差が第2の閾値以下となるように分周器の分周比を決定する。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

少なくとも第 1 および第 2 の PLL (Phase Locked Loop) 回路を同一装置上に構成する PLL 回路において、

前記第 2 の PLL 回路の出力信号周波数と所定の周波数との差が第 1 の閾値以下であるか否かを検出する検出器と、

前記差が前記第 1 の閾値以下である場合に、前記第 1 の PLL 回路の出力信号周波数を、前記第 1 の閾値より大きい第 2 の閾値以下であって前記第 1 の閾値より大きくなる範囲で変更する周波数設定回路と、

を備えることを特徴とする PLL 回路。

10

**【請求項 2】**

前記所定の周波数は、前記第 1 の PLL 回路の出力信号周波数に基づいて予め設定した固定の周波数であることを特徴とする請求項 1 記載の PLL 回路。

**【請求項 3】**

前記所定の周波数は、前記第 1 の PLL 回路の出力信号周波数の整数倍または整数分の一であることを特徴とする請求項 2 記載の PLL 回路。

**【請求項 4】**

前記検出器は、前記第 1 および第 2 の PLL 回路の出力信号を入力し、前記第 1 の PLL 回路の出力信号周波数の整数倍または整数分の一の周波数と前記第 2 の PLL 回路の出力信号周波数との差が前記第 1 の閾値以下であるか否かを検出することを特徴とする請求項 1 記載の PLL 回路。

20

**【請求項 5】**

前記第 1 の閾値は、前記第 1 及び第 2 の PLL 回路の PLL 帯域から定められることを特徴とする請求項 1 記載の PLL 回路。

**【請求項 6】**

前記第 1 の PLL 回路は、前記同一装置で用いられるシステムクロック信号を生成することを特徴とする請求項 1 記載の PLL 回路。

**【請求項 7】**

前記第 2 の閾値は、前記システムクロック信号の周波数可変許容範囲であることを特徴とする請求項 1 記載の PLL 回路。

30

**【請求項 8】**

前記第 2 の PLL 回路の出力周波数範囲が、前記第 1 の PLL 回路の出力信号周波数の整数倍または整数分の一の周波数を含むことを特徴とする請求項 1 記載の PLL 回路。

**【請求項 9】**

前記第 1 の PLL 回路は、前記第 1 の PLL 回路の出力信号周波数を定める分周器を備えると共に、前記分周器の分周比を前記周波数設定回路の制御によって変更可能となるように構成されることを特徴とする請求項 1 記載の PLL 回路。

**【請求項 10】**

前記周波数設定回路の制御によって前記第 1 の PLL 回路における変更された出力信号周波数と変更される前の出力信号周波数との差が前記第 1 の閾値より大きく、かつ前記第 2 の閾値以下となるように前記分周器の分周比を設定することを特徴とする請求項 9 記載の PLL 回路。

40

**【請求項 11】**

前記第 1 の PLL 回路は、

2 つの入力端に入力される信号の位相差に応じて出力信号を出力する位相比較器と、

前記位相比較器の出力信号における低域成分信号の大きさに対応した周波数で発振して出力信号を出力する電圧制御発振器と、

入力参照クロック信号を分周して前記位相比較器の一方の入力端に出力する第 1 の分周器と、

前記電圧制御発振器の出力信号を分周して前記位相比較器の他方の入力端に出力する第

50

2 の分周器と、

前記電圧制御発振器の出力信号を分周して前記第 1 の P L L 回路の出力信号を出力する第 3 の分周器と、

を備え、

前記周波数設定回路は、前記第 1、第 2、第 3 の分周器における少なくとも一つの分周比を変更することを特徴とする請求項 9 または 10 記載の P L L 回路。

【請求項 12】

請求項 1 ~ 11 のいずれか一に記載の P L L 回路を備えることを特徴とする光ディスク装置。

【請求項 13】

請求項 12 記載の光ディスク装置において、前記第 2 の P L L 回路は、光ディスクの記録または再生におけるデータの書き込みまたは読み出し周波数に追従して動作することを特徴とする光ディスク装置。

10

【請求項 14】

少なくとも第 1 および第 2 の P L L ( Phase Locked Loop ) 回路を同一装置上に構成する P L L 回路の干渉防止方法において、

前記第 2 の P L L 回路の出力信号周波数と所定の周波数との差が第 1 の閾値以下であるか否かを検出し、前記差が前記第 1 の閾値以下である場合に、前記第 1 の P L L 回路の出力信号周波数を、前記第 1 の閾値より大きい第 2 の閾値以下であって前記第 1 の閾値より大きくなる範囲で変更することを特徴とする P L L 回路の干渉防止方法。

20

【請求項 15】

前記所定の周波数は、前記第 1 の P L L 回路の出力信号周波数に基づいて予め設定した固定の周波数であることを特徴とする請求項 14 記載の P L L 回路の干渉防止方法。

【請求項 16】

前記所定の周波数は、前記第 1 の P L L 回路の出力信号周波数の整数倍または整数分の一であることを特徴とする請求項 15 記載の P L L 回路の干渉防止方法。

【請求項 17】

前記第 1 の閾値は、前記第 1 及び第 2 の P L L 回路の P L L 帯域から定められることを特徴とする請求項 14 記載の P L L 回路の干渉防止方法。

【請求項 18】

前記第 2 の閾値は、前記同一装置で用いられるシステムクロック信号の周波数可変許容範囲であることを特徴とする請求項 14 記載の P L L 回路の干渉防止方法。

30

【請求項 19】

前記第 2 の P L L 回路の出力周波数範囲が、前記第 1 の P L L 回路の出力信号周波数の整数倍または整数分の一の周波数を含むことを特徴とする請求項 14 記載の P L L 回路の干渉防止方法。

【請求項 20】

前記第 1 の P L L 回路の出力信号周波数を変更する際に、前記第 1 の P L L 回路の出力信号周波数を定める分周器の分周比を変更することを特徴とする請求項 14 記載の P L L 回路の干渉防止方法。

40

【請求項 21】

前記第 1 の P L L 回路における変更された出力信号周波数と変更される前の出力信号周波数との差が前記第 1 の閾値より大きく、かつ前記第 2 の閾値以下となるように前記分周比が設定されることを特徴とする請求項 20 記載の P L L 回路の干渉防止方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、P L L 回路、P L L 回路の干渉防止方法及びこの P L L 回路を搭載した光ディスク装置に係り、特に複数の P L L ( Phase Locked Loop ) 回路を同一装置上に備えた場合の P L L 回路間のノイズ干渉防止技術に係る。

50

## 【背景技術】

## 【0002】

PLL回路は、逡倍用、位相同期用、クロック抽出用などの用途で用いられる。逡倍用のPLL回路は、低い周波数の基準クロック信号から高い周波数のクロック信号を発生させるために各種電子機器において幅広く使用されている。各種電子機器の中には、複数のPLL回路を備えたクロック生成回路が用いられることもある。例えば、光ディスク駆動回路は、ロジック回路用の固定基準クロックを生成する基準PLL回路と光ディスク書き込みの複数の逡速に対応するための可変周波数レンジを有するPLL回路とを同一装置上に有している。このような複数のPLL回路を備えたクロック生成回路では、可変周波数レンジ内に固定基準クロック出力周波数の整数倍が存在する可能性がある。出力周波数を可変とするPLL回路の出力周波数をスイープさせて動作する際、このPLL回路の出力周波数が基準PLL回路の出力周波数の整数倍と近接して相互のPLL帯域(PLLループ帯域)に入った場合、PLL回路間のスプリアス等のノイズ干渉により、ジッタ悪化の原因となる。

10

## 【0003】

このようなPLL間のノイズ干渉を防止する技術として、特許文献1には、2系統のPLL周波数シンセサイザを有する周波数シンセサイザ回路において、一方のPLL回路の周波数変化を検出し、他方のPLL回路のチャージポンプ出力が一定になるよう制御し、PLL回路間のノイズ干渉の影響を抑制する技術が開示されている。

## 【0004】

また、特許文献2には、複数のPLL系を有するPLL回路において、各比較基準信号のエッジ差を所定値以上に保つことにより、PLL系の一方にPLL系の他方の比較基準信号成分が干渉するのを防止する技術が開示されている。

20

## 【0005】

【特許文献1】特開2000-68829号公報

【特許文献2】特開平10-56381号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0006】

ところで、特許文献1ではPLL回路中のチャージポンプ出力を一定にしてPLL回路の周波数変動を抑制することで干渉による周波数変動を抑制している。しかし、電圧制御発振器(VCO)へ回り込んで来る干渉によるノイズの抑制は出来ないため、VCOを経由するノイズ成分による周波数変動は抑制されない。したがって、回路間の干渉によって生じるスプリアスノイズ等の干渉によって不必要なノイズ成分が発生してしまうことになる。すなわち、干渉によるノイズは、主に電源ノイズとして伝わり、チャージポンプ出力を一定にすることによって電源変動(ノイズ)の影響を減らしても、VCOの電源がゆすられることによるジッタは、抑制されない。

30

## 【0007】

また、特許文献2では各比較基準信号のエッジ差を所定値以上に保つだけであるので、互いのPLL回路の出力信号周波数は、一致してしまう。したがって、PLL回路同士の干渉を防ぐことができず、PLL帯域内でのスプリアスノイズ等の干渉を抑えることは困難である。すなわち、前述のようにPLL帯域内でスプリアスノイズ等の干渉によってジッタが悪化するために、エッジ差を設けるだけではPLL帯域内でのスプリアスノイズ等の干渉の緩和とはならない。

40

## 【0008】

本発明の課題は、それぞれのPLL回路の出力周波数によって生じるPLL帯域内でのスプリアスノイズ等の干渉を抑えることにある。

## 【課題を解決するための手段】

## 【0009】

本発明の1つのアスペクトに係るPLL回路は、少なくとも第1および第2のPLL回

50

路を同一装置上に構成するPLL回路において、第2のPLL回路の出力信号周波数と所定の周波数との差が第1の閾値以下であるか否かを検出する検出器と、差が前記第1の閾値以下である場合に、第1のPLL回路の出力信号周波数を、第1の閾値より大きい第2の閾値以下であって第1の閾値より大きくなる範囲で変更する周波数設定回路と、を備える。

#### 【0010】

本発明の1つのアспектに係るPLL回路の干渉防止方法は、少なくとも第1および第2のPLL回路を同一装置上に構成するPLL回路の干渉防止方法において、第2のPLL回路の出力信号周波数と所定の周波数との差が第1の閾値以下であるか否かを検出し、差が第1の閾値以下である場合に、第1のPLL回路の出力信号周波数を、第1の閾値より大きい第2の閾値以下であって第1の閾値より大きくなる範囲で変更する。

10

#### 【発明の効果】

#### 【0011】

本発明によれば、同一装置上に2系統以上のPLL回路で構成される系において、PLL回路相互の出力周波数同士が整数倍近傍にならないように制御することで、PLL回路同士の干渉を防ぎ、PLL帯域内でのスプリアスノイズ等の干渉を抑えることができる。

#### 【発明を実施するための最良の形態】

#### 【0012】

本発明の実施形態に係るPLL回路は、第1のPLL回路(図1の10)と、第2のPLL回路(図1の20)と、検出器(図1の30)と、分周比設定回路(図1の40)と、を備える。検出器(図1の30)は、第2のPLL回路(図1の20)の出力信号周波数と所定の周波数との差が近傍を意味する第1の閾値以下であるか否かを検出する。分周比設定回路(図1の40)は、この差が第1の閾値以下である場合、すなわち近傍となる場合に第1のPLL回路(図1の10)の出力信号周波数を変更するように制御する。ここで、所定の周波数とは、第1のPLL回路(図1の10)の出力信号周波数に基づいて予め設定した固定の周波数である。また、所定の周波数は、第1のPLL回路(図1の10)の出力信号周波数の整数倍または整数分の一であってもよい。なお、第1の閾値は、第1及び第2のPLL回路のPLL帯域から定められる。

20

#### 【0013】

第1のPLL回路(図1の10)は、第1のPLL回路(図1の10)の出力信号周波数を定める分周器(図1の11、16、17)を備えると共に、分周器の分周比を分周比設定回路(図1の40)の制御によって変更可能となるように構成される。そして、分周比設定回路(図1の40)の制御によって変更された出力信号周波数と変更される前の出力信号周波数との差が第2の閾値以下、すなわち基準クロック周波数として許される範囲内となるように分周器の分周比を設定する。また、第2のPLL回路(図1の20)の出力周波数範囲が、第1のPLL回路の出力信号周波数の整数倍または整数分の一の周波数を含むものとする。

30

#### 【0014】

以上のような構成のPLL回路は、同一装置上に少なくとも2系統以上のPLL回路を含む。そして、少なくとも1つの周波数可変とされる第2のPLL回路の周波数を変化(例えばスイープ動作)させる際、固定とされる基準クロック信号を生成する第1のPLL回路の周波数の整数倍または整数分の一の近傍になる前に、固定基準クロック信号を生成する第1のPLL回路の周波数を基準クロック信号として許される範囲内で変更するようにする。このように基準クロック信号の周波数をずらすことでPLL回路のPLL帯域内でのスプリアスノイズ等の干渉を防ぐことができる。以下、実施例に即し、図面を参照して詳しく説明する。

40

#### 【実施例1】

#### 【0015】

図1は、本発明の第1の実施例に係るPLL回路の構成を示すブロック図である。図1において、PLL回路は、固定基準クロックを生成するPLL回路10と、所定の周波数

50

レンジ内で出力信号周波数を変化させて（例えばスweepさせて）出力するPLL回路20と、PLL回路20の出力周波数を検出し予め設定した所定の周波数と比較する検出器30と、分周比を設定する信号をPLL回路10に出力する分周比設定回路40とを備える。

#### 【0016】

PLL回路10は、 $1/M$ （ $M$ は正の整数）分周を行う分周器11、位相比較器12、チャージポンプ13、ローパスフィルタ（LPF）14、電圧制御発振器（VCO）15、 $1/P$ （ $P$ は正の整数）分周を行う分周器16、 $1/N1$ （ $N1$ は正の整数）分周を行う分周器17を備える。分周器11は、PLL回路10に入力される基準発振入力信号（周波数 $f_r$ ）を $1/M$ に分周して、位相比較器12の一方の入力端に出力する。一方、VCO15の発振出力信号（周波数 $P \cdot f_o1$ ）が分周器17によって $1/N1$ に分周され、分周信号（周波数 $P \cdot f_o1 / N1$ ）が位相比較器12の他方の入力端に入力される。位相比較器12は、VCO15の分周信号と分周器11の出力信号との位相を比較し、比較結果に基づいてチャージポンプ13を駆動する。チャージポンプ13の出力信号は、LPF14において積分され、直流電圧に変換され、VCO15に出力される。この直流電圧は、VCO15の発振周波数（周波数 $P \cdot f_o1$ ）を制御するためのコントロール電圧である。分周器16は、VCO15の発振出力信号を $1/P$ に分周して、出力信号（周波数 $f_o1$ ）を出力する。

10

#### 【0017】

このような構成のPLL回路10は、VCO15、分周器17、位相比較器12のフィードバックループによってPLL回路10の出力信号の周波数 $f_o1$ が所望の周波数 $f_1$ に設定（ロック）される。すなわち、 $f_o1 (= f_1) = N1 \cdot f_r / (M \cdot P)$ となる。ここで、分周器11の分周比 $1/M$ 、分周器16の分周比 $1/P$ 、および分周器17の分周比 $1/N1$ は、分周比設定回路40によって変更可能とされる。

20

#### 【0018】

一方、PLL回路20は、位相比較器22、チャージポンプ23、LPF24、VCO25、 $1/N2$ （ $N2$ は正の整数）分周を行う分周器27を備える。PLL回路20では、VCO25の発振出力信号（周波数 $f_o2$ ）が分周器27によって $1/N2$ に分周され、分周信号（周波数 $f_o2 / N2$ ）が位相比較器22の一方の入力端に入力される。位相比較器22は、VCO25の分周信号とPLL回路20の入力比較信号（周波数 $f_i$ ）との位相を比較し、比較結果に基づいてチャージポンプ23を駆動する。チャージポンプ23の出力信号は、LPF24において積分され、直流電圧に変換され、VCO25に出力される。この直流電圧は、VCO25の発振周波数 $f_o2$ を制御するためのコントロール電圧である。VCO25の出力信号がPLL回路20の出力信号となる。

30

#### 【0019】

このような構成のPLL回路20において、VCO25、分周器27、位相比較器22のフィードバックループによってPLL回路20の出力信号の周波数 $f_o2$ と周波数 $f_i$ とがロックする。すなわち、 $f_o2 = N2 \cdot f_i$ となる。なお、VCO25の出力信号の周波数 $f_o2$ がPLL回路10の出力信号の周波数 $f_o1$ の整数倍または整数分の一の周波数を含むような範囲において、入力比較信号の周波数 $f_i$ が変化するものとする。

40

#### 【0020】

検出器30は、PLL回路10の出力信号における所望の出力周波数 $f_1$ とPLL回路20の出力信号の出力周波数 $f_o2$ とを比較し、比較結果に基づいて分周比設定回路40に分周比コントロール信号CNTを出力する。分周比設定回路40は、分周比コントロール信号CNTによってPLL回路10における分周比を設定する。具体的には、PLL回路20の出力周波数 $f_o2$ がPLL回路10における出力周波数 $f_o1$ の整数倍または整数分の一の近傍にならないように、すなわち基本波および高調波の関係とならないように、分周器11、16、17の少なくとも一つの分周器における分周比を変更する。すなわち、整数 $N1$ 、 $M$ 、 $P$ の少なくとも一つを変更する。

#### 【0021】

50

ここで、PLL回路10の出力周波数 $f_{o1}$ の変更方法について説明する。図2は、PLL回路10、20の周波数スペクトル特性を示す図である。図2において、PLL回路10のPLL帯域幅を $f_{c1}$ 、PLL回路20のPLL帯域幅を $f_{c2}$ 、先に述べた第1の閾値を $f_{t1}$ とする。この時、図2(a)に示すように、 $|f_{o1} - f_{o2}| = f_{t1} = f_{c1} + f_{c2}$ であれば、PLL回路10とPLL回路20のPLL帯域が重なり合っ、PLL回路間に干渉が生じてしまう。この場合には、図2(b)に示すように、 $|f_{o1} - f_{o2}| > f_{t1} = f_{c1} + f_{c2}$ となるようにPLL回路10の出力周波数 $f_{o1}$ を変更する。このように変更することで、PLL帯域同士の重なりが無くなってPLL回路間の干渉を抑えることが可能となる。

#### 【0022】

10

さらに、PLL回路10の出力周波数は、基準クロックとして許された範囲、すなわちクロック信号の周波数可変許容範囲で変更されるようにする。図3は、PLL回路10の出力周波数の変更方法を示す図である。図3において、先に述べた第2の閾値を $f_{t2}$ とする。ここで、例えばPLL回路20の出力周波数 $f_{o2}$ が上昇してPLL回路10の出力周波数 $f_{o1}$ に接近し、 $|f_{o1} - f_{o2}| = f_{t1}$ となったとする。この場合に、PLL回路10の出力周波数 $f_{o1}$ を周波数可変許容範囲に収まる、例えば $f_{o1} - f_{t2}$ に変更するようにする。

#### 【0023】

図4は、本発明の第1の実施例に係るPLL回路の動作を示すフローチャートである。PLL回路10の出力信号における出力周波数 $f_{o1}$ が基準クロックとして所望される周波数 $f_1$ にロックしている状態であるとする(ステップS11)。検出器30は、周波数可変であるPLL回路20の出力周波数 $f_{o2}$ をモニタし(ステップS12)、PLL回路20の出力周波数 $f_{o2}$ がPLL回路10における所望の周波数 $f_1$ の整数倍または整数分の一の近傍になったか否かを判別する(ステップS13)。ステップS13で近傍ではないと判別される場合、ステップS12、S13を繰り返す。ステップS13で近傍であると判別された場合、検出器30が分周比設定回路40の制御を行う分周比コントロール信号CNTを分周比設定回路40に出力する。分周比設定回路40は、PLL回路10における分周比を切り替える。分周比の切り替えによって、PLL回路10の出力周波数 $f_{o1}$ は、基準クロックとして許された範囲であって、且つ、 $f_1$ の整数倍または整数分の一の近傍ではない周波数 $f_2$ に切り替わる(ステップS14)。

20

30

#### 【0024】

本実施例のPLL回路は、以上のように動作し、PLL回路10の周波数を基準クロック信号として許される範囲内であって、かつPLL回路10の所望の周波数 $f_1$ とPLL回路20の出力周波数 $f_{o2}$ とが相互に整数倍(基本波および高調波関係)の近傍にはならない範囲となるように制御する。このような制御によってPLL回路の出力周波数同士が整数倍の近傍にならないので、PLL回路間のスプリアスノイズ等の干渉を防ぎ、スプリアスノイズ等の干渉に起因するPLLジッタの悪化を防ぐことができる。

#### 【0025】

以上説明したようなPLL回路は、例えば光ディスク装置等に適用される。光ディスク装置において、PLL回路10の出力信号は、装置のシステムクロック信号、例えばDRAMのクロック信号として用いられる。また、PLL回路20は、光ディスクの記録または再生におけるデータの書き込みまたは読み出し周波数に追従して動作し、出力信号の周波数が変動するPLL回路20の出力信号は、光ディスクのアクセスに必要なクロック信号として用いられる。このような光ディスク装置では、システムクロック信号の周波数の整数倍が光ディスクの記録または再生における信号の周波数の可変範囲内に存在することが起こりうる。これに対して本実施例のPLL回路を適用することで、PLL帯域内でのスプリアスノイズ等の干渉を抑え、信頼性の高い光ディスク装置を提供することができる。

40

#### 【実施例2】

#### 【0026】

50

図5は、本発明の第2の実施例に係るPLL回路の構成を示すブロック図である。図5において、図1と同一の符号は、同一物を表し、その説明を省略する。図5に示すPLL回路は、図1における検出器30の代わりに、PLL回路10、20の出力信号を入力する周波数比較器50を備える。周波数比較器50は、PLL回路10の出力周波数 $f_{o1}$ とPLL回路20の出力周波数 $f_{o2}$ とを比較し、比較結果に基づいて分周比設定回路40に分周比コントロール信号CNTを出力する。分周比設定回路40は、分周比コントロール信号CNTによってPLL回路10の分周比を設定する。

#### 【0027】

図6は、本発明の第2の実施例に係るPLL回路の動作を示すフローチャートである。図6において、図4と同一の符号のステップは、同一処理を表し、その説明を省略する。周波数比較器50でPLL回路10の出力周波数 $f_{o1}$ と周波数可変であるPLL回路20の出力周波数 $f_{o2}$ とをモニタする(ステップS22)。PLL回路20の出力周波数 $f_{o2}$ がPLL回路10の出力周波数 $f_{o1}$ の整数倍または整数分の一の近傍になったか否か判別する(ステップS23)。ステップS23で近傍ではないと判別される場合、ステップS22、S23を繰り返す。ステップS23で近傍であると判別された場合、周波数比較器50が分周比設定回路40の制御を行う分周比コントロール信号CNTを分周比設定回路40に送信し、分周比設定回路40がPLL回路10の分周比を切り替える。分周比の切り替えによって、PLL回路10の出力周波数 $f_{o1}$ は、基準クロックとして許された範囲であって、且つ、 $f_{o1}$ の整数倍または整数分の一の近傍ではない周波数 $f_{o2}$ に切り替わる(ステップS24)。

10

20

#### 【0028】

以上のように第2の実施例に係るPLL回路は、第1の実施例と同様に、PLL回路10の出力周波数 $f_{o1}$ とPLL回路20の出力周波数 $f_{o2}$ とが相互に整数倍の近傍にならないように制御される。したがって、PLL回路間のスプリアスノイズ等の干渉を防ぎ、スプリアスノイズ等の干渉に起因するPLLジッタの悪化を防ぐことができる。

#### 【0029】

以上本発明を上記実施例に即して説明したが、本発明は、上記実施例にのみ限定されるものではなく、本願特許請求の範囲の各請求項の発明の範囲内で当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

#### 【図面の簡単な説明】

30

#### 【0030】

【図1】本発明の第1の実施例に係るPLL回路の構成を示すブロック図である。

【図2】PLL回路10、20の周波数スペクトル特性を示す図である。

【図3】PLL回路10の出力周波数の変更方法を示す図である。

【図4】本発明の第1の実施例に係るPLL回路の動作を示すフローチャートである。

【図5】本発明の第2の実施例に係るPLL回路の構成を示すブロック図である。

【図6】本発明の第2の実施例に係るPLL回路の動作を示すフローチャートである。

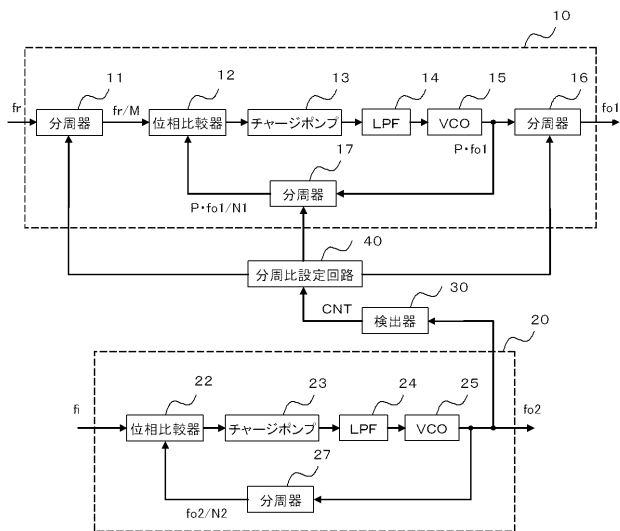
#### 【符号の説明】

#### 【0031】

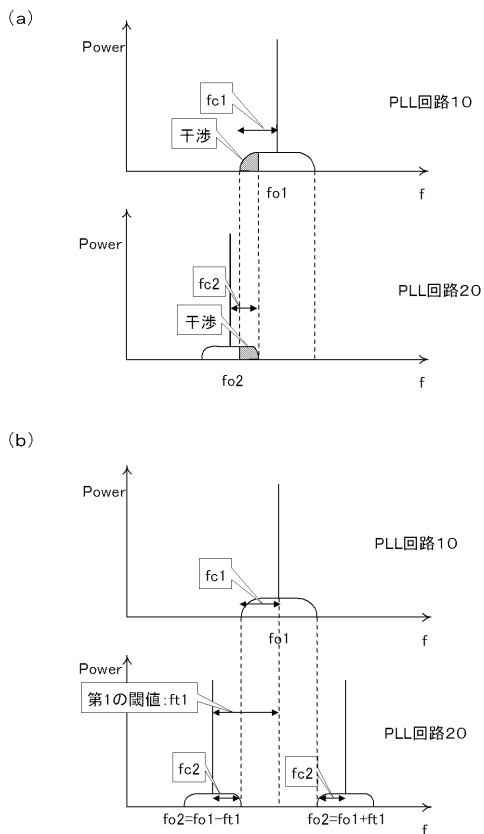
- 10、20 PLL回路
- 11、16、17、27 分周器
- 12、22 位相比較器
- 13、23 チャージポンプ
- 14、24 ローパスフィルタ(LPF)
- 15、25 電圧制御発振器(VCO)
- 30 検出器
- 40 分周比設定回路
- 50 周波数比較器

40

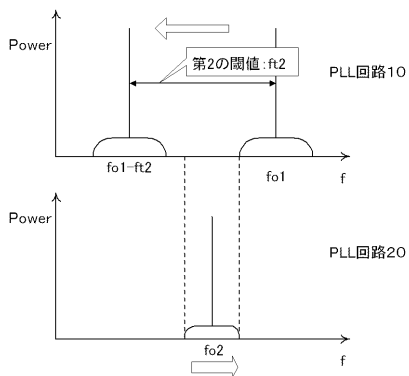
【図1】



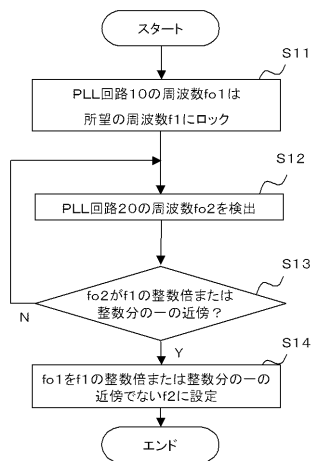
【図2】



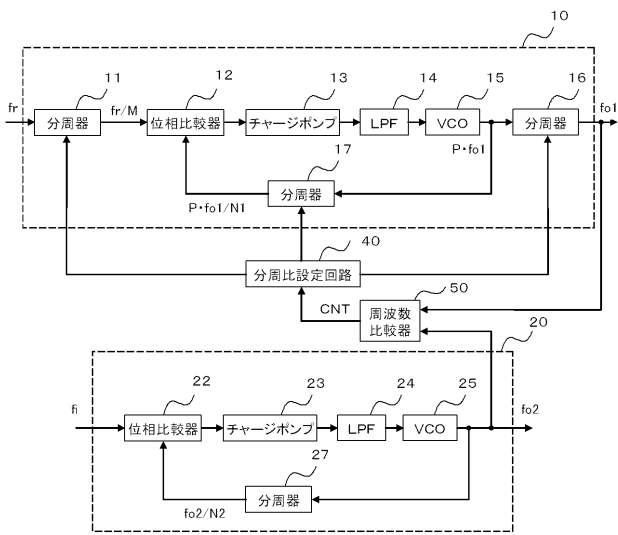
【図3】



【図4】



【図5】



【図6】

