

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3655247号  
(P3655247)

(45) 発行日 平成17年6月2日(2005.6.2)

(24) 登録日 平成17年3月11日(2005.3.11)

(51) Int.Cl.<sup>7</sup>

F I

H O 2 M 3/155

H O 2 M 3/155

H

H O 2 M 3/28

H O 2 M 3/28

F

H O 2 M 7/21

H O 2 M 7/21

A

請求項の数 7 (全 17 頁)

(21) 出願番号 特願2002-40918 (P2002-40918)  
 (22) 出願日 平成14年2月19日(2002.2.19)  
 (65) 公開番号 特開2003-244946 (P2003-244946A)  
 (43) 公開日 平成15年8月29日(2003.8.29)  
 審査請求日 平成16年2月18日(2004.2.18)

(73) 特許権者 503121103  
 株式会社ルネサステクノロジ  
 東京都千代田区丸の内二丁目4番1号  
 (74) 代理人 100080001  
 弁理士 筒井 大和  
 (74) 代理人 100075096  
 弁理士 作田 康夫  
 (72) 発明者 岩崎 貴之  
 茨城県日立市大みか町七丁目1番1号  
 株式会社 日立製作所 日立  
 研究所内  
 (72) 発明者 坂本 光造  
 茨城県日立市大みか町七丁目1番1号  
 株式会社 日立製作所 日立  
 研究所内  
 最終頁に続く

(54) 【発明の名称】 同期整流回路及び電源装置

(57) 【特許請求の範囲】

【請求項1】

出力側から戻る戻り電流を同期整流する半導体スイッチ素子と、戻り電流を検出する検出手段と、前記半導体スイッチ素子の制御端子に加える駆動電圧を発生する手段とを具備した同期整流回路において、

前記検出手段が、前記半導体スイッチ素子に直列に接続した抵抗と、該抵抗の両端の電位差を検出するものであって、

前記検出手段の検出値が大きくなるに従って、前記駆動電圧を発生する手段が、前記半導体スイッチ素子の制御端子駆動電圧を連続的に変化あるいは多段階に変化させて、制御端子駆動電圧を高くすることを特徴とする同期整流回路。

10

【請求項2】

請求項1に記載の同期整流回路において、前記半導体スイッチ素子がM O S F E Tであって、前記検出手段が前記直列に接続した抵抗に代えて、前記M O S F E Tのソースとドレインとの間の電圧を検出することを特徴とする同期整流回路。

【請求項3】

1次巻線と該1次巻線と同一極性の2次巻線とを備えたトランスと、前記トランスの1次巻線に印加される電力をスイッチングするスイッチング手段と、前記トランスの1次巻線に電力が印加されているときに、前記2次巻線に誘起された電力を蓄積すると共に平滑して出力側へ出力する平滑手段と、出力側から戻る戻り電流を同期整流する並列に接続した半導体スイッチ素子と、前記戻り電流を検出する検出手段と、前記半導体スイッチ素子

20

の制御端子に加える駆動電圧を発生する手段とを有する電源装置において、

前記検出手段が、前記半導体スイッチ素子に直列に接続した抵抗と、該抵抗の両端の電位差を検出するものであって、

前記検出手段の検出値が大きくなるに従って、前記駆動電圧を発生する手段が、前記半導体スイッチ素子の制御端子駆動電圧を連続的に変化あるいは多段階に変化させて、制御端子駆動電圧を高くすることを特徴とする電源装置。

【請求項 4】

1 次巻線と該 1 次巻線の極性と異なる 2 次巻線とを備えたトランスと、前記トランスの 1 次巻線に印加される電力をスイッチングするスイッチング手段と、前記 2 次巻線に誘起された電力を平滑して出力側へ出力する平滑手段と、出力側から戻る戻り電流を同期整流する半導体スイッチ素子と、前記戻り電流を検出する検出手段と、前記半導体スイッチ素子の制御端子に加える駆動電圧を発生する手段とを有する電源装置において、

前記検出手段が、前記半導体スイッチ素子に直列に接続した抵抗と、該抵抗の両端の電位差を検出するものであって、

前記検出手段の検出値が大きくなるに従って、前記駆動電圧を発生する手段が、前記半導体スイッチ素子の制御端子駆動電圧を連続的に変化あるいは多段階に変化させて、制御端子駆動電圧を高くすることを特徴とする電源装置。

【請求項 5】

1 次巻線と、中点が設けた 2 次巻線とを備えたトランスと、前記トランスの 1 次巻線に一方の電圧を印加した後に前記電圧の印加を所定時間停止し、前記 1 次巻線に他方向の電圧を印加した後に電圧の印加を所定時間停止することを繰り返す電圧印加手段と、前記トランスの 2 次巻線の両端と、この両端を互いに接続する接続点との間に配置した一対のスイッチ手段と、前記 2 次巻線の中点と前記接続点との間に配置し、前記中点と接続点との間の電力を平滑して出力側へ出力する平滑手段と、出力側から戻る戻り電流を検出する一対の検出手段と、前記半導体スイッチ素子の制御端子に加える駆動電圧を発生する手段とを有する電源装置において、

前記検出手段が、前記半導体スイッチ素子に直列に接続した抵抗と、該抵抗の両端の電位差を検出するものであって、

前記検出手段の検出値が大きくなるに従って、前記駆動電圧を発生する手段が、前記半導体スイッチ素子の制御端子駆動電圧を連続的に変化あるいは多段階に変化させて、制御端子駆動電圧を高くすることを特徴とする電源装置。

【請求項 6】

請求項 3 から 5 の何れかに記載の電源装置において、前記半導体スイッチ素子が MOSFET であって、前記検出手段が前記直列に接続した抵抗に代えて、前記 MOSFET のソースとドレインとの間の電圧を検出することを特徴とする電源装置。

【請求項 7】

請求項 3 から 5 の何れかに記載の電源装置において、前記半導体スイッチ素子が IGBT であることを特徴とする電源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電源装置に係り、特に、電子機器等に用いる同期整流回路及び電源装置に関する。

【0002】

【従来の技術】

従来技術の電子機器等に用いる電源装置として、図 16 に示す電源装置が知られている。図 16 に示す電源装置では、直流入力電源 60 から入力コンデンサ 61 を備えた入力部 51 に入力した直流電力を駆動部 70 が出力する制御信号に基づいてスイッチング部 52 でスイッチングし、ダイオード 63 や出力フィルタ 55 を備えた出力部 53 から負荷 66 に電力を供給する。また、負荷 66 へ出力した電圧や電流を検出部 67 で検出し、この検出

10

20

30

40

50

値と設定部 6 8 で設定した負荷 6 6 の制御目標値とを比較演算部 6 9 で比較して、駆動部 7 0 から比較結果に基づいた制御信号をスイッチング部 5 2 に出力する。このようにして負荷に供給される電力が制御目標値と一致するように制御する。

#### 【 0 0 0 3 】

このような従来技術の電源装置の具体的な回路構成を図 1 7 に示す。図 1 7 に示すように、スイッチング部 5 2 は、能動素子 (例えばトランジスタや MOSFET 等) 6 2 で構成されている。出力部 5 3 は、ダイオード 6 3 と、チョークコイル 6 4 及びコンデンサ 6 5 で構成された出力フィルタ 5 5 とで構成されている。制御部 5 4 は、比較演算部 6 9 , 設定部 6 8 , 駆動部 7 0 で構成されている。さらに、制御部 5 4 は図示しない発振回路を備えており、駆動部 7 0 からパルス信号を能動素子 6 2 に出力する。これにより能動素子 6 2 に印加される直流入力電源 6 0 からの直流電圧  $V_{in}$  がスイッチングされる。

10

#### 【 0 0 0 4 】

能動素子 6 2 がオンの場合には、直流電力はチョークコイル 6 4 及びコンデンサ 6 5 にチャージされると共に負荷 6 6 へ供給される。能動素子 6 2 がオフの場合は、チョークコイル 6 4 及びコンデンサ 6 5 にチャージされていたエネルギーがダイオード 6 3 を介して負荷 6 6 に供給される。

#### 【 0 0 0 5 】

このとき、制御部 5 4 では、比較演算部 6 9 において検出部 6 7 で検出した出力電圧  $V_o$  をモニタし、これと設定部 6 8 で設定された制御目標値と比較し、駆動部 7 0 から比較結果に基づいた制御信号をスイッチング部 5 2 に出力する。これにより能動素子 6 2 がオン

20

オフ制御され、負荷に供給される電力が制御目標値と一致するように制御される。このときの出力電圧  $V_o$  は次の (数 1) 式で示される。

#### 【 0 0 0 6 】

$$V_o = V_{in} \times (T_{ON} / T) \quad \dots (数 1)$$

(数 1) 式中、 $V_{in}$  は入力直流電圧、 $T$  は駆動部 7 0 が出力するパルス信号の周期、 $T_{ON}$  は周期  $T$  のうち能動素子 6 2 が導通の時間を示す。すなわち、 $T_{ON} / T$  はデューティ比を示す。

#### 【 0 0 0 7 】

別の従来技術として、図 1 9 に示す転流側に MOSFET 3 を使用した同期整流方式の電源装置がある。この従来技術は図 2 0 に示すように、ダイオードの電流 - 電圧特性が非線形性であるのに対し、MOSFET の電流 - 電圧特性がゲート電圧によっては線形性になり、電圧降下がダイオードより小さいことを利用している。

30

#### 【 0 0 0 8 】

この図 1 9 に示す電源装置は、スイッチング用の MOSFET 2 を備え、この MOSFET 2 のゲート端子に、制御回路 8 から制御信号を入力する。MOSFET 2 が導通状態の場合は、入力電力はチョークコイル 4 を通ってコンデンサ 5 に充電されると共に負荷 6 に供給される。次に MOSFET 2 が非導通状態になると、チョークコイル 4 に蓄えられていた磁気エネルギーが放出され、コンデンサ 5 及び負荷 6 を経由して転流電流が検出抵抗 7 , 寄生ダイオード 3 A を流れる。このとき、検出抵抗 7 により電圧降下が生じるが、この電圧降下を検出電圧として比較器 8 0 で基準電圧電源 8 2 から出力される基準電圧  $V_{ref}$  と比較する。そして、検出電圧が基準電圧よりも高い場合には比較器 8 0 はハイレベルを出力し、駆動回路 8 1 を介して MOSFET 3 を導通させる。

40

#### 【 0 0 0 9 】

さらに別の従来技術が実開平 6 - 4 4 3 9 6 号公報に開示されていて、ダイオードに生じる電力損失  $P_D$  が大きくなる問題を解決するため、MOSFET を並列に接続してオン抵抗を  $1/2$  にする。これを図 2 2 に示す。

#### 【 0 0 1 0 】

また特開 2 0 0 1 - 1 6 1 0 7 2 号公報に、出力電流により、並列接続した MOSFET のうち、オンになる MOSFET 数を段階的に変える従来技術が開示されている。これを図 2 4 に示す。図 2 4 に示す同期整流回路は、基準電圧電源 8 2 , 1 2 2 の

50

電圧に応じて少なくとも1つを選択して駆動する。 $V_{ref1} < V_{ref2}$  のとき、複数のスイッチ素子が全て同一特性、すなわち流せる電流の大きさが同じ場合において、検出値が小さいとき、すなわち軽負荷時には1つのスイッチング素子MOSFET3を駆動し、検出値が大きくなる、すなわち重負荷になるに従って駆動するスイッチング素子を増やすことができる。このため、軽負荷時には1つのスイッチング素子のみを駆動することにより、無駄な駆動電力の消費を防ぎ、重負荷時には複数のスイッチング素子を駆動することによりスイッチ素子1個当たりの損失を小さくできる。従って軽負荷時から重負荷時に亘って、電源効率を向上できる。

【0011】

【発明が解決しようとする課題】

前記図16に示した従来技術の出力部53の転流側には、図17に示すように受動素子であるダイオード63を使用するのが通常である。ダイオード63は、図18に示すような電流-電圧特性を有しており、電流がある所定値以上になると、順方向電圧が飽和状態になる。この飽和電圧は、高速ダイオードにおいては $0.9V \sim 1.3V$ 、ショットキーダイオードでは $0.45V \sim 0.55V$ 程度となっている。このように、ダイオード63の順方向電圧が飽和することにより電力損失が生じ、電源変換効率を悪化させる問題があった。さらに、電力損失が大きく素子のジャンクション温度が上昇するため、出力電流を大きくする程、ダイオード63を多くし、2個や3個等を並列接続し、1素子当たりの電力損失を分散させ、ジャンクション温度を抑制する必要がある。

【0012】

また、前記図19に示す電源回路の変換効率(出力電圧/入力電圧)は図21に示す如く、出力電流 $I_o$ の増加と共に低下する。これは、下記(数2)式に示すMOSFETの電力損失 $P_{FET}$ がオン抵抗 $R_{on}$ 一定の下、ドレイン電流 $I_D$ の2乗の比例して増加するためである。

【0013】

$$P_{FET} = R_{on} \times I_D^2 = (R_{on} \times I_D) \times I_D \quad \dots (数2)$$

さらに、MOSFETの電圧降下( $R_{on} \times I_D$ )とダイオードの電圧降下 $V_F$ とを比較すると、 $R_{on} \times I_D < V_F$ となるのが一般的である。従って、出力電流が大きくなるほど下記(数3)式に示すダイオードに生じる電力損失 $P_D$ が大きくなる。

【0014】

$$P_D = V_F \times I \quad \dots (数3)$$

また、前記図22に示す電源装置では、2個のMOSFETを常に同時に駆動するため、駆動電力が2倍必要となり、図23に示すように定格出力時の効率を改善できても、軽負荷時の損失が相対的に増加し、効率が低下する問題がある。

【0015】

本発明は、軽負荷時から重負荷時に亘って、連続的な制御ができ、さらにチップ数の増加がないため、ピンに伴う寄生容量や実装面積の増加がない電源装置を提供することを目的とする。

【0016】

【課題を解決するための手段】

本発明は、上記目的を達成するために、出力側から戻る戻り電流を同期整流するスイッチ素子と、前記のスイッチ素子と直列に接続すると共に前記戻り電流を検出する検出手段とを含む同期整流回路であって、前記検出手段の検出値に応じて前記のスイッチ素子のゲート電圧を変えて駆動する駆動手段を備えた。

【0017】

同期整流回路は、例えば入力電力をスイッチングし、入力電力がオンのときに入力電力を蓄えながら負荷へ出力し、入力電力がオフのときには蓄えた電力を負荷へ出力するような電源装置に用いられる。同期整流回路は、例えば出力側、すなわち負荷側から戻る戻り電流、すなわち、例えば入力電力がオンの際に流れる整流電流や入力電力がオフのときに流れる転流電流を同期整流するスイッチ素子を備えている。このスイッチ素子は制御信号に

10

20

30

40

50

基づいて制御され、例えば制御信号がハイレベルの場合にオンにし、ローレベルの場合はオフにする。

【0018】

また、前記のスイッチ素子は、検出手段と直列に接続している。従って、例えば制御信号によりスイッチ素子がオンされた場合には検出手段を流れる電流が該スイッチ素子にも流れ、制御信号によりスイッチ素子がオフされた場合には検出手段を流れる電流は該スイッチ素子には流れない。このスイッチ素子には、ユニポーラトランジスタ、例えばMOSFETやバイポーラトランジスタや、IGBTを用いることができる。

【0019】

検出手段は、スイッチ素子と直列に接続しており、出力側からの戻り電流、すなわち整流電流又は転流電流を検出する。この検出手段は、例えば抵抗を用いることができる。電流がこの検出手段を流れることにより、流れた電流に応じた電圧を検出できる。

10

【0020】

このような同期整流回路において、駆動手段は、検出手段の検出値に応じてスイッチ素子を駆動する。検出値が小さい場合、すなわち軽負荷時にはゲート電圧を低くし、検出値が大きくなるに従って、すなわち重負荷になるに従ってゲート電圧を高くする。このため、軽負荷時にはゲート電圧が低いので、ゲートの充放電損失が低減し、重負荷時にはゲート電圧を高くして、スイッチ素子のオン抵抗を低減し、損失を小さくする。従って、軽負荷時から重負荷時に亘って電源効率を向上できる。

【0021】

20

【発明の実施の形態】

以下、本願発明の実施例を図面を用いて詳しく説明する。

【0022】

(実施例1)

以下、図面を参照して本実施例を説明する。図1に本実施例に係る電源装置を示す。図1に示すように、電源装置はPチャンネルのMOSFET2を備え、MOSFET2のソース端子に電源側端子が接続し、電源側端子に入力電圧 $V_{in}$ を印加する。MOSFET2のドレイン端子はチョークコイル4の一端とNチャンネルのMOSFET3のドレイン端子とに接続している。チョークコイル4の他端は、コンデンサ(例えば電解コンデンサ)5の一端と負荷6とに接続し、コンデンサ5の他端はGND(接地)端子に接続している。MOSFET3のソース端子は検出抵抗7の一端に接続し、検出抵抗7の他端が、GNDに接続している。検出抵抗7の両端の電圧差をDC-DCコンバータ9に入力し、MOSFET3のゲート電圧を制御する。なお、MOSFET3は、その特性により寄生ダイオード3Aを備えている。

30

【0023】

次に、本実施例1の動作を説明する。まず、制御回路8が出力する制御信号でMOSFET2が導通(オン)するとドレイン電流 $I_D$ が流れ、該ドレイン電流 $I_D$ がチョークコイル4を介してコンデンサ5を充電しながら負荷6へ出力される。

【0024】

次に、MOSFET2が非導通(オフ)になると、チョークコイル4に蓄積されていたエネルギーがコンデンサ5、負荷6を経由して検出抵抗7、MOSFET3の寄生ダイオード3Aを転流電流 $I_S$ として流れる。このとき、検出抵抗7の抵抗値 $R_1$ と転流電流 $I_S$ との積とによる電圧降下、検出電圧 $V_{S1} (= (R_1 \times I_S))$ により、MOSFET3のゲート電圧を変える。転流電流 $I_S$ が小さい時、すなわち軽負荷時にはMOSFET3のゲート電圧を低くし、転流電流 $I_S$ が大きくなった時には、ゲート電圧を高くする。ここで、MOSFET3を駆動したときに生じる損失 $P_1$ は下記(数4)式で計算できる。

40

【0025】

$$P_1 = R_{on} \times (I_{D1})^2 + P_{dr} \quad \dots (数4)$$

(数4)式中、 $I_{D1}$ はMOSFET3に流れるドレイン電流の実効値、 $R_{on}$ はMOSFET3のオン抵抗、 $P_{dr}$ はドライブ電力を示す。ゲート電圧を高くした場合、オン抵抗

50

$R_{on}$ は低下し、導通損失は低下する。一方、ゲートの充放電損失は増加する。よって、導通損失の低下>ゲート充放電損失の増加を満たす場合、電源効率は向上する。

【0026】

図2に各部の電圧及び電流波形を示す。図2(C), (D), (E)に示すように、電流値が小さいとき、すなわち軽負荷時には下アームMOSのゲート電圧を低くし、電流値が大きいとき、すなわち重負荷時にはゲート電圧を高くする。

【0027】

このように、軽負荷時にゲート電圧を低くすることで、損失を低減できる理由を述べる。軽負荷時の主要な損失成分は、ゲート充放電損失 $P_{dr}$ であるので、ゲート電圧を低くすることで、(4)式のオン抵抗 $R_{on}$ は高くなるが、ゲート充放電損失 $P_{dr}$ を低減でき 10  
る。ここで、MOSFET3のゲート充放電損失 $P_{dr}$ は、下記(数5)式の如く計算できる。

【0028】

$$P_{dr} = C_g \times V_g^2 \times f \quad \dots (数5)$$

(数5)式中、 $C_g$ はゲート容量、 $V_g$ はゲート電圧、 $f$ はスイッチング周波数である。

【0029】

次に、重負荷時に、ゲート電圧を高くすることで、損失を低減できる理由を述べる。重負荷時の主要な損失成分は、MOSFET3の導通損失、すなわち、

(数4)式の $R_{on} \times (I_{D1})^2$ の項である。ゲート電圧を高くすると、(数5)式に示すようにゲート充放電損失 $P_{dr}$ は大きくなるが、オン抵抗 $R_{on}$ が小さくなるので、全体 20  
の損失は小さくなる。したがって、図3に示すように、電流値が大きくなるとともに、ゲート電圧を高くすることにより、軽負荷時から重負荷時に亘って損失を低減でき、ゲート電圧一定で駆動した場合と比べて、電源効率を向上できる。

【0030】

図4は、本実施例と、特開2001-161072号公報(図24)に開示の従来技術とを比較したものである。従来技術では、並列接続したMOSFETのうち、オンになるMOSFETの数を段階的に変えるので、切り替えの際に効率が低下し、グラフに窪みができる。出力電流値が大きくなった場合に、オンになるMOSFET数を増やす「しきい電流」を図4に示すように、小さい順に、

$I_{s1}$ ,  $I_{s2}$ とする。図4に示すように従来技術では、このしきい電流付近で効率が低下する。電流値が大きくなるに従い、オンになるMOSFET数を増やすという従来技術では、制御が段階状になるので、MOSFET数を切り換える際の効率低下を避けることができない。 30

【0031】

一方、本実施例では、ゲート電圧を可変にするので、連続的な制御が可能となり、軽負荷から重負荷まで、高効率を達成できる。本実施例では、電流値に応じて、ゲート電圧を連続的に変えることが望ましいが、ゲート電圧をゼロから段階的に変えても、同様に高い効率を達成できる。図5に示すように、MOSFETに流れる電流が $I_{s1}$ ,  $I_{s2}$ ,  $I_{s3}$ ,  $I_{s4}$ のとき、ゲート電圧をゼロから段階的に高くする。この方法は検出抵抗7の両端の電圧を、DC-DCコンバータ9内で複数の基準電圧と比較して、ゲート電圧を出力 40  
する場合に相当する。

【0032】

図6は、ゲート電圧を段階的に切り換えた電源装置である。図6の電源装置は、スイッチング用のMOSFET2を備え、このMOSFET2のゲート端子には、制御回路8から制御信号が入力される。MOSFET2が導通状態の場合は、入力電力はチョークコイル4を通してコンデンサ5を充電すると共に負荷6に供給される。次にMOSFET2が非導通状態になると、チョークコイル4に蓄えていた磁気エネルギーを放出し、コンデンサ5及び負荷6を経由して転流電流が検出抵抗7, 寄生ダイオード3Aに流れる。このとき、検出抵抗7で電圧降下を生じるが、この電圧降下を検出電圧として、比較器80, 120で、基準電圧電源82, 122が出力する基準電圧 $V_{ref1}$ ,  $V_{ref2}$ とそれぞれ 50

比較する。そして、検出電圧が基準電圧よりも高い場合には比較器 80 はハイレベルを出力し、駆動回路 81, 121 を介して MOSFET 111, 112 を導通させる。Vref1 と Vref2 には、 $V_{ref1} < V_{ref2}$  の関係があるため、低い電流値で MOSFET 112 がオンになる。MOSFET 112 のドレイン端子には直流電源 115 の Vdd1 が接続し、ソース端子にはダイオード 113 を介して、増幅器 123 の電源端子に接続する。Vdd1 は MOSFET 3 を駆動する電源となる。MOSFET 3 を流れる電流が増加し、検出抵抗 7 の電圧降下がさらに大きくなると、Vref2 以上になり、MOSFET 111 がオンになる。この場合、MOSFET 3 を駆動する電源は直流電源 114 の Vdd2 となる。但し、 $V_{dd2} > V_{dd1}$  の関係があり、ダイオード 113 は MOSFET 111 がオンになったときに、Vdd1 MOSFET 111 MOSFET 112 Vdd2 の経路で短絡電流が流れないように挿入する。以上述べたように、電流値に応じて、段階的にゲート電圧を切り換える場合は、MOSFET 3, 10 のゲートドライブ回路が簡易になる。

10

#### 【0033】

実施例 1 では、MOSFET 3 に流れる電流を検出する手段として、検出抵抗 7 を用いたが、MOSFET 3 のソース、ドレイン間の電圧を検出し、この電圧に応じて MOSFET 3 のゲート電圧を制御しても良い。MOSFET 3 のソース、ドレイン間の電圧を検出すれば、電流検出に伴う損失が無いので、効率が向上する。

#### 【0034】

ゲート電圧を、電流値により可変とする方法は、図 1 の下アーム MOSFET 3 だけでなく、上アーム MOSFET 2 に対しても有効である。図 7 は上アームと下アーム MOSFET のゲート電圧とを可変とした場合の電圧、電流波形である。図 7 (C), (D) に示すように、MOSFET 2 および MOSFET 3 のドレイン電流が大きくなるに従い、図 7 (A), (B) に示すように MOSFET 2 と

20

MOSFET 3 のゲート電圧を高くする。このようにして、下アーム MOSFET 3 だけでなく、上アーム MOSFET 2 の損失も低減できるので、電源効率が向上する。

#### 【0035】

##### (実施例 2)

次に、図 8 を用いて本実施例を説明する。実施例 1 と異なる点は、上アーム MOSFET 10 が N チャンネルという点である。図 8 で、MOSFET 10 がオンのとき、MOSFET 10 のソース電位は、直流入力電源 1 の電圧となるので、ゲートには、「入力電源電圧 + ゲート電圧」の大きさの電圧を印加する必要がある。制御回路 8 にはトランスやブートストラップコンデンサなどを用いる。ただし、N チャンネルの MOSFET 10 は P チャンネルの MOSFET 2 と比べ、オン抵抗 RON が小さいので導通損失が小さく、より電源効率が向上できる。

30

#### 【0036】

##### (実施例 3)

次に、本実施例を図 9 を用いて説明する。実施例 1 と異なる点は、下アーム MOSFET 3 と並列にショットキーダイオード 18 を挿入した点である。図 2 (E) に示すように、上アーム MOSFET 2 がオフになってから、下アーム MOSFET 3 がオンになるまで、上および下アーム MOSFET がともにオフする期間、いわゆるデッドタイムを設ける。デッドタイム中は、下アーム MOSFET 3 の寄生ダイオード 3A に電流が流れる。デッドタイムを設ける理由は、上および下アーム MOSFET が同時にオンになる直流入力電源 1, 上アーム MOSFET 2, 下アーム MOSFET 3 の経路で、大きな貫通電流が流れ損失を発生し、最悪の場合、発熱のため MOSFET が破壊することを防止するためである。ショットキーダイオード 18 の順方向飽和電圧は寄生ダイオード 3A より小さいため転流電流による損失を低減でき、電源効率を向上できる。

40

#### 【0037】

##### (実施例 4)

図 10 を用いて本実施例を説明する。本実施例ではトランスの 1 次側のスイッチング素子

50

がオンのときチョークコイルにエネルギーを蓄えながら出力し、スイッチング素子がオフのときに、チョークコイルに蓄えたエネルギーを放出するいわゆるフォワード型の電源装置である。

【0038】

本実施例の電源装置は、トランス11を備えている。トランス11の1次巻線11Aの一端は、直流入力電源1のプラス側が接続し、他端はMOSFET12のドレイン端子が接続している。MOSFET12のゲート端子は制御回路8が接続しており、ソース端子は直流入力電源1のマイナス側に接続している。

MOSFET12のゲート端子に制御回路8により制御信号を入力してトランス11の1次巻線11Aに印加される直流電圧をスイッチングする。これにより、トランス11の2次巻線11B側に、交流電圧が誘起される。

10

【0039】

2次巻線11Bの一端は、MOSFET13のドレインとチョークコイル4の一端に接続しており、2次巻線11Bの他端はMOSFET14のドレインに接続している。チョークコイル4の他端はコンデンサ5の一端と、負荷6の一端とに接続し、コンデンサ5の他端、および負荷6の他端はMOSFET13およびMOSFET14に直列に接続した検出抵抗7に接続している。

【0040】

次に、本実施例の動作を説明する。制御回路8から、MOSFET12のゲート端子に、所定周期でオンオフを繰り返す制御信号を出力する。そして、MOSFET12がオンになるとドレイン電流 $I_D$ がトランス11の1次巻線11Aを流れ、2次巻線11Bに電圧が誘起される。この誘起された電圧による電流がチョークコイル4に蓄積されながらコンデンサ5により平滑されて出力電流 $I_o$ として負荷側へ流れる。また、負荷側から整流電流 $I_1$ がMOSFET14とその寄生ダイオード14Aとを流れる。

20

【0041】

次に、MOSFET12がオフになると、チョークコイル4に蓄積されたエネルギーがコンデンサ5、負荷6を経由して転流電流 $I_2$ としてMOSFET13とその寄生ダイオード13Aとを流れる。

【0042】

整流時には、MOSFET14の検出抵抗7の抵抗値 $R_s$ と整流電流 $I_1$ との積による電圧降下、すなわち検出電圧 $V_S (= R_s \times I_1)$ により、MOSFET14をドライブするゲート電圧を制御する。軽負荷時はゲート電圧を低くし、重負荷時はゲート電圧を高くする。転流時についても、同様にMOSFET13に直列接続した検出抵抗7の両端の電圧に応じて、ゲート電圧を制御する。

30

【0043】

図11に本実施例の各素子の電圧、電流波形を示す。検出抵抗7の電流値により、MOSFET13とMOSFET14とのゲート電圧を変えることで、電源効率を向上できる。図18では2次側のMOSFET13、14のみゲート電圧を可変としたが、1次側のMOSFET12も、1次側に電流検出抵抗を配置し、検出した電流値に応じてゲート電圧を同様に可変とすればさらに電源効率が上がる。

40

【0044】

(実施例5)

図12を用いて本実施例を説明する。本実施例は、トランスの1次側のスイッチング素子がオンのときにトランスにエネルギーを蓄え、スイッチング素子がオフのときに出力側へ電力を送る所謂フライバック型の電源装置である。なお、図12の符号は図10の電源装置と同一部分については同一符号を付す。

【0045】

図12に示す電源装置が図10に示す電源装置と異なる点は、トランス11の1次巻線11Aと2次巻線11Bとの極性が異なる点、チョークコイル4と転流用のMOSFETが無い点である。すなわち、図12に示す電源装置は、MOSFET12がオンのときにトランス

50



11にエネルギーを蓄え、MOSFET12がオフのときに出力側へ電力を送る。

#### 【0046】

次に、本実施例の電源装置の動作を説明する。制御回路8からMOSFET12のゲート端子に所定周期でオンオフを繰り返す制御信号を出力する。MOSFET12がオンになるとドレイン電流IDがトランス11の1次巻線11Aを流れ、2次巻線11Bに電圧が誘起される。次にMOSFET12がオフになると、2次巻線11Bに蓄積されたエネルギーがコンデンサ5により平滑されて出力電流Ioとして負荷側へ出力される。また、負荷側から整流電流I1がMOSFET15とその寄生ダイオード15Aとを流れる。

#### 【0047】

整流時には、MOSFET14の検出抵抗7の抵抗値Rsと整流電流I1との積による電圧降下、すなわち検出電圧VS(=Rs×I1)により、MOSFET14をドライブするゲート電圧を選択する。軽負荷時はゲート電圧を低くし、重負荷時はゲート電圧を高くする。

#### 【0048】

図13に各素子の電圧、電流波形を示す。検出抵抗7の電流値により、MOSFET15のゲート電圧を変えて、電源効率が向上する。

#### 【0049】

#### (実施例6)

図14を用いて本実施例を説明する。本実施例は、トランスの1次側に複数のスイッチング素子を備え、これらのスイッチング素子を所定のタイミングで交互にオンオフさせることによりトランスの使用効率を高めることができる所謂多石方式(ハーフブリッジ方式)の電源装置である。なお、図14で、図10に示す電源装置と同一部分については同一符号を付す。

#### 【0050】

図14に示すように本実施例の電源装置は、1次巻線11Aと、中点(センタータップ)を設けた2次巻線11B、11Cとを具備したトランス11を備えている。トランス11の1次巻線11Aの一端は、MOSFET103のソース端子及びMOSFET104のドレイン端子が接続している。MOSFET103のドレイン端子は直流入力電源1のプラス側及びコンデンサ101の一端に接続している。コンデンサ101の他端は1次巻線11Aの他端とコンデンサ102の一端とに接続している。コンデンサ102の他端はMOSFET104のソース端子に接続すると共に接地している。

#### 【0051】

MOSFET103、104のゲート端子は制御回路8が接続している。制御回路8は、MOSFET103、104を所定のタイミングで交互にオンオフさせる制御信号を出力する。これにより、トランス11の1次巻線11Aに極性が異なる電圧が交互に印加される。すなわち、1次巻線11A側の回路は、所謂ハーフブリッジ型のインバータ回路となっている。

#### 【0052】

2次巻線11Bと11C接続点である中点は、チョークコイル4の一端に接続しており、チョークコイル4の他端は負荷6及びコンデンサ5の一端に接続している。コンデンサ5の他端はMOSFET16および17に直列に接続した検出抵抗7に接続する。

#### 【0053】

次に、本実施例動作を説明する。まず、制御回路8からMOSFET103、104のゲート端子に所定の制御信号、すなわちMOSFET103、104を所定周期で交互にオンオフさせる制御信号を出力する。MOSFET103がオンになると、直流入力電源1 MOSFET103 トランス11の1次巻線11A コンデンサ102の経路で電流が流れ、MOSFET104がオンになると、直流入力電源1 コンデンサ101 トランス11の1次巻線11A MOSFET104の経路で電流が流れる。

#### 【0054】

従って、1次巻線11Aに流れる電流の向き(1次巻線11Aに印加される電圧の向き)

10

20

30

40

50

は、MOSFET103がオンの場合とMOSFET104がオンの場合とで逆向きとなる。この1次側電流IDは、トランス11のインダクタンスのために次第に増加する波形となる。

#### 【0055】

これにより、トランス11の1次巻線11Aには、一定のオフ期間 $T_{off}$ を挟んで、極性の異なる電圧（一次側トランス電圧 $V_p$ ）が交互に印加されて互いに逆向きの電流が交互に流れる。トランス11の1次巻線11Aに上記のように電圧が印加されると、2次巻線11B, 11Cに2次側巻線電圧が発生する。

#### 【0056】

MOSFET103がオンのときには、図14のトランス11の2次巻線11Bの midpoint チョークコイル4 コンデンサ5及び負荷6 MOSFET16、およびその寄生ダイオード16Aの経路で電流I1が流れる。 10

#### 【0057】

一方、MOSFET104がオンのときには、図14で、トランス11の2次巻線11Bの midpoint チョークコイル4 コンデンサ5及び負荷6 MOSFET17、およびその寄生ダイオード17Aの経路で電流I2が流れる。

#### 【0058】

なお、MOSFET103, 104が共にオフの時には、トランス11の2次巻線11B, 11Cに電圧が誘起されないため、チョークコイル4に蓄えたエネルギーにより、チョークコイル4 コンデンサ5及び負荷6 MOSFET16, 17 2次巻線11B, 11Cの midpoint の経路で電流I1, I2が同時に各々流れる。 20

#### 【0059】

MOSFET103がオンの時には、MOSFET16の検出抵抗7の抵抗値 $R_s$ 、と整流電流I1との積による電圧降下、すなわち検出電圧 $V_S (= R_s \times I_1)$ により、ゲート電圧値を制御する。具体的には、MOSFET16に流れる電流が小さい場合、すなわち軽負荷時には、MOSFET16のゲート電圧を低くし、MOSFET16に流れる電流が大きい場合、すなわち重負荷時には、MOSFET16のゲート電圧を高くする。軽負荷時、および重負荷時の各素子の電圧、電流波形を図15に示す。検出抵抗7の電流値により、MOSFET16および17のゲート電圧を変えて、電源効率を向上できる。

#### 【0060】

#### 【発明の効果】

以上説明したように、本発明によれば、出力電流検出手段の検出値に応じて、半導体スイッチング素子をドライブする電圧を可変にしたので、軽負荷から重負荷にかけて、電源効率を向上できる。

#### 【図面の簡単な説明】

【図1】実施例1の電源装置の概略構成図である。

【図2】実施例1における各部の電流及び電圧の波形図である。

【図3】実施例1の出力電流と電源効率との関係の説明図である。

【図4】実施例1と従来技術の出力電流と電源効率との関係を示す図である。

【図5】実施例1の出力電流とゲート電圧との関係を示す図である。 40

【図6】実施例1の別の電源装置の概略構成図である。

【図7】実施例1の各部の電流及び電圧の波形図である。

【図8】実施例2の電源装置の概略構成図である。

【図9】実施例3の電源装置の概略構成図である。

【図10】実施例4の電源装置の概略構成図である。

【図11】実施例4の各部の電流及び電圧の波形図である。

【図12】実施例5の電源装置の概略構成図である。

【図13】実施例5における各部の電流及び電圧の波形図である。

【図14】実施例6の電源装置の概略構成図である。

【図15】実施例6における各部の電流及び電圧の波形図である。 50

【図 1 6】従来技術の電源装置の概略構成図である。

【図 1 7】従来技術の電源装置の回路構成図である。

【図 1 8】ダイオードの電圧降下と電流の関係の説明図である。

【図 1 9】従来技術の電源装置の概略構成図である。

【図 2 0】ダイオードとMOSFETの電圧降下と電流の関係の説明図である。

【図 2 1】従来技術の電源装置の出力電流と電源効率との関係の説明図である。

【図 2 2】従来技術の電源装置の概略構成図である。

【図 2 3】従来技術の出力電流と電源効率との関係の説明図である。

【図 2 4】従来技術の電源装置の概略構成図である。

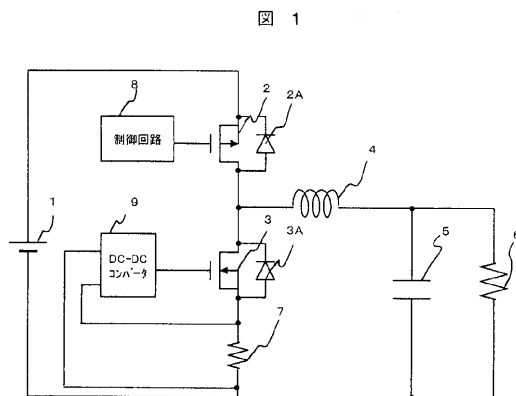
【符号の説明】

1 ... 直流入力電源、2, 3, 10, 12, 13, 14, 15, 16, 17, 103, 104, 111, 112 ... MOSFET、3A, 12A, 13A, 14A, 15A, 16A, 17A ... 寄生ダイオード、4, 64 ... チョークコイル、5, 65, 101, 102 ... コンデンサ、6 ... 負荷、7 ... 検出抵抗、8 ... 制御回路、9 ... DC-DCコンバータ、11 ... トランス、11A ... 1次巻線、11B, 11C ... 2次巻線、18 ... ショットキーダイオード、21 ... AD変換器、51 ... 入力部、52 ... スイッチング部、53 ... 出力部、54 ... 制御部、55 ... 出力フィルタ、60 ... 直流入力電源、61 ... 入力コンデンサ、62 ... 能動素子、63, 113 ... ダイオード、66 ... 負荷、67 ... 検出部、68 ... 設定部、69 ... 比較演算部、70 ... 駆動部、80, 120 ... 比較器、81, 121 ... 駆動回路、82, 122 ... 基準電圧電源、114, 115 ... 直流電源、123 ... 増幅器。

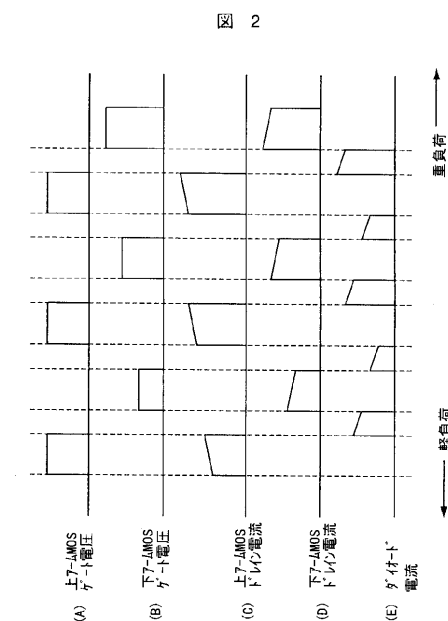
10

20

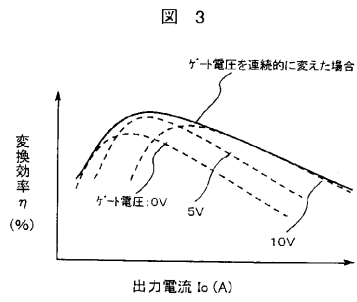
【図 1】



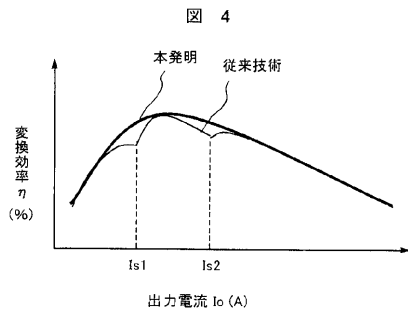
【図 2】



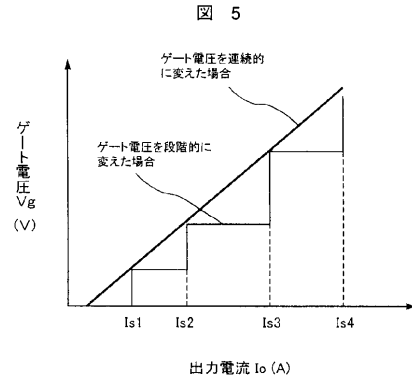
【図 3】



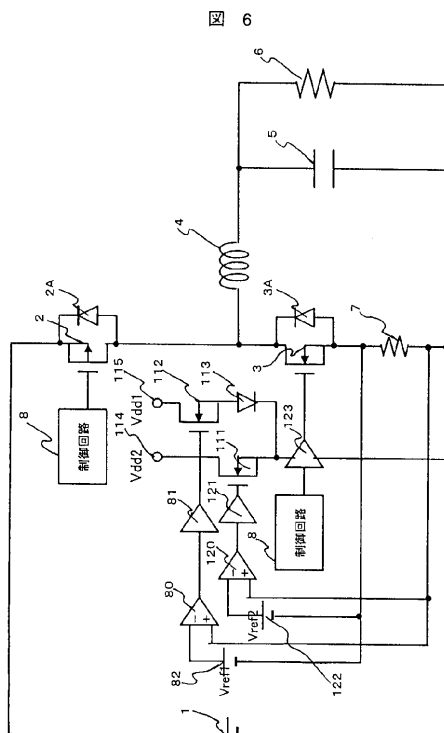
【図 4】



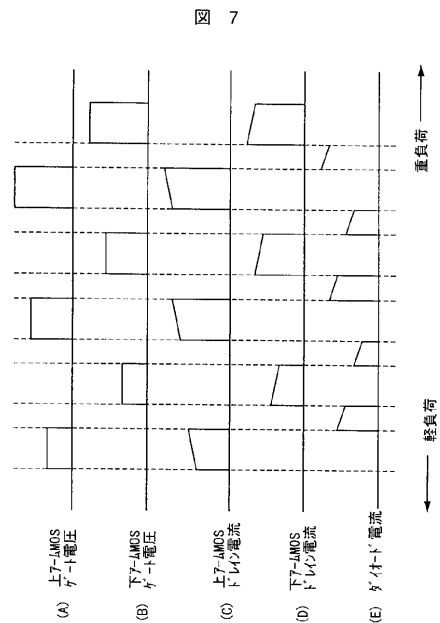
【図 5】



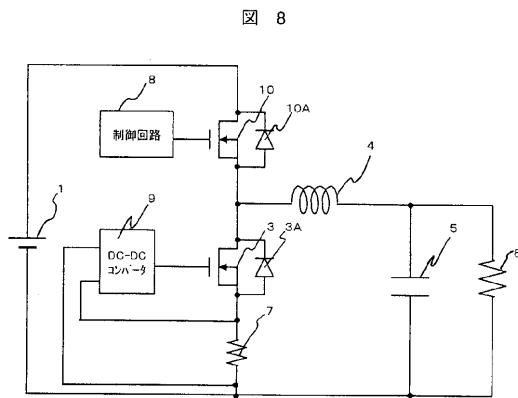
【図 6】



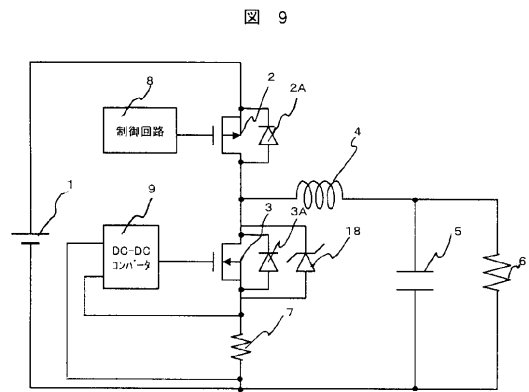
【図 7】



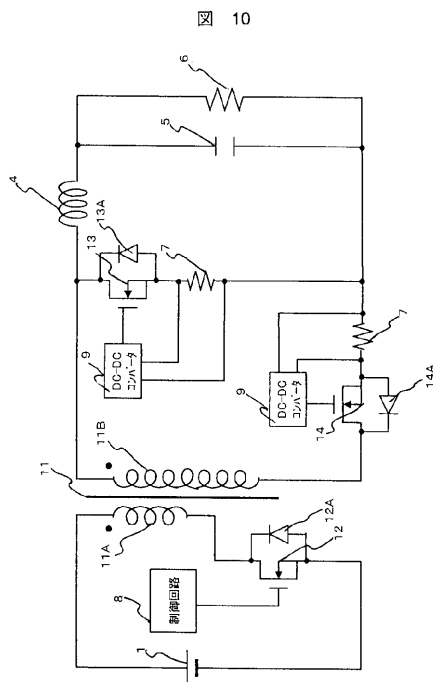
【図 8】



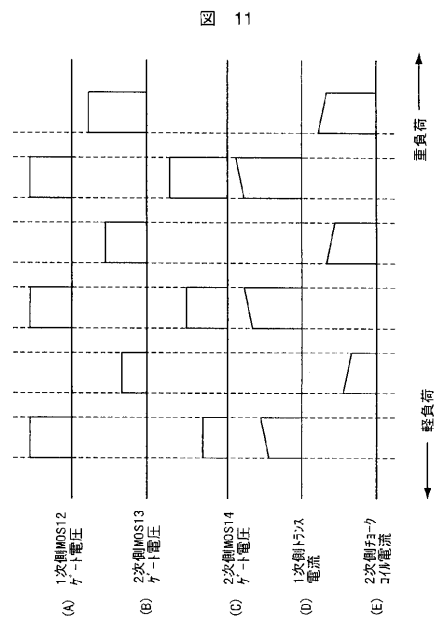
【図 9】



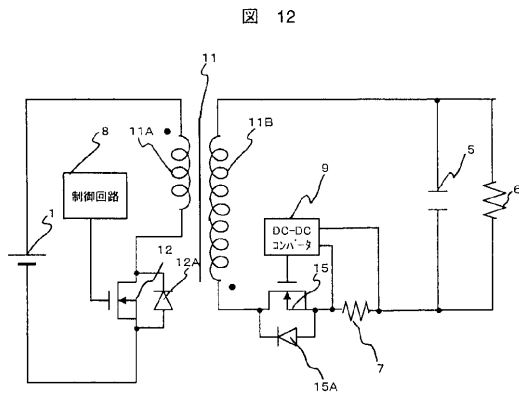
【図 10】



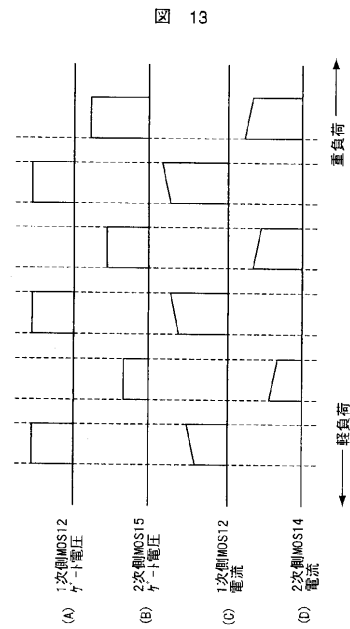
【図 11】



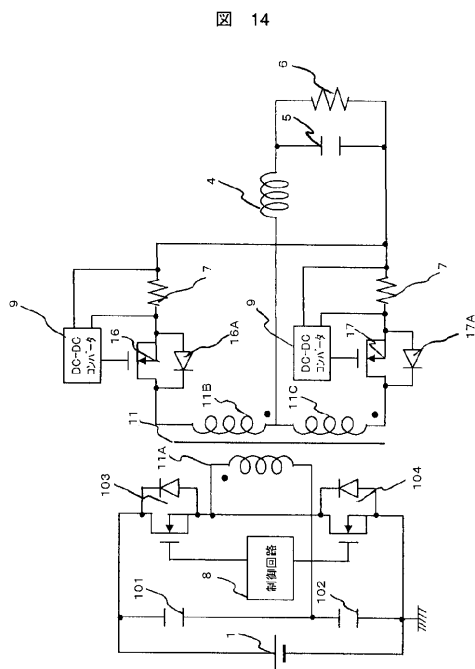
【図 12】



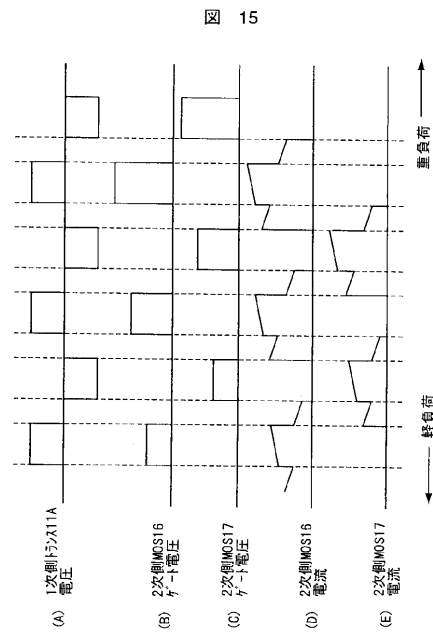
【図 13】



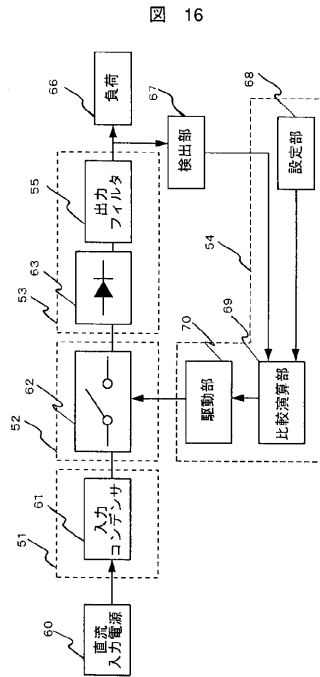
【図 14】



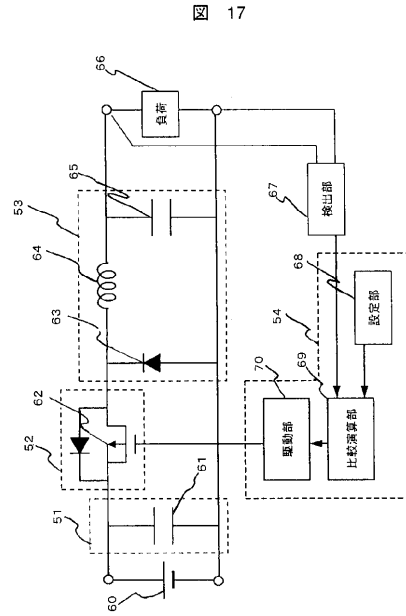
【図 15】



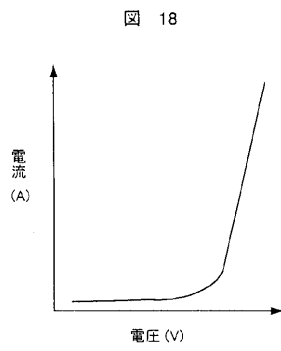
【図 16】



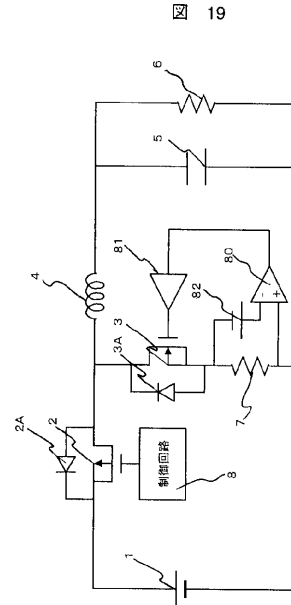
【図 17】



【図 18】



【図 19】







---

フロントページの続き

(72)発明者 白石 正樹

茨城県日立市大みか町七丁目1番1号

株式会社 日立製作所 日立研究所内

審査官 川端 修

(56)参考文献 特開2001-224173(JP,A)

特開2001-161072(JP,A)

特開平09-322532(JP,A)

実開平06-044396(JP,U)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

H02M 3/155

H02M 3/28

H02M 7/21