

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 1 月 19 日 (19.01.2017)



(10) 国际公布号
WO 2017/008293 A1

- (51) 国际专利分类号:
H01L 29/51 (2006.01) H01L 21/285 (2006.01)
H01L 21/28 (2006.01)
- (21) 国际申请号: PCT/CN2015/084198
- (22) 国际申请日: 2015 年 7 月 16 日 (16.07.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人: 王盛凯 (WANG, Shengkai); 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 刘洪刚 (LIU, Honggang); 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 孙兵 (SUN, Bing); 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 常虎东 (CHANG, Hudong); 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区西三环北路 87 号 4-1105 室, Beijing 100089 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: COMPOSITE GRATING MEDIUM LAYER APPLICABLE TO GROUP III-V SUBSTRATE AND PREPARATION METHOD THEREOF

(54) 发明名称: 应用于 III-V 族衬底的复合栅介质层及其制作方法

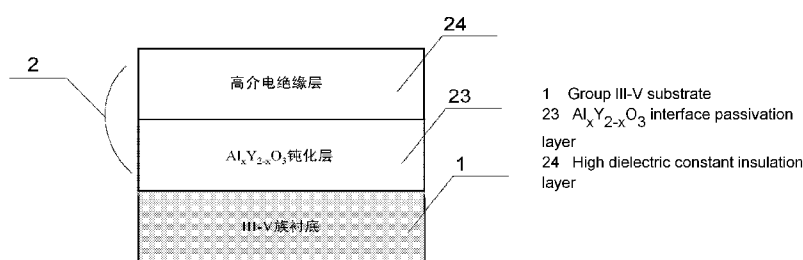


图 1

(57) Abstract: A composite grating medium layer (2) applicable to a group III-V substrate and a preparation method thereof. The composite grating medium layer (2) comprises: an $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ interface passivation layer (23) formed on a group III-V substrate (1); and a high dielectric constant insulation layer (24) formed on the $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ interface passivation layer (23); wherein $1.2 \leq x \leq 1.9$. By adjusting a ratio of Al/Y in the $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ interface passivation layer (23), the composite grating medium layer (2) changes an averaged coordination number of an atom in the $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ interface passivation layer (23), reduces an interface state density and boundary trap density of the group III-V substrate (1), and increases a MOS channel mobility rate. By incorporating the $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ interface passivation layer (23) and the high dielectric constant insulation layer (24), the embodiments of the invention reduce a leakage current, and enhance quality and reliability of a MOS capacitor of the group III-V substrate (1).

(57) 摘要: 一种应用于 III-V 族衬底的复合栅介质层 (2) 及其制作方法, 该复合栅介质层 (2) 包括: 形成于 III-V 族衬底 (1) 之上的 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层 (23), 以及形成于该 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层 (23) 之上的高介电绝缘层 (24), 其中 $1.2 \leq x \leq 1.9$ 。该复合栅介质层 (2) 通过调整 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层 (23) 的 Al/Y 比例, 改变了 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层 (23) 中的平均原子配位数, 降低了 III-V 族衬底 (1) 界面态密度和边界陷阱密度, 增加了 MOS 沟道迁移率; 通过 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层 (23) 与高介电绝缘层 (24) 的配合, 减小了栅漏电流, 并提升了介质层的耐压能力, 提高了 III-V 族衬底 (1) MOS 电容的质量和增强了其可靠性。



WO 2017/008293 A1



本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

— 在修改权利要求的期限届满之前进行，在收到该修改后将重新公布(细则 48.2(h))。

应用于 III-V 族衬底的复合栅介质层及其制作方法

技术领域

本发明涉及应用于 III-V 族衬底的复合栅介质结构，尤其是一种应用于 III-V 族衬底的复合栅介质层及其制作方法。

背景技术

随着微电子技术的不断发展，以 InGaAs、InP、InAs、GaAs、GaSb 等为代表的 III-V 族化合物半导体因其具有优于硅的电子迁移率或空穴迁移率，被认为是作为后摩尔技术时代替代硅沟道制作金属-氧化物-半导体(MOS)场效应晶体管的重要备选材料。

III-V 族衬底与栅介质界面普遍存在着大量的界面缺陷密度，通常比 SiO₂/Si 的界面陷阱密度高 1-2 个数量级，高的界面陷阱密度会大大降低载流子的迁移率，导致导通电阻增大，功耗增加。目前，业界科研学者通过采用基于原子层沉积技术的表面 Al₂O₃ 钝化，界面硫化以及表面氮化等方法，栅介质/III-V 族衬底的界面质量及整体特性有了一定的提升，不过与 SiO₂/Si 界面质量相比仍有不小的差距。

另外，从器件可靠性及器件功耗方面，III-V 族衬底与栅介质结构也面临着诸多挑战。目前为止的大部分栅介质结构普遍存在着栅介质漏电大，可靠性差的缺点。如何在 III-V 族衬底表面制备高可靠性，低缺陷界面态密度以及超低等价氧化物厚度的栅介质结构成为实现 III-V 族衬底在后摩尔技术时代逻辑器件应用的关键技术。

发明内容

有鉴于此，本发明的主要目的在于提供了一种应用于 III-V 族衬底的复合栅介质层及其制作方法，以降低界面态密度和边界陷阱密度，增加 III-V 族 MOS 沟道迁移率，减小栅漏电流，并进一步提高介质层的耐

压能力，提高 III-V 族衬底 MOS 的质量和增强其可靠性。

为达到上述目的，本发明提供了一种应用于 III-V 族衬底的复合栅介质层，包括：形成于 III-V 族衬底之上的 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层；以及形成于该 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层之上的高介电绝缘层；其中 $1.2 \leq x \leq 1.9$ 。

上述方案中，所述 III-V 族衬底包括 GaAs 衬底、InP 衬底、GaSb 衬底、InAs 衬底或 InGaAs 衬底及其外延片，其掺杂浓度大于等于 $1 \times 10^{15} \text{cm}^{-3}$ 且小于等于 $5 \times 10^{17} \text{cm}^{-3}$ 。

上述方案中，所述 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层的厚度大于等于 0.4nm 且小于等于 4nm。

上述方案中，所述高介电绝缘层包括 HfO_2 、 ZrO_2 、 La_2O_3 或 Y_2O_3 ，以及通过上述四种材料进行混合而得到的三元或多元化合物，该高介电绝缘层厚度大于等于 0nm 且小于等于 4nm。

为达到上述目的，本发明还提供了一种应用于 III-V 族衬底的复合栅介质层的制作方法，包括：

步骤1：清洗 III-V 族衬底，在该 III-V 族衬底之上生长 Al_2O_m 钝化层，其中 $2.5 \leq m \leq 3$ ；

步骤2：在该 Al_2O_m 钝化层之上生长 Y_2O_n 强化层，其中 $2.5 \leq n \leq 3$ ；

步骤3：对 Al_2O_m 钝化层和 Y_2O_n 强化层进行原位热处理，实现 Al_2O_m 钝化层和 Y_2O_n 强化层的混合，获得 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层，其中 $1.2 \leq x \leq 1.9$ ；

步骤4：在该 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层上生长高介电绝缘层。

上述方案中，步骤1中所述在 III-V 族衬底之上生长 Al_2O_m 钝化层，包括：利用原子层淀积的方法，在 200°C - 400°C 条件下在 III-V 族衬底之上生长厚度为 d_1 纳米的 Al_2O_m 钝化层，其中 $0.2\text{nm} \leq d_1 \leq 3.8\text{nm}$ 。

上述方案中，该方法通过调节 200°C - 400°C 原子层沉积温度来调节 Al_2O_m 钝化层中氧的含量，其中 200°C 倾向于形成低氧含量的 Al_2O_m 钝化层， $m=2.5$ ； 400°C 倾向于形成高氧含量的 Al_2O_m 钝化层， $m=3$ ； Al_2O_m 钝化层中较低的氧含量，能够提高 Al_2O_m 钝化层中 Al-O 四面体网格结构的柔性，增加 Al_2O_m 钝化层中 Al-O 四面体可旋转的特性，从而实现对于

III-V族衬底表面缺陷的钝化； Al_2O_m 钝化层中较高的氧含量，能够降低复合栅介质层的漏电并提升可靠性。

上述方案中，步骤2中所述在 Al_2O_m 钝化层之上生长 Y_2O_n 强化层，包括：利用原子层淀积的方法，在 200°C - 400°C 条件下在 Al_2O_m 钝化层之上生长厚度为 d_2 纳米的 Y_2O_n 强化层，其中 $0.4\text{nm} \leq d_1 + d_2 \leq 4\text{nm}$ 。

上述方案中，该方法通过调节 200°C - 400°C 原子层沉积温度来调节 Y_2O_n 强化层中氧的含量，其中 200°C 倾向于形成低氧含量的 Y_2O_n 强化层， $n=2.5$ ； 400°C 倾向于形成高氧含量的 Y_2O_n 强化层， $n=3$ 。

上述方案中，步骤3中所述对 Al_2O_m 钝化层和 Y_2O_n 强化层进行原位热处理，是将 Al_2O_m 钝化层和 Y_2O_n 强化层在 200°C - 400°C 条件下在原子层淀积设备中进行原位退火处理。

上述方案中，该方法通过调节原位热处理的温度来实现 Al_2O_m 钝化层和 Y_2O_n 强化层按照一定比例的混合，混合比由 Al_2O_m 钝化层厚度 d_1 与 Y_2O_n 强化层厚度 d_2 的比 $d_1:d_2$ 决定，其中 $19:1 \leq d_1:d_2 \leq 1:19$ ；该方法通过 Al_2O_m 钝化层和 Y_2O_n 强化层的混合得到 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层，实现 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层的平均配位数2.8到4.2的调控，进而满足各种器件对界面缺陷密度以及可靠性的需求，其中，平均配位数2.8是在 $d_1:d_2$ 等于19:1、 $m=3$ 及 $n=3$ 的条件下获得的；平均配位数4.2是在 $d_1:d_2$ 等于1:19、 $m=2.5$ 及 $n=2.5$ 的条件下获得的。

上述方案中，所述 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层中 $1.2 \leq x \leq 1.9$ 是作为界面钝化层的较优结果，该 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层的平均配位数介于3.28至2.86，其中 $x=1.2$ 时平均配位数为3.28， $x=1.9$ 时平均配位数为2.86。

上述方案中，步骤4中所述在 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层上生长高介电绝缘层，是利用原子层淀积的方法，在 200°C - 400°C 条件下在 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层上淀积厚度大于等于0nm且小于等于4nm的高介电绝缘层。

从上述技术方案可以看出，本发明具有以下有益效果：

1、本发明提供的应用于III-V族衬底的复合栅介质层及其制作方法，采用 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层，通过调整 Al_2O_m 中的氧浓度并向其中掺入 Y_2O_n ，软化了 Al_2O_m 网络结构，使Al-O四面体之间具有更多的扭动自由度，

$\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 更易与III-V族衬底表面缺陷成键,实现界面缺陷的钝化。

2、本发明提供的应用于III-V族衬底的复合栅介质层及其制作方法,采用 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层,通过调整 Al_2O_3 中的氧浓度并向其中掺入 Y_2O_3 ,提高了 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 的平均配位数,使其中Al-O四面体尽管可以扭动但是仍然在七配位的 Y^{3+} 离子作用下被吸引在 Y^{3+} 附近从而变得更加致密,该界面层具有更低的Gibbs体系自由能,在较大电应力作用下也不容易发生离子断键,从而减小栅漏电流,提升了可靠性。

3、本发明提供的应用于III-V族衬底的复合栅介质层及其制作方法,采用 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层,与单一 Al_2O_3 界面钝化层相比(介电常数k大约为8),本发明采用的 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层介电常数更高(介电常数k大约为12),同时配合具备高介电常数的 HfO_2 , ZrO_2 , La_2O_3 , Y_2O_3 ,以及通过上述四种材料进行混合而得到的三元或多元氧化物,有助于实现更小的等价氧化物厚度。

附图说明

为了更进一步说明本发明的内容,以下结合附图对本发明做详细描述,其中:

图1 是本发明提供的应用于III-V族衬底的复合栅介质层的结构示意图;

图2 是本发明提供的制作图1所示的复合栅介质层的工艺流程图;

图3 是本发明提供的制作图1所示的复合栅介质层的方法流程图。

具体实施方式

为使本发明的目的、技术方案和优点更加清楚明白,以下结合具体实施例,并参照附图,对本发明进一步详细说明。

如图1所示,图1是本发明提供的应用于III-V族衬底的复合栅介质层的结构示意图,该复合栅介质层包括:形成于III-V族衬底1之上

的 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层 23; 以及形成于该 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层 23 之上的高介电绝缘层 24; 其中 $1.2 \leq x \leq 1.9$, $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层 23 与 HfO_2 高介电绝缘层 24 构成复合栅介质层 2。

图1中, 所述III-V族衬底1可以为GaAs衬底、InP衬底、GaSb衬底、InAs衬底或InGaAs衬底及其外延片, 其掺杂浓度大于等于 $1 \times 10^{15} \text{cm}^{-3}$ 且小于等于 $5 \times 10^{17} \text{cm}^{-3}$ 。 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层23的厚度大于等于0.4nm且小于等于4nm。高介电绝缘层24可以为 HfO_2 、 ZrO_2 、 La_2O_3 或 Y_2O_3 , 以及通过上述四种材料进行混合而得到的三元或多元化合物, 该高介电绝缘层24的厚度大于等于0nm且小于等于4nm。

图2 是本发明提供的制作图1所示的复合栅介质层的工艺流程图, 根据图2可知, 形成于III-V族衬底1之上的 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层23是通过原位热处理, 即原位退火处理, 使 Al_2O_m 钝化层21和 Y_2O_n 强化层22互扩散得到的。

由 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层23与 HfO_2 高介电绝缘层24组成的栅介质层是一个复合栅介质层, 以降低界面态密度和边界陷阱密度, 增加MOS 沟道迁移率, 减小栅漏电流, 并进一步提高介质层的耐压能力, 提高MOS的质量和可靠性。

图3 是本发明提供的制作图1所示的复合栅介质层的方法流程图, 该方法包括以下步骤:

步骤1: 清洗III-V族衬底, 在该III-V族衬底之上生长 Al_2O_m 钝化层, 其中 $2.5 \leq m \leq 3$;

在本步骤中, 在III-V族衬底之上生长 Al_2O_m 钝化层, 包括: 利用原子层淀积的方法, 在 200°C - 400°C 条件下在III-V族衬底之上生长厚度为 d_1 纳米的 Al_2O_m 钝化层, 其中 $0.2\text{nm} \leq d_1 \leq 3.8\text{nm}$ 。该方法通过调节 200°C - 400°C 原子层沉积温度来调节 Al_2O_m 钝化层中氧的含量, 其中 200°C 倾向于形成低氧含量的 Al_2O_m 钝化层, $m=2.5$; 400°C 倾向于形成高氧含量的 Al_2O_m 钝化层, $m=3$; Al_2O_m 钝化层中较低的氧含量, 能够提高 Al_2O_m 钝化层中 Al-O四面体网格结构的柔性, 增加 Al_2O_m 钝化层中 Al-O四面体可旋转的特性, 从而实现对于III-V族衬底表面缺陷的钝化; Al_2O_m 钝化层中较高

的氧含量，能够降低复合栅介质层的漏电并提升可靠性。

步骤2：在该 Al_2O_m 钝化层之上生长 Y_2O_n 强化层，其中 $2.5 \leq n \leq 3$ ；

在本步骤中，在 Al_2O_m 钝化层之上生长 Y_2O_n 强化层，包括：利用原子层淀积的方法，在 200°C - 400°C 条件下在 Al_2O_m 钝化层之上生长厚度为 d_2 纳米的 Y_2O_n 强化层，其中 $0.4\text{nm} \leq d_1 + d_2 \leq 4\text{nm}$ 。该方法通过调节 200°C - 400°C 原子层沉积温度来调节 Y_2O_n 强化层中氧的含量，其中 200°C 倾向于形成低氧含量的 Y_2O_n 强化层， $n=2.5$ ； 400°C 倾向于形成高氧含量的 Y_2O_n 强化层， $n=3$ 。

步骤3：对 Al_2O_m 钝化层和 Y_2O_n 强化层进行原位热处理，实现 Al_2O_m 钝化层和 Y_2O_n 强化层的混合，获得 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层，其中 $1.2 \leq x \leq 1.9$ ；

本步骤中，对 Al_2O_m 钝化层和 Y_2O_n 强化层进行原位热处理，是将 Al_2O_m 钝化层和 Y_2O_n 强化层在 200°C - 400°C 条件下在原子层淀积设备中进行原位退火处理。该方法通过调节原位热处理的温度来实现 Al_2O_m 钝化层和 Y_2O_n 强化层按照一定比例的混合，混合比由 Al_2O_m 钝化层厚度 d_1 与 Y_2O_n 强化层厚度 d_2 的比 $d_1:d_2$ 决定，其中 $19:1 \leq d_1:d_2 \leq 1:19$ ；该方法通过 Al_2O_m 钝化层和 Y_2O_n 强化层的混合得到 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层，实现 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层的平均配位数2.8到4.2的调控，进而满足各种器件对界面缺陷密度以及可靠性的需求，其中，平均配位数2.8是在 $d_1:d_2$ 介于19:1、 $m=3$ 及 $n=3$ 的条件下获得的；平均配位数4.2是在 $d_1:d_2$ 介于1:19、 $m=2.5$ 及 $n=2.5$ 的条件下获得的。 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层中 $1.2 \leq x \leq 1.9$ 是作为界面钝化层的较优结果，该 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层的平均配位数介于3.28至2.86，其中 $x=1.2$ 时平均配位数为3.28， $x=1.9$ 时平均配位数为2.86。

步骤4：在该 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层上生长高介电绝缘层。

在本步骤中，在 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层上生长高介电绝缘层，是利用原子层淀积的方法，在 200°C - 400°C 条件下在 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层上淀积厚度大于等于0nm且小于等于4nm的高介电绝缘层。

实施例1

依照本发明实施例1制作应用于III-V族衬底的复合栅介质层的方法，

包括以下步骤:

步骤101: 将厚度为400微米、N型掺杂浓度为 $5 \times 10^{15} \text{cm}^{-3}$ 的InP衬底进行清洗处理, 然后利用原子层淀积的方法, 在200℃条件下生长厚度为0.5纳米的 $\text{Al}_2\text{O}_{2.5}$ 层; 该步骤101具体包括:

步骤101.1: 将InP衬底表面朝上完全浸没入无水乙醇中, 超声清洗3分钟, 去除表面有部分极化的有机物;

步骤101.2: 将经过步骤101.1的InP衬底在去离子水中浸润15秒后取出;

步骤101.3: 将经过步骤101.2的InP衬底表面朝上完全浸没入丙酮中, 超声清洗3分钟, 去除表面无极化的有机物;

步骤101.4: 将经过步骤101.3的InP衬底在去离子水中浸润15秒后取出;

步骤101.5: 取浓盐酸(质量分数37%)和去离子水, 以1: 9的体积比混合; 将经过步骤101.4的InP衬底表面朝上完全浸没入混合后得到的稀盐酸溶液中保持1分钟;

步骤101.6: 将经过步骤101.5的InP衬底在去离子水中浸润15秒后取出;

步骤101.7: 将经过步骤101.6的InP衬底表面朝上完全浸没入质量分数为22%硫化氨 $(\text{NH}_4)_2\text{S}$ 溶液中, 保持15分钟;

步骤101.8: 将经过步骤101.7的InP衬底在去离子水中浸润15秒后取出, 迅速用氮气吹干;

步骤101.9: 将经过步骤101.8的InP衬底放入原子层沉积设备中, 利用原子层淀积的方法, 以三甲基铝和水作为反应前驱体(先通入三甲基铝后通入水的顺序), 在200℃条件下生长厚度为0.5纳米的 $\text{Al}_2\text{O}_{2.5}$ 层。

步骤102: 利用原子层淀积的方法, 以三(丁基环戊二烯)化钇和水作为反应前驱体(先通入三(丁基环戊二烯)化钇后通入水的顺序)在300℃条件下生长厚度为0.3纳米的 Y_2O_3 层。

步骤103: 将所生长的 $\text{Al}_2\text{O}_{2.5}$ 层和 Y_2O_3 层在300℃条件下在原子层沉积设备中进行原位热处理, 获得厚度为0.8纳米的 $\text{Al}_{1.25}\text{Y}_{0.75}\text{O}_3$ 界面钝化层;

该步骤103具体包括：

步骤103.1：在完成步骤102之后，向原子层沉积室内通入纯度99.999%的氮气，保持气压为50帕斯卡，待气体压强稳定以后开始计时。

步骤103.2：在温度300℃条件下进行原位退火处理，保温30分钟，使Al和Y原子发生扩散，形成厚度为0.8纳米的平均配位数为3.25的 $\text{Al}_{1.25}\text{Y}_{0.75}\text{O}_3$ 界面钝化层。

步骤104：利用原子层沉积的方法，在退火处理后的 $\text{Al}_{1.25}\text{Y}_{0.75}\text{O}_3$ 界面钝化层上以双(乙基环戊二基)二氯化铪和水作为反应前驱体（先通入双(乙基环戊二基)二氯化铪后通入水的顺序）在300℃条件下生长厚度为3纳米的 HfO_2 层。

实施例2

依照本发明实施例2制作应用于III-V族衬底的复合栅介质层的方法，包括以下步骤：

步骤201：将外延层厚度为20纳米、N型掺杂浓度为 $1 \times 10^{18} \text{cm}^{-3}$ 的硅基绝缘体上 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 衬底进行清洗处理，硅衬底为本征硅，绝缘层厚度为50纳米；然后利用原子层沉积的方法，在200℃条件下生长厚度为0.3纳米的 $\text{Al}_2\text{O}_{2.5}$ 层；该步骤201具体包括：

步骤201.1：将硅基绝缘体上 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 衬底表面朝上完全浸入无水乙醇中，超声清洗3分钟，去除表面有部分极化的有机物；

步骤201.2：将经过步骤201.1的硅基绝缘体上 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 衬底在去离子水中浸润15秒后取出；

步骤201.3：将经过步骤201.2的硅基绝缘体上 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 衬底表面朝上完全浸入丙酮中，超声清洗3分钟，去除表面无极化的有机物；

步骤201.4：将经过步骤201.3的硅基绝缘体上 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 衬底在去离子水中浸润15秒后取出；

步骤201.5：取浓盐酸(质量分数37%)和去离子水，以1：4的体积比混合；将经过步骤201.4的硅基绝缘体上 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 衬底表面朝上完全浸入混合后得到的稀盐酸溶液中保持1分钟；

步骤201.6: 将经过步骤201.5的硅基绝缘体上 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 衬底在去离子水中浸润15秒后取出;

步骤201.7: 将经过步骤201.6的硅基绝缘体上 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 衬底表面朝上完全浸没入质量分数为22%硫化氨 $(\text{NH}_4)_2\text{S}$ 溶液中, 保持15分钟;

步骤201.8: 将经过步骤201.7的硅基绝缘体上 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 衬底在去离子水中浸润15秒后取出, 迅速用氮气吹干;

步骤201.9: 将经过步骤201.8的硅基绝缘体上 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 衬底放入原子层沉积设备中, 利用原子层淀积的方法, 以三甲基铝和水作为反应前驱体(先通入三甲基铝后通入水的顺序), 在 200°C 条件下生长厚度为0.3纳米的 $\text{Al}_2\text{O}_{2.5}$ 层。

步骤202: 利用原子层淀积的方法, 以三(丁基环戊二烯)化钇和水作为反应前驱体(先通入三(丁基环戊二烯)化钇后通入水的顺序)在 300°C 条件下生长厚度为0.3纳米的 Y_2O_3 层。

步骤203: 将所生长的 $\text{Al}_2\text{O}_{2.5}$ 层和 Y_2O_3 层在 300°C 条件下在原子层沉积设备中进行原位热处理, 获得厚度为0.6纳米的 AlYO_3 界面钝化层; 该步骤203具体包括:

步骤203.1: 在完成步骤202之后, 向原子层沉积室内通入纯度99.999%的氮气, 保持气压为50帕斯卡, 待气体压强稳定以后开始计时。

步骤203.2: 在温度 300°C 条件下进行原位退火处理, 保温30分钟, 使Al和Y原子发生扩散, 形成厚度为0.6纳米的平均配位数为3.4的 AlYO_3 界面钝化层。

步骤204: 利用原子层淀积的方法, 在退火处理后的 AlYO_3 界面钝化层上在 300°C 条件下生长厚度为3纳米的 $\text{Hf}_{0.9}\text{Y}_{0.13}\text{O}_2$ 层; 该步骤204具体包括:

步骤204.1: 利用原子层淀积的方法, 步骤203.2后, 在 300°C 条件下以双(乙基环戊二基)二氯化铪和水作为反应前驱体(先通入双(乙基环戊二基)二氯化铪后通入水的顺序)生长厚度为1.35纳米的 HfO_2 层;

步骤204.2: 利用原子层淀积的方法, 步骤204.1后, 在 300°C 条件下以三(丁基环戊二烯)化钇和水作为反应前驱体(先通入三(丁基环戊

二烯)化钇后通入水的顺序)在300℃条件下生长厚度为0.3纳米的 Y_2O_3 层;

步骤204.3: 利用原子层淀积的方法, 步骤204.2后, 在300℃条件下以双(乙基环戊二基)二氯化铪和水作为反应前驱体(先通入双(乙基环戊二基)二氯化铪后通入水的顺序)生长厚度为1.35纳米的 HfO_2 层;

步骤204.4: 在完成步骤204.3之后, 向原子层沉积室内通入纯度99.999%的氮气, 保持气压为50帕斯卡, 待气体压强稳定以后开始计时。

步骤204.5: 在温度300℃条件下进行原位退火处理, 保温30分钟, 使Hf和Y原子发生扩散, 形成厚度为3纳米的 $Hf_{0.9}Y_{0.13}O_2$ 高介电绝缘层。

实施例3

依照本发明实施例3制作应用于III-V族衬底的复合栅介质层的方法, 包括以下步骤:

步骤301: 将厚度为400微米、N型掺杂浓度为 $1 \times 10^{17} \text{cm}^{-3}$ 的GaAs衬底进行清洗处理, 然后利用原子层淀积的方法, 在250℃条件下生长厚度为2纳米的 $Al_2O_{2.7}$ 层; 该步骤301具体包括:

步骤301.1: 将GaAs衬底表面朝上完全浸没入无水乙醇中, 超声清洗3分钟, 去除表面有部分极化的有机物;

步骤301.2: 将经过步骤301.1的GaAs衬底在去离子水中浸润15秒后取出;

步骤301.3: 将经过步骤301.2的GaAs衬底表面朝上完全浸没入丙酮中, 超声清洗3分钟, 去除表面无极化的有机物;

步骤301.4: 将经过步骤301.3的GaAs衬底在去离子水中浸润15秒后取出;

步骤301.5: 取浓盐酸(质量分数37%)和去离子水, 以1: 4的体积比混合; 将经过步骤101.4的InP衬底表面朝上完全浸没入混合后得到的稀盐酸溶液中保持1分钟;

步骤301.6: 将经过步骤301.5的GaAs衬底在去离子水中浸润15

秒后取出；

步骤301.7：将经过步骤301.6的GaAs衬底表面朝上完全浸入入质量分数为22%硫化氨 $(\text{NH}_4)_2\text{S}$ 溶液中，保持15分钟；

步骤301.8：将经过步骤301.7的GaAs衬底在去离子水中浸润15秒后取出，迅速用氮气吹干；

步骤301.9：将经过步骤301.8的GaAs衬底放入原子层沉积设备中，利用原子层淀积的方法，以三甲基铝和水作为反应前驱体（先通入三甲基铝后通入水的顺序），在250℃条件下生长厚度为2纳米的 $\text{Al}_2\text{O}_{2.7}$ 层。

步骤302：利用原子层淀积的方法，以三(丁基环戊二烯)化钇和水作为反应前驱体（先通入三(丁基环戊二烯)化钇后通入水的顺序）在300℃条件下生长厚度为0.3纳米的 Y_2O_3 层。

步骤303：将所生长的 $\text{Al}_2\text{O}_{2.7}$ 层和 Y_2O_3 层在300℃条件下在原子层沉积设备中进行原位热处理，获得厚度为2.3纳米的 $\text{Al}_{1.74}\text{Y}_{0.26}\text{O}_3$ 界面钝化层；

步骤303.1：在完成步骤302之后，向原子层沉积室内通入纯度99.999%的氮气，保持气压为50帕斯卡，待气体压强稳定以后开始计时。

步骤303.2：在温度300℃条件下进行原位退火处理，保温30分钟，使Al和Y原子发生扩散，形成厚度为2.3纳米的平均配位数为2.96的 $\text{Al}_{1.74}\text{Y}_{0.26}\text{O}_3$ 界面钝化层。

步骤304，利用原子层淀积的方法，在退火处理后的 $\text{Al}_{1.74}\text{Y}_{0.26}\text{O}_3$ 界面钝化层上以双(乙基环戊二基)二氯化铪和水作为反应前驱体（先通入双(乙基环戊二基)二氯化铪后通入水的顺序）在300℃条件下生长厚度为2纳米的 HfO_2 层。

以上所述的具体实施例，对本发明的目的、技术方案和有益效果进行了进一步详细说明，所应理解的是，以上所述仅为本发明的具体实施例而已，并不用于限制本发明，凡在本发明的精神和原则之内，所做的任何修改、等同替换、改进等，均应包含在本发明的保护范围之内。

权利要求

1、一种应用于 III-V 族衬底的复合栅介质层，其特征在于，包括：
形成于 III-V 族衬底之上的 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层；以及
形成于该 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层之上的高介电绝缘层；
其中， $1.2 \leq x \leq 1.9$ 。

2、根据权利要求1所述的应用于 III-V 族衬底的复合栅介质层，其特征在于，所述 III-V 族衬底包括 GaAs 衬底、InP 衬底、GaSb 衬底、InAs 衬底或 InGaAs 衬底及其外延片，其掺杂浓度大于等于 $1 \times 10^{15} \text{cm}^{-3}$ 且小于等于 $5 \times 10^{17} \text{cm}^{-3}$ 。

3、根据权利要求1所述的应用于 III-V 族衬底的复合栅介质层，其特征在于，所述 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层的厚度大于等于 0.4nm 且小于等于 4nm。

4、根据权利要求1所述的应用于 III-V 族衬底的复合栅介质层，其特征在于，所述高介电绝缘层包括 HfO_2 、 ZrO_2 、 La_2O_3 或 Y_2O_3 ，以及通过上述四种材料进行混合而得到的三元或多元化合物，该高介电绝缘层厚度大于等于 0nm 且小于等于 4nm。

5、一种应用于 III-V 族衬底的复合栅介质层的制作方法，其特征在于，包括：

步骤1：清洗 III-V 族衬底，在该 III-V 族衬底之上生长 Al_2O_m 钝化层，其中 $2.5 \leq m \leq 3$ ；

步骤2：在该 Al_2O_m 钝化层之上生长 Y_2O_n 强化层，其中 $2.5 \leq n \leq 3$ ；

步骤3：对 Al_2O_m 钝化层和 Y_2O_n 强化层进行原位热处理，实现 Al_2O_m 钝化层和 Y_2O_n 强化层的混合，获得 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层，其中 $1.2 \leq x \leq 1.9$ ；

步骤4：在该 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层上生长高介电绝缘层。

6、根据权利要求5所述的制作方法，其特征在于，步骤1中所述在 III-V 族衬底之上生长 Al_2O_m 钝化层，包括：

利用原子层淀积的方法，在 200°C - 400°C 条件下在 III-V 族衬底之上生长厚度为 d_1 纳米的 Al_2O_m 钝化层，其中 $0.2\text{nm} \leq d_1 \leq 3.8\text{nm}$ 。

7、根据权利要求6所述的制作方法，其特征在于，该方法通过调节200℃-400℃原子层沉积温度来调节 Al_2O_m 钝化层中氧的含量，其中200℃倾向于形成低氧含量的 Al_2O_m 钝化层， $m=2.5$ ；400℃倾向于形成高氧含量的 Al_2O_m 钝化层， $m=3$ ； Al_2O_m 钝化层中较低的氧含量，能够提高 Al_2O_m 钝化层中Al-O四面体网格结构的柔性，增加 Al_2O_m 钝化层中Al-O四面体可旋转的特性，从而实现对于III-V族衬底表面缺陷的钝化； Al_2O_m 钝化层中较高的氧含量，能够降低复合栅介质层的漏电并提升可靠性。

8、根据权利要求6所述的制作方法，其特征在于，步骤2中所述在 Al_2O_m 钝化层之上生长 Y_2O_n 强化层，包括：

利用原子层淀积的方法，在200℃-400℃条件下在 Al_2O_m 钝化层之上生长厚度为 d_2 纳米的 Y_2O_n 强化层，其中 $0.4\text{nm} \leq d_1 + d_2 \leq 4\text{nm}$ 。

9、根据权利要求8所述的制作方法，其特征在于，该方法通过调节200℃-400℃原子层沉积温度来调节 Y_2O_n 强化层中氧的含量，其中200℃倾向于形成低氧含量的 Y_2O_n 强化层， $n=2.5$ ；400℃倾向于形成高氧含量的 Y_2O_n 强化层， $n=3$ 。

10、根据权利要求5所述的制作方法，其特征在于，步骤3中所述对 Al_2O_m 钝化层和 Y_2O_n 强化层进行原位热处理，是将 Al_2O_m 钝化层和 Y_2O_n 强化层在200℃-400℃条件下在原子层淀积设备中进行原位退火处理。

11、根据权利要求10所述的制作方法，其特征在于，

该方法通过调节原位热处理的温度来实现 Al_2O_m 钝化层和 Y_2O_n 强化层按照一定比例的混合，混合比由 Al_2O_m 钝化层厚度 d_1 与 Y_2O_n 强化层厚度 d_2 的比 $d_1:d_2$ 决定，其中 $19:1 \leq d_1:d_2 \leq 1:19$ ；

该方法通过 Al_2O_m 钝化层和 Y_2O_n 强化层的混合得到 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层，实现 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层的平均配位数2.8到4.2的调控，进而满足各种器件对界面缺陷密度以及可靠性的需求，其中，平均配位数2.8是在 $d_1:d_2$ 等于19:1、 $m=3$ 及 $n=3$ 的条件下获得的；平均配位数4.2是在 $d_1:d_2$ 等于1:19、 $m=2.5$ 及 $n=2.5$ 的条件下获得的。

12、根据权利要求11所述的制作方法，其特征在于，所述 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层中 $1.2 \leq x \leq 1.9$ 是作为界面钝化层的较优结果，该 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界

面钝化层的平均配位数介于3.28至2.86，其中 $x=1.2$ 时平均配位数为3.28， $x=1.9$ 时平均配位数为2.86。

13、根据权利要求5所述的制作方法，其特征在于，步骤4中所述在 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层上生长高介电绝缘层，是利用原子层淀积的方法，在 200°C - 400°C 条件下在 $\text{Al}_x\text{Y}_{2-x}\text{O}_3$ 界面钝化层上淀积厚度大于等于0nm且小于等于4nm的高介电绝缘层。

1/3



图 1

2/3

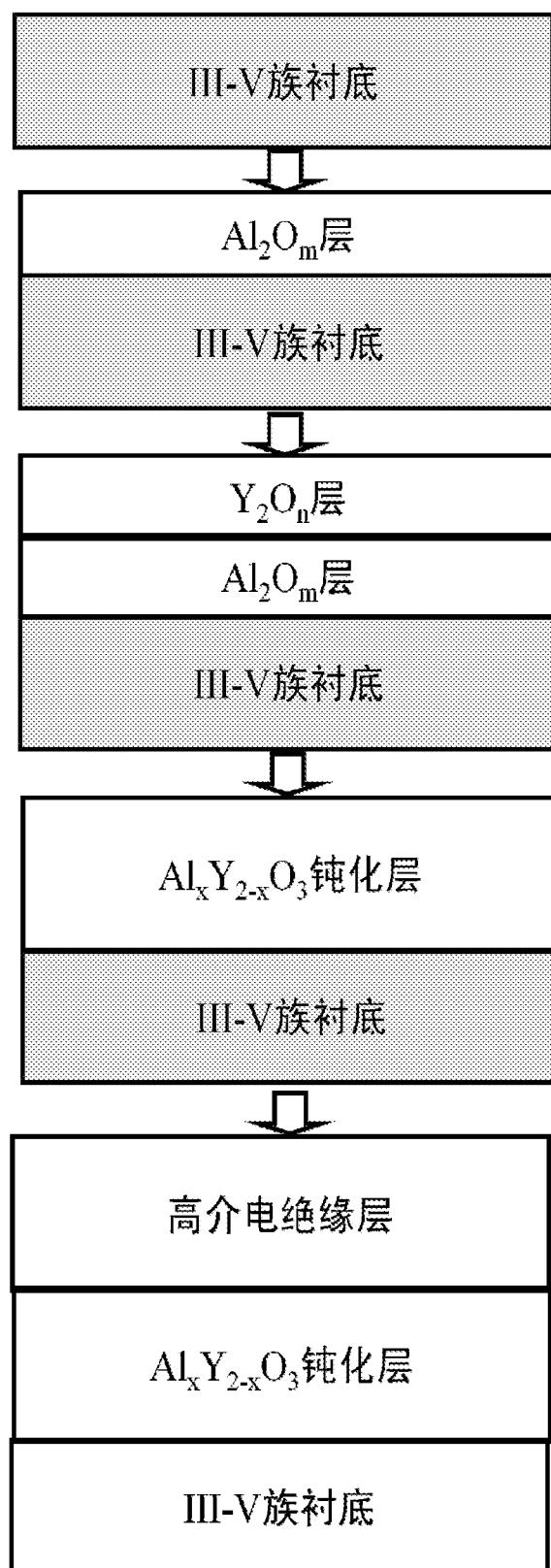


图 2

3/3

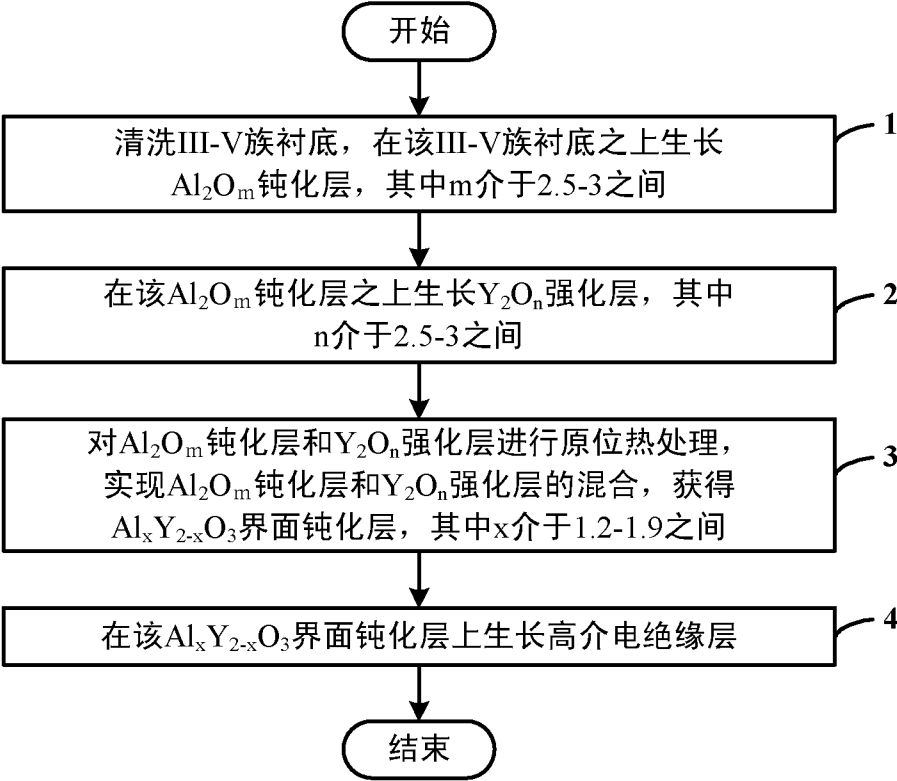


图 3

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/084198

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/51 (2006.01) i; H01L 21/28 (2006.01) i; H01L 21/285 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 29/-; H01L 21/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WIP, EPODOC, google: MOS, aluminium, yttrium, substrate, GaAs, InP, GaSb, InAs, InGaAs, semiconductor, passivation, insulation, dielectric, Al, Y

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E	CN 105097901 A (INSTITUTE OF MICROELECTRONICS OF CHINESE ACADEMY OF SCIENCES), 25 November 2015(25.11.2015), description, paragraphs 8-24	1-13
A	CN 102683208 A (NINGBO INSTITUTE OF MATERIAL TECHNOLOGY AND ENGINEERING, CAS), 19 September 2012 (19.09.2012), description, paragraphs 6-19	1-13
A	CN 1825628 A (SAMSUNG ELECTRONICS CO., LTD.), 30 August 2006(30.08.2006), the whole document	1-13
A	CN 102024707 A (NANJING UNIVERSITY), 20 April 2011 (20.04.2011), the whole document	1-13
A	US 2005/0202659 A1 (INFINEON TECHNOLOGIES NORTH AMERICA CORP.), 15 September 2005 (15.09.2005), the whole document	1-13

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 26 March 2016 (26.03.2016)	Date of mailing of the international search report 07 April 2016 (07.04.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer ZENG, Ji Telephone No.: (86-10) 010-62414274

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/084198

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105097901 A	25 November 2015	None	
CN 102683208 A	19 September 2012	None	
CN 1825628 A	30 August 2006	US 7456468 B2	25 November 2008
		JP 2006203200 A	03 August 2006
		KR 20060083583 A	21 July 2006
		CN 100530691 C	19 August 2009
		KR 100688521 B1	02 March 2007
		US 2006157754 A1	20 July 2006
CN 102024707 A	20 April 2011	CN 102024707 B	23 May 2012
US 2005/0202659 A1	15 September 2005	None	

A. 主题的分类		
H01L 29/51(2006.01)i; H01L 21/28(2006.01)i; H01L 21/285(2006.01)i		
按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
H01L29/-; H01L21/-		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
CNPAT, CNKI, WIP, EPODOC, google; 衬底, 半导体, MOS, 钝化, 绝缘, 介电, 铝, 钇, substrate, GaAs, InP, GaSb, InAs, InGaAs, semiconductor, passivation, insulation, dielectric, Al, Y		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
E	CN 105097901 A (中国科学院微电子研究所) 2015年 11月 25日 (2015 - 11 - 25) 说明书第8-24段	1-13
A	CN 102683208 A (中国科学院宁波材料技术与工程研究所) 2012年 9月 19日 (2012 - 09 - 19) 说明书第6-19段	1-13
A	CN 1825628 A (三星电子株式会社) 2006年 8月 30日 (2006 - 08 - 30) 全文	1-13
A	CN 102024707 A (南京大学) 2011年 4月 20日 (2011 - 04 - 20) 全文	1-13
A	US 2005/0202659 A1 (INFINEON TECHNOLOGIES NORTH AMERICA CORP.) 2005年 9月 15日 (2005 - 09 - 15) 全文	1-13
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期		国际检索报告邮寄日期
2016年 3月 26日		2016年 4月 7日
ISA/CN的名称和邮寄地址		授权官员
中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088		曾基
传真号 (86-10)62019451		电话号码 (86-10)010-62414274

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/084198

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105097901	A	2015年 11月 25日	无			
CN	102683208	A	2012年 9月 19日	无			
CN	1825628	A	2006年 8月 30日	US	7456468	B2	2008年 11月 25日
				JP	2006203200	A	2006年 8月 3日
				KR	20060083583	A	2006年 7月 21日
				CN	100530691	C	2009年 8月 19日
				KR	100688521	B1	2007年 3月 2日
				US	2006157754	A1	2006年 7月 20日
CN	102024707	A	2011年 4月 20日	CN	102024707	B	2012年 5月 23日
US	2005/0202659	A1	2005年 9月 15日	无			