

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成28年9月8日(2016.9.8)

【公開番号】特開2016-127223(P2016-127223A)

【公開日】平成28年7月11日(2016.7.11)

【年通号数】公開・登録公報2016-041

【出願番号】特願2015-2047(P2015-2047)

【国際特許分類】

H 01 L	21/338	(2006.01)
H 01 L	29/778	(2006.01)
H 01 L	29/812	(2006.01)
H 01 L	21/336	(2006.01)
H 01 L	29/78	(2006.01)
H 01 L	21/20	(2006.01)

【F I】

H 01 L	29/80	H
H 01 L	29/78	3 0 1 B
H 01 L	29/78	3 0 1 F
H 01 L	21/20	

【手続補正書】

【提出日】平成28年7月22日(2016.7.22)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

Si系基板と、該Si系基板上に設けられたAlN初期層と、該AlN初期層上に設けられたバッファ層とを有する電子デバイス用エピタキシャル基板であって、

前記AlN初期層の前記バッファ層側の表面の粗さSaが4nm以上8nm以下であることを特徴とする電子デバイス用エピタキシャル基板。

【請求項2】

前記バッファ層は、前記AlN初期層に接しているAl_zG_{a₁-z}N(0<z<1)層を含み、

前記Al_zG_{a₁-z}N(0<z<1)層の前記AlN初期層と反対側の表面の粗さSaが0.6nm以下であることを特徴とする請求項1に記載の電子デバイス用エピタキシャル基板。

【請求項3】

前記バッファ層は、前記Al_zG_{a₁-z}N(0<z<1)層に接し、かつ、Al_xG_{a₁-x}N(0<x<1)層とAl_yG_{a₁-y}N(0<y<x)層とが交互に積層された多層膜を含み、

前記多層膜の前記Al_zG_{a₁-z}N(0<z<1)層と反対側の表面の粗さSaが0.3nm以下であることを特徴とする請求項2に記載の電子デバイス用エピタキシャル基板。

【請求項4】

前記バッファ層上に設けられたチャネル層と、

該チャネル層上に設けられたバリア層と、

該バリア層上に設けられたキャップ層と
をさらに有することを特徴とする請求項1から請求項3のいずれか一項に記載の電子デバイス用エピタキシャル基板。

【請求項5】

請求項1から請求項4のいずれか一項に記載の電子デバイス用エピタキシャル基板を用いて作製された電子デバイスであって、前記電子デバイス用エピタキシャル基板上に電極が設けられているものであることを特徴とする電子デバイス。

【請求項6】

Si系基板上にAlN初期層を形成する工程と、
前記AlN初期層上にバッファ層を形成する工程と、
前記バッファ層上にチャネル層を形成する工程と、
前記チャネル層上にバリア層を形成する工程と、
前記バリア層上にキャップ層を形成する工程と
を有し、

前記AlN初期層の前記バッファ層側の表面の粗さSaを4nm以上8nm以下とする
ことを特徴とする電子デバイス用エピタキシャル基板の製造方法。

【請求項7】

Si系基板上にAlN初期層を形成する工程と、
前記AlN初期層上にバッファ層を形成する工程と、
前記バッファ層上にチャネル層を形成する工程と、
前記チャネル層上にバリア層を形成する工程と、
前記バリア層上にキャップ層を形成する工程と
を有し、

前記AlN初期層の前記バッファ層側の表面の粗さSaを4nm以上8nm以下とする
ことを特徴とする電子デバイスの製造方法。