

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 27/10

(11) 공개번호 특1999-023080
(43) 공개일자 1999년03월25일

(21) 출원번호	특1998-006796
(22) 출원일자	1998년03월02일
(30) 우선권주장	216697 1997년08월11일 일본(JP)
(71) 출원인	료덴 세미컨덕터 시스템 엔지니어링 (주) 요시토미 마사오 일본국 효고켄 이타미시 미즈하라 4-1미쓰비시덴키 가부시끼가이샤 다니 구찌 이찌로오, 기타오카 다카시
(72) 발명자	일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고 오카모토 요시히코 일본국 도오교도 지요다구 마루노우찌 2쵸메 2-3미쓰비시 덴끼 가부시끼가이 샤 나이 오니시 히로시 일본국 도오교도 지요다구 마루노우찌 2쵸메 2-3미쓰비시 덴끼 가부시끼가이 샤 나이 하나오카 겐이치 일본국 도오교도 지요다구 마루노우찌 2쵸메 2-3미쓰비시 덴끼 가부시끼가이 샤 나이 나카지마 시게키 일본국 도오교도 지요다구 마루노우찌 2쵸메 2-3미쓰비시 덴끼 가부시끼가이 샤 나이 츠치모토 준이치 일본국 도오교도 지요다구 마루노우찌 2쵸메 2-3미쓰비시 덴끼 가부시끼가이 샤 나이 요시다 타다시 일본국 효고켄 이타미시 미즈하라 4쵸메 1료덴 세미컨덕터 시스템 엔지니어 링 가부시끼가이샤 나이
(74) 대리인	이화익

심사청구 : 있음

(54) 조면화 도전성막의 형성방법및 반도체 장치

요약

반도체 웨이퍼상의 도전성막의 표면에 조면화도(粗面化度)가 충분히 확보된 조면을 균일하게 형성한다.

반도체 웨이퍼상의 비결정질 실리콘의 도전성막에 불산처리를 시행하여 자연산화막을 제거하고, 이 위에 극박(極薄)산화막을 형성한다. 그런 후에, 실란계가스를 사용하여 핵부착용막을 형성하고, 어닐링처리를 하여 도전성막의 표면을 조면화 시킨다. 극박산화막은, 0.5Å 이상 20Å 이하의 두께로 형성한다. 또, 극박산화막은 과산화수소수 처리 또는 산화제의 플러싱처리등에 의해 형성한다.

대표도

도2

명세서

도면의 간단한 설명

도 1은 본 발명의 각 실시의 형태에 의한 조면 스토리지노드의 형성방법에 의해서 얻어지는 스토리지노드의 조면화의 상태를 설명하기 위한 모식도.

도 2는 본 발명의 실시의 형태 1에 의한, 조면 스토리지노드 형성공정의 흐름도.

도 3은 본 발명의 실시의 형태 1에서 제작된 조면 스토리지노드의 형상을 종래 방법으로 작성된 것과 비교하여 나타내는 오감사진의 스케치도.

위서, 부분적으로 조면화가 실현되지 못하는 사태를 야기하여, 그 안정조면형성에 문제가 있었다.

본 발명은, 상기한 바와 같은 종래의 문제를 해결하기 위해서 이루어진 것으로, 웨이퍼위의 도전성막 위에 조면화도가 충분히 확보된 조면을 고르게 형성하는 방법을 제공하고자 하는 것이다. 특히, 반도체 메모리에서 용량배율이 높은 조면 스토리지노드를 웨이퍼 전체면에 고르게 형성할 수 있도록 하는 방법을 제공하는 것이다.

본 발명의 조면화 도전성막의 형성방법은, 반도체 웨이퍼에 형성된 비결정질 실리콘의 도전성막에 불산처리를 시행하여 자연산화막을 제거하는 공정과, 상기 불산처리후에 상기 도전성막에 극박산화막을 형성하는 공정과, 상기 극박산화막의 위에 실란게가스를 사용하여 핵부착용막을 형성하는 공정과, 상기 핵부착용막이 형성된 상기 웨이퍼를 어닐링처리하여 상기 도전성막형성의 표면을 조면화시키는 공정을 포함하는 것을 특징으로 하는 것이다.

또한, 본 발명의 조면화 도전성막의 형성방법은, 상기 극박산화막을 0.5Å 이상 20Å 이하의 두께로 형성한 것을 특징으로 하는 것이다.

또한, 본 발명의 반도체 장치는, 상기한 어느 하나에 기재된 형성방법에 의해서 형성한 조면화 도전성막을 구비한 것을 특징으로 하는 것이다.

발명의 구성 및 작용

이하에, 도면을 참조하여 본 발명의 실시의 형태에 관해서, 반도체 메모리에서의 조면 스토리지노드의 형성을 예로 해서 설명한다.

(실시의 형태 1)

도 1은, 본 발명의 각 실시의 형태에 의한 조면 스토리지노드의 형성방법에 의해서 얻어지는 스토리지노드의 조면화의 상태를 설명하기 위한 모식도이다.

도 1에서, 1은 실리콘웨이퍼(도시하지 않음)위의 실리콘산화막, 2는 실리콘산화막1 위에 형성된 비결정질 실리콘의 스토리지노드, 3은 스토리지노드2 위에 형성된 극박산화막, 4a는 극박산화막3위, 즉 스토리지노드2의 위에 형성된 조면립이다. 도면에 나타낸 바와 같이, 본 실시의 형태의 조면 스토리지노드는, 스토리지노드2 위의 조면립4a이 충분히 형성되어 있다.

또, 도 1에서는 모식적으로 나타내었지만, 극박산화막3은 절연막으로서 기능하는 것은 아니고, 조면화의 형성프로세스를 거친 뒤에는, 스토리지노드2와 조면립4a의 전기적 도통이 확보되어 있는 것이다. 또, 도 1에서는 극박산화막3이 스토리지노드2의 전체면에 형성되어 있는 상태를 나타내었지만, 극박산화막3이 매우 얇은 경우에는 이것은 스토리지노드2의 전체면, 또는 웨이퍼의 전체면에 연속해서 막모양으로 형성되어 있는것에 한하지 않고, 섬 모양으로 형성되어 있는 경우도 있다.

다음에, 도 2는 본 발명의 실시의 형태 1에 의한 조면 스토리지노드 형성공정의 흐름도를 나타낸다. 도 1 및 도 2를 참조하여 형성공정에 관해서 설명하면, 도 2의 스텝 11에서 반도체 웨이퍼상의 도프된 비결정질 실리콘막을 에칭하여 스토리지노드2를 형성한다. 다음에 스텝12에서 통상의 RCA 세정을 행한다. 다음에, 스텝13에서 불산물처리에 의해서 스토리지노드2 표면에 형성된 자연산화막등을 제거한다.

다음에, 즉시 스텝 14 a에서 과산화수소수 용액처리를 함으로써, 스토리지노드2 표면에 극박의 산화막3을 막모양 또는 섬모양으로 형성한다. 다음에, 스텝15에서 디시랜가스(Si₂H₆)를 사용하여 500Å 정도의 비결정질 실리콘막을 형성하여 핵부착용 성막을 행하고, 계속해서 어닐링처리를 실시함으로써 조면립4a를 성장시킨다. 다음에 에칭백처리에 의해 분리용산화막상에 성장한 조면립을 제거하여, 조면 스토리지노드를 완성시킨다.

이상과 같이 본 실시의 형태에서는, 스텝13의 불산수 처리후, 스텝15에서의 핵부착막의 형성전에 스텝14a에서 과산화수소수 처리를 함으로써, 스토리지노드2의 표면에 극박산화막3을 형성하는데에 특징이 있다.

이 스토리지노드2상에 극박산화막3을 형성하는 목적은, 핵부착성막 및 그 다음의 어닐링에서, 분리용의 산화막1상에 생기는 조면립(실리콘립)과 동등한 크기의 조면립4 a(실리콘립)을 스토리지노드2상에 형성하는 데에 있다.

도 3은, 이 방법으로 형성된 조면 스토리지노드의 형상사진의 스케치를, 종래의 방법으로 형성된 스토리지노드의 형상사진의 스케치와 비교하여 나타낸다. 도 3(a)는, 본 실시의 형태의 방법에 의한 것으로, 조면립4a가 스토리지노드2상에 충분히 형성되어 있는 것을 알 수 있다. 한편, 도 3(b)은 종래의 방법에 의한 것으로, 과산화수소수처리를 실시하지 않은 경우의 조면의 형상을 나타낸다. 도 3(b)에서는, 도 3(a)과 비교하여 조면의 입계가 명확하게 되어 있지 않은 것을 알 수 있다. 또, 조면립4a가 붙어 있지 않은 부분도 있다.

이것은, 스토리지노드의 횡단면의 사진에서 명확하다. 도 4는, 스토리지노드의 횡단면의 사진을 스케치한 개념도이고, 도 4(a)는 본 실시의 형태의 방법으로 형성한 경우의 단면의 상태, 도 4(b)는 종래의 방법으로 과산화수소수처리를 행하지 않았을 때의 단면의 상태를 나타낸다. 도 4(b)에서는 부분적으로 미성장부(未成長部)가 있고 또 조면립4a의 윤곽이 흐리게 비해서, 도 4(a)에서는 스토리지노드 전체면에 윤곽이 뚜렷한 조면립4a이 형성되어 있는 것을 알 수 있다.

도 5는, 본 실시의 형태의 방법으로 형성된 조면 스토리지노드와, 종래의 방법으로 과산화수소수 처리를 실시하지 않았을 때의 조면 스토리지노드와의 스토리지노드 면적배율의 비교를 나타낸다. 동일형상의 스토리지노드에 동일한 핵부착성막을 실시한 조건에서 (b)의 과산화수소수 처리를 실시한 쪽의 면적배율이, (a)의 종래의 방법의 경우보다 커져있는 것을 알 수 있다.

그런데, 과산화수소수처리에서 스토리지노드 표면에 산화막을 형성하였을 때에 걱정되는 사항으로는, 이 형성된 극박산화막3이 핵부착성막 및 어닐링처리를 실시한 뒤에도 끈질기게 남아, 조면립4a이 스토리지

노드와 일체가 되지 않을 가능성이 있다는 것이다. 이 경우에는, 역바이어스를 걸었을 때에 조면립4a는 스토리지노드로서 동작하지 않기 때문에, 면적배율에 알맞은 용량은 얻을 수가 없다.

도 6은, 본 실시의 형태에 의해 과산화 수소수처리를 실시한 경우와, 종래의 방법에 의해 과산화수소수처리를 실시하지 않았던 경우의, 정(+)바이어스에 대한 역바이어스시의 스토리지노드용량의 비교표를 나타낸다. 도 6의 비교표에서 알 수 있는 바와 같이, 양쪽 다 역바이어스시의 정(+) 바이어스시에 대한 용량비율이 0.97로서 차이가 없기 때문에, 과산화수소수 처리를 실시하여 핵부착막 형성전에 극박산화막을 스토리지노드 표면에 형성하더라도, 그 다음 공정을 거친 뒤에는 극박산화막을 형성하지 않을 때와 같은 전기적회로동작이 확보되어 있는 것을 알 수 있다.

그런데, 종래의 방법에서 과산화수소수 처리를 실시하지 않았을 경우, 웨이퍼내의 무수한 스토리지노드중에 조면립이 성장하지 않아, 결과적으로 용량이 취해지지 않는 스토리지노드가 산재해 있었다(도3(b)참조). 이러한 스토리지노드의 존재는 결과적으로 커패시터의 용량부족으로서 디바이스의 신뢰성에 영향을 주고 있었다. 그러나, 도 3(a)에 나타내는 바와 같이 과산화수소수처리를 실시한 본 실시의 형태에서는, 그와 같은 조면립결핍은 웨이퍼 전체면에서 발견되지 않는다. 실제디바이스의 신뢰성평가를 비교한 바, 용량부족에 기인하는 불량률의 발생확률은, 과산화수소수 처리를 실시함으로써 종래와 비교하여 1000분의 1이하가 되었다.

이상 설명한 바와 같이, 본 실시의 형태에 의하면, 스토리지노드상에 미리 극박산화막을 형성함으로써, 조면의 형상에서의 스토리지노드위와 분리산화막위의 크기의 차이를 억제한다. 그리고 스토리지노드의 표면을 극박산화막으로 덮음으로써 조면화를 고르게 마무리하여, 부분적으로 조면화할 수 없는 부분의 발생을 막는다. 한편 스토리지노드상의 산화막의 두께를 매우 얇게 억제함으로써, 어닐링공정에서의 핵부착막과 스토리지노드 본체가 전기적으로 일체가 되기 위한, 도핑된 인의 열확산이 확보되도록 하였다.

이에 의해, 전기적으로 도통이 확보된 조면을, 그 조면화도를 충분히 확보할 수 있도록 하여, 조면화가 전체면에 고르게 되도록 하였다.

또 이에 의해, 반도체 메모리에서 용량배율이 높은 조면 스토리지노드가 웨이퍼전체면에 고르게 형성될 수 있다.

(실시의 형태 2)

도 7은, 본 발명의 실시의 형태 2에 의한 조면 스토리지노드 형성공정의 흐름도를 나타낸다.

본 실시의 형태 2의 공정은, 도 7의 흐름에 나타나는 바와 같이, 스텝11의 스토리지노드 형성예칭, 스텝12의 RCA세정 및 스텝13의 불산세정의 각 공정은 실시의 형태 1과 마찬가지로 한다.

본 실시의 형태 2에서는, 다음에 스텝14b에서 불산처리된 웨이퍼의 스토리지노드2에 대하여 산화제플러싱처리를 실시한다. 산화제플러싱 처리에서는, 일례로서 산소분위기속에서 플라즈마방전 처리를 실시한다. 이에 의해 스토리지노드2의 표면에 극박산화막을 형성한다.

산화제로서는 산소, 오존, 일산화질소, 이산화질소등을 사용할 수 있다.

산화제플러싱처리를 한 후의 다음 스텝15의 조면화처리 및 스텝16의 에칭백처리는, 실시의 형태 1과 마찬가지로 한다.

이상과 같이, 본 실시의 형태 2와 실시의 형태 1의 차이는, 과산화수소수 처리대신에 산화제플러싱처리를 행하는 데 있다.

도 8은 본 실시의 형태 2에 의해 제작된 스토리지노드2 극박산화막3의 막두께에 대하여, 역바이어스시와 정(+)바이어스시의 용량비율(역바이어스용량/정(+)바이어스용량)의 관계를 나타낸다. 도 8에서 알 수 있는 바와 같이, 극박산화막3의 막두께가 두꺼워지면 용량비율이 저하하고, 산화막두께20Å 시에 0.9까지 저하한다. 이 0.9때의 디바이스의 수율을 평가한 결과, 수율면에서는 종래에 손색이 없었다. 따라서 극박산화막3의 막두께를 20Å 이하로 억제해 놓으면 좋다.

도 9는 극박산화막3의 막두께와, 스토리지노드2상의 조면립과의 관계를 설명하기 위한 모식도이다. 도 9(a)에 나타낸 바와 같이, 극박산화막3이 0.5Å 미만일 때는, 산화막1의 위에는 큰 조면립4b이 생기지만, 스토리지노드2 위에서 작은 입자가 되어, 조면화가 충분하지 않았다. 도 9(b)에 나타낸 바와 같이, 극박산화막3이 0.5Å 이상이고 20Å 이하일 때는, 스토리지노드2의 위에도 산화막1의 위와 마찬가지로 큰 조면립4a이 형성되었다. 또 극박산화막3이 20Å 을 넘으면, 조면립의 형성은 문제가 없으나 디바이스로서 용량을 확보하는 점에서 문제가 생긴다. 결국 극박산화막3은, 0.5Å 이상이고 20Å 이하의 범위로 형성하는 것이 좋다는 것을 알았다.

또, 극박산화막3이 0.5Å ~ 20Å 의 범위에서 비교적 두껍게 형성하는 경우에는 막모양으로 형성되지만, 0.5Å 에 가깝고 매우 얇은 경우에는, 웨이퍼의 표면이나 스토리지노드2의 표면에, 섬 형상, 또는 반점모양으로 형성되는 경우도 있다. 이 경우에도 극박산화막3이 형성되어 있는 한 그 효과가 있다.

이 산화막3의 제작조건으로서 산화제플러싱은 여러가지 있다. 오존이나 이산화질소와 같이 산화력이 강한 산화제를 사용할 때는 실온으로 가스를 플러싱하는 것만으로 충분하다. 또 산소나 일산화질소와 같이 실온으로 안정된 가스를 사용할 때는 플라즈마를 사용하거나, 웨이퍼를 200℃ 정도까지 가열해 주면 문제없게 된다.

이상 설명한 바와 같이 본 실시의 형태에 의하면 충분히 조면화되고, 또 전기적으로 도통이 확보된 조면을 도전성막의 표면에 고르게 형성할 수 있다. 이에 의해, 반도체 메모리에서 용량배율이 높은 조면 스토리지노드를 형성할 수 있다.

(실시의 형태 3)

도 10은, 본 발명의 실시의 형태 3에 의한, 조면 스토리지노드 형성공정의 흐름도를 나타낸다.

본 실시의 형태 3의 공정은 도 10의 흐름에 나타난 바와 같이, 스텝11의 스토리지노드 형성예칭, 스텝12의 RCA 세정 및 스텝13의 불산세정의 각 공정은, 실시의 형태1와 마찬가지로 행한다.

본 실시의 형태 3에서는, 다음에 스텝14 c에서 불산처리된 웨이퍼1를 클린룸중에서 소정시간 방치하여, 산화막의 성장시간을 확보한다. 예컨대, 클린룸에서의 방치시간을 4시간 잡으면 약 0.8Å의 산화막이 성장되었다.

그 다음의 스텝15의 조면화처리 및 스텝16의 에칭백처리는, 실시의 형태 1과 마찬가지로 행한다.

이와 같이 실시한 결과, 역시 실시의 형태 1과 같은 조면립4a를 스토리지노드2의 표면에 형성할 수 있고, 이것을 디바이스적용한 결과, 용량, 신뢰성이 본 실시의 형태 1과 동레벨인 것이 확인되었다.

이상과 같이, 본 실시의 형태 4와 실시의 형태 1의 차이는, 과산화수소수 처리대신에 불산처리후에 클린룸중에서의 방치시간을 설치한 것이다.

이상 설명한 바와 같이 본 실시의 형태에 의하면, 충분히 조면화되고 또 전기적으로 도통이 확보된 조면을, 도전성막의 표면에 고르게 형성할 수 있다.

이에 의해, 반도체 메모리에서 용량배율이 높은 조면 스토리지노드를 형성할 수 있다.

(실시의 형태 4)

도 11은, 본 발명의 실시의 형태 4에 의한 조면 스토리지노드 형성공정의 흐름도를 나타낸다.

본 실시의 형태 4의 공정은, 도 11의 흐름에 나타난 바와 같이, 스텝11의 스토리지노드 형성예칭, 스텝12의 RCA 세정 및 스텝13의 불산세정의 각 공정은, 실시의 형태1과 마찬가지로 행한다.

스텝13의 불산처리공정에서는 그 공정중에 순수한 물을 사용한 웨이퍼수세처리가 있고, 순수한 물 세정후에 건조처리가 있다.

본 실시의 형태 4에서는 스텝14d로서, 이 수세처리를 긴 시간 계속한다. 그 결과, 스토리지노드 표면에 산화막이 형성된다. 산화막의 형성을 목적으로, 일부러 수세처리시간을 1시간으로 잡은 결과, 스토리지노드2의 표면에는 약 1Å의 산화막이 형성되었다. 그 후의 스텝15의 조면화처리 및 스텝16의 에칭백 처리는 실시의 형태 1과 마찬가지로 행한다.

이와 같이 실시한 결과, 실시의 형태 1에 비해 손색이 없는 양호한 스토리지노드의 특성을 얻을 수 있었다.

이상 설명한 바와 같이 본 실시의 형태에 의하면, 충분히 조면화 되고 또 전기적으로 도통이 확보된 조면을, 도전성막의 표면에 고르게 형성할 수 있다.

이에 의해, 반도체 메모리에서 용량배율이 높은 조면 스토리지노드를 형성할 수가 있다.

(실시의 형태 5)

도 12는 본 발명의 실시의 형태 5에 의한, 조면 스토리지노드 형성공정의 흐름도를 나타낸다.

본 실시의 형태 5의 공정은, 도 12의 흐름에 나타난 바와 같이, 스텝11의 스토리지노드형성 예칭공정은, 실시의 형태 1과 마찬가지로 행한다. 스토리지노드의 형상을 작성하는 예칭을 행한 후에는, 패턴을 결정하는 레지스트를 제거하는 공정이 있다.

본 실시의 형태 5에서는, 스텝17a로서 유기물을 제거하기 위해서 산소계의 에칭을, 스토리지노드2 위에 소정두께의 산화막을 형성하는 것을 목적으로 해서 행한다. 예컨대, 산화막의 막두께를 20~40Å로 형성한다.

다음의 스텝12의 RCA세정은 통상적으로 행한다.

다음에 스텝13의 HF 세정에서는 불산처리시간을 조절하여, 불산처리공정의 종료시에 다음의 핵부착 성막 공정전의 시점에서, 산화막이 얇고 0.5Å 이상 20Å 이하인 두께가 남도록 처리한다. 예컨대, 1% 불산수 용액의 경우, 35초의 처리로 30Å를 제거할 수 있기 때문에 HF 처리시간을 규정할 수 있다.

다음에 스텝15의 조면화처리, 스텝16의 에칭백처리는, 실시의 형태 1과 같이 행한다. 또, 실시의 형태 1 또는 2에 나타난 스텝14a 등의 극박산화막형성의 공정은 특별히 실시하지 않는다.

이 방법에서도, 실시의 형태 1에 나타난 것과 같은 조면립을 스토리지노드의 표면에 형성할 수 있고, 또 이것을 이용한 디바이스의 수율도 손색이 없었다.

이상 설명한 바와 같이 본 실시의 형태에 의하면, 충분히 조면화되고 또 전기적으로 도통이 확보된 조면을 도전성막의 표면에 고르게 형성할 수 있다.

이에 의해, 반도체 메모리에서 용량배율이 높은 조면 스토리지노드를 형성할 수 있다.

(실시의 형태 6)

도 13은, 본 발명의 실시의 형태 6에 의한 조면 스토리지노드 형성공정의 흐름도를 나타낸다.

본 실시의 형태 6의 공정은 도 13의 흐름에 나타난 바와 같이, 스텝11의 스토리지노드형성 예칭공정은, 실시의 형태 1과 마찬가지로 행한다.

다음에, 본 실시의 형태 6에서는, 스텝17b로서 스토리지노드의 형상을 작성하는 에칭프로세스의 마무리로서 산화제플러싱을 행한다. 산화제플러싱으로서는 에칭장치내에서 연속하여 산소분위기하에서 플라즈마방전처리를 행한다. 이에 의해 스토리지노드표면을 산화막으로 덮는다. 이 막두께를 측정하면 40~45Å 이었다.

다음의 스텝 12의 RCA 세정은 통상적으로 행한다.

다음에, 스텝 13의 HF 세정에서는 불산처리 시간을 조절하여, 불산처리공정의 종료시에 다음의 핵부착성막 공정전의 시점에서 산화막이 얇고, 0.5 Å 이상 20 Å 이하의 두께가 남도록 처리한다. 예컨대, 1% 불산수 용액의 경우, 35초의 처리로 30 Å를 제거할 수 있기 때문에 HF 처리시간을 규정할 수 있다.

다음에, 스텝 15의 조면화처리 스텝 16의 에칭백처리는, 실시의 형태 1과 마찬가지로 행한다. 또, 실시의 형태 1 또는 2에 나타난 스텝 14a 등의 극박산화막형성의 공정은 특별히 실시하지 않는다.

이 방법에서도, 실시의 형태 1에 나타난 것과 같은 조면립을 스토리지노드의 표면에 형성할 수가 있고, 또 이것을 사용한 디바이스의 수율도 손색이 없었다.

이상 설명한 바와 같이 본 실시의 형태에 의하면, 충분히 조면화되고 또 전기적으로 도통이 확보된 조면을 도전성막의 표면에 고르게 형성할 수 있다. 이에 의해, 반도체 메모리에서 용량배율이 높은 조면 스토리지노드를 형성할 수 있다.

(실시의 형태 7)

본 발명의 실시의 형태 7에 의한 조면 스토리지노드 형성공정의 흐름도는, 실시의 형태 6과 마찬가지로 도 13에 의해서 표시되지만, 실시의 형태 6과는 약간 차가 있다.

실시의 형태 6에서는, 산화제플러싱은 에칭장치내에서 연속하여 행하였지만, 본 실시의 형태 7에서는, 에칭공정을 종료한 뒤에, 다시금 산화제플러싱을 행한다. 예컨대 구체적으로는, 스토리지노드의 형상을 작성하는 에칭프로세스의 마무리로써, 에칭공정 완료 후 다시 산소분위기하에서 플라즈마방전처리를 행한다. 이러한 방법에 의해서도, 실시의 형태 6과 같은 결과를 얻을 수 있었다.

이상 설명한 바와 같이 본 실시의 형태에 의하면, 충분히 조면화되고 또 전기적으로 도통이 확보된 조면을, 도전성막의 표면에 고르게 형성할 수 있다. 이에 의해, 반도체 메모리에서 용량배율이 높은 조면 스토리지노드를 형성할 수 있다.

발명의 효과

이상 설명한 바와 같이 본 발명에 의하면, 반도체 장치의 조면화 도전성막의 형성에서, 도전성막의 표면에 미리 극박산화막을 형성함으로써, 충분히 조면화된 표면을 형성할 수 있다. 또, 조면화되지않는 부분의 발생을 막는다. 또한, 극박산화막의 두께를 매우 얇게 억제함으로써 전기적으로 일체성을 확보할 수 있다.

이에 의해, 반도체 메모리의 스토리지노드 표면의 조면화율을 확보할 수 있으며, 필요한 용량을 확보할 수도 있다. 또, 디바이스의 스토리지노드의 소형화를 실현함과 동시에, 부분적인 미조면부분의 발생을 억제함으로써 디바이스의 신뢰성이 향상한다.

(57) 청구의 범위

청구항 1

반도체 웨이퍼에 형성된 비결정질 실리콘의 도전성막에 불산처리를 시행하여 자연산화막을 제거하는 공정과, 상기 불산처리 후에 상기 도전성막에 극박산화막을 형성하는 공정과, 상기 극박산화막의 위에 실란계 가스를 사용하여 핵부착용막을 형성하는 공정과, 상기 핵부착용막이 형성된 상기 웨이퍼를 어닐링처리하여 상기 도전성막형성의 표면을 조면화시키는 공정을 포함하는 것을 특징으로 하는 조면화 도전성막의 형성 방법.

청구항 2

제 1 항에 있어서,

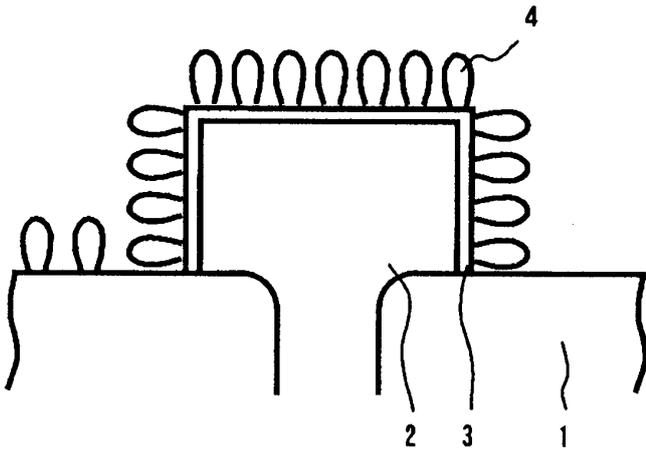
상기 극박산화막을 0.5 Å 이상 20 Å 이하의 두께로 형성한 것을 특징으로 하는 조면화 도전성막의 형성 방법.

청구항 3

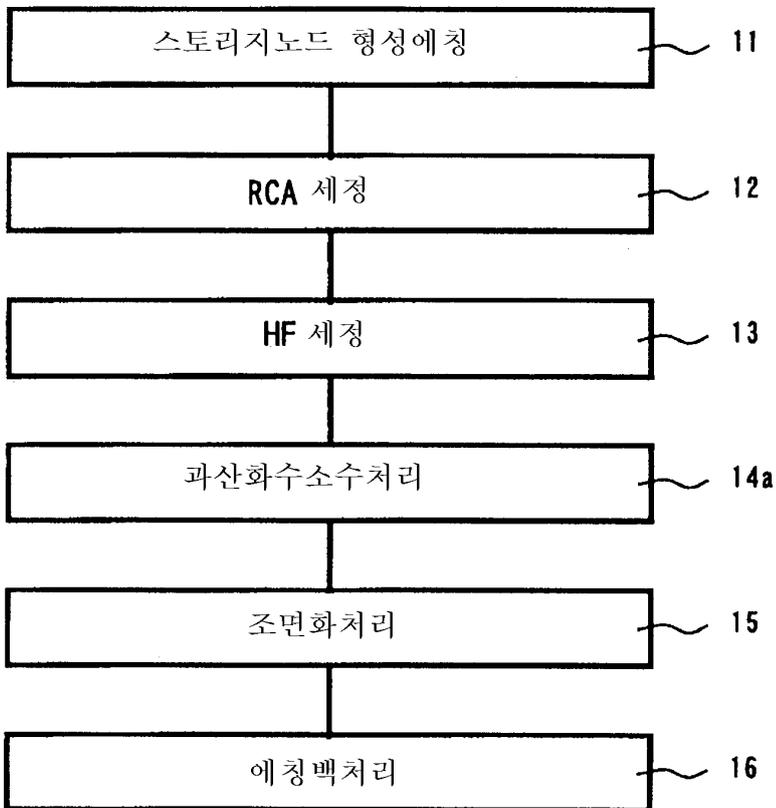
제 1 항, 또는 제 2 항중 어느 1항에 기재된 형성방법에 의해서 형성한 조면화 도전성막을 구비한 것을 특징으로 하는 반도체 장치.

도면

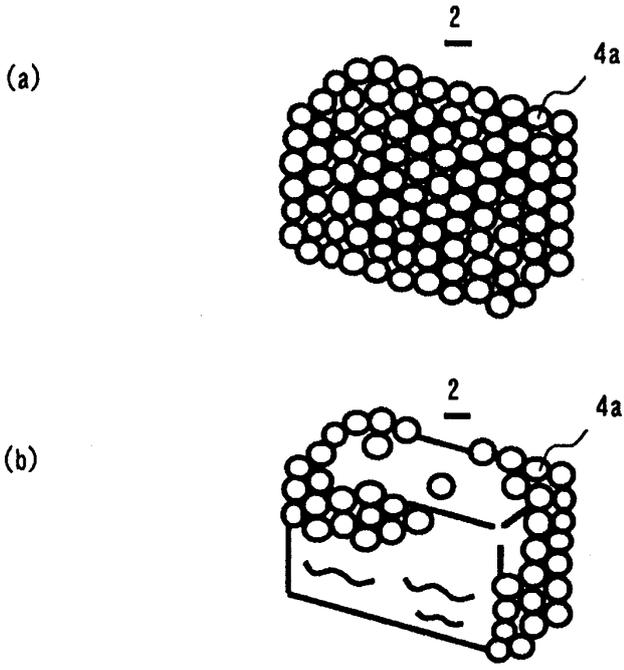
도면1



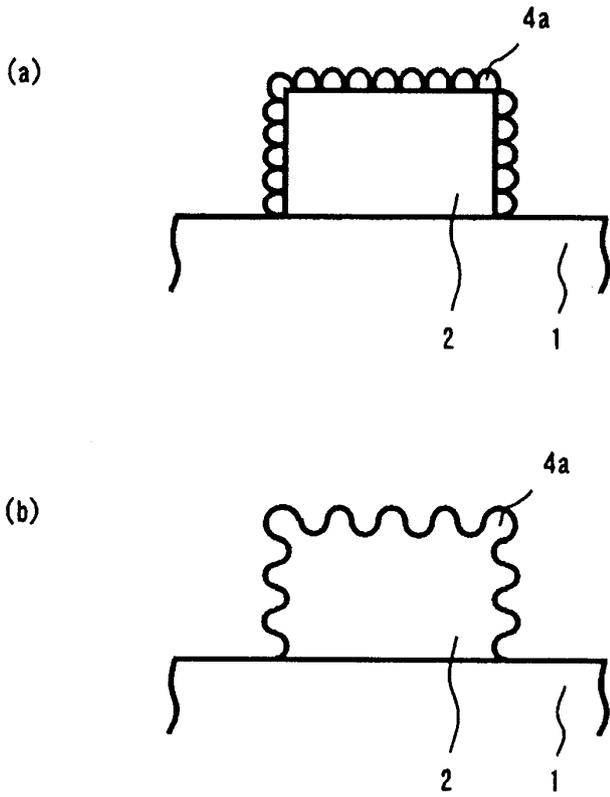
도면2



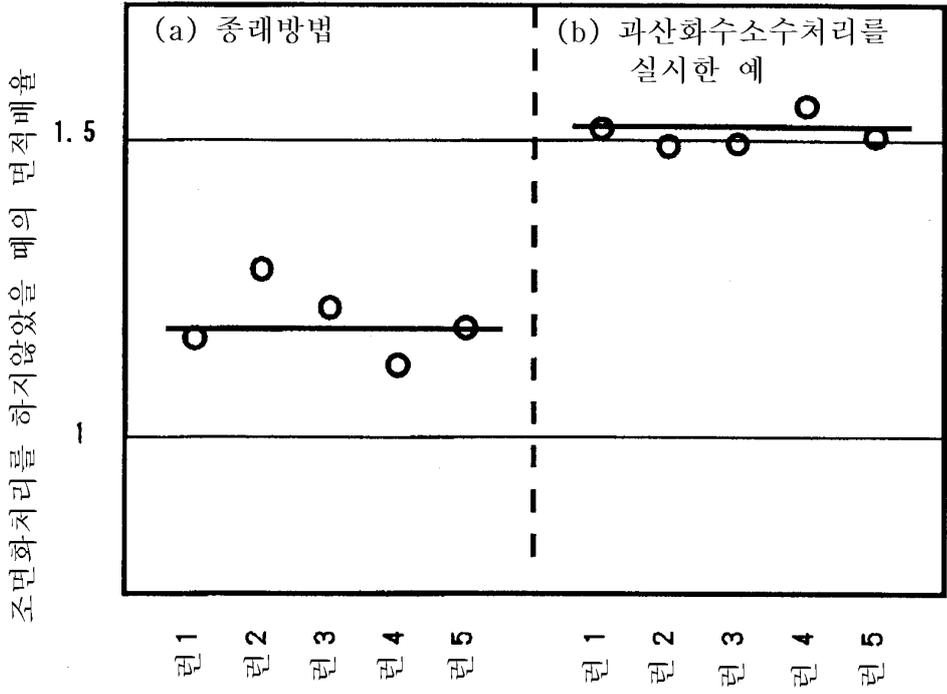
도면3



도면4



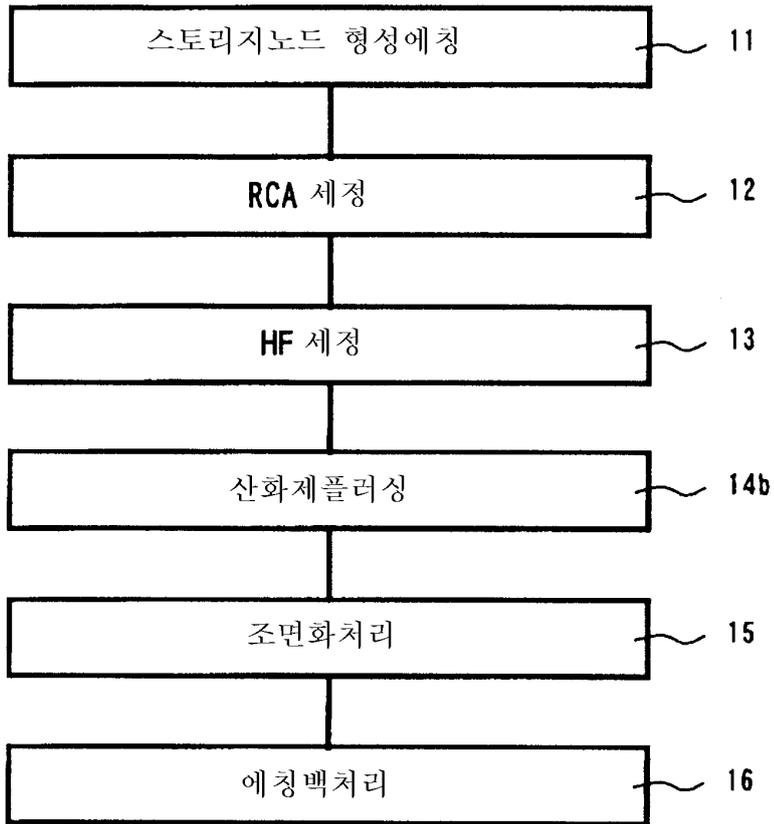
도면5



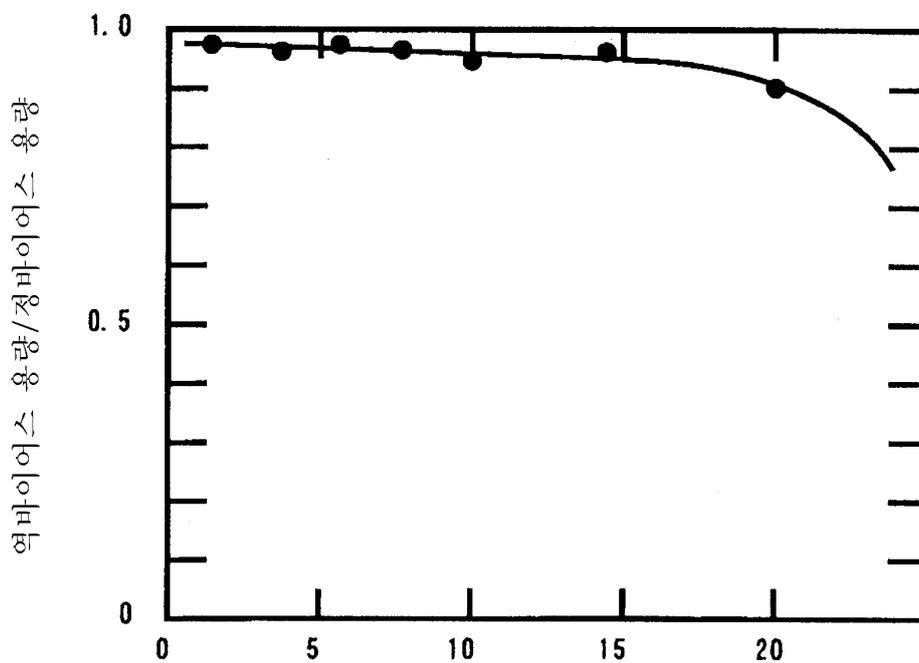
도면6

	역바이어스 용량/정바이어스 용량
과산화수소수처리를 한 예	0.97
과산화수소수처리를 하지 않은 종래	0.97

도면7

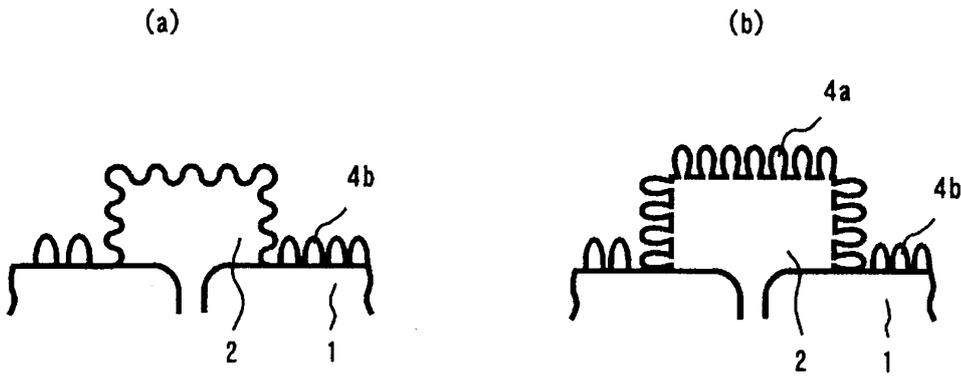


도면8

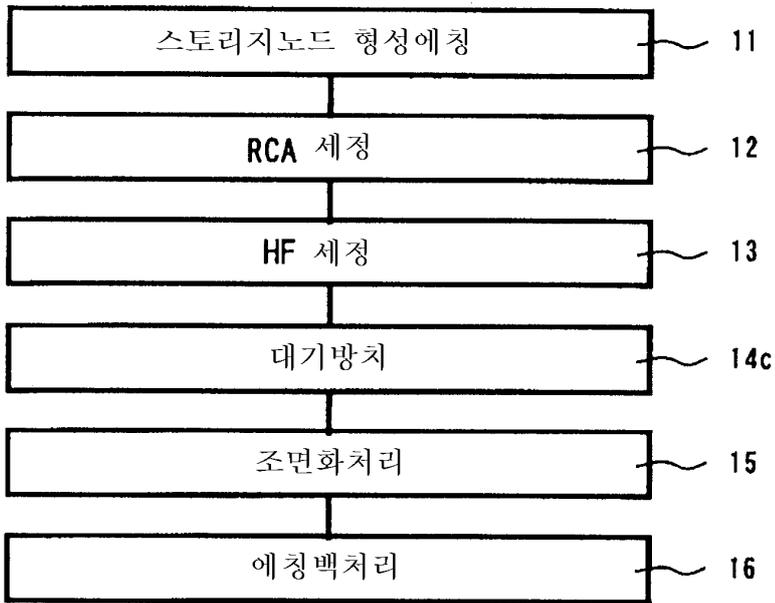


형성된 극박산화막의 막두께 (A)

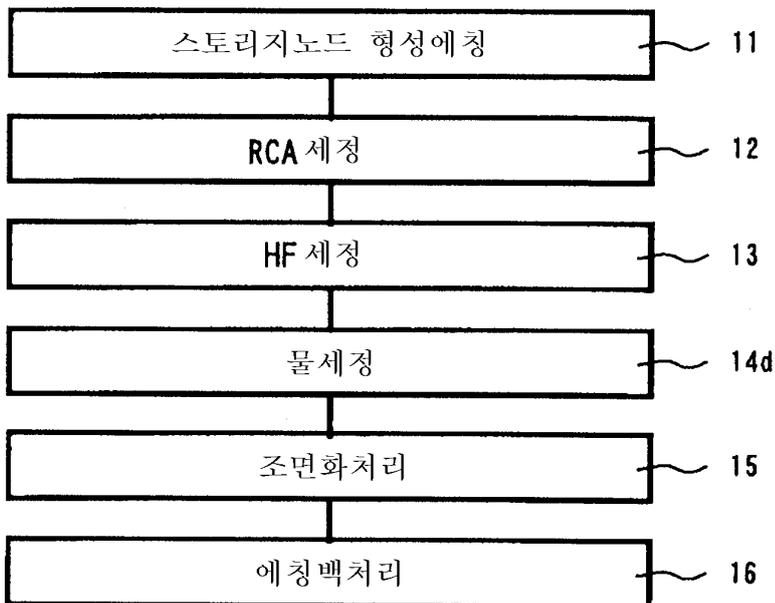
도면9



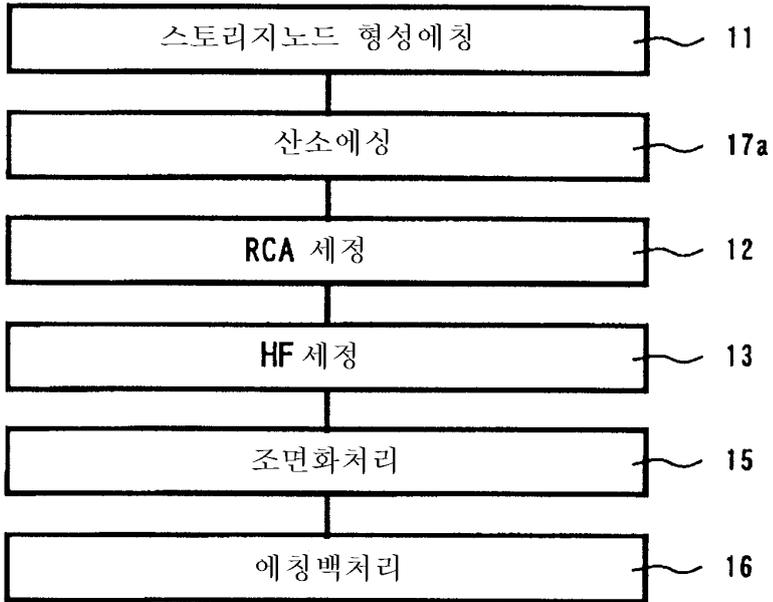
도면10



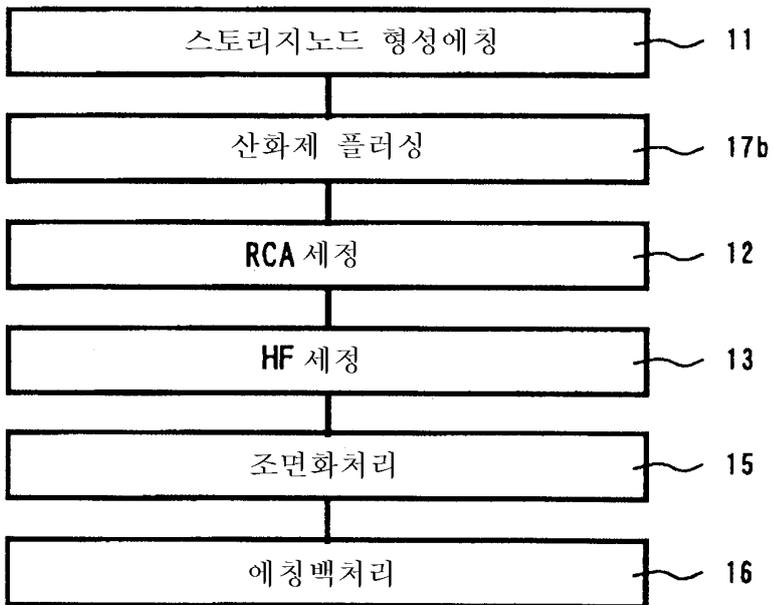
도면11



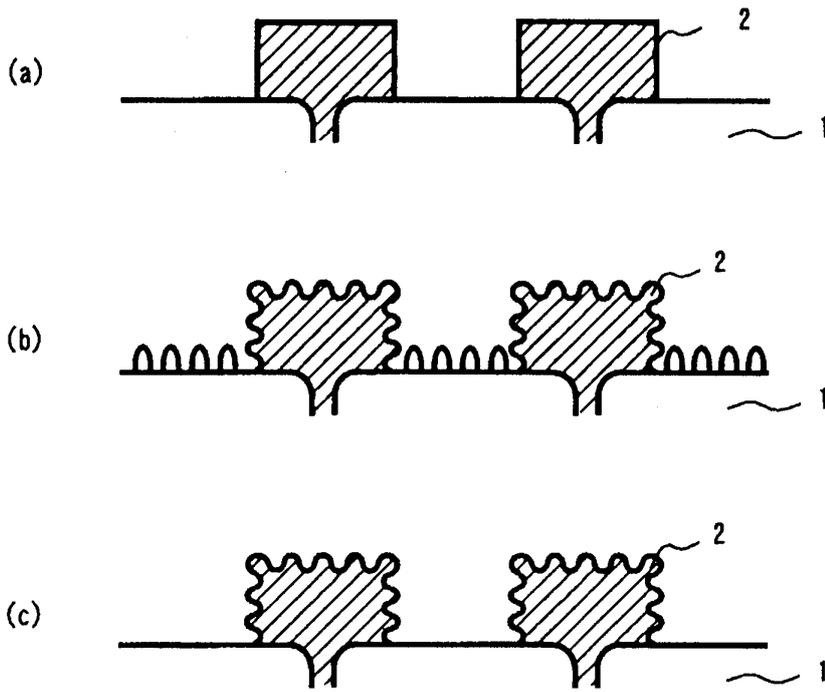
도면12



도면13



도면14



도면15

