

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号
特表2025-518666
(P2025-518666A)

(43)公表日 令和7年6月19日(2025.6.19)

(51)国際特許分類	F I	テーマコード (参考)
G 1 1 C 7/18 (2006.01)	G 1 1 C 7/18	5 B 0 1 5
G 1 1 C 11/4097(2006.01)	G 1 1 C 11/4097	5 M 0 2 4
G 1 1 C 11/418(2006.01)	G 1 1 C 11/418 1 2 0	

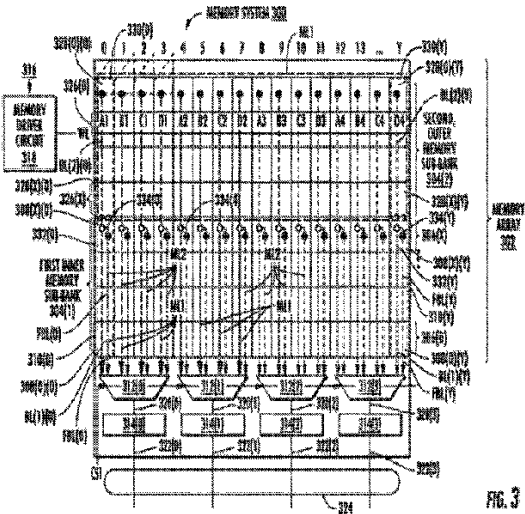
審査請求 未請求 予備審査請求 未請求 (全30頁)

(21)出願番号	特願2024-565939(P2024-565939)	(71)出願人	314015767
(86)(22)出願日	令和5年4月19日(2023.4.19)		マイクロソフト テクノロジー ライセンシング, エルエルシー
(85)翻訳文提出日	令和6年12月2日(2024.12.2)		アメリカ合衆国 ワシントン州 9 8 0 5
(86)国際出願番号	PCT/US2023/019031		2 レッドモンド ワン マイクロソフト
(87)国際公開番号	WO2023/239471		ウェイ
(87)国際公開日	令和5年12月14日(2023.12.14)	(74)代理人	100079108
(31)優先権主張番号	17/836,634		弁理士 稲葉 良幸
(32)優先日	令和4年6月9日(2022.6.9)	(74)代理人	100109346
(33)優先権主張国・地域又は機関	米国(US)		弁理士 大貫 敏史
(81)指定国・地域	AP(BW,CV,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV	(74)代理人	100117189
	最終頁に続く		弁理士 江口 昭彦
		(74)代理人	100134120
			弁理士 内藤 和彦
		(74)代理人	100108213
			最終頁に続く

(54)【発明の名称】 フライングビット線を利用して有効なビット線長を大きくし、より高い性能と高められたメモリ密度をサポートするメモリアレイ、および関連方法

(57)【要約】

フライングビット線を利用して有効なビット線長を大きくし、より高い性能と高められたメモリ密度をサポートするメモリアレイ、および関連方法。メモリ密度を高めるために、メモリアレイは、第1のメモリサブバンク、および1つまたは複数の第2のメモリサブバンクを有する。第1のメモリサブバンクは、そのメモリ列回路ごとに第1のビット線を備える。第2のメモリサブバンクの第2のメモリビットセルに結合される第1のビット線の長さを延長する必要性を回避するために、各メモリサブバンクは、それぞれのメモリビットセルをアクセス回路に結合する専用の第1および第2のビット線を有する。第2のビット線は、第1のメモリサブバンクの第1のビット線から独立して、事実上「飛ぶ(fly)」。第1のメモリサブバンクの第1のビット線は、第2のメモリサブバンクのためのビット線を設けるために長さを延長する必要はない。



【特許請求の範囲】**【請求項 1】**

メモリ列アクセス回路と、
メモリアレイと

を含むメモリシステムであって、前記メモリアレイは、

第 1 の金属層と、

前記第 1 の金属層とは異なる第 2 の金属層であって、前記メモリ列アクセス回路に各々結合された複数のフライングビット線を含む第 2 の金属層と、

第 1 のメモリサブバンクであって、

複数の第 1 のメモリ列回路のそれぞれの第 1 のメモリ列回路に各々配置された、複数の第 1 のメモリビットセル回路を各々含む複数の第 1 のメモリ行回路と、

前記第 1 の金属層に配置され、前記複数の第 1 のメモリ列回路のうちの第 1 のメモリ列回路と前記メモリ列アクセス回路とに各々結合された複数の第 1 のビット線とを含む第 1 のメモリサブバンクと、

第 2 のメモリサブバンクであって、

複数の第 2 のメモリ列回路のそれぞれの第 2 のメモリ列回路に各々配置された、複数の第 2 のメモリビットセル回路を各々含む複数の第 2 のメモリ行回路と、

前記第 1 の金属層に各々配置され、前記複数の第 2 のメモリ列回路のうちの第 2 のメモリ列回路に各々結合された複数の第 2 のビット線とを含む第 2 のメモリサブバンクと、

前記第 1 の金属層における前記複数の第 2 のメモリ列回路のうちの第 2 のメモリ列回路における前記複数の第 2 のビット線のうちの第 2 のビット線と、前記第 2 の金属層における前記複数の第 1 のフライングビット線のうちの第 1 のフライングビット線とに各々結合される複数の第 1 のジャンパセル回路を含む第 1 のジャンパ行回路とを含む、メモリシステム。

【請求項 2】

請求項 1 に記載のメモリシステムであって、前記複数の第 1 のジャンパセル回路の各第 1 のジャンパセル回路は、前記第 1 の金属層の前記第 2 のビット線を前記第 2 の金属層の前記第 1 のフライングビット線に結合する金属相互接続を含む、メモリシステム。

【請求項 3】

請求項 1 に記載のメモリシステムであって、

前記第 1 の金属層は、前記複数の第 1 のビット線のうちの第 1 のビット線を各々含む複数の第 1 の金属トラックを含み、

前記第 2 の金属層は、前記複数の第 1 のフライングビット線のうちの第 1 のフライングビット線を各々含み、前記複数の第 1 の金属トラックのうちの第 1 の金属トラックと垂直方向において少なくとも部分的に各々重なる複数の第 2 の金属トラックを含む、メモリシステム。

【請求項 4】

請求項 1 に記載のメモリシステムであって、前記複数の第 1 のメモリ行回路のうちの第 1 のメモリ行回路は、前記複数の第 1 のジャンパセル回路を含む、メモリシステム。

【請求項 5】

請求項 1 に記載のメモリシステムであって、前記第 1 のメモリ行回路は、前記複数の第 1 のジャンパセル回路を含み、前記第 2 のメモリサブバンクに隣接している、メモリシステム。

【請求項 6】

請求項 1 に記載のメモリシステムであって、前記複数の第 1 のフライングビット線は、垂直方向において前記複数の第 1 のメモリ行回路の各々および前記複数の第 2 のメモリ行回路の各々の上を延びる、メモリシステム。

【請求項 7】

請求項 1 に記載のメモリシステムであって、

前記複数の第1のメモリ行回路は、少なくとも256個のメモリ行回路を含み、
前記複数の第2のメモリ行回路は、少なくとも256個のメモリ行回路を含む、
メモリシステム。

【請求項8】

請求項1に記載のメモリシステムであって、

前記複数の第1のメモリ行回路のうちの第1のメモリ行回路に各々結合された複数の第1のワード線(WL)と、

前記複数の第2のメモリ行回路のうちの第2のメモリ行回路に各々結合された複数の第2のWLと、

前記複数の第1のWLおよび前記複数の第2のWLに結合されたメモリドライバ回路とをさらに含み、前記メモリドライバ回路は、

メモリアドレスを含むメモリアクセス要求を受信することと、

前記メモリアクセス要求に応答して、前記メモリアドレスが、

アクティブ化される第1のWLに結合された前記複数の第1のメモリ行回路のうちの前記第1のメモリ行回路と、

アクティブ化される第2のWLに結合された前記複数の第2のメモリ行回路のうちの前記第2のメモリ行回路と

のうちのそれぞれ1つに対応することに応答して、前記複数の第1のWLのうちの第1のWLと、前記複数の第2のWLのうちの第2のWLとのうちの一方をアクティブ化することと

を行うように構成される、
メモリシステム。

【請求項9】

請求項8に記載のメモリシステムであって、

前記メモリ列アクセス回路は、

前記複数の第1のビット線の一意な組に各々結合され、前記複数の第1のフライングビット線の一意なX個の組に各々結合された複数の列マルチプレクサ回路であって、Xは2以上の正の整数であり、第1のビット線の結合された組および第1のフライングビット線の結合された前記組のうちのビット線を、対応する多重化出力に多重化するように各々構成される複数の列マルチプレクサ回路

を含み、

前記メモリドライバ回路は、前記メモリアクセス要求に応答して、

前記複数の列マルチプレクサ回路の各列マルチプレクサ回路に、その結合されたX本の第1のビット線およびその結合されたX本の第1のフライングビット線のうちのビット線を、その対応する多重化出力に多重化させるようにさらに構成される、
メモリシステム。

【請求項10】

請求項1に記載のメモリシステムであって、前記メモリアレイは、

第3の金属層と、

前記第3の金属層とは異なる第4の金属層であって、前記メモリ列アクセス回路に各々結合された複数の第2のフライングビット線を含む第4の金属層と、

第3のメモリサブバンクであって、

複数の第3のメモリ列回路のそれぞれの第3のメモリ列回路に各々配置された、複数の第3のメモリビットセル回路を各々含む複数の第3のメモリ行回路と、

前記第3の金属層に配置され、前記複数の第3のメモリ列回路のうちの第3のメモリ列回路と前記メモリ列アクセス回路とに各々結合された複数の第3のビット線とを含む第3のメモリサブバンクと、

第4のメモリサブバンクであって、

複数の第4のメモリ列回路のそれぞれの第4のメモリ列回路に各々配置された、複数の第4のメモリビットセル回路を各々含む複数の第4のメモリ行回路と、

10

20

30

40

50

前記第 4 の金属層に各々配置され、前記複数の第 4 のメモリ列回路のうちの第 4 のメモリ列回路に各々結合された複数の第 4 のビット線とを含む第 4 のメモリサブバンクと、

前記複数の第 3 のメモリ行回路のうちの第 3 のメモリ行回路であって、

前記第 3 の金属層における前記複数の第 4 のメモリ列回路のうちの第 4 のメモリ列回路における前記複数の第 4 のビット線のうちの第 4 のビット線と、前記第 4 の金属層における前記複数の第 1 のフライングビット線のうちの第 1 のフライングビット線とに各々結合された複数の第 2 のジャンパセル回路を含む、第 3 のメモリ行回路とをさらに含む、メモリシステム。

10

【請求項 1 1】

請求項 1 0 に記載のメモリシステムであって、

前記第 1 の金属層は、前記第 3 の金属層を含み、

前記第 2 の金属層は、前記第 4 の金属層を含む、メモリシステム。

【請求項 1 2】

請求項 1 0 に記載のメモリシステムであって、

前記第 3 の金属層は、前記複数の第 3 のビット線のうちの第 3 のビット線を各々含む複数の第 3 の金属トラックを含み、

前記第 4 の金属層は、前記複数の第 2 のフライングビット線のうちの第 2 のフライングビット線を各々含み、前記複数の第 3 の金属トラックのうちの第 3 の金属トラックと垂直方向において少なくとも部分的に各々重なる複数の第 4 の金属トラックを含む、メモリシステム。

20

【請求項 1 3】

請求項 1 0 に記載のメモリシステムであって、

前記複数の第 1 のメモリ行回路のうちの第 1 のメモリ行回路に各々結合された複数の第 1 のワード線 (W L) と、

前記複数の第 2 のメモリ行回路のうちの第 2 のメモリ行回路に各々結合された複数の第 2 の W L と、

前記複数の第 3 のメモリ行回路のうちの第 3 のメモリ行回路に各々結合された複数の第 3 の W L と、

30

前記複数の第 4 のメモリ行回路のうちの第 4 のメモリ行回路に各々結合された複数の第 4 の W L と、

前記複数の第 1 の W L、前記複数の第 2 の W L、前記複数の第 3 の W L、および、前記複数の第 4 の W L に結合されたメモリドライバ回路と

をさらに含み、前記メモリドライバ回路は、

前記第 1 のメモリサブバンクおよび前記第 2 のメモリサブバンクのうちの一方に対応するメモリアドレスを含むメモリアクセス要求を受信することと、

前記第 1 のメモリサブバンクへの前記メモリアクセス要求に応答して、

前記メモリアドレスが、

40

アクティブ化される第 1 の W L に結合された前記複数の第 1 のメモリ行回路のうちの第 1 のメモリ行回路と、

アクティブ化される第 2 の W L に結合された前記複数の第 2 のメモリ行回路のうちの第 2 のメモリ行回路と

のうちのそれぞれ 1 つに対応することに応答して、前記複数の第 1 の W L のうちの第 1 の W L と、前記複数の第 2 の W L のうちの第 2 の W L とのうちの一方をアクティブ化することと、

前記第 2 のメモリサブバンクへの前記メモリアクセス要求に応答して、

前記メモリアドレスが、

アクティブ化される第 3 の W L に結合された前記複数の第 3 のメモリ行回路のうちの

50

の前記第 3 のメモリ行回路と、

アクティブ化される第 4 の W L に結合された前記複数の第 4 のメモリ行回路のうちの
前記第 4 のメモリ行回路と

のうちのそれぞれ 1 つに対応することに対応して、前記複数の第 3 の W L のうちの第 3 の
W L と、前記複数の第 4 の W L のうちの第 4 の W L とのうちの一方をアクティブ化すること

を行うように構成される、
メモリシステム。

【請求項 1 4】

請求項 1 3 に記載のメモリシステムであって、

10

前記メモリ列アクセス回路は、

前記複数の第 1 のビット線の一意な組に各々結合され、前記複数の第 1 のフライング
ビット線の一意な X 個の組に各々結合された複数の第 1 の列マルチプレクサ回路であって、
X は 2 以上の正の整数であり、第 1 のビット線の結合された前記組および第 1 のフライン
グビット線の結合された前記組のうちの第 1 のビット線を、対応する第 1 の多重化出力
に多重化するように各々構成される複数の第 1 の列マルチプレクサ回路と、

前記複数の第 3 のビット線の一意な組に各々結合され、前記複数の第 2 のフライングビ
ット線の一意な X 個の組に各々結合された複数の第 2 の列マルチプレクサ回路であって、
X は 2 以上の正の整数であり、第 3 のビット線の結合された前記組および第 2 のフライン
グビット線の結合された前記組のうちの第 2 のビット線を、対応する第 2 の多重化出力に
多重化するように各々構成される複数の第 2 の列マルチプレクサ回路と

20

を含み、

前記メモリドライバ回路は、

前記第 1 のメモリサブバンクへの前記メモリアクセス要求に対応して、

前記複数の第 1 の列マルチプレクサ回路の各第 1 の列マルチプレクサ回路に、その
結合された X 本の第 1 のビット線およびその結合された X 本の第 1 のフライングビット線
のうちの第 1 のビット線を、その対応する第 1 の多重化出力に多重化させることと、

前記第 1 のメモリサブバンクへの前記メモリアクセス要求に対応して、

前記複数の第 2 の列マルチプレクサ回路の各第 2 の列マルチプレクサ回路に、その
結合された X 本の第 3 のビット線およびその結合された X 本の第 2 のフライングビット線
のうちの第 2 のビット線を、その対応する第 2 の多重化出力に多重化させることと
を行うようにさらに構成される、

30

メモリシステム。

【請求項 1 5】

請求項 1 4 に記載のメモリシステムであって、前記複数の第 1 の列マルチプレクサ回路の
うちの第 1 の列マルチプレクサ回路の第 1 の多重化出力と、前記複数の第 2 の列マルチプ
レクサ回路のうちの第 2 の列マルチプレクサ回路の第 2 の多重化出力とに各々結合された
複数のセンスアンプをさらに含むメモリシステム。

【発明の詳細な説明】

【技術分野】

40

【0001】

本開示の技術は、コンピュータメモリシステムに関し、より詳細には、メモリ性能およ
び電力消費を向上させるために複数のメモリバンクで実装されるメモリアレイに関する。

【背景技術】

【0002】

読み出し動作および書き込み動作をサポートするメモリシステムを含む、プロセッサベ
ースシステム。メモリは、データ記憶だけでなく、実行される命令を記憶するためのプロ
グラムコードを記憶するためにも使用され得る。このようなプロセッサベースシステムは
、従来、キャッシュメモリと非キャッシュメモリの両方を採用しており、「メインメモリ
」または「システムメモリ」と称されることもある。例えば、プロセッサベースシステム

50

内のCPUは、オンチップでローカルのプライベートなキャッシュメモリにアクセスすることができる。プロセッサベースシステムでは、複数のCPUが共有キャッシュメモリにアクセスすることもできる。プロセッサベースシステムはまた、プロセッサベースシステムの物理的なアドレス空間全体にわたってメモリ記憶ユニット（すなわち、メモリビットセル）を含むメインメモリまたはシステムメモリを採用する。これらの異なるタイプのメモリの各々は、データを記憶するために、一般的に行列構造に編成されたメモリビットセルを含むメモリアレイを採用する。それぞれの列においてメモリビットセルを含むメモリ行は、メモリからデータワードを読み出すため、またはデータワードを書き込むためにアクセスされる。メモリビットセルは、スタティックランダムアクセスメモリ（RAM）（SRAM）ビットセル、およびダイナミックRAM（DRAM）ビットセルなど、様々な技術のメモリに設けられ得る。

10

【発明の概要】

【0003】

プロセッサベースシステムのキャッシュメモリにおいて、より大きな密度のメモリアレイを用意できることがますます重要になってきている。これはメモリへのアクセスが、システムメモリに対する長いレイテンシの大きいアクセスではなく、キャッシュメモリから供給されるチャンスを高めるためである。しかし、キャッシュメモリが大きくなると、電力、性能、面積（PPA）を低下させる可能性がある。より大きなキャッシュメモリは、同一のメモリビットセル技術を採用したより小さなキャッシュメモリよりも多くの半導体ダイエリアを消費する。より大きなキャッシュメモリは、より小さなキャッシュメモリと比較して、アクセスのレイテンシも大きくする可能性がある。なぜなら、サポート側のアクセス回路（例えば、書き込みドライバ回路および読み出しセンス回路）に結合される列ビット線は、メモリアレイの拡大された面積に届くように長さが延長されるからである。したがって、全体的なメモリアccessのレイテンシは、サポート側アクセス回路から最も遠くに位置するメモリビットセルへのアクセス時間だけ大きくなる可能性がある。また、より大きなキャッシュメモリは、ビット線に結合されたメモリビットセルの数の増加に届くように、より長い長さのビット線を設けることによって、キャッシュレイテンシが大きくなる可能性がある。このことは、ビット線のキャパシタンスを大きくし、したがってアクセスのレイテンシを大きくする。製造設計規則および関連する製造プロセスが、メモリアレイ中のビット線全体の長さを制限することもあり、そのためアクセスのレイテンシの増大を許容するというトレードオフにかかわらず、メモリアレイの密度を事実上制限している。

20

30

【0004】

本明細書で開示される例示的な態様は、フライングビット線を利用して有効なビット線長を大きくし、より高い性能と高められたメモリ密度をサポートするメモリアレイを含む。関連する方法も開示される。例示的な態様では、1つのメモリサブバンクのメモリ容量を設けるよりもメモリアレイの密度を高めるために、メモリアレイは、第1のメモリサブバンクおよび1つまたは複数の第2のメモリサブバンクを含む。一例では、第1のメモリサブバンクは、第2のメモリサブバンクよりもサポート側アクセス回路に物理的に近くに配置される。第1のメモリサブバンクは、その第1のメモリ列回路ごとに第1のビット線を含む。第1のビット線は、第1のメモリサブバンク内のそれぞれの第1のメモリ列回路内の第1のメモリビットセルをアクセス回路（例えば、列マルチプレクサ回路、読み出しセンス回路）に結合する。アクセスのレイテンシを大きくする可能性のある、第2のメモリサブバンクに結合される第1のビット線の長さを延長する必要性を回避するために、第2のメモリサブバンクは、別個の第2のビット線を含む。このやり方で、各メモリサブバンクは、それぞれのメモリビットセルをアクセス回路に結合する専用の第1および第2のビット線を有する。第2のメモリサブバンクの第2のビット線は、第1のメモリサブバンクの第1のビット線とは独立して実質的に「飛ぶ（fly）」ことができ、第2のビット線は独立してアクセス回路に結合される。第1のメモリサブバンクの第1のビット線は、第2のメモリサブバンクのためのビット線を設けるために長さを延長する必要はない。こ

40

50

のやり方で、高いビット線キャパシタンス、高い動的エネルギー消費、および／またはメモリ密度を制限する可能性のある製造設計規則の違反によりレイテンシの大きいアクセスが増えるというコストを伴わずに、メモリ密度を大きくすることができる。メモリ密度は、電力消費を犠牲にすることなく、レイテンシの大きいアクセスの節約に基づいても大きくされ得る。また、別の例では、第1および第2のメモリサブバンクがビット線を共有せずアクセス回路を共有することにより、共有アクセス回路における競合を回避するために、第1および第2のメモリサブバンクはメモリ動作のために同時にはアクセスされない。しかし、異なるメモリサブバンクへのメモリアクセスは、第1のメモリサブバンクのビット線長を延長する必要なく、大きくされたメモリ密度の恩恵を受けるように管理される。

【0005】

10

別の例では、第1のメモリサブアレイ内の第1のメモリビットセルのセル回路が、第2のビット線がアクセス回路に向かってそこを延びるための別個の金属線経路をサポートする必要性を回避することが望まれる。この点において、第2のメモリサブバンクに隣接する第1のメモリサブバンクのメモリ行回路の第1のメモリビットセルのセル回路は、フライングビット線セル回路として設けられる。フライングビット線セル回路は、第1のメモリビットセルと第1のビット線用の金属線を含むだけでなく、ジャンパ回路も含む専用のセル回路である。ジャンパ回路は、結合された第2のビット線を、第2のメモリサブバンク内の隣接するメモリビットセル行から異なる金属層まで延長する。そして、第2のビット線は、アクセス回路まで第1のメモリサブバンクを「飛び越え (fly over)」、この異なる金属層内で延長される。このやり方で、フライングビット線セル回路は、第2のビット線が第1のメモリサブバンクの第1のビット線に結合される（第1のビット線の長さを延長することになり得る）ことなく、第2のメモリサブバンクの結合された第2のビット線をアクセス回路まで延長することを容易にする。メモリアレイのビット線の長さを延長すると、メモリアレイへのメモリアクセスのレイテンシを大きくする可能性がある。さらに、フライングビット線を設けることにより、第1のメモリサブバンク内の各第1のメモリ行回路が、第2の金属線用の別個の金属線がアクセス回路まで第1のメモリサブバンクを通過するのをサポートする必要性（例えば、設計製造規則に違反する可能性がある）を回避することができる。

20

【0006】

この点において、1つの例示的な態様では、メモリシステムが提供される。メモリシステムは、メモリ列アクセス回路を含む。メモリシステムは、メモリアレイも含む。メモリアレイは、第1の金属層と、第1の金属層とは異なる第2の金属層とを含み、第2の金属層は、メモリ列アクセス回路に各々結合された複数のフライングビット線を備える。メモリシステムはまた、複数の第1のメモリ列回路のそれぞれの第1のメモリ列回路に各々配置された、複数の第1のメモリビットセル回路を各々備える複数の第1のメモリ行回路を備える第1のメモリサブバンクを含む。第1のメモリサブバンクはまた、第1の金属層に配置され、複数の第1のメモリ列回路のうちの第1のメモリ列回路とメモリ列アクセス回路とに各々結合された複数の第1のビット線を含む。メモリアレイはまた、複数の第2のメモリ列回路のそれぞれの第2のメモリ列回路に各々配置された、複数の第2のメモリビットセル回路を各々備える複数の第2のメモリ行回路を備える第2のメモリサブバンクを含む。第2のメモリサブバンクはまた、第1の金属層に各々配置され、複数の第2のメモリ列回路のうちの第2のメモリ列回路に各々結合された複数の第2のビット線を含む。メモリアレイはまた、第1の金属層における複数の第2のメモリ列回路のうちの第2のメモリ列回路における複数の第2のビット線のうちの第2のビット線と、第2の金属層における複数の第1のフライングビット線のうちの第1のフライングビット線とに各々結合される、複数の第1のジャンパセル回路を備える第1のジャンパ行回路を含む。

30

40

【0007】

当業者であれば、添付の図面と併せて、好ましい実施形態の以下の詳細な説明を読めば、本開示の範囲を理解し、そのさらなる態様を理解するであろう。

本明細書において組み込まれ、本明細書の一部を構成する添付の図面は、本開示のいく

50

つかの態様を例示するものであり、記述とともに本開示の原理を説明するのに役立つ。

【図面の簡単な説明】

【0008】

【図1】データの読み出しおよび書き込みを行うために、ローカルおよび共有キャッシュメモリ、ならびにシステムメモリにアクセスするように各々構成された複数の中央処理ユニット（CPU）を含む、例示的なプロセッサベースシステムの図である。

【図2】例示的な4列多重化（CM4：4 column multiplexed）メモリアレイの図である。

【図3】メモリ密度を大きくしたメモリアレイを含む、例示的なCM4インターリーブ配置の例示的なメモリシステムであり、メモリアレイが、第1のメモリサブアレイ内の第1のビット線の長さを延長する必要なく、より高い性能をサポートするための有効なビット線長を大きくするために、第2のメモリサブバンク内の第2のビット線にアクセス回路を結合するフライングビット線をさらに含む、例示的なメモリシステムの図である。

【図4A】結合されたアクセス回路まで延びる第1のメモリサブバンクの第1のビット線の金属線、および下部金属層のジャンパエリアまで延びる第2のメモリサブバンクの第2のビット線の金属線を示す、図3のメモリアレイにおける下部金属層の例示的なレイアウトの上面図である。

【図4B】図4Aの下部金属層における第2のメモリサブバンクの第2のビット線にジャンパ接続されたフライングビット線の金属線を示す、図3のメモリアレイにおける上部金属層の例示的なレイアウトの上面図であり、フライングビット線が結合されたアクセス回路まで延びる、上部金属層の例示的なレイアウトの上面図である。

【図5】上部金属層のフライングビット線の金属線が、下部金属層の第2のメモリサブバンクの第2のビット線にジャンパ接続されることを示す、別の例示的なレイアウトの上面図である。

【図6】別の例示的な8列多重化（CM8）配置のメモリシステムであり、メモリシステムがメモリ密度を大きくするために第1および第2のメモリサブバンクを含むメモリアレイを含み、メモリアレイが、第1のメモリサブアレイ内の第1のビット線の長さを延長する必要なく、より高い性能をサポートするための有効なビット線長を大きくするために、第2のメモリサブバンク内の第2のビット線にアクセス回路を結合するフライングビット線をさらに含む、メモリシステムの図である。

【図7】集積回路（IC）チップ内に設けられ得る例示的なプロセッサベースシステムのブロック図であり、プロセッサベースシステムが、プロセッサと、メモリ密度を大きくするために第1および第2のメモリサブバンクを含むメモリアレイを含むメモリシステムとを含み、メモリアレイが、第1のメモリサブアレイ内の第1のビット線の長さを延長する必要なく有効なビット線長を大きくし、より高い性能をサポートするために、第2のメモリサブバンク内の第2のビット線にアクセス回路を結合するフライングビット線をさらに含み、限定はしないが図3および図6のメモリシステムを含む、例示的なプロセッサベースシステムのブロック図である。

【発明を実施するための形態】

【0009】

本明細書で開示される例示的な態様は、フライングビット線を利用して有効なビット線長を大きくし、より高い性能と高められたメモリ密度をサポートするメモリアレイを含む。関連する方法も開示される。例示的な態様では、1つのメモリサブバンクのメモリ容量を設けるよりもメモリアレイの密度を高めるために、メモリアレイは、第1のメモリサブバンクおよび1つまたは複数の第2のメモリサブバンクを含む。一例では、第1のメモリサブバンクは、第2のメモリサブバンクよりもサポート側アクセス回路に物理的に近くに配置される。第1のメモリサブバンクは、その第1のメモリ列回路ごとに第1のビット線を含む。第1のビット線は、第1のメモリサブバンク内のそれぞれの第1のメモリ列回路内の第1のメモリビットセルをアクセス回路（例えば、列マルチプレクサ回路、読み出しセンス回路）に結合する。アクセスのレイテンシを大きくする可能性のある、第2のメモ

10

20

30

40

50

リサブバンクに結合される第1のビット線の長さを延長する必要性を回避するために、第2のメモリサブバンクは、別個の第2のビット線を含む。このやり方で、各メモリサブバンクは、それぞれのメモリビットセルをアクセス回路に結合する専用の第1および第2のビット線を有する。第2のメモリサブバンクの第2のビット線は、第1のメモリサブバンクの第1のビット線とは独立して実質的に「飛ぶ」ことができ、第2のビット線は独立してアクセス回路に結合される。第1のメモリサブバンクの第1のビット線は、第2のメモリサブバンクのためのビット線を設けるために長さを延長する必要はない。このやり方で、高いビット線キャパシタンス、高い動的エネルギー消費、および／またはメモリ密度を制限する可能性のある製造設計規則の違反によりレイテンシの大きいアクセスが増えるというコストを伴わずに、メモリ密度を大きくすることができる。メモリ密度は、電力消費を犠牲にすることなく、レイテンシの大きいアクセスの節約に基づいても大きくされ得る。また、別の例では、第1および第2のメモリサブバンクがビット線を共有せずアクセス回路を共有することにより、共有アクセス回路における競合を回避するために、第1および第2のメモリサブバンクはメモリ動作のために同時にはアクセスされない。しかし、異なるメモリサブバンクへのメモリアクセスは、第1のメモリサブバンクのビット線長を延長する必要なく、大きくされたメモリ密度の恩恵を受けるように管理される。

10

20

30

40

50

【0010】

別の例では、第1のメモリサブアレイ内の第1のメモリビットセルのセル回路が、第2のビット線がアクセス回路に向かってそこを延びるための別個の金属線経路をサポートする必要性を回避することが望まれる。この点において、第2のメモリサブバンクに隣接する第1のメモリサブバンクのメモリ行回路の第1のメモリビットセルのセル回路は、フライングビット線セル回路として設けられる。フライングビット線セル回路は、第1のメモリビットセルと第1のビット線用の金属線を含むだけでなく、ジャンパ回路も含む専用のセル回路である。ジャンパ回路は、結合された第2のビット線を、第2のメモリサブバンク内の隣接するメモリビットセル行から異なる金属層まで延長する。そして、第2のビット線は、アクセス回路に向けて第1のメモリサブバンクを「飛び越え (fly over)」、この異なる金属層内で延長される。このやり方で、フライングビット線セル回路は、第2のビット線が第1のメモリサブバンクの第1のビット線に結合される（第1のビット線の長さを延長することになり得る）ことなく、第2のメモリサブバンクの結合された第2のビット線をアクセス回路まで延長することを容易にする。メモリアレイのビット線の長さを延長すると、メモリアレイへのメモリアクセスのレイテンシを大きくする可能性がある。さらに、フライングビット線を設けることにより、第1のメモリサブバンク内の各第1のメモリ行回路が、第2の金属線用の別個の金属線がアクセス回路まで第1のメモリサブバンクを通過するのをサポートする必要性（例えば、設計製造規則に違反する可能性がある）を回避することができる。

【0011】

この点において、図1は、プロセッサ102およびメモリシステム108を含む例示的なプロセッサベースシステム100の図である。以下でさらに詳細に説明するように、メモリシステム108は、第2のメモリサブバンク内の第2のビット線にアクセス回路を結合するフライングビット線を含むメモリアレイを含むことができ、より高い性能をサポートするために有効なビット線長を大きくする。このような例示的なメモリアレイについて議論する前に、まず、例示的なプロセッサベースシステム100およびその構成要素が以下で議論される。

【0012】

引き続き図1を参照すると、プロセッサ102は、1つまたは複数のそれぞれのCPU104(0)~104(N)を含み、「N」は、プロセッサ102に含まれるCPUの数を表す正の整数である。プロセッサ102は、集積回路(IC)チップ106にパッケージ化されてもよい。プロセッサ102内のCPU104(0)~104(N)は、メモリシステム108に対してメモリ要求（すなわち、データ読み出し要求およびデータ書き込み要求）を発行するように構成される。メモリシステム108は、キャッシュメモリシ

テム 1 1 0 とシステムメモリ 1 1 2 を含む。システムメモリ 1 1 2 は、プロセッサベースシステム 1 0 0 の物理アドレス (P A) 空間によって完全にアドレス指定可能なメモリである。例えば、システムメモリ 1 1 2 は、別個の D R A M チップに設けられたダイナミックランダムアクセスメモリ (D R A M) であってもよい。メモリシステム 1 0 8 内のキャッシュメモリシステム 1 1 0 は、1 つまたは複数のキャッシュメモリ 1 1 4 (1) ~ 1 1 4 (X) を含み、ここで、「X」は、プロセッサ 1 0 2 に含まれるキャッシュメモリの数を表す正の整数である。キャッシュメモリ 1 1 4 (1) ~ 1 1 4 (X) は、プロセッサベースシステム 1 0 0 内の異なる階層に存在してもよく、C P U 1 0 4 (0) ~ 1 0 4 (N) とシステムメモリ 1 1 2 との間に論理的に配置される。メモリコントローラ 1 1 6 は、システムメモリ 1 1 2 へのアクセスを制御する。例えば、要求元デバイスとしての C P U 1 0 4 (0) ~ 1 0 4 (N) は、ロード命令を処理したことに応答して、データを読み出すためのデータ要求 1 1 8 を発行することができる。データ要求 1 1 8 は、メモリから読み出されるデータのターゲットアドレスを含む。C P U 1 0 4 (0) を例にとると、要求されたデータが、レベル 1 (L 1) キャッシュメモリと考えられ得るプライベートキャッシュメモリ 1 1 4 (1) にない場合 (すなわち、キャッシュメモリ 1 1 4 (1) に対するキャッシュミス)、プライベートキャッシュメモリ 1 1 4 (1) は、この例では相互接続バス 1 2 0 を介して、データ要求 1 1 8 を、C P U 1 0 4 (0) ~ 1 0 4 (N) のすべてで共有される、レベル 3 (L 3) キャッシュメモリであり得る共有キャッシュメモリ 1 1 4 (X) に送る。データ要求 1 1 8 内の要求データは最終的に、キャッシュメモリ 1 1 4 (1) ~ 1 1 4 (X) において、またはキャッシュメモリ 1 1 4 (1) ~ 1 1 4 (X) のいずれにも含まれていなければシステムメモリ 1 1 2 においてのいずれかで満足される。

【0 0 1 3】

図 1 のメモリシステム 1 0 8 内のキャッシュメモリ 1 1 4 (1) ~ 1 1 4 (X) および / またはシステムメモリ 1 1 2 は、データを記憶するために、一般的に行列構造で編成されたメモリビットセルを含むメモリアレイを採用することができる。それぞれの列のメモリビットセルを含むメモリ行は、メモリからデータワードを読み出すため、またはデータワードを書き込むためにアクセスされる。メモリビットセルは、スタティックランダムアクセスメモリ (R A M) (S R A M) ビットセル、および D R A M など、異なる技術のメモリで提供されることがある。別の例として、システムメモリ 1 1 2 は、メモリ性能と電力消費を向上させるために、複数のメモリバンクを使用する複数の大きなサイズのメモリアレイで実装される場合がある。メモリシステム 1 0 8 内のメモリに複数のメモリバンクを設けることにより、C P U 1 0 4 (1) ~ 1 0 4 (N) によって各々独立してアクセス可能な異なるアレイ間にメモリ容量を分割することができる。また、メモリシステム 1 0 8 に別個のメモリバンクを設けることは、電力消費がメモリバンクごとに他のメモリバンクから独立して管理され得ることを意味する。したがって、例えば、ソフトウェアまたはデータがメモリの一部分では永続的であるが、他の部分では永続的でない場合、メモリのこれらの別個の部分は別個のメモリバンクに分割されてもよく、それによって、各々が別個に電力ダウンまたはアイドル状態にされて、メモリアccessのために完全に電力が供給されているかもしれない他の部分に影響を与えることなく電力を節約することができる。

【0 0 1 4】

図 2 は、一例として図 1 のメモリシステム 1 0 8 内の任意のメモリに採用され得る 4 列多重化 (C M 4) メモリアレイ 2 0 2 を含む例示的なメモリシステム 2 0 0 である。図 2 のメモリアレイ 2 0 2 はフライングビット線を含んでおらず、フライングビット線を採用しないメモリアレイ 2 0 2 を示すために説明される。

【0 0 1 5】

この点において、図 2 に示されるように、メモリアレイ 2 0 2 は、第 1 のメモリバンク 2 0 4 (1) および第 2 のメモリバンク 2 0 4 (2) を含む。第 1 のメモリサブバンクは、複数の第 1 のメモリビットセル回路 2 0 8 (0) ~ 2 0 8 (X) を各々含む複数の第 1 のメモリ行回路 2 0 6 (0) ~ 2 0 6 (X) を含む。「X + 1」はメモリ行回路 2 0 6 (0) ~ 2 0 6 (X) の数である。各メモリ行回路 2 0 6 (0) ~ 2 0 6 (X) は、メモリ

ビットセル回路 208 (0) ~ 208 (X) の各組を含む。第 1 のメモリバンク 204 (1) 内のそれぞれのメモリ行回路 206 (0) ~ 206 (X) 内のメモリビットセル回路 208 (0) ~ 208 (X) の組は、メモリ列回路 210 (0) ~ 210 (Y) に編成され、したがって、メモリビットセル回路 208 (0) ~ 208 (X) の各組は、「Y + 1」個のメモリビットセルを含む。第 1 のメモリバンク 204 (1) は、A 1、B 1、C 1、D 1、. . . 、A 4、B 4、C 4、D 4 とラベル付けされたインターリーブされたメモリ列回路に従ってインターリーブされたデータワード A、B、C、D を記憶するように構成された、インターリーブされたメモリ列回路 210 (0) ~ 210 (Y) を有する。この点において、データワード A 1 ~ A 4 は、メモリ列回路 A 1、A 2、A 3、A 4 に対応するメモリ列回路 210 (0) ~ 210 (Y) 間でインターリーブされる。メモリアレイ内でデータワードの記憶をインターリーブすることで、ビット誤り率 (BER) を低減することができる。

10

【0016】

メモリ読み出し動作に応答して第 1 のメモリバンク 204 (1) がアクセスされると、メモリアクセス動作に対するデコード済メモリアドレスに従って、選択されたメモリ行回路 206 (0) ~ 206 (X) に対してワード線 WL 1 がアクティブ化される。次に、選択されたメモリ行回路 206 (0) ~ 206 (X) からのインターリーブされたビットを表す、それぞれのメモリ列回路 210 (0) ~ 210 (Y) におけるメモリビットセル回路 208 (0) ~ 208 (X) の各々に結合されたそれぞれのビット線に結合された複数の列マルチプレクサ回路 212 (0) ~ 212 (3) に、列選択 CS が生成される。各列マルチプレクサ回路 212 (0) ~ 212 (3) は、その結合メモリ列回路 210 (0) ~ 210 (Y) からの結合ビット線のうちの 1 つを結合して、対応するビットをそれぞれのメモリ列アクセス回路 214 (0) ~ 214 (3) (例えば、センスアンプ) に提供する。このやり方で、列マルチプレクサ回路 212 (0) ~ 212 (3) は、選択されたメモリ行回路 206 (0) ~ 206 (X) 内のインターリーブされたデータワードから選択されたビットを、それぞれのメモリ列アクセス回路 214 (0) ~ 214 (3) に多重化するように制御される。例えば、メモリ読み出し動作において、選択されたメモリ行回路 206 (0) ~ 206 (X) からインターリーブされたデータワード A 1 ~ A 4 を選択することが望まれる場合、列マルチプレクサ回路 212 (0) ~ 212 (3) は、列選択 CS によって制御され、選択されたメモリ行回路 206 (0) ~ 208 (X) から、それぞれのビット線 BL 1 ~ BL 4 上のビット A 1 ~ A 4 を、それぞれのメモリ列アクセス回路 214 (0) ~ 214 (3) に多重化する。したがって、この例では、第 1 のメモリバンク 204 (1) は、4 ビット列多重化 (CM 4) 配置で構成される。

20

30

【0017】

第 2 のメモリバンク 204 (2) は、第 1 のメモリバンク 204 (1) と同様に編成される。図 2 に示されるように、第 2 のメモリバンク 204 (2) は、E 1、F 1、G 1、H 1、. . . 、E 4、F 4、G 4、H 4 とラベル付けされたインターリーブされたメモリ列回路に従ってインターリーブされたデータワード E、F、G、H を記憶するように設計される。第 2 のメモリバンク 204 (2) も CM 4 インターリーブ配置で構成される。第 2 のメモリバンク 204 (2) の動作は、第 1 のメモリバンク 204 (1) の動作と同様であるため、説明はなされない。第 1 および第 2 のメモリバンク 204 (1)、204 (2) は共有メモリ列アクセス回路 214 (0) ~ 214 (3) に結合されているため、第 1 および第 2 のメモリバンク 204 (1)、204 (2) のうち 1 つのメモリバンクのみが一度にアクセスされることに留意されたい。

40

【0018】

図 2 のメモリアレイ 202 のメモリ容量を大きくして、メモリ記憶容量を大きくすることが望まれる場合がある。例えばこれを達成する 1 つの方法は、メモリ行回路の数を増やすことである。したがって、第 1 のメモリバンク 204 (1) を例にとると、メモリ行回路 206 (0) ~ 206 (Y) の数は、例えば 256 から 512 メモリ行回路のように増加され得る。しかしながら、メモリ行回路 206 (0) ~ 206 (Y) の数を大きくする

50

ことは、対応するメモリ列回路 210 (0) ~ 210 (Y) 内のメモリビットセル回路 208 (0) ~ 208 (X) の各々を結合する対応するビット線 (例えば、BL1 ~ BL4) の長さも延長することになる。

【0019】

メモリアレイ 202 内のメモリバンク 204 (1)、204 (2) 内のビット線 BL の長さを延長すると、メモリシステム 200 の電力、性能、面積 (PPA) が低下させる可能性がある。より長いビット線 BL を有するメモリは、より短いビット線 BL を有するメモリと比較して、アクセスのレイテンシが大きくなる可能性がある。なぜなら、サポート側のアクセス回路 (例えば、書き込みドライバ回路および読み出しセンス回路) に結合されるビット線は、メモリアレイ内の拡大された面積に届くように長さが延長されるからである。したがって、一例として、全体的なメモリアccessのレイテンシは、サポート側メモリ列アクセス回路 214 (0) ~ 214 (3) から最も遠くに位置する第 1 のメモリバンク 204 (0) のメモリ行回路 206 (X) に位置するメモリビットセル回路 208 (0) ~ 208 (X) へのアクセス時間だけ大きくなる可能性がある。また、メモリバンク 204 (1)、204 (4) 内のビット線の長さを大きくすると、それぞれのビット線のキャパシタンスも大きくされ、アクセスのレイテンシが大きくなる。製造設計規則および関連する製造プロセスが、メモリシステム 200 のメモリアレイ 202 中のビット線全体の長さを制限することもあり、そのためアクセスのレイテンシの増大を許容するというトレードオフにかかわらず、メモリアレイ 202 の密度を事実上制限している。

【0020】

図 3 は、図 2 のメモリシステム 200 と同様の、例示的な CM4 インターリーブ配置のメモリシステム 300 である。しかし、後述するように、メモリシステム 300 は、図 2 のメモリバンク 204 (2) よりもメモリ密度を大きくしたメモリアレイ 302 を含む。この点において、図 3 のメモリアレイ 302 は、図 2 のメモリアレイ 202 における第 1 のメモリバンク 204 (1) のメモリ密度の第 1 のメモリサブバンク 304 (1) を含む。メモリバンクとは、メモリ記憶 (例えば、メモリビットセル) のローカルなユニットであり、メモリコントローラによって読み出しおよび書き込みのアクセスが制御される。メモリバンクは、メモリビットセルアレイと、読み出し動作および書き込み動作のためのビットセルアレイをアドレス指定するために使用されるアクセス回路 (例えば、書き込みドライバ、センスアンプ、列マルチプレクサ回路、充電回路、および書き込みアシスト回路) とを備える。メモリが複数のメモリバンクに分割されている場合、複数のメモリバンクは通常、いくつかの共通のサポート側のアクセス回路を共有しているため、データの競合を避けるために、通常は一度に 1 つのメモリバンクのみがアクセス可能である。メモリバンクは、複数のメモリサブバンクに分割されてもよい。メモリサブバンクとは、メモリバンクからメモリビットセルを区分したものである。メモリバンク内のメモリサブバンクは、そのメモリバンク内の別のメモリサブバンクと共通のアクセス回路を共有する。したがって、所与の時間において、メモリバンク内では 1 つのメモリサブバンクのみがアクセス可能となり得る。

【0021】

メモリサブバンク 304 (1) は、列マルチプレクサ回路 312 (0) ~ 312 (3) に結合され、第 1 のメモリサブバンク 304 (1) からのデータビットをそれぞれのメモリ列アクセス回路 314 (0) ~ 314 (3) に多重化する。メモリ列アクセス回路 314 (0) ~ 314 (3) は、この例では、センスアンプ回路であり、それぞれの列マルチプレクサ回路 312 (0) ~ 312 (3) からのメモリ状態に多重化されるそれぞれのビット線 BL (1) (0) ~ BL (1) (Y) 上の信号に関するメモリ状態を感知することができる。しかしながら、図 3 のメモリアレイ 302 は、第 2 のメモリサブバンク 304 (3) からのビット線 BL (2) (0) ~ BL (2) (Y) からのデータビットをそれぞれのメモリ列アクセス回路 314 (0) ~ 314 (3) に多重化するために列マルチプレクサ回路 312 (0) ~ 312 (3) にも結合される第 2 のメモリサブバンク 304 (2) も含む。また、メモリ列アクセス回路 314 (0) ~ 314 (3) は、それぞれの列マ

ルチプレクサ回路 312 (0) ~ 312 (3) からのメモリ状態に多重化されるそれぞれのビット線 BL (2) (0) ~ BL (2) (Y) 上の信号に関するメモリ状態を感知することができる。このやり方で、共通の列マルチプレクサ回路 312 (0) ~ 312 (3) およびメモリ列アクセス回路 314 (0) ~ 314 (3) を共有する 2 つのメモリサブバンク 304 (1)、304 (2) を有するメモリアレイ 302 のメモリ密度が大きくされる。しかしながら、第 2 のメモリサブバンク 304 (2) を追加しても、第 1 のメモリサブバンク 304 (1) のビット線の長さが大きくならないことが望ましい。

【0022】

この点において、図 3 に示されるように、第 1 のインナーメモリサブバンク 304 (1) は、第 2 のアウターメモリサブバンク 304 (2) よりも、列マルチプレクサ回路 312 (0) ~ 312 (3) およびメモリ列アクセス回路 314 (0) ~ 314 (3) に近い場所に配置される。インナーメモリサブバンク 304 (1) は、複数のメモリビットセル回路 308 (0) (0) ~ 308 (X) (Y) を各々含む X + 1 個のメモリ行回路 306 (0) ~ 306 (X) を含む。例えば、メモリ行回路 306 (0) は、Y + 1 個のメモリビットセル回路 308 (0) (0) ~ 308 (0) (Y) を含む。メモリ行回路 306 (X) は、Y 個のメモリビットセル回路 308 (X) (0) ~ 308 (X) (Y) を含む。非限定的な例として、メモリビットセル回路 308 (0) (0) ~ 308 (X) (Y) は、6 個のトランジスタ (6-T) またはそれ以上のトランジスタ数を採用するスタティックランダムアクセスメモリ (SRAM) ビットセルであってもよい。メモリビットセル回路 308 (0) (0) ~ 308 (X) (Y) は、別の例として、ダイナミックランダムアクセスメモリ (DRAM) ビットセルとすることもできる。メモリビットセル回路 308 (0) (0) ~ 308 (X) (Y) の編成は、各メモリ行回路 306 (0) ~ 306 (X) からの 1 つのメモリビットセル回路 308 () (0) ~ 308 () (Y) が同一の各メモリ列回路 310 (0) ~ 310 (Y) に配置されるようになっている。図 2 には、メモリ列回路 310 (0)、310 (Y) のみがラベル付けされている。例えば、インナーメモリサブバンク 304 (1) には、256 個のメモリ列回路 310 (0) ~ 310 (255) が設けられてもよい。

【0023】

図 3 を引き続き参照すると、インナーメモリサブバンク 304 (1) は、それぞれのメモリ行回路 306 (0) ~ 306 (X) 内のメモリビットセル回路 308 (0) (0) ~ 308 (X) (Y) に各々結合された Y 個の第 1 のビット線 BL (1) (0) ~ BL (1) (Y) を含む。第 1 のビット線 BL (1) (0) ~ BL (1) (Y) は、デコード済メモリアドレス 316 に従って、選択されたメモリ行回路 306 (0) ~ 306 (X) のためのメモリドライバ回路 318 によるワード線 WL のアクティブ化によって制御される選択されたメモリ行回路 306 (0) ~ 306 (Y) のメモリビットセル回路 308 (0) (0) ~ 308 (X) (Y) にデータを書き込むために、プリチャージされ得る。図 3 には WL が 1 つのみが示されているが、それぞれのメモリ行回路 306 (0) ~ 306 (X) において、各メモリビットセル回路 308 (0) (0) ~ 308 (X) (Y) に結合されるメモリ行回路 306 (0) ~ 306 (X) ごとに別個の WL が設けられていることに留意されたい。所与のメモリ行回路 306 (0) ~ 306 (X) のための WL のうちの 1 つのみが、メモリアクセス動作のためにメモリ行回路 306 (0) ~ 306 (X) を選択するためにアクティブ化される。選択されたメモリ行回路 306 (0) ~ 306 (X) のメモリビットセル回路 308 (0) (0) ~ 308 (X) (Y) は、列マルチプレクサ回路 312 (0) ~ 312 (3) およびメモリ列アクセス回路 314 (0) ~ 314 (3) に提供されるメモリ読み出し動作のために、それぞれのビット線 BL (1) (0) ~ BL (1) (Y) にデータをアサートすることもできる。

【0024】

上述したように、メモリアレイ 302 のメモリ密度を大きくするために、第 2 の、アウターメモリサブバンク 304 (2) もメモリスシステム 300 に含められる。アウターメモリサブバンク 304 (2) は、インナーメモリサブバンク 304 (1) よりも、列マルチ

プレクサ回路 3 1 2 (0) ~ 3 1 2 (3) およびメモリ列アクセス回路 3 1 4 (0) ~ 3 1 4 (3) から離れた場所に配置される。インナーメモリサブバンク 3 0 4 (1) と同様に、アウターメモリサブバンク 3 0 4 (2) は、複数のメモリビットセル回路 3 2 8 (0) (0) ~ 3 2 8 (X) (Y) を各々含む $X + 1$ 個のメモリ行回路 3 2 6 (0) ~ 3 2 6 (X) を含む。例えば、メモリ行回路 3 2 6 (0) は、 $Y + 1$ 個のメモリビットセル回路 3 2 8 (0) (0) ~ 3 2 8 (0) (Y) を含む。メモリ行回路 3 2 6 (X) は、 Y 個のメモリビットセル回路 3 2 8 (X) (0) ~ 3 2 8 (X) (Y) を含む。非限定的な例として、メモリビットセル回路 3 2 8 (0) (0) ~ 3 2 8 (X) (Y) は、6 個のトランジスタ (6-T) またはそれ以上のトランジスタ数を採用する S R A M ビットセルであってもよい。メモリビットセル回路 3 2 8 (0) (0) ~ 3 2 8 (X) (Y) は、別の例として、D R A M ビットセルとすることもできる。メモリビットセル回路 3 2 8 (0) (0) ~ 3 2 8 (X) (Y) の編成は、各メモリ行回路 3 2 6 (0) ~ 3 2 6 (X) からの 1 つのメモリビットセル回路 3 2 8 () (0) ~ 3 2 8 () (Y) が同一の各メモリ列回路 3 3 0 (0) ~ 3 3 0 (Y) に配置されるようになっている。図 3 には、メモリ列回路 3 3 0 (0)、3 3 0 (Y) のみがラベル付けされている。例えば、アウターメモリサブバンク 3 0 4 (2) には、2 5 6 個のメモリ列回路 3 3 0 (0) ~ 3 3 0 (2 5 5) が設けられてもよい。

10

【0 0 2 5】

図 3 を引き続き参照すると、アウターメモリサブバンク 3 0 4 (2) は、それぞれのメモリ行回路 3 2 6 (0) ~ 3 2 6 (X) 内のメモリビットセル回路 3 2 8 (0) (0) ~ 3 2 8 (X) (Y) に各々結合された Y 個の第 2 のビット線 B L (2) (0) ~ B L (2) (Y) も含む。第 2 のビット線 B L (2) (0) ~ B L (2) (Y) は、デコード済メモリアドレス 3 1 6 に従って、選択されたメモリ行回路 3 2 6 (0) ~ 3 2 6 (X) のためのメモリドライバ回路 3 1 8 によるワード線 W L のアクティブ化によって制御される選択されたメモリ行回路 3 2 6 (0) ~ 3 2 6 (Y) のメモリビットセル回路 3 2 8 (0) (0) ~ 3 2 8 (X) (Y) にデータを書き込むために、プリチャージされ得る。それぞれのメモリ行回路 3 2 6 (0) ~ 3 2 6 (X) において、各メモリビットセル回路 3 2 8 (0) (0) ~ 3 2 8 (X) (Y) に結合されるメモリ行回路 3 2 6 (0) ~ 3 2 6 (X) ごとに別個の W L が設けられていることに留意されたい。アウターメモリサブバンク 3 0 4 (2) 内の所与のメモリ行回路 3 2 6 (0) ~ 3 2 6 (X) およびインナーメモリサブバンク 3 0 4 (1) 内のメモリ行回路 3 0 6 (0) ~ 3 0 6 (X) の W L のうちの 1 つのみが、メモリアクセス動作のためにメモリ行回路 3 2 6 (0) ~ 3 2 6 (X) またはメモリ行回路 3 0 6 (0) ~ 3 0 6 (X) のいずれかを選択するためにアクティブ化される。選択されたメモリ行回路 3 2 6 (0) ~ 3 2 6 (X) のメモリビットセル回路 3 2 8 (0) (0) ~ 3 2 8 (X) (Y) は、列マルチプレクサ回路 3 1 2 (0) ~ 3 1 2 (3) およびメモリ列アクセス回路 3 1 4 (0) ~ 3 1 4 (3) に提供されるメモリ読み出し動作のために、それぞれのビット線 B L (2) (0) ~ B L (2) (Y) にデータをアサートすることもできる。

20

30

【0 0 2 6】

第 1 および第 2 のメモリサブバンク 3 0 4 (1)、3 0 4 (2) は、A 1、B 1、C 1、D 1、...、A 4、B 4、C 4、D 4 とラベル付けされたインターリーブされたメモリ列回路に従って、インターリーブされたデータワード A、B、C、D を記憶するように設計される。したがって、メモリアレイ 3 0 2 も C M 4 インターリーブ配置で構成される。したがって、この例では、C M 4 インターリーブ配置をサポートするために、4 列のマルチプレクサ回路 3 1 2 (0) ~ 3 1 2 (3) がある。列マルチプレクサ回路 3 1 2 (0) ~ 3 1 2 (3) の数は、インターリーブスキームと合致するように、2 以上とすることができる。

40

【0 0 2 7】

メモリ読み出し動作に応答してインナーメモリサブバンク 3 0 4 (1) およびアウターメモリサブバンク 3 0 4 (2) がアクセスされると、メモリアクセス動作に対するデコー

50

ド済メモリアドレス316に従って、選択されたメモリ行回路306(0)~306(X)、326(0)~326(X)に対してワード線WLがアクティブ化される。列選択CS1は、選択されたメモリ行回路306(0)~306(X)、326(0)~326(X)からのインターリーブされたビットを表す、それぞれのメモリ列回路310(0)~310(Y)、330(0)~330(Y)内のそれぞれのメモリビットセル回路308(0)(0)~308(0)(Y)、328(0)(0)~328(0)(Y)に結合されたそれぞれの第1および第2のビット線BL(1)(0)~BL(1)(Y)、BL(2)(0)~BL(2)(Y)に結合された列マルチプレクサ回路312(0)~312(3)に対して生成される。各列マルチプレクサ回路312(0)~312(3)は、その結合されたメモリ列回路310(0)~310(Y)、330(0)~330(Y)からの結合された第1および第2のビット線BL(1)(0)~BL(1)(Y)、BL(2)(0)~BL(2)(Y)のうちの1つをそれぞれの多重化出力320(0)~320(3)に結合して、対応するビットをそれぞれのメモリ列アクセス回路314(0)~314(3)(例えば、センスアンプ)に提供する。このやり方で、列マルチプレクサ回路312(0)~312(3)は、選択されたメモリ行回路306(0)~306(X)、326(0)~326(X)内のインターリーブされたデータワードから選択されたビットを、それぞれのメモリ列アクセス回路314(0)~314(3)に従って多重化するように制御される。メモリ列アクセス回路314(0)~314(3)は、メモリ読み出し動作のために、それぞれの列出力322(0)~322(3)上にデータ出力ワード324のビットを提供するように構成される。

10

20

【0028】

例えば、メモリ読み出し動作において、選択されたメモリ行回路306(0)~306(X)からインターリーブされたデータワードA1~A4を選択することが望まれる場合、列マルチプレクサ回路312(0)~312(3)は、列選択CS1によって制御され、選択されたメモリ行回路306(0)~306(X)から、それぞれの第1のビット線BL(1)(0)、BL(1)(3)、BL(1)(7)、BL(1)(11)上のビットA1~A4を、それぞれのメモリ列アクセス回路314(0)~314(3)へのそれぞれの多重化出力320(0)~320(3)上に多重化する。メモリ列アクセス回路314(0)~314(3)は、第1のビット線BL(1)(0)、BL(1)(3)、BL(1)(7)、BL(1)(11)上の読み出しビットを示す信号を、データ出力ワード324としてそれぞれの列出力322(0)~322(3)上に提供するように構成される。

30

【0029】

図3に示され、上述したように、第1および第2のビット線BL(1)(0)~BL(1)(Y)、BL(2)(0)~BL(2)(Y)は、それぞれのメモリサブバンク304(1)、304(2)のメモリ列回路310(0)~310(Y)、330(0)~330(Y)ごとに設けられる。第1のビット線BL(1)(0)~BL(1)(Y)は、アウターメモリサブバンク304(2)のメモリ列回路330(0)~330(Y)ごとにビット線を提供するために、長さが延長され得る。例えば、インナーメモリサブバンク304(1)用の第1のビット線BL(1)(0)~BL(1)(Y)は、メモリビットセル回路308(0)(0)~308(X)(Y)内またはその上方の第1の金属層(例えば、M0またはM2)内を延びることができる。第1のビット線BL(1)(0)~BL(1)(Y)の長さを延長すると、第1のビット線BL(1)(0)~BL(1)(Y)のキャパシタンスを大きくするため、望ましくないやり方でメモリアレイ302に対するメモリ性能を低下させる。

40

【0030】

そのため、インナーメモリサブバンク304(1)の第1のビット線BL(1)(0)~BL(1)(Y)を長くしてアウターメモリサブバンク304(2)用のビット線を設ける必要性を回避するために、図3のメモリシステム300におけるアウターメモリサブバンク304(2)用の第2のビット線BL(2)(0)~BL(2)(Y)は、別個の

50

ビット線として設けられる。アウターメモリサブバンク 304 (2) 用の第 2 のビット線 BL (2) (0) ~ BL (2) (Y) は、別個のビット線であり、インナーメモリサブバンク 304 (1) 用の第 1 のビット線 BL (1) (0) ~ BL (1) (Y) とは別に、それぞれの列マルチプレクサ回路 312 (0) ~ 312 (3) に結合される。ただし、アウターメモリサブバンク 304 (2) 用の第 2 のビット線 BL (2) (0) ~ BL (2) (Y) から列マルチプレクサ回路 312 (0) ~ 312 (3) までの間に経路が設けられなければならない。メモリビットセル回路 308 (0) (0) ~ 308 (X) (Y) は、インナーメモリサブバンク 304 (1) 用の第 1 のビット線 BL (1) (0) ~ BL (1) (Y) を収容する第 1 の金属層において追加的な金属線配線経路内で第 2 のビット線 BL (2) (0) ~ BL (2) (Y) の結合を収容するように設計変更され得、この結合は BL (1) (0) ~ BL (1) (Y) と並んで列マルチプレクサ回路 312 (0) ~ 312 (3) までインナーメモリサブバンク 304 (2) を通って延びる。しかしながら、製造上の制限が、すべてのメモリビットセル回路 308 (0) (0) ~ 308 (X) (Y) のセル設計を変更し、第 1 の金属層への第 1 のビット線 BL (1) (0) ~ BL (1) (Y) の結合を収容して、第 1 のビット線 BL (1) (0) ~ BL (1) (Y) と並んで第 2 のビット線 BL (2) (0) ~ BL (2) (Y) 用の追加の金属線配線経路を設けることを妨げることがあるか、またはそうでなければ望ましくないものとする場合がある。

10

【0031】

この点において、図 3 に示されるように、インナーメモリサブバンク 304 (1) の第 1 のビット線 BL (1) (0) ~ BL (1) (Y) を長くしてアウターメモリサブバンク 304 (2) まで延長する必要をともに回避するために、ジャンパセル回路 332 (0) ~ 332 (Y) が設けられる。この例では、ジャンパセル回路 332 (0) ~ 332 (Y) として、アウターメモリサブバンク 304 (2) に隣接する最も外側のメモリビットセル回路 308 (X) (0) ~ 308 (X) (Y) が設けられている。ジャンパセル回路 332 (0) ~ 332 (Y) は、アウターメモリサブバンク 304 (2) 用の第 2 のビット線 BL (2) (0) ~ BL (2) (Y) に各々結合されるとともに、インナーメモリサブバンク 304 (1) 用の第 1 のビット線 BL (1) (0) ~ BL (1) (Y) にも各々結合される。ジャンパセル回路 332 (0) ~ 332 (Y) は、アウターメモリサブバンク 304 (2) 用のそれぞれの第 2 のビット線 BL (2) (0) ~ BL (2) (Y) を、それぞれのフライングビット線 FBL (0) ~ FBL (Y) に結合するそれぞれの金属相互接続 334 (0) ~ 334 (Y) を各々含む。この例では、それぞれのジャンパセル回路 332 (0) ~ 332 (2) の金属相互接続 334 (0) ~ 334 (Y) は、アウターメモリサブバンク 304 (2) 用の第 1 の金属層の第 2 のビット線 BL (2) (0) ~ BL (2) (Y) へのそれぞれを、第 2 の金属層 ML 2 (例えば、M4) のそれぞれのフライングビット線 FBL (0) ~ FBL (Y) に結合する。例えば、第 2 の金属層 ML 2 は、インナーメモリサブバンク 304 (1) 用の第 1 のビット線 BL (1) (0) ~ BL (1) (Y) が配置される第 1 の金属層 ML 1 よりも高い金属層に配置されてもよい。このやり方で、フライングビット線 FBL (0) ~ FBL (Y) は、インナーメモリサブバンク 304 (1) 用の第 1 のビット線 BL (1) (0) ~ BL (1) (Y) が垂直方向に配置された第 1 の金属層 ML 1 を「飛び越えて」、それぞれの列マルチプレクサ回路 312 (1) ~ 312 (3) に結合され得る。

20

30

40

【0032】

インナーメモリサブバンク 304 (1) 用の第 1 のビット線 BL (1) (0) ~ BL (1) (Y) およびアウターメモリサブバンク 304 (2) に結合されたフライングビット線 FBL (0) ~ FBL (Y) を、別個の金属層において配線する例示的な詳細をさらに説明するために、図 4 A および図 4 B が提供される。図 4 A は、図 3 のメモリアレイ 302 の一部の第 1 の下部金属層 ML 1 の例示的なレイアウトの上面図である。図 4 A は、第 1 の金属層 ML 1 における、インナーメモリサブバンク 304 (1) の 4 本の第 1 のビット線 BL (1) (0) ~ BL (1) (3)、およびアウターメモリサブバンク 304 (2) の 4 本の第 2 のビット線 BL (2) (0) ~ BL (2) (3) の金属線を示す図である

50

。図 4 B は、図 3 のメモリアレイ 3 0 2 の一部の第 2 の上部金属層 M L 2 の例示的なレイアウトの上面図である。図 4 B は、アウターメモリサブバンク 3 0 4 (2) の第 2 のビット線 B L (2) (0) ~ B L (2) (3) と、第 2 の金属層 M L 2 において列マルチプレクサ回路 3 1 2 (1) ~ 3 1 2 (3) に配線されたフライングビット線 B L Y (0) ~ B L (Y) の金属線との結合を示す。

【 0 0 3 3 】

この点において、図 4 A に示されるように、インナーメモリサブバンク 3 0 4 (1) の第 1 のビット線 B L (1) (0) ~ B L (1) (3) は、列マルチプレクサ回路 3 1 2 (0) に向かって、第 1 金属層 M L 1 においてそれぞれの金属トラック M T 0 ~ M T 3 内を Y 軸方向に延びる。アウターメモリサブバンク 3 0 4 (2) の第 2 のビット線 B L (2) (0) ~ B L (2) (3) も、第 1 金属層 M L 1 においてそれぞれの金属トラック M T 0 ~ M T 3 内を Y 軸方向に延びている。図 4 A に示されるように、第 2 のビット線 B L (2) (0) ~ B L (2) (3) は、インナーメモリサブバンク 3 0 4 (1) の一部として、それぞれのジャンパセル回路 3 3 2 (0) ~ 3 3 2 (Y) に結合される。この例では、ジャンパセル回路 3 3 2 (0) ~ 3 3 2 (Y) は第 2 のメモリサブバンク 3 0 4 (2) に直接隣接しているが、これは要求されることではない。ジャンパセル回路 3 3 2 (0) ~ 3 3 2 (Y) は、第 2 のビット線 B L (2) (0) ~ B L (2) (3) に結合されるそれぞれの金属相互接続 3 3 4 (0) ~ 3 3 4 (3) を有する。第 2 のビット線 B L (2) (0) ~ B L (2) (3) は、第 1 の金属層 M L 1 において列マルチプレクサ回路 3 1 2 (0) に向かってさらに延びることではない。代わりに、図 4 B に示されるように、金属相互接続 3 3 4 (0) ~ 3 3 4 (3) は、第 2 の金属層 M L 2 まで延び（ビアや金属線などを介して）、フライングビット線 F B L (0) ~ F B L (3) に結合される。第 2 の金属層 M L 2 は、Y 軸方向に延びる金属トラック M T 0 ~ M T 5 を含む。Y 軸方向に延びるフライングビット線 F B L (0) ~ F B L (3) は、列マルチプレクサ回路 3 1 2 (0) まで延びて、それに結合されるように、第 1 の金属層 M L 1 のそれぞれの金属トラック M T 0 、 M T 1 、 M T 4 、 M T 5 に配置される金属線として提供される。

【 0 0 3 4 】

したがって、この例では、第 2 の金属層 M L 2 のフライングビット線 F B L (0) ~ F B L (3) は、第 1 の金属層 M L 1 において第 1 のビット線 B L (1) (0) ~ B L (1) (Y) の上を延びている（すなわち、飛び越える）。フライングビット線 F B L (0) ~ F B L (3) は、垂直な Z 軸方向において、少なくとも部分的に第 1 のビット線 B L (1) (0) ~ B L (1) (Y) と重なる。

【 0 0 3 5 】

図 3 のメモリシステム 3 0 0 におけるフライングビット線 F B L (0) ~ F B L (Y) は、図 4 A および図 4 B に示される以外の他のやり方でも配線され得ることに留意されたい。例えば、図 5 のメモリシステム 3 0 0 の例示的なレイアウトに示されるように、フライングビット線 F B L (0) ~ F B L (Y) は、第 1 および第 2 の金属層 M L 1 、 M L 2 の間であり得る第 3 の金属層 M L 3 において、アウターメモリサブバンク 3 0 4 (2) 内のアウターメモリ行回路 3 2 6 (X) に向かって戻るように配線され得る。そして、フライングビット線 F B L (0) ~ F B L (Y) は、第 2 の金属層 M L 2 の金属線に結合されて、列マルチプレクサ回路 3 1 2 (0) ~ 3 1 2 (Y) に配線され得る。

【 0 0 3 6 】

図 6 は、図 3 のメモリシステム 3 0 0 と同様のメモリアレイ 6 0 2 を含む、別の例示的なメモリシステム 6 0 0 である。しかしながら、図 6 のメモリシステム 6 0 0 では、2 つの追加のメモリサブバンク、インナーメモリサブバンク 6 0 4 (1) およびアウターメモリサブバンク 6 0 4 (2) が、メモリアレイ 6 0 2 のサイズをさらに大きくするために設けられる。それぞれの列マルチプレクサ回路 3 1 2 (0) ~ 3 1 2 (3) およびメモリ列アクセス回路 3 1 4 (0) ~ 3 1 4 (3) に結合されるインナーおよびアウターメモリサブバンク 3 0 4 (1) 、 3 0 4 (2) が設けられるので、再度の説明はなされない。また、この例では、後述するように、メモリアレイ 6 0 2 は、例えばメモリワード A を読み出

10

20

30

40

50

すために、メモリサブバンク 304 (1)、304 (2) のうちの 1 つと、メモリサブバンク 604 (1)、604 (2) のうちの 1 つとがアクセスされるように、8 列多重化 (CM8) 配置で編成され、したがって、2 本のワード線 WL1、WL2 がアクティブ化されることを要求する。また、この例では、後述するように、インナーメモリサブバンク 304 (1) と同様に、インナーメモリサブバンク 604 (1) は、アウターメモリサブバンク 604 (2) の第 2 のビット線 BL (4) (0) ~ BL (4) (Y) に結合され、共有メモリ列アクセス回路 314 (0) ~ 314 (3) にも結合されるそれぞれの列マルチプレクサ回路 612 (0) ~ 612 (3) に結合される第 2 のフライングビット線 SFBL (0) ~ SFBL (Y) にも結合されるそれぞれのジャンパセル回路 632 (0) ~ 632 (Y) を含む。

10

【0037】

図 6 を参照すると、インナーメモリサブバンク 604 (1) は、アウターメモリサブバンク 604 (2) よりも、列マルチプレクサ回路 612 (0) ~ 612 (3) およびメモリ列アクセス回路 314 (0) ~ 314 (3) に近い場所に配置される。インナーメモリサブバンク 604 (1) は、複数のメモリビットセル回路 608 (0) (0) ~ 608 (X) (Y) を各々含む X + 1 個のメモリ行回路 606 (0) ~ 606 (X) を含む。メモリ行回路 306 (X) は、Y 個のメモリビットセル回路 308 (X) (0) ~ 308 (X) (Y) を含む。非限定的な例として、メモリビットセル回路 608 (0) (0) ~ 608 (X) (Y) は、6 個のトランジスタ (6-T) またはそれ以上のトランジスタ数を採用するスタティックランダムアクセスメモリ (SRAM) ビットセルであってもよい。メモリビットセル回路 608 (0) (0) ~ 608 (X) (Y) は、別の例として、ダイナミックランダムアクセスメモリ (DRAM) ビットセルとすることもできる。メモリビットセル回路 608 (0) (0) ~ 608 (X) (Y) の編成は、各メモリ行回路 606 (0) ~ 606 (X) からの 1 つのメモリビットセル回路 608 () (0) ~ 608 () (Y) が同一の各メモリ列回路 610 (0) ~ 610 (Y) に配置されるようになっている。図 6 には、メモリ列回路 610 (0)、610 (Y) のみがラベル付けされている。例えば、インナーメモリサブバンク 604 (1) には、256 個のメモリ列回路 610 (0) ~ 610 (255) が設けられてもよい。

20

【0038】

図 6 を引き続き参照すると、インナーメモリサブバンク 604 (1) は、それぞれのメモリ行回路 606 (0) ~ 606 (X) 内のメモリビットセル回路 608 (0) (0) ~ 608 (X) (Y) に各々結合された Y 個の第 1 のビット線 BL (3) (0) ~ BL (3) (Y) を含む。第 1 のビット線 BL (3) (0) ~ BL (3) (Y) は、デコード済メモリアドレス 316 に従って、選択されたメモリ行回路 606 (0) ~ 606 (X) のためのワード線 WL2 のアクティブ化によって制御される選択されたメモリ行回路 606 (0) ~ 606 (Y) のメモリビットセル回路 608 (0) (0) ~ 608 (X) (Y) にデータを書き込むために、プリチャージされ得る。それぞれのメモリ行回路 606 (0) ~ 606 (X) において、各メモリビットセル回路 608 (0) (0) ~ 608 (X) (Y) に結合されるメモリ行回路 606 (0) ~ 606 (X) ごとに別個の WL が設けられていることに留意されたい。アウターメモリサブバンク 604 (2) 内の所与のメモリ行回路 606 (0) ~ 606 (X) のための WL のうちの 1 つのみが、メモリアクセス動作のためにメモリ行回路 606 (0) ~ 606 (X) を選択するためにアクティブ化される。選択されたメモリ行回路 606 (0) ~ 606 (X) のメモリビットセル回路 608 (0) (0) ~ 608 (X) (Y) は、列マルチプレクサ回路 612 (0) ~ 612 (3) およびメモリ列アクセス回路 314 (0) ~ 314 (3) に提供されるメモリ読み出し動作のために、それぞれのビット線 BL (3) (0) ~ BL (3) (Y) にデータをアサートすることもできる。

30

40

【0039】

アウターメモリサブバンク 604 (2) は、インナーメモリサブバンク 604 (1) よりも、列マルチプレクサ回路 612 (0) ~ 612 (3) およびメモリ列アクセス回路 3

50

1 4 (0) ~ 3 1 4 (3) から離れた場所に配置される。インナーメモリサブバンク 6 0 4 (1) と同様に、アウターメモリサブバンク 6 0 4 (2) は、複数のメモリビットセル回路 6 2 8 (0) (0) ~ 6 2 8 (X) (Y) を各々含む X + 1 個のメモリ行回路 6 2 6 (0) ~ 6 2 6 (X) を有する。非限定的な例として、メモリビットセル回路 6 2 8 (0) (0) ~ 6 2 8 (X) (Y) は、6 個のトランジスタ (6-T) またはそれ以上のトランジスタ数を採用する S R A M ビットセルであってもよい。メモリビットセル回路 6 2 8 (0) (0) ~ 6 2 8 (X) (Y) は、別の例として、D R A M ビットセルとすることもできる。メモリビットセル回路 6 2 8 (0) (0) ~ 6 2 8 (X) (Y) の編成は、各メモリ行回路 6 2 6 (0) ~ 6 2 6 (X) からの 1 つのメモリビットセル回路 6 2 8 (0) (0) ~ 6 2 8 (0) (Y) が同一の各メモリ列回路 6 3 0 (0) ~ 6 3 0 (Y) に配置されるようになっている。図 2 では、メモリ列回路 6 3 0 (0)、6 3 0 (Y) のみがラベル付けされている。例えば、アウターメモリサブバンク 6 0 4 (2) には、2 5 6 個のメモリ列回路 6 3 0 (0) ~ 6 3 0 (2 5 5) が設けられてもよい。

10

【0040】

図 6 を引き続き参照すると、アウターメモリサブバンク 6 0 4 (2) は、それぞれのメモリ行回路 6 2 6 (0) ~ 6 2 6 (X) 内のメモリビットセル回路 6 2 8 (0) (0) ~ 6 2 8 (X) (Y) に各々結合された Y 個の第 2 のビット線 B L (4) (0) ~ B L (4) (Y) も含む。第 2 のビット線 B L (4) (0) ~ B L (4) (Y) は、デコード済メモリアドレス 3 1 6 に従って、選択されたメモリ行回路 6 2 6 (0) ~ 6 2 6 (X) のためのワード線 W L 2 のアクティブ化によって制御される選択されたメモリ行回路 6 2 6 (0) ~ 6 2 6 (Y) のメモリビットセル回路 6 2 8 (0) (0) ~ 6 2 8 (X) (Y) にデータを書き込むために、プリチャージされ得る。それぞれのメモリ行回路 6 2 6 (0) ~ 6 2 6 (X) において、各メモリビットセル回路 6 2 8 (0) (0) ~ 6 2 8 (X) (Y) に結合されるメモリ行回路 6 2 6 (0) ~ 6 2 6 (X) ごとに別個の W L が設けられていることに留意されたい。アウターメモリサブバンク 6 0 4 (2) 内の所与のメモリ行回路 6 2 6 (0) ~ 6 2 6 (X) およびインナーメモリサブバンク 6 0 4 (1) 内のメモリ行回路 6 0 6 (0) ~ 6 0 6 (X) の W L のうちの 1 つのみが、メモリアクセス動作のためにメモリ行回路 6 2 6 (0) ~ 6 2 6 (X) またはメモリ行回路 6 0 6 (0) ~ 6 0 6 (X) のいずれかを選択するためにアクティブ化される。選択されたメモリ行回路 6 2 6 (0) ~ 6 2 6 (X) のメモリビットセル回路 6 2 8 (0) (0) ~ 6 2 8 (X) (Y) は、列マルチプレクサ回路 6 1 2 (0) ~ 6 1 2 (3) およびメモリ列アクセス回路 3 1 4 (0) ~ 3 1 4 (3) に提供されるメモリ読み出し動作のために、それぞれのビット線 B L (4) (0) ~ B L (4) (Y) にデータをアサートすることもできる。

20

30

【0041】

メモリサブバンク 3 0 4 (1)、3 0 4 (2)、6 0 4 (1)、6 0 4 (2) は、A 1、B 1、C 1、D 1、E 1、F 1、G 1、H 1、...、A 4、B 4、C 4、D 4、E 4、F 4、G 4、H 4 とラベル付けされたインターリーブされたメモリ列回路に従って、インターリーブされたデータワード A、B、C、D、E、F、G、H を記憶するように設計される。したがって、メモリアレイ 6 0 2 も C M 8 インターリーブ配置で構成される。したがって、この例では、C M 8 インターリーブ配置をサポートするために、8 列のマルチプレクサ回路 3 1 2 (0) ~ 3 1 2 (3)、6 1 2 (0) ~ 6 1 2 (3) がある。列マルチプレクサ回路 3 1 2 (0) ~ 3 1 2 (3)、6 1 2 (0) ~ 6 1 2 (3) の数は、インターリーブスキームと合致するように、2 以上とすることができる。

40

【0042】

メモリ読み出し動作に応答してインナーメモリサブバンク 6 0 4 (1) およびアウターメモリサブバンク 6 0 4 (2) がアクセスされると、メモリアクセス動作に対するデコード済メモリアドレス 3 1 6 に従って、選択されたメモリ行回路 6 0 6 (0) ~ 6 0 6 (X)、6 2 6 (0) ~ 6 2 6 (X) に対してワード線 W L がアクティブ化される。列選択 C S 2 は、選択されたメモリ行回路 6 0 6 (0) ~ 6 0 6 (X)、6 2 6 (0) ~ 6 2 6 (X) からのインターリーブされたビットを表す、それぞれのメモリ列回路 6 1 0 (0) ~

50

610 (Y)、630 (0) ~ 630 (Y) 内のそれぞれのメモリビットセル回路608 (0) (0) ~ 608 (0) (Y)、628 (0) (0) ~ 628 (0) (Y) に結合されたそれぞれの第1および第2のビット線BL (1) (0) ~ BL (1) (Y)、BL (2) (0) ~ BL (2) (Y) に結合された列マルチプレクサ回路612 (0) ~ 612 (3) に対して生成される。各列マルチプレクサ回路612 (0) ~ 612 (3) は、その結合されたメモリ列回路610 (0) ~ 610 (Y)、630 (0) ~ 630 (Y) からの結合された第1および第2のビット線BL (1) (0) ~ BL (1) (Y)、BL (2) (0) ~ BL (2) (Y) のうちの1つをそれぞれの多重化出力620 (0) ~ 620 (3) に結合して、対応するビットをそれぞれのメモリ列アクセス回路314 (0) ~ 314 (3) (例えば、センスアンプ) に提供する。このやり方で、列マルチプレクサ回路612 (0) ~ 612 (3) は、選択されたメモリ行回路606 (0) ~ 606 (X)、626 (0) ~ 626 (X) 内のインターリーブされたデータワードから選択されたビットを、それぞれのメモリ列アクセス回路314 (0) ~ 314 (3) に従って多重化するように制御される。メモリ列アクセス回路314 (0) ~ 314 (3) は、メモリ読み出し動作のために、それぞれの列出力322 (0) ~ 322 (3) 上にデータ出力ワード324のビットを提供するように構成される (図3参照)。

10

【0043】

例えば、メモリ読み出し動作において、メモリアレイ602からインターリーブされたデータワードA1 ~ A4を選択したい場合、2回のメモリ読み出し動作が実行される。まず、所望のメモリ行回路306 (0) ~ 306 (X)、326 (0) ~ 326 (X) を選択するための第1の動作において、第1のワード線WL1がアクティブ化される。列マルチプレクサ回路312 (0)、312 (2) は、列セレクトCS1によって制御され、アクティブ化されたワード線WL1に従って、選択されたメモリ行回路306 (0) ~ 306 (X) から、それぞれの第1のビット線BL (1) (0)、BL (1) (7) 上のビットA1、A3を、それぞれのメモリ列アクセス回路314 (0)、314 (2) へのそれぞれの多重化出力320 (0)、320 (2) 上に多重化する。メモリ列アクセス回路314 (0)、314 (2) は、A1、A3のための第1のビット線BL (1) (0)、BL (1) (2) 上の読み出しビットを示す信号を、データ出力ワード324の一部としてそれぞれの列出力322 (0)、322 (2) 上に提供するように構成される。次に、第2のアクセス動作において、第2のワード線WL2がアクティブ化されて、所望のメモリ行回路606 (0) ~ 606 (X)、626 (0) ~ 626 (X) を選択する。列マルチプレクサ回路612 (0)、612 (3) は、列セレクトCS2によって制御され、アクティブ化されたワード線WL2に従って、選択されたメモリ行回路606 (0) ~ 606 (X) から、それぞれの第1のビット線BL (3) (1)、BL (3) (3) 上のビットA2、A4を、それぞれのメモリ列アクセス回路314 (1)、314 (3) へのそれぞれの多重化出力620 (1)、620 (3) 上に多重化する。メモリ列アクセス回路314 (1)、314 (3) は、A1、A3のための第1のビット線BL (3) (4)、BL (3) (11) 上の読み出しビットを示す信号を、データ出力ワード324としてそれぞれの列出力622 (0)、622 (2) 上に提供するように構成される。

20

30

【0044】

メモリ読み出しアクセスでは、それぞれのワード線WL1およびWL2をアクティブ化することにより、選択されたメモリ行回路内のすべてのメモリビットセル回路がアクティブ化され、それぞれのビット線からのデータがそれぞれの列マルチプレクサ回路312 (0) ~ 312 (3)、612 (0) ~ 612 (3) に結合されることに留意されたい。すなわち、メモリ列アクセス回路314 (1)、314 (3) を共有され得るように、ワード線WL1、WL2のうち、1本のワード線のみが一度にアクティブ化される。メモリアレイ602へのメモリ読み出し動作のために2本の別個のワード線WL1、WL2をアクティブ化することは、図3のメモリシステム300におけるようなメモリ動作のために1本のワード線のみをアクティブ化することに比べて、2倍も多くのメモリビットセル回路をアクティブ化することになるにもかかわらず、この例では、図6のメモリアレイ602

40

50

のメモリ密度は、図3のメモリアレイ302のメモリ密度の2倍である。したがって、図6のメモリアレイ602における密度あたりに正規化された電力消費は、図3のメモリアレイ302とほぼ同一のままである。

【0045】

引き続き図6を参照すると、第1および第2のビット線BL(3)(0)～BL(3)(Y)、BL(4)(0)～BL(4)(Y)は、それぞれのメモリサブバンク604(1)、604(2)のメモリ列回路610(0)～610(Y)、630(0)～630(Y)ごとに設けられる。第1のビット線BL(3)(0)～BL(3)(Y)は、アウターメモリサブバンク604(2)のメモリ列回路630(0)～630(Y)ごとにビット線を提供するために、長さが延長され得る。例えば、インナーメモリサブバンク604(1)用の第1のビット線BL(1)(0)～BL(1)(Y)は、メモリビットセル回路608(0)(0)～608(X)(Y)内またはその上方の第1の金属層(例えば、M0またはM2)内を延びることができる。第1のビット線BL(3)(0)～BL(3)(Y)の長さを延長すると、第1のビット線BL(3)(0)～BL(3)(Y)のキャパシタンスを大きくするため、望ましくないやり方でメモリアレイ602に対するメモリ性能を低下させる。

【0046】

そのため、インナーメモリサブバンク604(1)の第1のビット線BL(3)(0)～BL(3)(Y)を長くしてアウターメモリサブバンク604(2)用のビット線を設ける必要性を回避するために、図6のメモリシステム600におけるアウターメモリサブバンク604(2)用の第2のビット線BL(4)(0)～BL(4)(Y)は、別個のビット線として設けられる。アウターメモリサブバンク604(2)用の第2のビット線BL(4)(0)～BL(4)(Y)は、別個のビット線であり、インナーメモリサブバンク604(1)用の第1のビット線BL(3)(0)～BL(3)(Y)とは別に、それぞれの列マルチプレクサ回路612(0)～612(3)に結合される。ただし、アウターメモリサブバンク604(2)用の第2のビット線BL(4)(0)～BL(4)(Y)から列マルチプレクサ回路612(0)～612(3)までの間に経路が設けられなければならない。メモリビットセル回路608(0)(0)～608(X)(Y)は、インナーメモリサブバンク604(1)用の第1のビット線BL(3)(0)～BL(3)(Y)を収容する第1の金属層において追加的な金属線配線経路内で第2のビット線BL(4)(0)～BL(4)(Y)の結合を収容するように設計変更され得、この結合はBL(3)(0)～BL(3)(Y)と並んで列マルチプレクサ回路612(0)～612(3)までインナーメモリサブバンク604(2)を通して延びる。しかしながら、製造上の制限が、すべてのメモリビットセル回路608(0)(0)～608(X)(Y)のセル設計を変更し、第1の金属層への第1のビット線BL(3)(0)～BL(3)(Y)の結合を収容して、第1のビット線BL(3)(0)～BL(3)(Y)と並んで第2のビット線BL(4)(0)～BL(4)(Y)用の追加の金属線配線経路を設けることを妨げることがあるか、またはそうでなければ望ましくないものとする場合がある。

【0047】

この点において、図6に示されるように、インナーメモリサブバンク604(1)の第1のビット線BL(3)(0)～BL(3)(Y)を長くしてアウターメモリサブバンク604(2)まで延長する必要性を回避するために、図3のメモリアレイ302のジャンパセル回路332(0)～332(Y)と類似であってもよいジャンパセル回路632(0)～632(Y)が設けられる。この例では、ジャンパセル回路632(0)～632(Y)として、アウターメモリサブバンク604(2)に隣接する最も外側のメモリビットセル回路608(X)(0)～608(X)(Y)が設けられている。ジャンパセル回路632(0)～632(Y)は、アウターメモリサブバンク604(2)用の第2のビット線BL(4)(0)～BL(4)(Y)に各々結合されるとともに、インナーメモリサブバンク604(1)用の第1のビット線BL(3)(0)～BL(3)(Y)にも各々結合される。ジャンパセル回路632(0)～632(Y)は、アウターメモリサブバン

ク 6 0 4 (2) 用のそれぞれの第 2 のビット線 B L (4) (0) ~ B L (4) (Y) を、それぞれの第 2 のフライングビット線 S F B L (0) ~ S F B L (Y) に結合するそれぞれの金属相互接続 6 3 4 (0) ~ 6 3 4 (Y) を各々含む。この例では、それぞれのジャンパビットセル回路 6 3 2 (0) ~ 6 3 2 (2) の金属相互接続 6 3 4 (0) ~ 6 3 4 (Y) は、アウターメモリサブバンク 6 0 4 (2) 用の第 1 の金属層のそれぞれの第 2 のビット線 B L (4) (0) ~ B L (4) (Y) を、第 2 の金属層 M L 2 (例えば、M L 4) のそれぞれのフライングビット線 S F B L (0) ~ S F B L (Y) に結合する。例えば、第 2 の金属層 M L 2 は、インナーメモリサブバンク 3 0 4 (1) 用の第 1 のビット線 B L (3) (0) ~ B L (3) (Y) が配置される第 1 の金属層 M L 1 よりも高い金属層に配置されてもよい。このやり方で、第 2 のフライングビット線 S F B L (0) ~ S F B L (Y) は、インナーメモリサブバンク 6 0 4 (1) 用の第 1 のビット線 B L (3) (0) ~ B L (3) (Y) が垂直方向に配置された第 1 の金属層 M L 1 を「飛び越えて」、それぞれの列マルチプレクサ回路 6 1 2 (1) ~ 6 1 2 (3) に結合され得る。

10

【 0 0 4 8 】

図 4 A ~ 図 5 の金属層レイアウトの例は、図 6 のメモリアレイ 6 0 2 のインナーおよびアウターメモリサブバンク 6 0 4 (1)、6 0 4 (2) における第 1 のビット線 B L (3) (0) ~ B L (3) (Y)、第 2 のビット線 B L (4) (0) ~ B L (4) (Y)、および第 2 のフライングビット線 S F B L (0) ~ S F B L (Y) にも適用され得る。

【 0 0 4 9 】

図 3 および図 6 のメモリアレイ 3 0 2 および 6 0 2 を含め、本明細書において説明される、メモリ密度を大きくするために第 1 および第 2 のメモリサブバンクを含むメモリアレイであって、第 1 のメモリサブバンク内の第 1 のビット線の長さを延長する必要なく、より高い性能をサポートするための有効なビット線長を大きくするために、第 2 のメモリサブバンク内の第 2 のビット線にアクセス回路を結合するフライングビット線をさらに含む、メモリアレイは、限定はしないが C M 1 6、C M 3 2 などを含む、その他の列多重化配置として設けられてもよい。

20

【 0 0 5 0 】

図 7 は、実行用のコンピュータ命令を実行するように構成されたプロセッサ 7 0 2 を含む、例示的なプロセッサベースシステム 7 0 0 のブロック図である。プロセッサベースシステムは、メモリ密度を大きくするために第 1 および第 2 のメモリサブバンクを含む 1 つまたは複数のメモリアレイを含むメモリシステム 7 0 4 も含み、メモリアレイは第 1 のメモリサブバンク内の第 1 のビット線の長さを延長する必要なく、より高い性能をサポートするための有効なビット線長を大きくするために、第 2 のメモリサブバンク内の第 2 のビット線にアクセス回路を結合するフライングビット線をさらに含むことに留意されたい。メモリシステム 7 0 4 は、この例では命令キャッシュ 7 0 6、データキャッシュ 7 0 8、およびシステムメモリ 7 1 0 を含む。図 7 のメモリシステム 7 0 4 内の任意のメモリは、非限定的な例として、図 3 および図 6 のメモリアレイ 3 0 2、6 0 2 を含み得る。

30

【 0 0 5 1 】

引き続き図 7 を参照すると、プロセッサベースシステム 7 0 0 は、プリント回路基板 (P C B) などの電子基板カード、サーバ、パーソナルコンピュータ、デスクトップコンピュータ、ラップトップコンピュータ、パーソナルデジタルアシスタント (P D A)、コンピューティングパッド、モバイルデバイス、または他のデバイスに含まれる 1 つまたは複数の回路であってよく、例えば、サーバ、またはユーザのコンピュータを表すことができる。プロセッサ 7 0 2 は、マイクロプロセッサ、中央処理ユニットなどの 1 つまたは複数の汎用処理回路を表す。プロセッサ 7 0 2 は、本明細書で検討される動作およびステップを実行するためのコンピュータ命令において処理ロジックを実行するように構成された命令処理回路 7 0 9 を含む。プロセッサ 7 0 2 は、命令の一時的な高速アクセスメモリ記憶用の命令キャッシュ 7 0 6 も含む。システムバス 7 1 2 を介してシステムメモリ 7 1 0 などのメモリからフェッチまたはプリフェッチされた命令は、命令キャッシュ 7 0 6 に記憶される。プロセッサ 7 0 2 は、システムバス 7 1 2 を介したシステムメモリ 7 1 0 からの

40

50

データを一時的な高速アクセスメモリ記憶用のデータキャッシュ 708 も含む。

【0052】

プロセッサ 702 およびシステムメモリ 710 は、システムバス 712 に結合され、プロセッサベースシステム 700 に含まれる周辺デバイスを相互結合することができる。周知のように、プロセッサ 702 は、システムバス 712 を介してアドレス、制御、およびデータの情報を交換することによって、これらの他のデバイスと通信する。例えば、プロセッサ 702 は、スレーブデバイスの一例として、システムメモリ 710 内のメモリコントローラ 714 にバストランザクション要求を通信することができる。図 7 には図示されていないが、各システムバスが異なるファブリックを構成する複数のシステムバス 712 が設けられてもよい。この例では、メモリコントローラ 714 は、システムメモリ 710 内のメモリアレイ 716 にメモリアクセス要求を提供するように構成される。メモリアレイ 716 は、データを記憶するための記憶ビットセルのアレイで構成される。システムメモリ 710 は、非限定的な例として、読み取り専用メモリ (ROM)、フラッシュメモリ、シンクロナス DRAM (SDRAM) などのダイナミックランダムアクセスメモリ (DRAM)、およびスタティックメモリ (例えば、フラッシュメモリ、スタティックランダムアクセスメモリ (SRAM) など) であってもよい。

10

【0053】

システムバス 712 には他のデバイスが接続されてもよい。図 7 に示されるように、これらのデバイスは、例として、システムメモリ 710、1 つまたは複数の入力デバイス 718、1 つまたは複数の出力デバイス 720、モデム 722、および 1 つまたは複数のディスプレイコントローラ 724 を含む得る。入力デバイス 718 は、入力キー、スイッチ、音声プロセッサなどを含むがこれらに限定されない任意のタイプの入力デバイスを含むことができる。出力デバイス 720 は、音声、ビデオ、他の視覚インジケータなどを含むがこれらに限定されない、任意のタイプの出力デバイスを含むことができる。モデム 722 は、ネットワーク 726 との間のデータ交換を可能にするように構成された任意のデバイスであり得る。ネットワーク 726 は、有線または無線ネットワーク、プライベートまたはパブリックネットワーク、ローカルエリアネットワーク (LAN)、無線ローカルエリアネットワーク (WLAN)、ワイドエリアネットワーク (WAN)、BLUETOOTH (商標) ネットワーク、およびインターネットを含むが、これらに限定されない任意のタイプのネットワークとすることができる。モデム 722 は、所望の任意のタイプの通信プロトコルをサポートするように構成することができる。プロセッサ 702 はまた、システムバス 712 を介してディスプレイコントローラ 724 にアクセスし、1 つまたは複数のディスプレイ 728 に送信される情報を制御するように構成され得る。ディスプレイ 728 は、ブラウン管 (CRT)、液晶ディスプレイ (LCD)、プラズマディスプレイなどを含むが、これらに限定されない任意のタイプのディスプレイを含むことができる。

20

30

【0054】

図 7 のプロセッサベースシステム 700 は、プロセッサ 702 などのプロセッサによって実行されると、メモリバンク内の選択されたメモリ行回路内のそれぞれの GBL 制御バスおよび WL バスのタイミングを制御する GBL クロック信号およびローカル WL クロック信号をメモリバンク内でローカルに生成する 1 組の命令 730 を含む得る。命令 730 は、非一時的なコンピュータ可読媒体 732 の例として、システムメモリ 710、プロセッサ 702、および／または命令キャッシュ 706 に記憶され得る。命令 730 はまた、その実行中、完全にまたは少なくとも部分的に、システムメモリ 710 内および／またはプロセッサ 702 内に存在し得る。命令 730 はさらに、ネットワーク 726 が非一時的なコンピュータ可読媒体 732、または他の例として入力デバイス 718 を含むように、モデム 722 を介してネットワーク 726 を介して送信または受信され得る。

40

【0055】

非一時的なコンピュータ可読媒体 732 は、例示の実施形態において、単一の媒体であるように示されているが、「コンピュータ可読媒体」という用語は、1 つまたは複数組の命令を記憶する単一の媒体または複数の媒体 (例えば、集中型もしくは分散型データベ

50

ス、ならびに／または関連するキャッシュおよびサーバ）を含むように受け取られるべきである。「コンピュータ可読媒体」という用語はまた、処理デバイスによる実行のために1組の命令を記憶、符号化、または搬送することが可能であり、本明細書に開示される実施形態の方法論のいずれか1つまたは複数を処理デバイスに実行させる任意の媒体を含むように受け取られるべきである。したがって、「コンピュータ可読媒体」という用語は、限定はしないがソリッドステートメモリ、光学媒体、磁気媒体を含むように受け取られるべきである。

【0056】

本明細書に開示される実施形態は、様々なステップを含む。本明細書に開示される実施形態のステップは、ハードウェア構成要素によって形成されてもよいし、機械実行可能命令として具体化されてもよく、このような命令は、命令を用いてプログラムされた汎用プロセッサまたは特殊用途プロセッサにステップを実行させるために使用され得る。あるいは、ステップは、ハードウェアとソフトウェアとの組合せにより実行されてもよい。

【0057】

本明細書に開示される実施形態は、本明細書に開示される実施形態によるプロセスを実行するようにコンピュータシステム（または他の電子デバイス）をプログラムするために使用され得る命令が記憶された機械可読媒体（またはコンピュータ可読媒体）を含み得るコンピュータプログラム製品、またはソフトウェアとして提供され得る。機械可読媒体は、機械（例えば、コンピュータ）によって読み取り可能な形式で情報を記憶または送信するためのあらゆる機構を含む。例えば、機械可読媒体としては、機械可読記憶媒体（例えば、ROM、ランダムアクセスメモリ（RAM）、磁気ディスク記憶媒体、光記憶媒体、フラッシュメモリ装置など）などが挙げられる。

【0058】

具体的にそうではないと述べられない限り、また前述の議論から明らかなように、本明細書全体において、「処理」、「コンピューティング」、「決定」、「表示」などの用語を利用した議論は、コンピュータシステムのレジスタ内で物理的な（電子的な）量として称されるデータおよびメモリを、コンピュータシステムのメモリ、レジスタ、または他のこのような情報記憶デバイス、伝送デバイス、もしくは表示デバイス内で物理的な量として同じように表される他のデータへと操作および変換する、コンピュータシステム、または類似の電子コンピューティングデバイスのアクションおよびプロセスを指すことを理解されたい。

【0059】

本明細書で提示されるアルゴリズムおよび表示は、特定のコンピュータまたはその他の装置とは本質的に関係がない。様々なシステムが、本明細書の教示に従ったプログラムとともに使用されてもよいし、または要求される方法ステップを実行するためにより特殊化された装置を構築することが好都合であることが判明する場合もある。これらの多様なシステムに要求される構造は、上記の説明から見てくるだろう。加えて、本明細書に記載される実施形態は、特定のプログラミング言語を参照して説明されるものではない。本明細書に記載されるように実施形態の教示を実施するために、様々なプログラミング言語が使用され得ることを了解されたい。

【0060】

当業者であればさらに、本明細書に開示される実施形態と併せて記載される様々な例示的な論理ブロック、モジュール、回路、およびアルゴリズムは、電子ハードウェア、メモリもしくは別のコンピュータ可読媒体に記憶された命令として実装されてもよいし、プロセッサもしくは他の処理デバイスによって実行されてもよく、またはその両方の組合せであってもよいことを理解するであろう。本明細書に記載される分散アンテナシステムの構成要素は、例として、任意の回路、ハードウェア構成要素、集積回路（IC）、またはICチップに採用されてもよい。本明細書に開示されるメモリは、任意のタイプおよびサイズのメモリであってよく、所望の任意のタイプの情報を記憶するように構成することができる。この互換性を明確に説明するために、様々な例示的な構成要素、ブロック、モジュ

10

20

30

40

50

ール、回路、およびステップが、その機能性の観点から全体的に上述された。このような機能性をどのように実装するかは、特定の用途、設計上の選択、および／またはシステム全体に課される設計上の制約に依存する。熟練した当業者は、記載された機能性を、各特定の用途のために様々な方法で実装することができるが、そのような実装の決定は、本実施形態の範囲からの逸脱を引き起こすものとして解釈されるべきではない。

【0061】

本明細書に開示される実施形態に関連して記載される様々な例示的な論理ブロック、モジュール、および回路は、プロセッサ、デジタル信号プロセッサ（DSP）、特定用途向け集積回路（ASIC）、フィールドプログラマブルゲートアレイ（FPGA）、または他のプログラマブル論理デバイス、ディスクリートゲートもしくはトランジスタ論理、ディスクリートハードウェア構成要素、または本明細書に記載される機能を実行するように設計されたそれらの任意の組合せを用いて実装または実行することができる。さらに、コントローラはプロセッサであってもよい。プロセッサはマイクロプロセッサであってもよいが、代替形態では、従来のプロセッサ、コントローラ、マイクロコントローラ、または状態機械であってもよい。プロセッサはまた、コンピューティングデバイスの組合せ（例えば、DSPとマイクロプロセッサとの組合せ、複数のマイクロプロセッサ、DSPコアと併せた1つもしくは複数のマイクロプロセッサ、または任意の他のそのような構成）として実装されてもよい。

【0062】

本明細書で開示される実施形態は、ハードウェアおよびハードウェアに記憶された命令として具体化され得、例えば、RAM、フラッシュメモリ、ROM、電気的プログラマブルROM（EPROM）、電気的消去可能プログラマブルROM（EEPROM）、レジスタ、ハードディスク、リムーバブルディスク、CD-ROM、または当技術分野で知られている任意の他の形態のコンピュータ可読媒体に存在し得る。プロセッサが記憶媒体から情報を読み取ること、および記憶媒体に情報を書き込むことができるように、例示的な記憶媒体がプロセッサに結合されている。代替形態では、記憶媒体はプロセッサに統合されてもよい。プロセッサと記憶媒体はASICに存在してもよい。ASICはリモートステーションに存在してもよい。代替形態では、プロセッサと記憶媒体は、リモートステーション、基地局、またはサーバにおいて、個別の構成要素として存在してもよい。

【0063】

本明細書における例示的な実施形態のいずれかに記載される動作ステップは、例および議論を提供するために説明されることに留意されたい。説明される動作は、示される順序以外にも、多数の異なる順序で行うことができる。さらに、単一の動作ステップで説明される動作が、実際には複数の異なるステップで実行されてもよい。加えて、例示的な実施形態において議論される1つまたは複数の動作ステップは、組み合わせられてもよい。また、当業者であれば、情報および信号が、多様な技術および技法のいずれかを用いて表現され得ることを理解するであろう。例えば、上記の説明全体を通して言及対象であり得るデータ、命令、コマンド、情報、信号、ビット、シンボル、およびチップは、電圧、電流、電磁波、磁場、または粒子、光学的な場もしくは粒子、またはそれらの任意の組合せによって表され得る。

【0064】

明示的にそうではないと述べられない限り、本明細書に記載されるいずれの方法も、そのステップが特定の順序で実行されることを要求するものとして解釈されることは、決して意図されていない。したがって、方法請求項が実際にそのステップによって従われるべき順序を記載していない場合、またはステップが特定の順序に限定されることが請求項または明細書において具体的に述べられていない場合、特定の順序が推論されることは決して意図されていない。

【0065】

当業者には、本発明の思想および範囲から逸脱することなく、様々な修正および変形がなされ得ることは明らかであろう。本発明の思想および中身を組み込んだ開示された実施

10

20

30

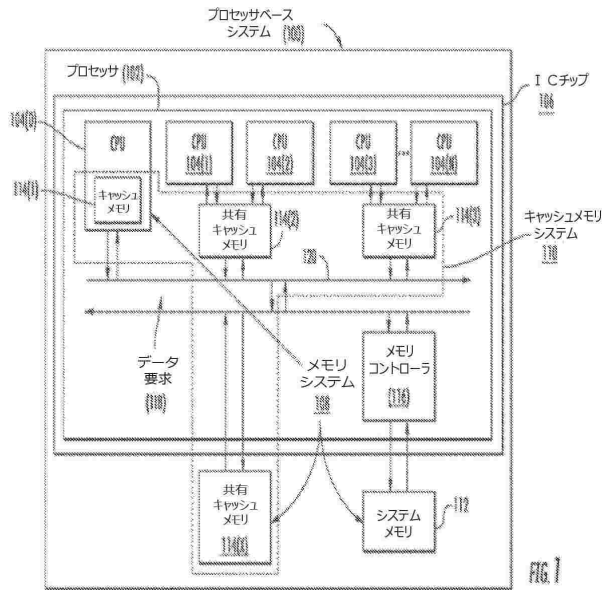
40

50

形態の修正、組合せ、サブ組合せ、および変形は当業者に思い付き得るものなので、本発明は、添付の特許請求の範囲およびそれらの等価物の範囲内のすべてを含むように解釈されるべきである。

【図面】

【図 1】



【図 2】

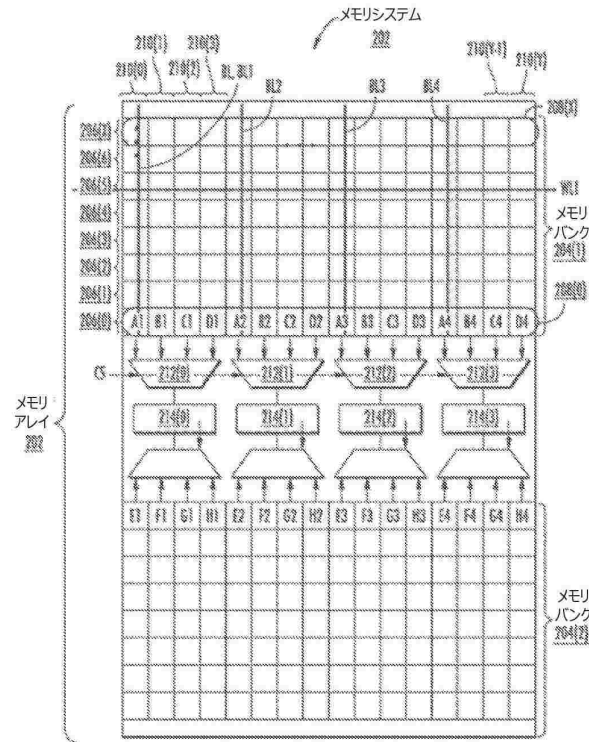


FIG. 2

【図 3】

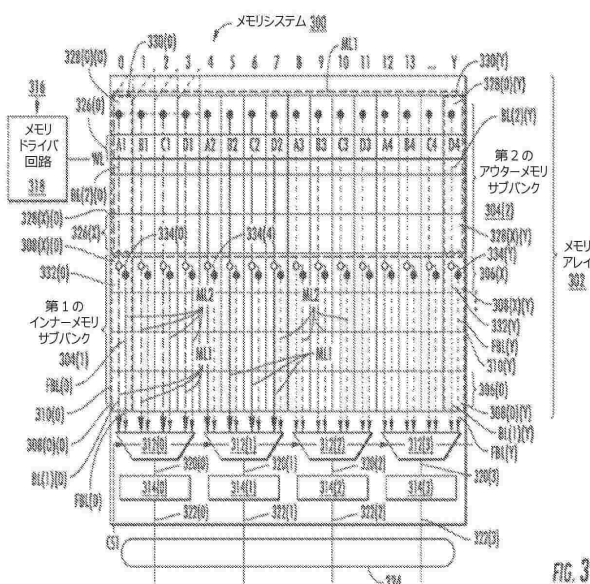


FIG. 3

【図 4 A】

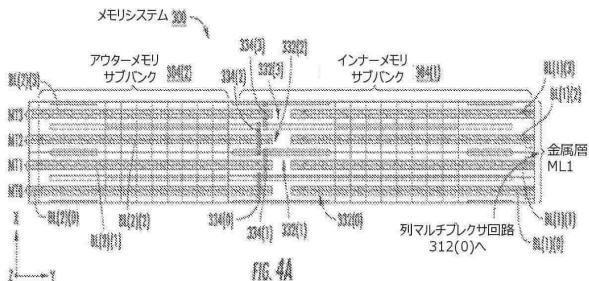


FIG. 4A

10

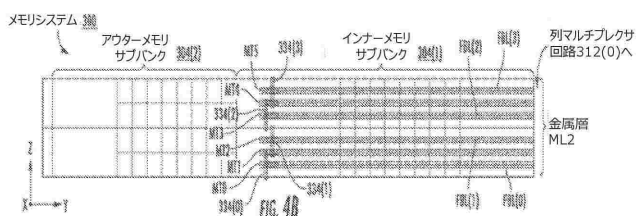
20

30

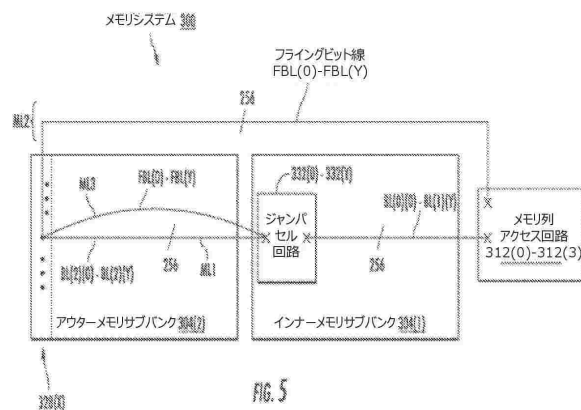
40

50

【図 4 B】

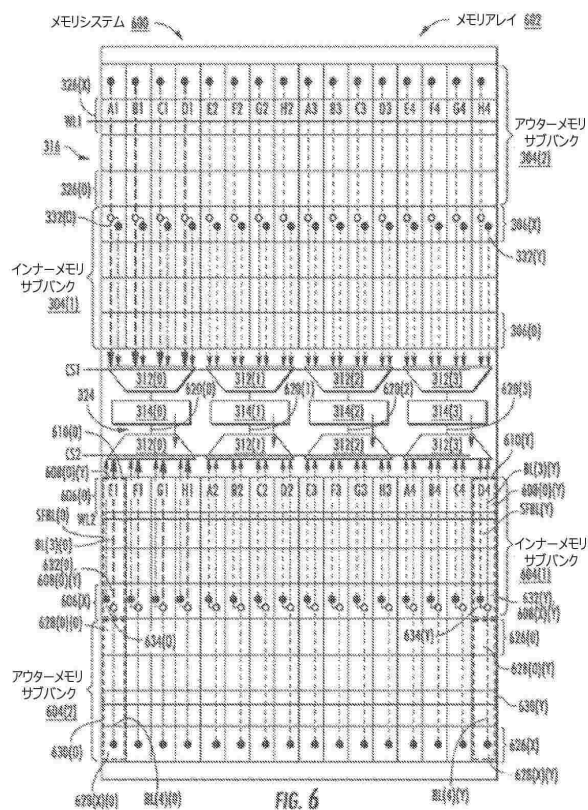


【圖 5】

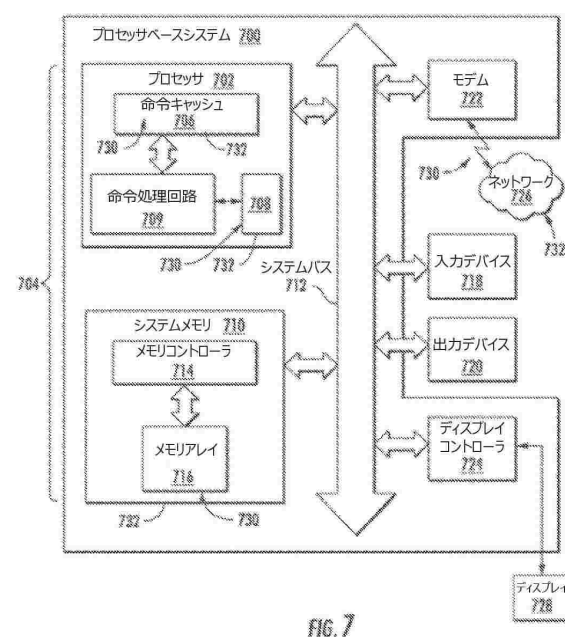


10

【圖 6】



【圖 7】



20

30

RE: 1

40

50

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2023/019031

A. CLASSIFICATION OF SUBJECT MATTER INV. G11C5/02 G11C7/18 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2015/348594 A1 (PATEL MANISH UMEDLAL [IN] ET AL) 3 December 2015 (2015-12-03) paragraph [0010] - paragraph [0016]; figure 1 paragraph [0017] paragraph [0019] - paragraph [0022]; figure 2 -----	1-15
X	US 2020/251164 A1 (PULLURU LAVA KUMAR [IN] ET AL) 6 August 2020 (2020-08-06) paragraph [0057] - paragraph [0061]; figure 5 -----	1
A	US 2015/121030 A1 (LIN YANGSYU [TW] ET AL) 30 April 2015 (2015-04-30) paragraph [0015]; figure 1A paragraph [0022] - paragraph [0025]; figure 2 -----	1-15
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 29 June 2023		Date of mailing of the international search report 10/07/2023
Name and mailing address of the ISA/ European Patent Office, P.B. 5618 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Knack, Steffen

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT				International application No PCT/US2023/019031	
Information on patent family members					
Patent document cited in search report		Publication date	Patent family member(s)		Publication date
US 2015348594	A1	03-12-2015	NONE		

US 2020251164	A1	06-08-2020	CN 109785882 A		21-05-2019
			US 2019147944 A1		16-05-2019
			US 2020251164 A1		06-08-2020

US 2015121030	A1	30-04-2015	CN 104599700 A		06-05-2015
			US 2015121030 A1		30-04-2015

10

20

30

40

50

フロントページの続き

,MC,ME,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,
ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,C
O,CR,CU,CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,I
R,IS,IT,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,MG,MK,MN,MU,MW
,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL
,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

弁理士 阿部 豊隆

(72)発明者 コラー, プラモッド

アメリカ合衆国 ワシントン州 98052-6399 レッドモンド ワン マイクロソフト ウェ
イ, マイクロソフト テクノロジー ライセンシング, エルエルシー

(72)発明者 スウェイツァー, ロバート・エイ

アメリカ合衆国 ワシントン州 98052-6399 レッドモンド ワン マイクロソフト ウェ
イ, マイクロソフト テクノロジー ライセンシング, エルエルシー

F ターム (参考) 5B015 JJ22 KA37 PP01

5M024 AA42 BB13 CC54 JJ20 LL01 LL05 PP01