(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3786738号
(P3786738)
(45)発行日　平成18年6月14日(2006.6.14)　(24)登録日　平成18年3月31日(2006.3.31)

(51)Int.Cl.　F I
H04L 12/46 (2006.01)　H04L 12/46　100B

請求項の数 13　(全 17 頁)

(21)出願番号　特願平8-2505
(22)出願日　平成8年1月10日(1996.1.10)
(65)公開番号　特開平8-251220
(43)公開日　平成8年9月27日(1996.9.27)
審査請求日　平成15年1月9日(2003.1.9)
(31)優先権主張番号　9500207
(32)優先日　平成7年1月10日(1995.1.10)
(33)優先権主張国　フランス(FR)

(73)特許権者　391000771
トムソン　マルチメデイア　ソシエテ　アノニム
THOMSON multimedia S. A.
フランス国　ブローニュ－ビランクル　ケア.　ル　ガロ　46
46, Quai A. Le Gallo, F-92100 Boulogne-BillancOurt, France
(74)代理人　100061815
弁理士　矢野　敏雄
(74)代理人　100094798
弁理士　山崎　利臣

最終頁に続く

(54)【発明の名称】ホームシステムネットワークにおける通信メディア間のインターフェース装置

(57)【特許請求の範囲】

【請求項１】

少なくとも２つの通信バス（１１、１２）間のインターフェース装置（１３）において、

前記通信バスの各々に対して２ウェイインターフェース（１、２）が設けられており、

前記インターフェースに受信されたメッセージを比較するための回路（５）が設けられており、

時間的に重なるメッセージ間の優先権の衝突を解決するための回路（６）が設けられており、

優先権の衝突を解決するための前記回路（６）は、時間的に重なるメッセージのうち優先権を有するメッセージを決定し、

前記衝突解決回路（６）は、優先権を有するメッセージの伝送を許可し、

当該伝送は前記インターフェース（１、２）を通り、前記優先メッセージが発生したものではない通信バスへ行われ、

優先権を有するメッセージの決定は、時間的に重なるメッセージの開始点の間の時間遅延、および前記メッセージ間の比較の結果に依存して実行されることを特徴とするインターフェース装置。

【請求項２】

各２ウェイインターフェースは送信許可回路（７、８）と接続されており、

前記送信許可回路は、前記インターフェースが接続されているバスへ伝送すべきメッセー

ジを、許可信号（ＣＥ，ＴＥ）の動作の下で当該インターフェースと通信し、
前記許可信号は優先衝突解決回路（６）の出力である、請求項１記載の装置。
【請求項３】
前記インターフェース装置は第１通信バスおよび第２通信バスと接続されている、請求項２記載の装置。
【請求項４】
前記衝突解決回路は、２つの通信バスで受信された２つのメッセージの開始の時間遅延（Ｄ）を決定する、請求項３記載の装置。
【請求項５】
少なくとも２つの通信バス（１１、１２）間のインターフェース装置（１３）において、
前記通信バスの各々に対して２ウェイインターフェース（１、２）が設けられており、
前記インターフェースに受信されたメッセージを比較するための回路（５）が設けられており、
時間的に重なるメッセージ間の優先権の衝突を解決するための回路（６）が設けられており、
前記衝突解決回路（６）は、優先権を有するメッセージの伝送を許可し、
当該伝送は前記インターフェース（１、２）を通り、優先権を有するメッセージが発生したものではない通信バスへ行われ、
各２ウェイインターフェースは送信許可回路（７、８）と接続されており、
前記送信許可回路は、前記インターフェースが接続されているバスへ伝送すべきメッセージを、許可信号（ＣＥ，ＴＥ）の動作の下で当該インターフェースと通信し、
前記許可信号は優先衝突解決回路（６）の出力であり、
前記インターフェース装置は第１通信バスおよび第２通信バスと接続されており、
前記衝突解決回路は、２つの通信バスで受信された２つのメッセージの開始の時間遅延（Ｄ）を決定し、
前記時間遅延（Ｄ）が当該装置の時間分解能よりも小さい場合、まず最初は伝送許可信号が２つのメッセージが同じ情報を有する限り発生されないことを特徴とするインターフェース装置。
【請求項６】
少なくとも２つの通信バス（１１、１２）間のインターフェース装置（１３）において、
前記通信バスの各々に対して２ウェイインターフェース（１、２）が設けられており、
前記インターフェースに受信されたメッセージを比較するための回路（５）が設けられており、
時間的に重なるメッセージ間の優先権の衝突を解決するための回路（６）が設けられており、
前記衝突解決回路（６）は、優先権を有するメッセージの伝送を許可し、
当該伝送は前記インターフェース（１、２）を通り、優先権を有するメッセージが発生したものではない通信バスへ行われ、
各２ウェイインターフェースは送信許可回路（７、８）と接続されており、
前記送信許可回路は、前記インターフェースが接続されているバスへ伝送すべきメッセージを、許可信号（ＣＥ，ＴＥ）の動作の下で当該インターフェースと通信し、
前記許可信号は優先衝突解決回路（６）の出力であり、
前記インターフェース装置は第１通信バスおよび第２通信バスと接続されており、
前記衝突解決回路は、２つの通信バスで受信された２つのメッセージの開始の時間遅延（Ｄ）を決定し、
前記衝突解決回路は、２つの通信バスで受信された２つのメッセージの開始の時間遅延（Ｄ）を決定し、
前記衝突解決回路（６）は、受信メッセージの各ビット毎に、ビット期間（Ｔ）よりも短い持続時間の比較窓（ＣＸ＿ＣＯＭＰ、ＴＰ＿ＣＯＭＰ）を形成することを特徴とするインターフェース装置。

【請求項７】
当該インターフェイス装置がある一定の分解能を有し、前記時間遅延（Ｄ）が前記比較窓の持続時間よりも小さいが、当該装置の時間分解能よりも大きい場合、優先権がまず第１に、最初にスタートしており、衝突解決回路（６）により形成された送信許可信号を有し、優先メッセージの到来しなかった通信バスと関連して、送信許可回路に向けられたメッセージに与えられる、請求項６記載の装置。
【請求項８】
複数のメッセージがそれぞれ異なると直ちに、“０”を有するメッセージに優先権が与えられ、
前記衝突解決回路は、２つの通信バスのうち優先権を有するメッセージの到来しなかった方の通信バスと関連して、送信許可回路に向けられた伝送許可信号（ＣＥ，ＴＥ）を発生する、請求項５記載の装置。
【請求項９】
複数のメッセージがそれぞれ異なる情報を有すると直ちに、優先権がバスに接続された機器のバスアクセスプロトコルに優先権の情報を有するメッセージに与えられ、
前記衝突解決回路は、２つの通信バスのうち優先メッセージの到来しなかった方の通信バスと関連して、送信許可回路に向けられた伝送許可信号（ＣＥ，ＴＥ）を発生する、請求項５記載の装置。
【請求項１０】
前記時間遅延（Ｄ）が比較窓の持続時間より大きい場合、優先メッセージは最初にスタートしたメッセージであり、
前記衝突解決回路（６）は、２つの通信バス（１１、１２）のうち優先メッセージの到来しなかった方のバスと関連して、送信許可回路（７、８）に向けられた伝送許可信号（ＣＥ，ＴＥ）を発生する、請求項６記載の装置。
【請求項１１】
前記優先メッセージは、優先権を有するメッセージが発生したものではないバスに完全に伝送される、請求項１０記載の装置。
【請求項１２】
前記インターフェース（１、２）は、同軸バスまたはツイストペアバスへのインターフェースである、請求項３記載の装置。
【請求項１３】
一方のバスに他方のバスからの電力を供給するための手段を有する、請求項１記載の装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、ホームシステムネットワークにおける通信メディア間のインターフェース装置に関する。本発明はさらに詳細には例えば、２つの同軸ケーブル間、２つのツイストペア線路間または２つのツイストペア線路と同軸ケーブル間でインターフェースとして用いるリピータに関する。
【０００２】
【従来の技術】
刊行物“Home Systems Specification-Relealse1.1-March 15, 1992”、ＥＨＳＡ（European Home Systems Association）著では、２つの異なる形式の通信バス接続装置が推奨されている。第１の装置はルータと呼ばれ、第２の装置はリピータと呼ばれる。ルータは優れた特徴を有する装置であるが、比較的複雑であり、またコストがかかる。
【０００３】
【発明が解決しようとする課題】
本発明の課題は、リピータ形式の相互接続またはインターフェース方法および装置を提供することである。

【０００４】
【課題を解決するための手段】
上記課題は本発明により、通信バスの各々に対して２ウェイインターフェースが設けられており、
前記インターフェースに受信されたメッセージを比較するための回路が設けられており、
時間的に重なるメッセージ間の優先権の衝突を解決するための回路が設けられており、
前記衝突解決回路は優先メッセージの伝送を許可し、
当該伝送は前記インターフェースを通り、前記優先メッセージが発生したものではない通信バスへ行われるように構成して解決される。
【０００５】
【発明の実施の形態】
本発明の実施例では、各２ウェイインターフェースは送信許可回路と接続されており、前記通信許可回路は、前記インターフェースが接続されているバスへ伝送すべきメッセージを、許可信号の動作の下で当該インターフェースと通信し、前記許可信号は優先衝突解決回路の出力である。
【０００６】
本発明の実施例では、前記インターフェース装置は第１通信バスおよび第２通信バスと接続されている。
【０００７】
本発明の実施例では、前記衝突解決回路は、２つの通信バスで受信された２つのメッセージの開始の時間遅延を決定する。
【０００８】
本発明の実施例では、前記時間遅延が当該装置の時間分解能よりも小さい場合、まず最初は伝送許可信号が２つのメッセージが同じ情報を有する限り発生されない。
【０００９】
本発明の実施例では、前記衝突解決回路は、受信メッセージの各ビット毎に、ビット期間よりも短い持続時間の比較窓を形成する。
【００１０】
本発明の実施例では、前記時間遅延が前記比較窓の持続時間よりも小さいが、当該装置の時間分解能よりも大きい場合、優先権がまず第１に、最初にスタートし、衝突解決回路により形成された送信許可信号を有し、優先メッセージの到来しなかった通信バスと関連して、送信許可回路に向けられたメッセージに与えられる。
【００１１】
本発明の実施例では、複数のメッセージがそれぞれなる情報を有すると直ちに、優先権が“０”を有するメッセージに与えられ、前記衝突解決回路は、２つの通信バスのうち優先メッセージの到来しなかった方の通信バスと関連して、送信許可回路に向けられた伝送許可信号を発生する。
【００１２】
本発明の実施例では、複数のメッセージがそれぞれなる情報を有すると直ちに、優先権がバスに接続された機器のバスアクセスプロトコルに優先権の情報を有するメッセージに与えられ、前記衝突解決回路は、２つの通信バスのうち優先メッセージの到来しなかった方の通信バスと関連して、送信許可回路に向けられた伝送許可信号を発生する。
【００１３】
本発明の実施例では、前記時間遅延が比較窓の持続時間より大きい場合、優先メッセージは最初にスタートしたメッセージであり、前記衝突解決回路は、２つの通信バスのうち優先メッセージの到来しなかった方の通信バスと関連して、送信許可回路に向けられた伝送許可信号を発生する。
【００１４】
本発明の実施例では、前記優先メッセージは完全に他方のバスに伝送される。
【００１５】

本発明の実施例では、前記インターフェースは、同軸バスまたはツイストペアバスへのインターフェースである。

【００１６】

本発明の実施例では、一方のバスに他方のバスからのエネルギーを供給するための手段を有する。

【００１７】

【実施例】

図１は、本発明の装置が使用されるホームシステムネットワークを示す。このネットワーク自体は、“Home Systems Specification-Release1.1-March 15, 1992”仕様によるものであり、“ＨＳ仕様”と呼ばれる。これも、ヨーロピアンホームシステムアソシエーション（ＥＨＳＡ）により記載されている。

【００１８】

ネットワークは、第１の伝送バスまたはツイストペア線路の形態の媒体１１と、第２の伝送バスまたは同軸ケーブルの形態の媒体１２を有する。第２の媒体は“受動星形”として公知の構成に接続されている。２つの媒体はリピータ装置１３で、本発明の実施例に従って接続されている。

【００１９】

本発明の実施例で使用されるツイストペア線路および同軸ケーブルの相互接続に対する物理的および電気的特性、並びに種々の構成は、ＨＳ仕様書に詳細に記載されている。この刊行物にはまた、これらの媒体での通信に対して使用されるデータフォーマット、並びに通信プロトコルが記載されている。したがってこの刊行物は、本発明の明細書の必要な詳細に制限される。

【００２０】

ＨＳ仕様書には、ＴＰ１とＴＰ２と称される２つの異なる形式のツイストペアケーブルが記載されている。以下では、タイプＴＰ１のツイストペア線路のみが興味の対象であることを混乱を避けるため述べておく。

【００２１】

ＴＰ１ツイストペアのケーブルは実際には、同じ外装に２つのツイストペアを有する。これらペアの一方はデータ伝送に使用され、他方は電力供給に使用される。以下では、有用データの伝送に用いるペアについてのみ述べる。

【００２２】

ＴＰ１ツイストペア線路は、実質的に９．６ｋボーのデータ伝送速度で信号を伝送する。この場合、負論理で、ＲＺＡＭＩ（Return to Zero Alternate Mark Inversion）コードに従い符号化される。論理“０”は、正と負の電圧レベルの交番によって符号化され、論理“１”はゼロ電圧レベルによって符号化される。パリティビットが各キャラクタ毎に付加され、キャラクタ毎のゼロ平均直流電圧レベルを得るために選択され、伝送される。

【００２３】

各キャラクタは、１つのＳＴＡＲＴビット、８つのデータビットｂ０～ｂ７（ビットｂ０が最下位ビットである）、均一のパリティビットおよびＳＴＯＰビットを有する。これらのビットは上に述べた順序で伝送される。ＳＴＡＲＴビットは常に正の極性で伝送される。

【００２４】

START b0 b1 b2 b3 b4 b5 b6 b7 P STOP

同軸ケーブルも制御情報（データグラムサービス）を９．６ｋボーのデータ伝送速度で伝送する。相応する信号はベースバンド信号である。このデータもまた、ＴＰ１と同じフォーマットのＲＺＡＭＩコードで符号化される。同軸ケーブルは別の信号を別の周波数バンドで伝送する。

【００２５】

例として、ＴＰ１バスは電子レンジ、洗濯機１５、オーブン１６および皿洗い機１７とリンクされている。ＴＰ１タイプの媒体は一般的に機器制御に適する。バスＴＰ１自体は“

ディジーチェーン”に構成されており、中央ケーブルを有する。中央ケーブルは、リピータ１３を含む種々の機器に至るケーブルに接続される。

【００２６】

同軸媒体はオーディオまたはビデオ信号の伝送に適する。これらの信号は適切に符号化または変調される。使用されるパスバンドはツイストペア線路で使用されるものよりも広帯域である。明らかに制御データもこのバスを流れる。このバスに接続されている機器は、例として衛星信号デコーダ２０、１つ以上のテレビジョン受信機２１と２２およびビデオレコーダ２３である。衛星信号デコーダには、衛星放送信号を受信するためのパラボラアンテナ１８と地上アンテナ１９と接続されている。デコーダ２０は、そのＵＨＦモジュレータの出力側を介してバスと接続されている。同軸バス自体は、本発明の実施例では、“受動星形”として知られる構成を有する。この構成は、マルチチャネル中央セパレータ２４を有し、このセパレータには同軸ケーブルの端部が接続されており、他方の端部は上記の機器に接続されている。同軸ケーブルはセパレータ２４とリピータ１３とを接続する。

【００２７】

リピータは、ツイストペア線路と同軸ケーブルとのリンクを、９．６ｋボーのデータ伝送速度の制御データに関する限り透過する機能を有する。リピータはまた、接続されたバスを伝送されるデータの衝突を管理する機能を有する。

【００２８】

このような機能は、ＴＰ１バスとビデオ形式信号に対する同軸バスとの間では行われないことは明らかである。同軸バスは約６ＭＨｚの帯域幅を有し、同軸バスを流れる。２つの媒体でのＨＳ仕様書による所定の差は有効である。本実施例では、９．６ｋボーの制御データチャネル（データグラムサービス）のみが興味の対象である。

【００２９】

リピータの役割の所定の側面については、ＨＳ仕様書の“Architecture”章のパラグラフ7.1.3.1に記載されている。

【００３０】

ネットワークに接続された種々の機器は、それらが接続されたバスへのアクセスのためのプロトコルを実行する。それらのプロトコルは、ＣＳＭＡ／ＣＡ(Carrier Sense Multiple Access with Collision Avoidance)方式と称され、ＨＳ仕様書（ＴＰ１章、パラグラフ3.5.i.a）により詳細に記載されている。

【００３１】

このプロトコルは以下のように要約することができる。

【００３２】

機器はネットワークでのアクティビティを、それが接続されているバスを介して監視する。もしその機器がメッセージを送信したい場合には、最小時間ｔ０が伝送媒体（またはこの媒体のチャネル）に最後のアクティビティが記録されてから経過しなければならない。本発明の実施例ではこの時間ｔ０は、１０ｍｓ＋２つのビット期間＝１２．２９０ｍｓである。

【００３３】

伝送媒体のチャネルを複数機器の１つのアサインすることは、伝送された信号と受信された信号とを、各機器内で比較することによって行われる。論理“１”が伝送されている間に、機器は他の機器が“０”を伝送しているか否かを検出しようとする。２つの機器がそれぞれ論理“１”と論理“０”を伝送している場合には、論理“０”が優先される。

【００３４】

送信される信号と受信される信号との相違が検出された場合、論理“１”を送信している機器が送信を中止し、“０”を送信している機器が送信を続ける。他の機器は、送信を再開するため媒体が空きになるまで待機する。

【００３５】

リピータの両側に接続されている機器によるこの動作は、リピータによってうまく利用されることとなる。

【００３６】
図２は、本発明の実施例によるリピータの機能ブロック図を示す。矢印は種々のブロック間の信号の流れを表す。同じ線路での反対方向の２つの矢印は双方向の信号の流れを表す。
【００３７】
一般的に、以下の符号が使用される。
【００３８】
ＴＰは、ツイストペア線路またはこれを流れる信号を表す。
【００３９】
ＣＸは、同軸ケーブルまたはこれを流れる信号を表す。
【００４０】
ＲＸは、受信信号を表す。
【００４１】
ＴＸは、送信すべき信号を表す。
【００４２】
ＲＺは、リターン・トゥ・ゼロ・コードでの符号化を表す。
【００４３】
リピータ内を流れる信号は、反転ＲＺコード（Inverse return to zero code）で符号化される。これは接続された２つのバスでの、ＲＺＡＭＩコードで符号化された信号と反対である。トランスコーディングはブロック１と２により、リピータが２つの電圧レベルだけの２進論理信号で動作できるように行われる。
【００４４】
ＲＺコードは当業者には周知である。“０”はゼロ電圧レベルを使用して符号化され、一方“１”は実質的に矩形パルスにより符号化される。このコードの特徴は、相互に連続する２つの“１”が２つの別個のパルスによって符号化されることであり、２倍のパルス幅を有する１つのパルスによって符号化されるのではない。反転ＲＺコードは、“０”をパルスを用いて符号化し、“１”は符号化しない。以下の２つの文字ＲＺのパーセントの記述はデューティサイクル（１ビットの全持続時間に対するパルスの持続時間）を表す。
【００４５】
ＲＺＡＭＩコードは“１”をゼロレベルによって符号化し、“０”を正と負の極性を交互に有するパルスによって符号化する。図７は、後者により取り扱われる２つのコードの例を示す。
【００４６】
ブロック１は、リピータとツイストペアバス間のアナログインターフェースを表す。このブロックは入力側と出力側で２つの異なる線路ＴＰ１＋とＴＰ１－に接続されている。ブロック２は、リピータと同軸バスとの間のアナログインターフェースを表す。
【００４７】
ブロック１とブロック２は、ＲＺＡＭＩラインコードを反転論理ＲＺコードに受信側で変換し、送信側で逆変換を行う。
【００４８】
図４は、本発明の実施例で使用されるリピーター同軸インターフェースブロック２を示す。
【００４９】
このブロック２は２つの別個の部分を有する。送信アセンブリ４１と受信アセンブリ４２である。受信アセンブリ４１をまず最初に説明し、送信アセンブリを後で説明する。送信アセンブリはブロックにより生成された信号を使用する。これらブロックの機能はまだ説明していない。
【００５０】
受信アセンブリ４２は公知の形式のクランプ回路４９を有する。この回路は、同軸ケーブルから受信された信号の直流電圧を、例えば２．５Ｖの、ＶＣＣとＧＮＤの間の電圧に

クランプする。クランプされた信号は高閾値Ｖ＋、および低閾値Ｖ－と比較される。これは正および負のパルスを検出するためである。第１のコンパレータは、クランプ信号がＶ＋閾値を上回るときに低論理レベルを供給し、また第２のコンパレータは、クランプ信号がＶ－閾値よりも低いときに低論理レベルを供給する。比較は２つのコンパレータによって行われる。これらの出力は論理“ＯＲ”に供給され（２つのコンパレータの出力を接続することによって行われる）、この出力は反転される。

【００５１】

したがって生じた信号ＣＸ＿ＲＸ＿ＲＺは、反転ＲＺコードに従って符号化される。

【００５２】

ブロック１の動作はブロック２の動作と類似している。実質的な相違は２つの線路ＴＰ＋とＴＰ－で異なる信号が使用されることである。ブロック２の機能は、当業者によってツイストペアケーブルの導体ＴＰ＋とＴＰ－に存在する異なる信号のような形式に適合することができる。トランスコーディングの基本は同じである。

【００５３】

受信側では、ブロック１により反転された信号に、ＴＰ＿ＲＸ＿ＲＺがふされている。

【００５４】

信号ＴＰ＿ＲＸ＿ＲＺとＣＸ＿ＲＸ＿ＲＺは、それぞれ図２のブロック３と４で処理される。図３はブロック３の動作をより詳細に示す。ブロック４は全く同じように動作する。

【００５５】

ブロック３は信号ＴＰ＿ＲＸ＿ＲＺをフィルタ３１によりろ波する。このフィルタは第１に、信号のサンプリングを実行する。本発明の実施例では、サンプルを表す論理レベルは、サンプリングが少なくとも３つの連続したサンプルに対して実行された場合だけ認識される。ろ波された信号は標本化器３３により、システムクロックＣＬＫ３２の速度で再サンプリングされる。このシステムクロックはビットクロックよりの格段に速い。システムクロックは、例えば８１４ｎｓの期間を有し、これは１．２３ＭＨｚの周波数に相当する。

【００５６】

ろ波され、再サンプリングされた信号はブロック３の出力側にＴＰと示されている。

【００５７】

ブロック３はカウンタ３４を有し、このカウンタは受信信号にＳＴＡＲＴビットが検出されたときにゼロにリセットされる。カウンタ３４はシステムクロックに接続されており、ＳＴＡＲＴビットが検出されてからのシステムクロック期間の数を計数する。ＳＴＡＲＴビットは各キャラクタ伝送の始まりを表す。

【００５８】

ＳＴＡＲＴビットは検知器３５によって、論理レベル“０”、すなわち正のパルスがバスの一方で検知される場合に検知される。これは、このバスがインアクティブであるか、またはＳＴＯＰビットが前に検知された場合においてなされる。検知器３５の出力はカウンタ３４のゼロリセット入力側に供給される。

【００５９】

カウンタの値から、デコーダ３６が関連するバスでの伝送の存在またはそれ以外を指示する信号を発生する。上に述べたように、１つのキャラクタは１１ビットを含み、これらは１４０８システムクロック期間に相当する。デコーダは信号を供給し、この信号はカウンタの状態が１から１４０８の間にあるとき、アクティブ論理レベルにある。ブロック３のデコーダにより供給される信号にはＴが示されている。またブロック４により供給される信号にはＣが示されている。明らかなように、信号ＴとＣはＳＴＡＲＴビットが受信されるまではインアクティブに留まる。

【００６０】

カウンタは装置に他の信号を発生するために使用される。このことについては他のブロックの説明で明らかになる。明瞭にするため、カウンタと他のブロックとの接続は図２には示されていない。

【００６１】
ブロック４はブロック３に類似するが、ＣＸ＿ＲＸ＿ＲＺ信号を受信し、ＣＸおよびＣ信号を供給する。これらの信号はそれぞれ信号ＴＰとＴに相応する。
【００６２】
コンパレータブロック５は信号ＴＰとＣＸを比較し、これらの信号により表されるビット間の相違を検出する。ブロックは２つの信号を供給する。すなわちＴ１とＣ１である。Ｔ１は、ＴＰがＣＸとは異なり、かつＴＰがローレベルであるとき（すなわち“０”がツイストペアバスで識別されたとき）に初めてアクティブになる。これは、ツイストペアバスから到来するメッセージが終了するときにのみアクティブでなくなる。Ｃ１は、ＴＰがＣＸとは異なり、かつＣＸがローレベルであるとき（すなわち“０”が同軸バスに識別されたとき）に初めてアクティブとなる。これは、同軸バスから到来するメッセージが終了するときにのみアクティブでなくなる。
【００６３】
Ｔ１とＣ１は同時にアクティブになることはない。ブロック５の論理ダイヤグラムは図５に示されている。
【００６４】
ＣＸとＴＰの比較は、ブロック６により発生される時間窓ＣＯＭＰ内でのみ実行される。これについては後で詳細に説明する。今のところ、比較窓はＴＰ信号とＣＸ信号との比較ができるように発生されることを知っておけば十分である。この実施例では、ＴＰとＣＸがＲＺ５０％コードに符号化される１ビット期間の最初の半分の一部の間である。ブロック５の最初のステージ（ステージ５１）では、論理“ＡＮＤ”がそれぞれ、ＴＰおよびＣＸ信号とＣＯＭＰ信号との間で実行される。
【００６５】
ステージ５２は３つのＥＸＯＲを実行する。それぞれは以下の条件の１つを検査するものである。
【００６６】
“ＣＸが１である”
“ＴＰが１である”
“ＣＸがＴＰと等しくない”
第３ステージは２つのＡＮＤからなる。それぞれは２つの入力側を有し、前記検査の結果を結合し、以下の条件に相応する論理信号を供給する。
【００６７】
“ＣＸが１である”ＡＮＤ（かつ）“ＴＰがＣＸと等しくない”
“ＴＰが１である”ＡＮＤ（かつ）“ＴＰがＣＸと等しくない”
２つの“ＡＮＤ”の出力側の信号はそれぞれＣＸＥとＴＰＥにより図５に示されている。２つの信号の各々は２つのフリップフロップ（ステージ５４）の１つの論理“１”状態への設定を制御する。フリップフロップのそれぞれのＱ出力側は信号Ｃ１とＴ１に対応する。
【００６８】
第１のフリップフロップは信号ＣＸＥをそのクロック入力側に受信する。電圧ＶＣＣはそのＤ入力側の論理“１”に相応する。フリップフロップは、以下の３つの信号のうちの１つの論理“１”によりリセットすることができる。一般的“ＲＥＳＥＴ”信号、この信号は例えば回路の初期化に基づいてアクティブとなる。信号ＮＯＮ（Ｃ）、Ｃは同軸ケーブルバスにメッセージの存在することを指示する。そして信号Ｔ１。この信号は第２のフリップフロップから到来する。信号ＮＯＮ（Ｃ）はフリップフロップを、同軸ケーブルバスのメッセージの終了時にゼロにリセットする。Ｔ１によるゼロへのリセットは、Ｔ１がアクティブであるのにＣ１を１にする、ケーブルの漂遊を防止する。
【００６９】
第１のフリップフロップの出力側Ｑは信号Ｃ１に相応する。
【００７０】

第２のフリップフロップは、第１のフリップフロップと同じ方式に従って、Ｃ１の代わりにＴ１を発生する。

【００７１】

ブロック６は、相互接続されているバスに存在する信号に基づいて、リピータの動作を決定するブロックである。ブロック６は信号ＴＰと、ＣＸとＣを信号Ｔ１およびＣ１と同じように受信する。

【００７２】

ブロック６は信号ＴＥとＣＥを導出する。これらの信号はそれぞれ、ツイストペアバスに存在する信号の同軸バスへの伝送、およびその反対の伝送をそれぞれ許可する。これらの信号は後で説明するブロック７と８を制御する。

【００７３】

図６ａとｄは同軸ケーブルとＴＰ１＋ケーブルで検出された信号の例を示す。データビットのシーケンスは、“００１”が同軸ケーブルに対するものであり、“０００”がＴＰ１＋ケーブルに対するものである。図６ｂとｅは、ＣＸ＿ＲＸ＿ＲＺとＴＰ＿ＲＸ＿ＲＺに相応する信号を表す。これらの信号はブロック２の出力側に発生する。説明を明瞭にするため、信号ＣＸとＴＰは信号ＣＸ＿ＲＸ＿ＲＺとＴＰ＿ＲＸ＿ＲＺと同じであると仮定する。

【００７４】

ブロック３と４のカウンタの状態から、前記カウンタの出力側に配置されたデコーダは比較窓を各ビット毎に発生する。この窓の幅はＴ／４であり、Ｔはビットクロックの期間である。この比較窓は、正パルスの中央を中心にして各ビットのＴ／８の瞬時から３Ｔ／８の瞬時まで続く。得られる値は５０％でのＲＺコードにマッチングしている。これは、図６ａ，ｂ，ｄ，ｅに示されている。この例では実際には、パルスはＴ／２だけ持続する論理“０”に相応する。幅が別であっても、また比較窓の設定が別であっても可能なことは明らかであるが、この５０％コードの例では、異なるコードの場合により顕著である。

【００７５】

図６ｂとｅの信号から得られる比較窓が図６ｃとｆの時間線図に示されている。ブロック６は、これら２つの窓間で論理“ＡＮＤ”をとる。この“ＡＮＤ”の結果はＣＯＭＰと呼ばれる。この結果は図６ｈの時間線図に示されている。１つの窓が他の窓にまたがる先行部分がＤにより示されている。窓ＣＯＭＰの幅はＴ／４－Ｄである。図６ｇは、実行された比較をより明瞭にするため図６ｃを繰り返す。

【００７６】

ブロック６は３つの異なる場合：Ａ，Ｂ，Ｃを区別する。これらはそれぞれＤに対する異なるブラケットを表す。

【００７７】

Ａの場合、先行部分Ｄはシステムクロックの１期間より短い。この期間は本実施例では８１４ｎｓである。ＳＴＡＲＴビットが２つのバスで検出されている。先行部分が装置の時間分解能よりも小さいので、２つの信号のうちどちらが最初に送信されたかを識別することは不可能である。

【００７８】

まず最初は、リピータの両側の信号が同じである限りＣＥもＴＥもアクティブでない。これはいわば、信号Ｃ１もＴ１もアクティブでないことを意味する。

【００７９】

信号ＴＰとＣＸの比較が２つのバスにある信号間の相違を指示すると直ちに、信号Ｃ１またはＴ１のいずれかがアクティブ状態へ移行する。上に述べたように、Ｃ１はＴＰとＣＸが異なり、かつＣＸのカレントビットが“０”ビットであることを指示する。同じように、Ｔ１はＴＰとＣＸが異なり、かつＴＰが論理“０”であることを指示する。論理“０”は論理“１”に対して優先権を有する。なぜなら、機器ネットワークアクセスプロトコルのためであり、ブロック６はＴ１がアクティブであるときに信号ＴＥをアクティブにし、Ｃ１がアクティブであるときに信号ＣＥをアクティブにするからである。この場合、２つ

のバスのうち第１のバスから第２のバスへのメッセージの伝送が許可される。リピータにより伝送されるメッセージが、伝送許可の時点で論理“０”を含んでいれば、第２のバスの送信機器はこのメッセージの到着を検出することができ、送信を中止する。メッセージの開始が２つのバスで同じであれば、伝送されるメッセージから情報の消失することがない。送信を中断された機器はメッセージの始めから送信を再開しようとする。したがってこれらの中断されたメッセージも消失することはない。いったんアクティブになれば、信号ＴＥも信号ＣＥも、メッセージが第２のバスに伝送されるまでアクティブ状態に保持され、このことによりこの第２のバスへメッセージが完全に伝送されることが保証される。

【００８０】

Ｂの場合、持続時間Ｄは１システムクロック期間とビットクロック期間の四分の一（Ｔ／４）の間である。この例では、８１４ｎｓと２６μｓの間である。上に述べたように、８１４ｎｓの値はシステムの時間分解能に相応する。値Ｔ／４は比較窓の幅である。図６ｈでは、持続時間ＤがＴ／４より大きいときに窓ＣＯＭＰの消失することが明らかである。

【００８１】

Ｂの場合、まず最初は２つのメッセージのうち、他方に先行する方のメッセージが伝送される。ＴＰのＳＴＡＲＴビットが最初に検出されると、ブロック６がＴＥをアクティブにし、ＣＥは非アクティブのままである。ＣＸのＳＴＡＲＴビットが最初に検出されると、ＣＥがアクティブにされ、ＴＥが非アクティブに留まる。

【００８２】

信号ＴＰとＣＸは連続的にブロック５により比較される。信号Ｃ１がアクティブになると、ブロック６は信号ＣＥをアクティブにし（ＴＥは非アクティブのまま）、信号Ｔ１がアクティブになると。ブロック６は信号ＴＥをアクティブにする（ＣＥが非アクティブのまま）。

【００８３】

言い替えると、２つのメッセージが送信される場合、すなわち２つのバスの一方にあるそれらの各々がＴ／４より短いインターバルで送信される場合、最初に送信されたメッセージは第２に送信されたメッセージの流れているバスに伝送される。この伝送許可は一時的なものである。すなわち、メッセージ間に不一致が発生すると、優先権は直ちに、不一致の検出に基づき論理“０”が伝送されているメッセージに与えられる。したがって所定の場合には、一方のバスから他方のバスへの伝送方向は反転することもある。伝送方向の反転の事実は直ちに、１つのビット内であっても機器に次のことを許可する。すなわち、論理“１”を伝送するメッセージの送信を許可し、同時に他の機器により伝送された論理“０”を検出され、その結果として自分の伝送を停止させる。これはＣＳＭＡ／ＣＡプロトコルによるものである。伝送方向はメッセージの終了まで維持される。

【００８４】

最後のＣの場合は、ＳＴＡＲＴビット間の時間遅延ＤがＴ／４より大きい場合である。この場合、装置により検出された最初のメッセージが本発明の実施例に従い優先権を有する。ＴＥまたはＣＥがブロック６によりアクティブにされる。伝送方向の変化はメッセージの終了まで許可されない。

【００８５】

図７ａ，ｂ，ｃは、ツイストペアバスのメッセージのＳＴＡＲＴビットが最初に検出された場合の信号Ｃ，Ｔ，Ｃ１，Ｔ１，ＣＥ，ＴＥの時間線図を表す。ここから、Ｔの上昇縁はＣの上昇縁よりも先行していることがわかる。これはＴＥがアクティブであるためであり、したがって伝送は同軸バスに行われる。

【００８６】

図７ａは、リピータによりツイストペアバスで受信されたメッセージと同軸バスで受信されたメッセージとの間に相違が検出され、衝突がツイストペアバスのメッセージに有利なように解決された場合を示す。Ｔ１は、これが前記相違が検出された時点で“０”を含むメッセージであることを指示する。ＴＥはＴがアクティブである限りアクティブに維持される。

【００８７】
図７ｂは、衝突が同軸バスのメッセージに有利なように解決される場合を示す。この場合はＴＥが非アクティブにされ、ＣＥはＣがアクティブである限りアクティブに維持される。
【００８８】
図７ｃは、衝突が検出されない場合を示す。
【００８９】
図７ａからｃも、ＣがＴに先行する場合のシステムの動作を説明するものである。装置が対称性であれば、参照符号ＴをＣに替えるだけでよい。
【００９０】
図８ａ，ｂ，ｃは、２つのＳＴＡＲＴビット間の時間遅延がシステムクロック期間の持続時間より短い場合を示す。回路は、同時に到着する信号ＣとＴの上昇縁を考慮する。信号Ｃ１とＴ１が非アクティブである限り、すなわちリピータの両側でメッセージが等しい限り、ＴＥもＣＥもアクティブにはならない。
【００９１】
メッセージ間に相違が検出されると、前に説明したように、これは論理“０”（これに割り当てられた優先権を有する）を表すメッセージである。この実施例では、Ｃ１がアクティブであるとき、ＣＥは同軸ケーブルから発生するメッセージの終了までアクティブである（図８ａ）。一方、Ｔ１がアクティブであれば、アクティブなのはＴＥであり、ＴＥはＴＰから発生するメッセージが終了するまでアクティブである（図８ｂ）。
【００９２】
図８ｃは、メッセージの持続中ずっと両方のバスでメッセージが同じである場合を示す。
【００９３】
ブロック７と８は、信号ＣＸまたはＴＰのインターフェースブロック２および１の通過を許可したりしなかったりする。導通状態または非導通状態はＣＥ信号またはＴＥ信号の状態により決定される。１つの簡単な実施例によれば、ブロック７と８はそれぞれ２つの入力論理回路“ＡＮＤ”を有する。さらにこれらのブロックは信号ＣＸ＿ＱとＴＰ＿Ｑを発生する。これらの信号はそれぞれＴＰとＣＸパルスのパリティを指示する。これらの信号により、インターフェースブロック２と１は同軸バスとツイストペアバスにおけるＡＭＩパルスの極性を反転する。信号ＣＸ＿ＱとＴＰ＿Ｑは、例えばフリップフロップにより導出される。このフリップフロップは信号ＣＸとＴＰをそれぞれ２により分割する。フリップフロップは明らかなように、それぞれのＳＴＡＲＴビットの検出に基づいてゼロにセットされ、ＣＸとＴＰの上昇縁に再応答する。
【００９４】
信号ＣＸとＴＰは適切にブロック１と２に伝送される。これはいわば、リピータとバスとの間のアナログインターフェースである、バスへのデータ送信は、ブロック２でアセンブリ４２により実行される。これは図４に示されている。
【００９５】
送信アセンブリ４２は信号ＣＸ＿ＴＸ＿ＲＺを受信する。これはブロック７により導出された論理信号である。このアセンブリは付加的に信号ＣＸ＿Ｑをブロック７から受信する。信号ＣＸ＿Ｑは、瞬時にＴＰバスを伝送されるパルスに優先権を与える。この情報の知識により、一方では正のパルスを有する第１のビット（ＳＴＡＲＴビット）を符号化することができ（これは特にＨＳ仕様により要求される）、他方では正または負のパルスを交互に有する“０”を符号化できる。
【００９６】
同じようにブロック１は、ブロック８により発生された信号ＴＰ＿Ｑを受信する。
【００９７】
信号ＣＸ＿ＴＸ＿ＲＺは、インバータ４４により反転されたパリティ信号と共に第１の論理回路“ＡＮＤ”４３を通過し、非反転パリティ信号と共に第２の論理回路“ＡＮＤ”４５を通過する。第１の“ＡＮＤ”の出力側はアクティブ状態にあり、スイッチ４６の閉成

を制御する。このスイッチはＶＣＣ電圧を同軸ケーブルに接続する。第２の“ＡＮＤ”の出力はＣＥ信号またはＴＥ信号の状態によって決定される。１つの簡単な実施例によれば、ブロック７と８はそれぞれ２つの入力論理回路“ＡＮＤ”を有する。さらにこれらのブロックは信号ＣＸ＿ＱとＴＰ＿Ｑを発生する。これらの信号はそれぞれＴＰとＣＸのパルスのパリティを指示する。これらの信号により、インターフェースブロック２と１は、同軸バスとツイストペアバスのＡＭＩパルスの極性を反転することができる。信号ＣＸ＿ＱとＴＰ＿Ｑは、例えばフリップフロップにより導出される。フリップフロップは信号ＣＸとＴＰをそれぞれ２により分割する。フリップフロップは明らかなように、それぞれのＳＴＡＲＴビットの検出に基づいてゼロにセットされ、ＣＸおよびＴＰの上昇縁に再応答する。

【００９８】

信号ＣＸとＴＰは適切にブロック２と１に伝送される。これはいわば、リピータとバスとの間のアナログインターフェースである。データのバスへの送信は、ブロック２でアセンブリ４２により実行される。これは図４に示されている。

【００９９】

送信アセンブリ４２は信号ＣＸ＿ＴＸ＿ＲＺ、すなわちブロック７により導出された論理信号を受信する。このアセンブリは第２の“ＡＮＤ”であり、アクティブ状態でスイッチ４７の閉成を制御する。スイッチ４７は電圧ＧＮＤを同軸ケーブルに接続する。

【０１００】

したがって、一方のバスに存在する信号を他方のバスに伝送することができる。

【０１０１】

同軸ケーブルはアセンブリ４１と、アセンブリ４２と同じようにクランプコンデンサ４８を介して接続されている。

【０１０２】

別の実施例によれば、装置は同じ形式の２つのアナログインターフェースを有する。

【０１０３】

別の実施例によれば、装置は２つのバス間を電気絶縁する手段を有する。

【０１０４】

別の実施例によれば、装置は２つのネットワークのうち少なくとも１つに給電するための電力供給部を有する。

【０１０５】

第４の実施例によれば、装置はバスの一方に他方のバスで使用できるエネルギーから給電する手段を有する。

【０１０６】

本発明は、２つのバス間に接続されたリピータに制限されるものではなく、３つ以上のバスに一般化できる。

【０１０７】

ここに説明した実施例によれば、２つのメッセージ間に衝突が存在するとき、これらのメッセージが異なってスタートするときに優先権は論理“０”を含むメッセージに与えられる。“０”が“１”に対して優先権を有するという事実はＣＳＭＡ／ＣＡプロトコルからものである。本発明がこのプロトコルに限定されるものでないことは明らかであり、本発明を他のプロトコル（“１”が優先権を有する）を使用するシステムに適用することができる。

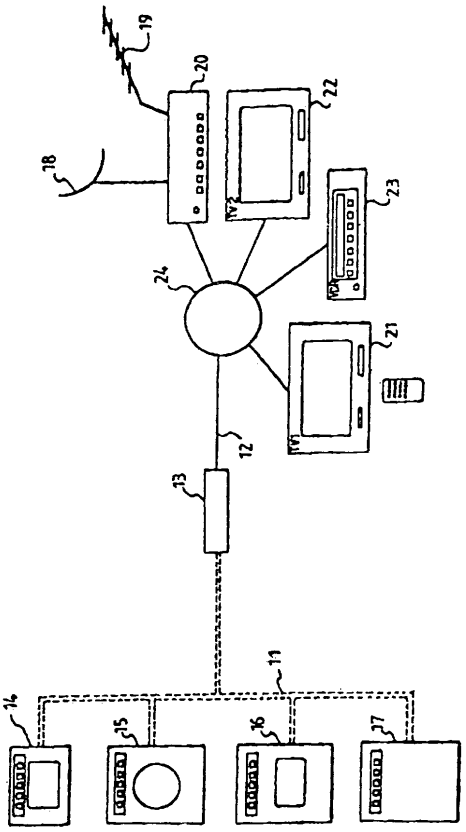
【０１０８】

本発明の利点は、装置を構成するすべての素子（アナログインターフェース１と２の特定の部分は別にして）をコンビネーションロジックおよびシーケンシャルロジックの形態でプログラム可能論理回路に実現することのできることである。マイクロプロセッサまたはマイクロコントローラは必ずしも必要ではない。このことは相応にシステムの複雑さおよびコストを低減する。

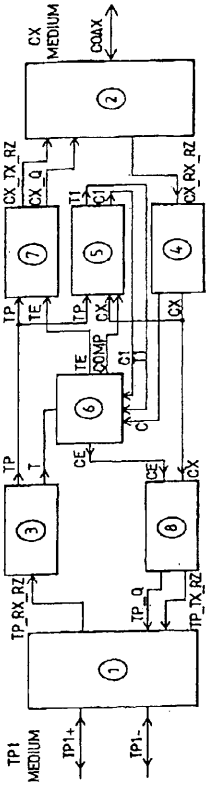
【図面の簡単な説明】

【図１】本発明の実施例の装置で使用されるホームネットワークシステムの概略図である。
【図２】本発明の実施例の装置のブロック回路図である。
【図３】図２のブロック３のブロック回路図である。
【図４】図２のアナログインターフェーズ２のブロック３の機能ブロック図である。
【図５】図２の比較ユニット５の論理ブロック図である。
【図６】本発明の装置により使用される種々の信号の時間線図である。
【図７】一方のバスにおけるメッセージのＳＴＡＲＴビットが他方のバスにおけるメッセージのＳＴＡＲＴビットに先行する場合の、本発明の装置の種々の信号の時間線図である。
【図８】２つのＳＴＡＲＴビットが検出され、そのうちの一方が他方より最大持続時間だけ先行してい場合の、本発明の装置の所定の信号の時間線図である。
【符号の説明】
３１　フィルタ
３３　標本化器
３４　１１ビットカウンター出力側
３５　ＳＴＡＲＴビット検出
３６　デコード

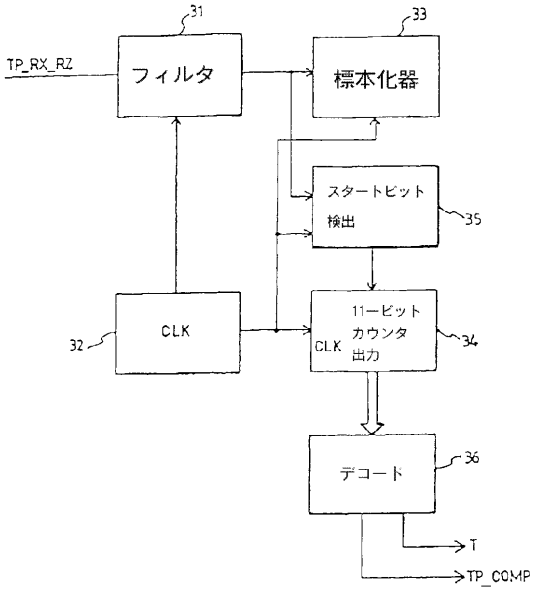
【図１】



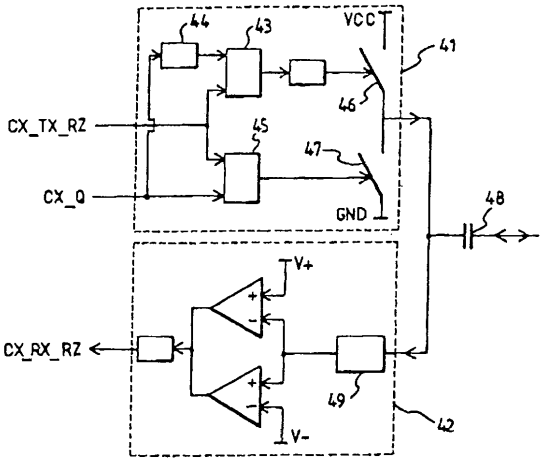
【図２】



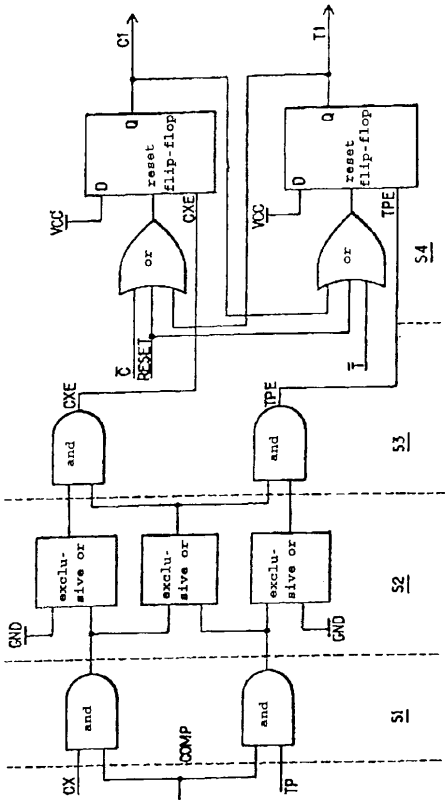
【図３】


TP_RX_RZ
フィルタ
31
標本化器
33
スタートビット
検出
35
CLK
32
11ービット
カウンタ
出力
34
デコート
36
T
TP_COMP

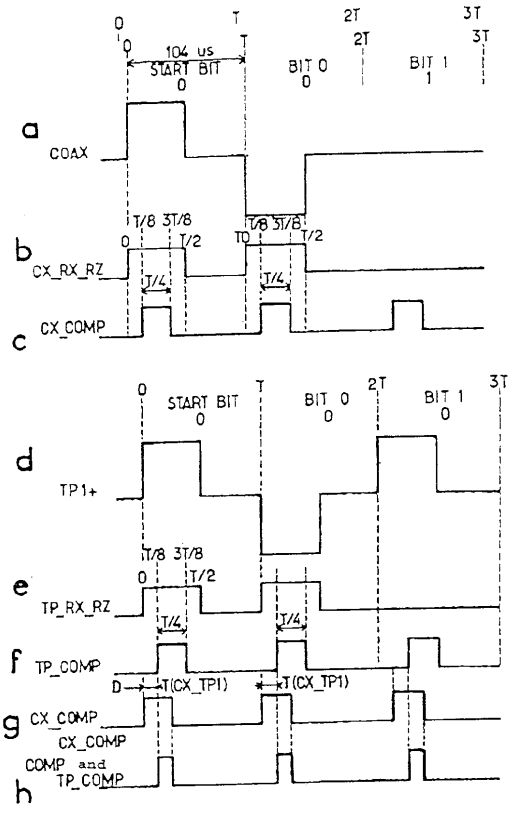
【図４】


CX_TX_RZ
CX_Q
CX_RX_RZ
VCC
GND
V+
V-
41
42
43
44
45
46
47
48
49

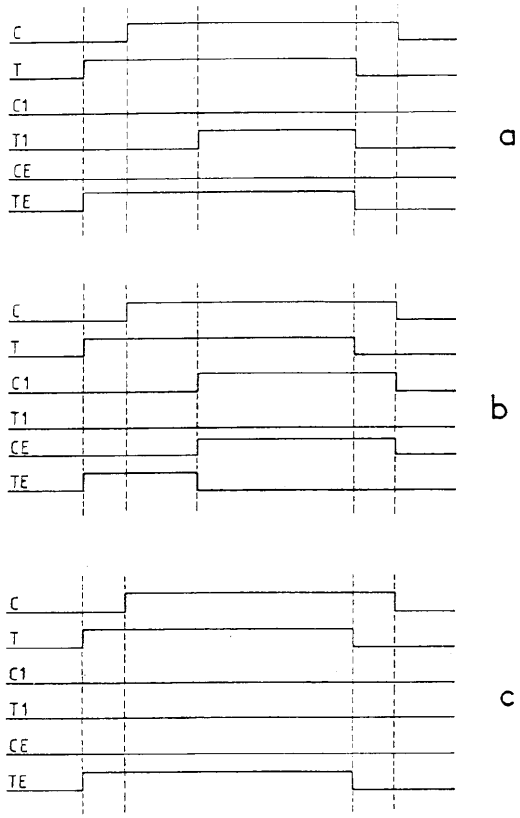
【図５】


C1
T1
reset flip-flop
D
Q
VCC
CXE
TPE
or
RESET
S4
S3
S2
S1
and
exclu-sive or
GND
CX
COMP
TP

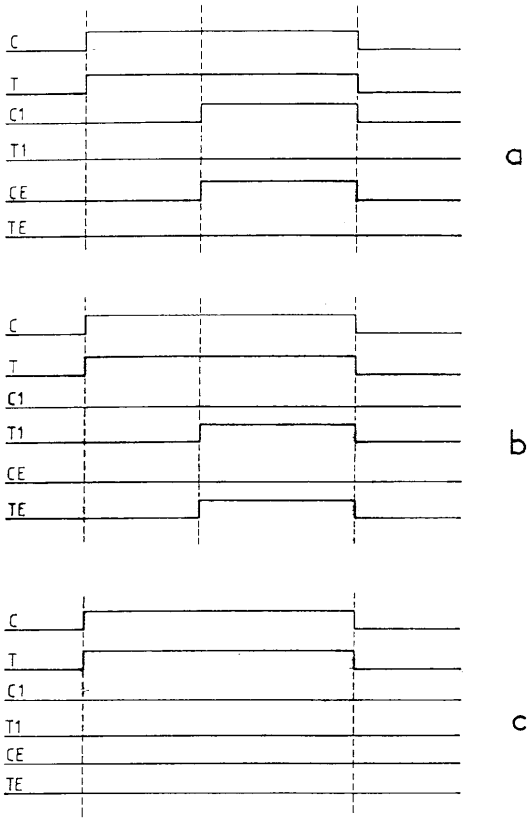
【図６】


104 us
START BIT
BIT 0
BIT 1
a
COAX
b
CX_RX_RZ
c
CX_COMP
d
TP1+
e
TP_RX_RZ
f
TP_COMP
T(CX_TP1)
g
CX_COMP
CX_COMP
h
COMP and
TP_COMP

【図７】


C
T
C1
T1
CE
TE
a
C
T
C1
T1
CE
TE
b
C
T
C1
T1
CE
TE
c

【図８】


C
T
C1
T1
CE
TE
a
C
T
C1
T1
CE
TE
b
C
T
C1
T1
CE
TE
c

フロントページの続き

(72)発明者　パックス　ランドリアナリミナーナ
フランス国　プローブザン　リュ　サン　ピエール　７
(72)発明者　ヘルムート　ビュルクリン
フランス国　ストラスブール　リュ　デュ　ヌフェルド４０

審査官　中木　努

(56)参考文献　特開平０６－２９１８０８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H04L 12/28-46