

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3952271号

(P3952271)

(45) 発行日 平成19年8月1日(2007.8.1)

(24) 登録日 平成19年5月11日(2007.5.11)

(51) Int. Cl.	F I
H O 1 L 21/82 (2006.01)	H O 1 L 21/82 F
H O 1 L 23/52 (2006.01)	H O 1 L 21/88 M
H O 1 L 21/3205 (2006.01)	H O 1 L 21/88 S

請求項の数 10 (全 18 頁)

(21) 出願番号	特願2002-23995 (P2002-23995)	(73) 特許権者	000005223
(22) 出願日	平成14年1月31日(2002.1.31)		富士通株式会社
(65) 公開番号	特開2003-229483 (P2003-229483A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成15年8月15日(2003.8.15)	(74) 代理人	100090273
審査請求日	平成16年12月9日(2004.12.9)		弁理士 國分 孝悦
		(72) 発明者	佐藤 元伸
			愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴィエルエスアイ株式会社内
		(72) 発明者	鍵渡 裕志
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	澤田 豊治
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
			最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

少なくともC uを含有する材料からなる配線及びWを材料とするヒューズを含む配線構造を備えてなる半導体装置であって、

前記ヒューズは、当該ヒューズの切断部位と高電圧印加側との間の所定部位のみが蛇行状構造とされていることを特徴とする半導体装置。

【請求項2】

前記蛇行状構造は多層に形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】

少なくともC uを含有する材料からなる配線及びWを材料とするヒューズを含む配線構造を備えてなる半導体装置であって、

前記ヒューズは、当該ヒューズの切断部位と高電圧印加側との間の所定部位のみが分岐構造とされていることを特徴とする半導体装置。

【請求項4】

前記分岐構造は、多層に形成されていることを特徴とする請求項3に記載の半導体装置。

【請求項5】

少なくともC uを含有する材料からなる配線及びWを材料とするヒューズを含む配線構造を備えてなる半導体装置であって、

10

20

前記ヒューズは、当該ヒューズの切断部位と高電圧印加側との間の所定部位のみが幅広構造、厚膜構造、又は、幅広構造及び厚膜構造とされていることを特徴とする半導体装置。

【請求項 6】

前記Wを材料とするヒューズに代えて、Alを含有する金属又は多結晶シリコンからなるヒューズとすることを特徴とする請求項 1～5のいずれか 1項に記載の半導体装置。

【請求項 7】

少なくともCuを含有する材料からなる配線を所定形状に形成する工程と、
切断部位と高電圧印加側との間の所定部位のみが蛇行状構造となる、Wを材料とするヒューズを形成する工程と
を含むことを特徴とする半導体装置の製造方法。

10

【請求項 8】

前記蛇行状構造を多層に形成することを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 9】

少なくともCuを含有する材料からなる配線を所定形状に形成する工程と、
切断部位と高電圧印加側との間の所定部位のみが幅広構造、厚膜構造、又は、幅広構造及び厚膜構造となる、Wを材料とするヒューズを形成する工程と
を含むことを特徴とする半導体装置の製造方法。

【請求項 10】

前記Wを材料とするヒューズに代えて、Alを含有する金属又は多結晶シリコンからなるヒューズとすることを特徴とする請求項 7～9のいずれか 1項に記載の半導体装置の製造方法。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、配線及び冗長用のヒューズを有する配線構造を備えてなる半導体装置及びその製造方法、並びにヒューズの切断方法に関し、特に配線が少なくとも銅(Cu)を含有する材料からなる配線構造を備えた半導体装置に適用して好適である。

【0002】

【従来の技術】

近年では、半導体素子の高集積化とチップサイズの縮小化に伴い、配線の微細化及び多層配線化が加速的に進められている。こうした多層配線を有するロジックデバイスにおいては、配線遅延がデバイス信号遅延の支配的要因の1つになりつつある。デバイスの信号遅延は配線抵抗値と配線容量の積に比例しており、従って配線遅延の改善のためには、配線抵抗値や配線容量の軽減が重要である。

30

【0003】

そこで、配線抵抗を低減するため、Cu配線を形成することが検討されている。特に、配線遅延に大きく影響を及ぼすグローバル配線部分において、低誘電率膜とCu配線を組み合わせることによりデバイス性能向上に大きく寄与する。

40

【0004】

ところで、通常の半導体デバイスにおいては、配線等の冗長性を持たせるために、冗長用のヒューズが設けられる。ヒューズは通常、配線に用いる金属と兼ねて形成することが便宜に資するが、Cuを材料として配線を形成する場合、耐湿性の観点からヒューズにもCuを材料に用いることは困難である。そこでこの場合、ヒューズの材料には、耐湿性に優れた金属、例えばタングステン(W)が用いられている。

【0005】

【発明が解決しようとする課題】

しかしながら、冗長用ヒューズの材料に耐湿性を考慮してWを用いた場合、ヒューズ切断の有無を確認するためのバイアス電圧の印加により当該ヒューズの切断箇所から腐食(コ

50

ローション)が進行し易く、最終的には切断したヒューズに短絡が生じるという問題がある。

【0006】

この問題は、電源投入時以外にはバイアス電圧の印加されない、いわゆるノンバイス回路の形態に比して、特に電源投入後には常にバイアス電圧が印加されるバイス回路の形態に顕著である。ノンバイス回路にはその性質上、当然に余分な構成要素が多く、チップ面積の増大を招来する不都合があり、従ってバイス回路の形態が好ましいことから、冗長用ヒューズの切断によるコロージョン発生の問題を無視することはできない。

【0007】

そこで本発明は、前記問題に鑑みてなされたものであり、配線(特にCuを含有する配線)と共に配線構造を構成するヒューズについて、当該ヒューズのコロージョン耐性を高め、切断によるコロージョンの発生を抑制して、将来の更なる大規模集積化に十分対応することを可能とする半導体装置及びその製造方法、並びにヒューズの切断方法を提供することを目的とする。

【0008】

【課題を解決するための手段】

本発明者は、鋭意検討の結果、以下に示す発明の諸態様に想到した。

【0009】

本発明は、少なくともCuを含有する材料からなる配線に適用して好適であり、当該配線及び、Wを材料とするヒューズを含む配線構造を備えてなる半導体装置及びその製造方法を対象とし、前記ヒューズが、当該ヒューズの切断部位と高電圧印加側との間の所定部位のみが蛇行状構造とされている。

また、前記ヒューズが、当該ヒューズの切断部位と高電圧印加側との間の所定部位のみが分岐構造とされている。

また、前記ヒューズが、当該ヒューズの切断部位と高電圧印加側との間の所定部位のみが幅広構造、厚膜構造、又は、幅広構造及び厚膜構造とされている。

【0012】

【発明の実施の形態】

- 本発明の作用原理的説明 -

先ず初めに、本発明の作用原理について説明する。

図1及び図2は、冗長用ヒューズの切断により腐食(コロージョン)が発生するメカニズムを説明するための模式図であり、図1が初期状態、図2が末期状態を表し、更に各々の図について(a)が冗長用ヒューズ近傍の様子を示す平面図、(b)が(a)に対応したエネルギーバンド図である。

【0013】

図1(a)に示すように、切断初期の冗長用ヒューズにバイアス電圧を印加すると、図1(b)のようなエネルギーバンドが形成される。このように、CuとWのフェルミレベルは階段状となる。なお切断部位は、雰囲気ガスや周辺の層間絶縁膜を介して接続されていると見なせることから、図1(b)では当該切断部位を絶縁体として表している。

【0014】

接地(GND)側のCuとWは、常に電子供給があるために酸化しない。一方、高電圧印加(Vcc)側のCuとWは、GND側からの電子供給がないために酸化反応が生じ易い状態となる。ここで、「高電圧印加側」とは、冗長用ヒューズの両端のうち電圧の高い側のことを言う。特に、Vcc側のWはCuに電子を取られるため、酸化反応は先ず電子供給のないWの切断端から生じる($W \rightarrow W^{n+} + n e^{-}$)。

【0015】

そして、Wの酸化が進行してCuまで達すると、WからCuへの電子供給がなくなり、Cuの酸化反応が生じる($Cu \rightarrow Cu^{n+} + n e^{-}$)。ここで生じた Cu^{n+} は電界によってGND方向へ力が働きグロバックする。グロバックした Cu^{n+} はGND側のWや雰囲気ガスから電子供給がなされて還元され、ヒューズの切断部位に析出する。最終的には、多量

10

20

30

40

50

に析出したCuにより、図2(a)のようにヒューズに短絡が生じることになる。このとき、図2(b)のようにエネルギーバンドにおける絶縁体に相当する障壁は消失する。

【0016】

本発明では、上記のメカニズムによる短絡の発生を遅延させ、装置の保証寿命を確保する観点から、ヒューズの所定部位、具体的には当該ヒューズの切断部位と高電圧印加側との間に形状的な腐食遅延構造を設けるか、または当該ヒューズを耐腐食性材料で構成する。前者の腐食遅延構造としては、後述するように、蛇行状構造や幅広・厚膜構造、分岐構造等が考えられる。後者の耐腐食性材料としては、Alを含有する金属や不純物を添加した多結晶シリコン等が好適である。このようにヒューズを構成することにより、切断部位から高電圧印加側の端まで間のヒューズ長を大きくしたり、その間のヒューズ体積を増加させることが可能となり、Cuを含有する配線材料を用いた場合では、Cuⁿ⁺のグローバック開始時間を大幅に遅延させることができ、保証寿命の確保が実現する。

10

【0017】

- 具体的な実施形態 -

以下、上述した本発明の作用原理を踏まえ、本発明を適用した好適な諸実施形態について、図面を参照しながら詳細に説明する。

【0018】

(MOSトランジスタ構造の形成)

まず、半導体基板上にMOSトランジスタ構造を形成する。

具体的には、図3(a)に示すように、シリコン半導体基板1上でLOCOS法やSTI法等により素子分離を行う。ここではSTI法等により、半導体基板1に形成された溝内を絶縁物で充填してなる素子分離構造10を形成し、素子活性領域を画定する。

20

【0019】

次に、半導体基板1上にSiO₂またはSiONからなる薄いゲート絶縁膜2を形成した後、この上に多結晶シリコン膜を形成し、多結晶シリコン膜及びゲート絶縁膜2をパターニングして、半導体基板1上にゲート絶縁膜2を介したゲート電極3を形成する。そして、ゲート電極3をマスクとしてゲート電極3の両側における半導体基板1の表層に不純物をイオン注入してソース/ドレイン4を形成し、MOSトランジスタ構造とする。

【0020】

(配線構造の形成)

30

続いて、配線構造を形成する。

なお便宜上、以下の図3(b)~図10(b)では、上記した半導体基板1及びMOSトランジスタ構造の図示を省略する。

【0021】

まず、図3(b)に示すように、半導体基板1を覆うように層間絶縁膜11を堆積形成した後、層間絶縁膜11に下層配線と通じるビアホール12を開孔形成する。次に、ビアホール12の内壁を覆うようにTiN等の下地膜13を形成し、ビアホール12を埋め込む膜厚にW膜を堆積形成して、このW膜を化学機械研磨(CMP)してビアホール12のみにWが充填されてなるWプラグ14を形成する。

【0022】

40

続いて、図3(c)に示すように、層間絶縁膜11及びWプラグ14上にSiN膜15を膜厚30nm程度に形成する。次に、SiN膜15上にFSG(fluoro-silicate glass)からなる層間絶縁膜16を膜厚500nm程度に堆積形成した後、フォトリソグラフィの露光に対する反射防止膜17を形成する。

【0023】

続いて、図3(d)に示すように、フォトレジスト18を塗布し、フォトリソグラフィによりフォトレジスト18を加工して、各Wプラグ14上で開口する配線溝パターン18aを形成する。次に、フォトレジスト18をマスクとし、SiN膜15をエッチングストップパーとして、反射防止膜17及び層間絶縁膜16をドライエッチングする。

【0024】

50

続いて、図4(a)に示すように、フォトレジスト18を灰化处理等により除去した後、更にSiN膜15をドライエッチングして層間絶縁膜11及び各Wプラグ14の表面を露出させ、配線溝パターンに倣った第1の配線溝19を形成する。

【0025】

続いて、図4(b)に示すように、Ta₂N₅からなるバリアメタル膜20を膜厚25nm程度に、更にシード金属膜としてCu膜21を膜厚200nm程度にクラスター化されたスパッタ装置により真空中で連続的に堆積形成する。ここで、RF処理とバリアメタル膜20及びCu膜21の形成は真空中で連続的に行なうことが望ましい。

【0026】

続いて、図4(c)に示すように、バリアメタル20を電極として、メッキ法により第1の配線溝19内を埋め込む膜厚、ここでは1μm程度にCu膜22を形成する。 10

【0027】

続いて、図5(a)に示すように、ダマシン法によるCu膜22の分離のため、CMP法によりCu膜22(21)及びバリアメタル膜20を研磨して第1の配線溝19内のみにCu膜22を残し、第1の配線23を形成する。

【0028】

続いて、図5(b)に示すように、第1の配線23の表面の拡散バリア(パッシベーション)となるSiN膜24を膜厚70nm程度に堆積形成した後、SiN膜24上にFSGからなる層間絶縁膜25を膜厚700nm程度に形成する。

【0029】

そして、層間絶縁膜25にタングステン(W)からなる冗長用ヒューズ111を形成する。 20

具体的には、層間絶縁膜25にヒューズ溝112を深さ700nm程度、幅0.50μm程度にパターン形成する。ここでヒューズ溝112は、その上面形状として、所定部位が蛇行形状となるように形成される。

【0030】

続いて、このヒューズ溝112を埋め込むように層間絶縁膜25上にW膜を堆積した後、CMP法によりW膜を研磨して平坦化する。これにより、ヒューズ溝102のみをW膜で充填してなり、その上面形状の所定部位が蛇行形状とされた冗長用ヒューズ111が形成される。なお、この冗長用ヒューズの材料としては、Wに限定されるものではなく、Cu 30

【0031】

続いて、冗長用ヒューズ111の形成された層間絶縁膜25上にFSGからなる層間絶縁膜27を膜厚700nm程度に形成し、更に反射防止膜28を形成する。

【0032】

続いて、図5(c)に示すように、フォトレジスト29を塗布し、フォトリソグラフィーによりフォトレジスト29を加工して、各第1の配線23上で開口する開孔パターン29aを形成する。

【0033】

続いて、図6(a)に示すように、フォトレジスト29をマスクとし、SiN膜24をエッチングストッパーとして、反射防止膜28、層間絶縁膜27、SiN膜26及び層間絶縁膜25をドライエッチングして、開孔パターン29aの形状に倣ったビアホール30を形成する。次に、フォトレジスト29を灰化处理等により除去する。 40

【0034】

続いて、図6(b)に示すように、形成されたビアホール30の下方部位に、第1の配線23の表面酸化を防止する処置としてレジスト等からなる保護材料31を埋め込む。

【0035】

続いて、図7(a)に示すように、フォトレジスト32を塗布し、フォトリソグラフィーによりフォトレジスト32を加工して、各ビアホール30上で開口する配線層パターン32aを形成する。次に、フォトレジスト32をマスクとし、反射防止膜28及び層間絶縁 50

膜 27 をドライエッチングして、配線層パターン 32 a の形状に倣った第 2 の配線溝 33 を形成する。このとき第 2 の配線溝 33 を、隣接する当該第 2 の配線溝 33 の一端部位から冗長用ヒューズ 111 の表面の一部が露出するように形成する。

【0036】

続いて、図 7 (b) に示すように、フォトリジスト 32 及び保護材料 31 を灰化処理等により除去した後、ビアホール 30 の底部に残る SiN 膜 24 及び第 2 の配線溝 33 の底部に残る SiN 膜 26 を全面ドライエッチングにより除去する。このとき、第 2 の配線溝 33 とビアホール 30 とが一体となる。

【0037】

続いて、図 8 (a) に示すように、TaN からなるバリアメタル膜 34 を膜厚 25 nm 程度に、更にシード金属膜として Cu 膜 (不図示) を膜厚 200 nm 程度にスパッタ装置により真空中で連続的に堆積形成する。次に、バリアメタル 34 を電極として、メッキ法により第 2 の配線溝 33 及びビアホール 30 内を埋め込む膜厚、ここでは 1 μm 程度に Cu 膜 35 を形成する。

10

【0038】

続いて、図 8 (b) に示すように、ダマシン法による Cu 膜 22 の分離のため、CMP 法により Cu 膜 35 及びバリアメタル膜 34 を研磨して第 2 の配線溝 35 及びビアホール 30 内のみに Cu 膜 35 を残した後、ウェット処理により洗浄して第 2 の配線 36 a, 36 b, 36 c を形成し、第 1 の配線 23 及び第 2 の配線 36 a, 36 b, 36 c からなる配線を完成させる。このとき、隣接する下層配線、図示の例では第 2 の配線 36 a, 36 b がバリアメタル膜 34 を介して冗長用ヒューズ 111 と接続され、前記配線及び冗長用ヒューズ 111 を含む配線構造が完成する。

20

【0039】

しかる後、図 9 に示すように、カバー膜として SiN 膜 41、SiO₂ 膜 42 及び SiN 膜 43 をそれぞれ膜厚 100 nm 程度、400 nm 及び 300 nm 程度に形成し、前記配線構造を有する半導体装置を完成させる。

【0040】

(冗長用ヒューズの具体的構成)

本実施形態では、図 10 (a) に示すように、W からなる冗長用ヒューズ 111 には、その一端側、ここでは高電圧 (Vcc) が印加される第 2 の配線 36 a 側の近傍に形状的な腐食遅延構造、ここでは蛇行状構造 61 が設けられている。この場合、冗長用ヒューズ 111 の他端側、ここでは接地電位 (GND) となる第 2 の配線 36 b 側と蛇行状構造 61 との間に、切断部位 62 が設けられている。

30

【0041】

このように、冗長用ヒューズ 111 に蛇行状構造 61 を設けることにより、切断部位 62 から高電圧印加側の端まで間のヒューズ長を実質的に大きくし、当該部位のヒューズ体積を増加することができ、Cuⁿ⁺ のグローバルバック開始時間を大幅に遅延させることが可能となり、装置の保証寿命の確保が実現する。

【0042】

更に、図 10 (b) に示すように、冗長用ヒューズ 111 を蛇行状構造 61 の部位で多層、図示の例ではヒューズ層を 2 層に形成し、2 層間にわたって更に上下方向に蛇行するように、当該冗長用ヒューズ 111 を構成してもよい。このように冗長用ヒューズ 111 を多層化することにより、多層配線構造を利用して、上下のヒューズ層を相互に接続し。ヒューズ材料を上下方向 (縦方向) に湾曲させることができる。この多層化により、切断部位 62 から高電圧印加側の端 (第 2 の配線 36 a) まで間のヒューズ長及びヒューズ体積を更に大きくすることが可能となり、小さい面積で所望のヒューズ長が得られ、装置の保証寿命の確保に資する。

40

【0043】

(冗長用ヒューズの切断による不良発生試験)

ここで、図 10 (a) に示す冗長用ヒューズ 111 について、比較例 1 ~ 3 との比較に基

50

づき、ノンバイアス回路構成及びバイアス回路構成の両者について耐湿性加速試験を行った結果を説明する。

【 0 0 4 4 】

この耐湿性加速試験では、本実施形態の冗長用ヒューズをサンプル 1（図 1 1（ a ））、比較例 1 ～ 3 の冗長用ヒューズをサンプル 2 ～ 4（図 1 1（ a ）～（ d ））とし、各々について温度 8 5 、湿度 8 5 %、印加電圧 2 V の条件でレーザ光照射による切断時からの蓄積時間を約 2 0 0 0 時間として、各サンプルにおける不良発生率を算出した。

【 0 0 4 5 】

各比較例としては、サンプル 4（図 1 1（ d ））が従来用いられている直線形状の冗長用ヒューズであり、サンプル 3（図 1 1（ c ））が両端部位にそれぞれ 1 回の小さな蛇行状構造を設けたもの、サンプル 2（図 1 1（ b ））が両端部位にそれぞれ 1 回の小さな蛇行状構造を設け、更に中央部位に 1 回の蛇行状構造を設けたものである。

【 0 0 4 6 】

各冗長用ヒューズの切断部位については、本実施形態の冗長用ヒューズであるサンプル 1 が切断部位 6 2 と同様に蛇行状構造 6 1 と高電圧印加側の端との間の 1 箇所とし、サンプル 2 ～ 4 が中心部位近傍の 2 箇所とする。なお、従来の冗長用ヒューズでは一般的に、切断部位を 2 箇所設けることにより、切断の確実性が担保され、装置寿命を延ばすことができる。

【 0 0 4 7 】

バイアス回路構成の試験結果を表 1 に示す。

【 0 0 4 8 】

【表 1】

	切断部位から高電圧印加側までの				不良発生率
	長さ（ μm ）	幅（ μm ）	厚み（ μm ）	体積（ μm^3 ）	
サンプル 1	5 4 . 7	0 . 5	0 . 7	1 9 . 1 5	0 . 1 9
サンプル 2	2 3 . 6	0 . 5	0 . 7	8 . 2 6	0 . 7 9
サンプル 3	1 5 . 3	0 . 5	0 . 7	5 . 3 6	0 . 9 7
サンプル 4	7 . 4	0 . 5	0 . 7	2 . 5 9	1

【 0 0 4 9 】

図 1 2 は、サンプル 1 とサンプル 4 について実際に耐湿性加速試験を行った様子を示す顕微鏡写真である。（ a ）がサンプル 1 の累積時間経過後の状態、（ b ）がサンプル 4 の切断直後の状態、（ c ）がサンプル 4 の累積時間経過後の状態をそれぞれ示す。

【 0 0 5 0 】

なお、ノンバイアス回路構成の場合には、サンプル 1 ～ 4 の全てについて不良発生は見られなかった。

これに対して、バイアス回路構成の場合には、表 1 に示すように、サンプル 4 の不良発生率を 1 として相対的に評価したところ、サンプル 3 が 0 . 9 7、サンプル 2 が 0 . 7 9、サンプル 1 が 0 . 1 9 となり、サンプル 1 が傑出して優れた結果を示した。このように、本実施形態のサンプル 1 の冗長用ヒューズを用いることにより、特にバイアス回路構成を採った場合に冗長用ヒューズの不良発生率を抑える効果が顕著であることが判った。

【 0 0 5 1 】

以上説明したように、本実施形態の半導体装置、特にその構成要素である冗長用ヒューズ 1 1 1 によれば、当該ヒューズ 1 1 1 のコロージョン耐性を高め、切断によるコロージョンの発生を抑制して、半導体装置における将来の更なる大規模集積化に十分対応することが可能となる。

【 0 0 5 2 】

- 第 1 の実施形態の変形例 -

次いで、第 1 の実施形態の諸変形例について説明する。これら変形例では、本実施形態と同様に、Cu 多層配線及び冗長用ヒューズを有する配線構造を備えた半導体装置を例示するが、冗長用ヒューズの形状がそれぞれ異なる点で相違する。なお、各変形例において冗長用ヒューズの材料には第 1 の実施形態と同様にタングステン (W) を用い、また、第 1 の実施形態で説明した構成部材等については同符号を記して説明を省略する。

【 0 0 5 3 】

(変形例 1)

図 1 3 は、第 1 の実施形態の変形例 1 における冗長用ヒューズの構成を示す模式図であり、(a) が平面図、(b) が断面図である。 10

この変形例 1 の冗長用ヒューズ 7 1 は、図 1 3 (a) に示すように、高電圧 (V c c) が印加される第 2 の配線 3 6 a 側の近傍に形状的な腐食遅延構造、ここでは幅広構造 7 2 が設けられている。この場合、冗長用ヒューズ 7 1 の他端側、ここでは接地電位 (G N D) となる第 2 の配線 3 6 b 側と幅広構造 7 2 との間に、切断部位 7 3 が設けられている。

【 0 0 5 4 】

このように、冗長用ヒューズ 7 1 に幅広構造 7 2 を設けることにより、切断部位 7 3 から高電圧印加側の端まで間のヒューズ体積を実質的に大きくすることができ、Cuⁿ⁺のグローバック開始時間を大幅に遅延させることが可能となり、装置の保証寿命の確保が実現する。また、切断しない冗長用ヒューズ 7 1 の電気抵抗を低減する効果もある。 20

【 0 0 5 5 】

更に、図 1 3 (b) に示すように、冗長用ヒューズ 7 1 の幅広構造 7 2 の部位を上下方向に厚い厚膜構造としてもよい。これにより、切断部位 7 3 から高電圧印加側の端 (第 2 の配線 3 6 a) まで間のヒューズ体積を更に大きくすることができ、装置の保証寿命の確保に資する。

【 0 0 5 6 】

変形例 1 の半導体装置、特にその構成要素である冗長用ヒューズ 7 1 によれば、当該ヒューズ 7 1 のコロージョン耐性を高め、切断によるコロージョンの発生を抑制して、半導体装置における将来の更なる大規模集積化に十分対応することが可能となる。

【 0 0 5 7 】

(変形例 2)

図 1 4 は、第 1 の実施形態の変形例 2 における冗長用ヒューズの構成を示す模式図であり、(a) が平面図、(b) が断面図である。

この変形例 2 の冗長用ヒューズ 8 1 は、図 1 4 (a) に示すように、高電圧 (V c c) が印加される第 2 の配線 3 6 a 側の近傍に形状的な腐食遅延構造、ここでは分岐構造 8 2 が設けられている。この場合、冗長用ヒューズ 8 1 の他端側、ここでは接地電位 (G N D) となる第 2 の配線 3 6 b 側と分岐構造 8 2 との間に、切断部位 8 3 が設けられている。

【 0 0 5 8 】

このように、冗長用ヒューズ 8 1 に分岐構造 8 2 を設けることにより、切断部位 8 3 から高電圧印加側の端まで間のヒューズ長を実質的に大きくし、当該部位のヒューズ体積を増加することができ、Cuⁿ⁺のグローバック開始時間を大幅に遅延させることが可能となり、装置の保証寿命の確保が実現する。また、切断しない冗長用ヒューズ 8 1 の電気抵抗を低減する効果もある。 40

【 0 0 5 9 】

更に、図 1 4 (b) に示すように、冗長用ヒューズ 8 1 を分岐構造 8 2 の部位で多層、図示の例では 2 層に形成し、2 層間にわたって更に上下方向に分岐するように、当該冗長用ヒューズ 8 1 を構成してもよい。これにより、切断部位 8 3 から高電圧印加側の端 (第 2 の配線 3 6 a) まで間のヒューズ長及びヒューズ体積を更に大きくすることができ、装置の保証寿命の確保に資する。

【 0 0 6 0 】

変形例 2 の半導体装置、特にその構成要素である冗長用ヒューズ 8 1 によれば、当該ヒューズ 8 1 のコロージョン耐性を高め、切断によるコロージョンの発生を抑制して、半導体装置における将来の更なる大規模集積化に十分対応することが可能となる。

【 0 0 6 1 】

(変形例 3)

図 1 5 は、第 1 の実施形態の変形例 3 における冗長用ヒューズの構成を示す模式図であり、(a) が当該変形例 3 における冗長用ヒューズの平面図、(b) が当該変形例 3 の比較例として示す平面図である。

この変形例 3 の冗長用ヒューズ 1 2 1 は、図 1 5 (a) に示すように、形状的には従来と同様に直線形状であるが、隣接する各冗長用ヒューズ 1 2 1 の各々が、高電圧 (V c c) の印加される第 2 の配線 3 6 a の一端側から離れた他端側、ここでは接地電位 (G N D) となる第 2 の配線 3 6 b の近傍に切断部位 1 2 2 が設けられて構成されている。

【 0 0 6 2 】

これに対して、図 1 5 (b) に示す比較例のように、小面積化のために隣接する各冗長用ヒューズ 1 3 1 の切断部位 1 3 2 を交互に設ける構成が案出されている。変形例 3 では、全ての冗長用ヒューズ 1 2 1 を高電圧 (V c c) の印加される第 2 の配線 3 6 a の一端側から離れた他端側で切断するように構成することにより、前記比較例と比べても Cu^{n+} のグローバック開始時間を大幅に遅延させることが可能となり、装置の保証寿命の確保が実現する。

【 0 0 6 3 】

変形例 3 の半導体装置、特にその構成要素である冗長用ヒューズ 1 2 1 によれば、当該ヒューズ 1 2 1 のコロージョン耐性を高め、切断によるコロージョンの発生を抑制して、半導体装置における将来の更なる大規模集積化に十分対応することが可能となる。

【 0 0 6 4 】

[第 2 の実施形態]

次いで、第 2 の実施形態について説明する。ここでは、本実施形態と同様に、Cu 多層配線及び冗長用ヒューズを有する配線構造を備えた半導体装置を例示するが、冗長用ヒューズの材質が異なる点で相違する。なお、第 1 の実施形態で説明した構成部材等については同符号を記して説明を省略する。

【 0 0 6 5 】

図 1 6 は、第 2 の実施形態における冗長用ヒューズの構成を示す概略平面図である。

本実施形態における冗長用ヒューズ 9 1 は、耐腐食材料、例えば Al を含有する金属又は不純物が添加された多結晶シリコンから構成されている。この場合、切断部位に特に制限はないが、冗長用ヒューズ 9 1 の他端側、ここでは接地電位 (G N D) となる第 2 の配線 3 6 b 側の近傍に切断部位 9 2 を設けることがより好ましい。

【 0 0 6 6 】

この場合、冗長用ヒューズ 9 1 は、図 1 7 に示すように、第 2 の配線 3 6 a , 3 6 b 上で、SiN 膜 5 1 及び SiO₂ 膜 5 2 に形成された W プラグ 1 0 1 を介し、W プラグ 1 0 1 上で膜厚 1 0 0 n m 程度の TiN 膜 1 0 2、膜厚 1 0 0 0 n m 程度の Al 合金膜 1 0 3、及び TiN / Ti の 2 層膜 1 0 4 からなり、これらが SiO₂ 膜 5 3 に形成されて構成されている。そして、冗長用ヒューズ 9 1 を覆うように、SiN 膜 5 4 及び SiO₂ 膜 5 5 からなるカバー膜が形成されている。

【 0 0 6 7 】

このように、冗長用ヒューズ 9 1 を耐腐食材料から構成することにより、切 Cu^{n+} のグローバック開始時間を大幅に遅延させることが可能となり、装置の保証寿命の確保が実現する。

【 0 0 6 8 】

なお、本発明は上述した諸実施形態及び諸変形例に限定されるものではない。例えば、上述した腐食遅延構造は、高電圧印加側にあれば、更に低電圧印加側に形成しても、上述の効果を奏することができる。

10

20

30

40

50

【 0 0 6 9 】

また、第 1 の実施形態と第 2 の実施形態とを融合させた実施形態、即ち、冗長用ヒューズを A 1 や多結晶シリコン等の耐腐食性材料で形成し、更にこの冗長用ヒューズに蛇行状構造や幅広・厚膜構造、分岐構造等の腐食遅延構造を設けることも可能である。このような構成を採ることにより、更なるコロージョン発生を抑止・遅延し、保証寿命の確保が実現する。

【 0 0 7 0 】

以下、本発明の諸態様を付記としてまとめて記載する。

【 0 0 7 1 】

(付記 1) 配線及びヒューズを含む配線構造を備えてなる半導体装置であって、前記ヒューズは、形状的な腐食遅延構造を有することを特徴とする半導体装置。

10

【 0 0 7 2 】

(付記 2) 前記腐食遅延構造は、前記ヒューズの所定部位に形成された蛇行状構造であることを特徴とする付記 1 に記載の半導体装置。

【 0 0 7 3 】

(付記 3) 前記蛇行状構造は多層に形成されていることを特徴とする付記 2 に記載の半導体装置。

【 0 0 7 4 】

(付記 4) 前記腐食遅延構造は、前記ヒューズの所定部位に形成された分岐構造であることを特徴とする付記 1 ～ 3 のいずれか 1 項に記載の半導体装置。

20

【 0 0 7 5 】

(付記 5) 前記分岐構造は、多層に形成されていることを特徴とする付記 4 に記載の半導体装置。

【 0 0 7 6 】

(付記 6) 前記腐食遅延構造は、前記ヒューズの所定部位に形成された幅広構造及び / 又は厚膜構造であることを特徴とする付記 1 ～ 5 のいずれか 1 項に記載の半導体装置。

【 0 0 7 7 】

(付記 7) 前記配線が少なくとも銅を含有する材料からなるものであることを特徴とする付記 1 ～ 6 のいずれか 1 項に記載の半導体装置。

【 0 0 7 8 】

(付記 8) 前記腐食遅延構造は、前記ヒューズの切断部位と高電圧印加側との間に設けられていることを特徴とする付記 1 ～ 7 のいずれか 1 項に記載の半導体装置。

30

【 0 0 7 9 】

(付記 9) 少なくとも銅を含有する配線と、ヒューズとを有する配線構造を備えてなる半導体装置であって、前記ヒューズは、耐腐食材料から形成されていることを特徴とする半導体装置。

【 0 0 8 0 】

(付記 1 0) 前記耐腐食材料がアルミニウムを含有する金属又は多結晶シリコンであることを特徴とする付記 9 に記載の半導体装置。

【 0 0 8 1 】

(付記 1 1) 配線を所定形状に形成する工程と、切断部位と高電圧印加側との間の所定部位が蛇行状構造となるヒューズを形成する工程とを含むことを特徴とする半導体装置の製造方法。

40

【 0 0 8 2 】

(付記 1 2) 前記蛇行状構造を多層に形成することを特徴とする付記 1 1 に記載の半導体装置の製造方法。

【 0 0 8 3 】

(付記 1 3) 配線を所定形状に形成する工程と、切断部位と高電圧印加側との間の所定部位が幅広構造及び / 又は厚膜構造となるヒューズを形成する工程と

50

を含むことを特徴とする半導体装置の製造方法。

【0084】

(付記14) 前記幅広構造及び/又は厚膜構造を分岐構造として形成することを特徴とする付記13に記載の半導体装置の製造方法。

【0085】

(付記15) 前記配線を少なくとも銅を含有する材料から形成することを特徴とする付記11~14のいずれか1項に記載の半導体装置の製造方法。

【0086】

(付記16) 少なくとも銅を含有する配線を所定形状に形成する工程と、
耐腐食材料からなるヒューズを形成する工程と
を含むことを特徴とする半導体装置の製造方法。

10

【0087】

(付記17) 前記耐腐食材料は、アルミニウムを含有する金属又は多結晶シリコンであることを特徴とする付記16に記載の半導体装置の製造方法。

【0088】

(付記18) 配線及びヒューズを含む配線構造が構成されており、
前記ヒューズは、その一端が高電圧印加部位とされ、当該高電圧印加部位の近傍に蛇行状構造が形成されており、
前記ヒューズを、その他端と前記蛇行状構造との間で切断することを特徴とするヒューズの切断方法。

20

【0089】

(付記19) 前記蛇行状構造が多層に形成されていることを特徴とする付記18に記載のヒューズの切断方法。

【0090】

(付記20) 配線及びヒューズを含む配線構造が構成されており、
前記ヒューズは、その一端が高電圧印加部位とされ、当該高電圧印加部位の近傍に幅広構造及び/又は厚膜構造が形成されており、
前記ヒューズを、その他端と前記蛇行状構造との間で切断することを特徴とするヒューズの切断方法。

【0091】

(付記21) 前記幅広構造及び/又は厚膜構造が分岐構造として形成されていることを特徴とする付記20に記載のヒューズの切断方法。

30

【0092】

(付記22) 前記配線が少なくとも銅を含有する材料からなるものであることを特徴とする付記18~21のいずれか1項に記載のヒューズの切断方法。

【0093】

(付記23) 少なくとも銅を含有する配線と、ヒューズとを有する配線構造が構成されており、
前記ヒューズは、耐腐食材料から形成され、その一端が高電圧印加部位とされており、
前記ヒューズを、その他端の近傍で切断することを特徴とするヒューズの切断方法。

40

【0094】

(付記24) 前記耐腐食材料は、アルミニウムを含有する金属又は多結晶シリコンであることを特徴とする付記23に記載のヒューズの切断方法。

【0095】

【発明の効果】

本発明によれば、配線(特にCuを含有する配線)と共に配線構造を構成するヒューズについて、当該ヒューズのコロージョン耐性を高め、切断によるコロージョンの発生を抑制することができるため、半導体装置におけるヒューズ個々の信頼性向上により、ヒューズ搭載本数の増加が可能となり、将来の更なる大規模集積化に十分対応することができる。

【図面の簡単な説明】

50

【図 1】冗長用ヒューズの切断（初期状態）によりコロージョンが発生するメカニズムを説明するための模式図である。

【図 2】冗長用ヒューズの切断（末期状態）によりコロージョンが発生するメカニズムを説明するための模式図である。

【図 3】第 1 の実施形態に係る半導体装置の製造方法を工程順に示す概略断面図である。

【図 4】図 3 に引き続き、第 1 の実施形態に係る半導体装置の製造方法を工程順に示す概略断面図である。

【図 5】図 4 に引き続き、第 1 の実施形態に係る半導体装置の製造方法を工程順に示す概略断面図である。

【図 6】図 5 に引き続き、第 1 の実施形態に係る半導体装置の製造方法を工程順に示す概略断面図である。 10

【図 7】図 6 に引き続き、第 1 の実施形態に係る半導体装置の製造方法を工程順に示す概略断面図である。

【図 8】図 7 に引き続き、第 1 の実施形態に係る半導体装置の製造方法を工程順に示す概略断面図である。

【図 9】図 8 に引き続き、第 1 の実施形態に係る半導体装置の製造方法を工程順に示す概略断面図である。

【図 10】第 1 の実施形態に係る半導体装置の冗長用ヒューズの構成を示す模式図である。

【図 11】耐湿性加速試験の各サンプルを示す概略平面図である。 20

【図 12】サンプル 1 とサンプル 4 について実際に耐湿性加速試験を行った様子を示す顕微鏡写真である。

【図 13】第 1 の実施形態の変形例 1 における冗長用ヒューズの構成を示す模式図である。

【図 14】第 1 の実施形態の変形例 2 における冗長用ヒューズの構成を示す模式図である。

【図 15】第 1 の実施形態の変形例 3 における冗長用ヒューズの構成を示す模式図である。

【図 16】第 2 の実施形態における冗長用ヒューズの構成を示す概略平面図である。

【図 17】第 2 の実施形態における冗長用ヒューズを備えた半導体装置の主要構成を示す概略断面図である。 30

【符号の説明】

1 シリコン半導体基板

2 ゲート絶縁膜

3 ゲート電極

4 ソース/ドレイン

10 素子分離構造

11, 16, 25, 27 層間絶縁膜

14 Wプラグ

15, 24, 26, 41, 43, 51, 54 SiN膜 40

19 第 1 の配線溝

20, 34 バリアメタル膜

21 シードCu膜

22, 35 Cu膜

23 第 1 の配線

30 ビアホール

31 保護材料

33 第 2 の配線溝

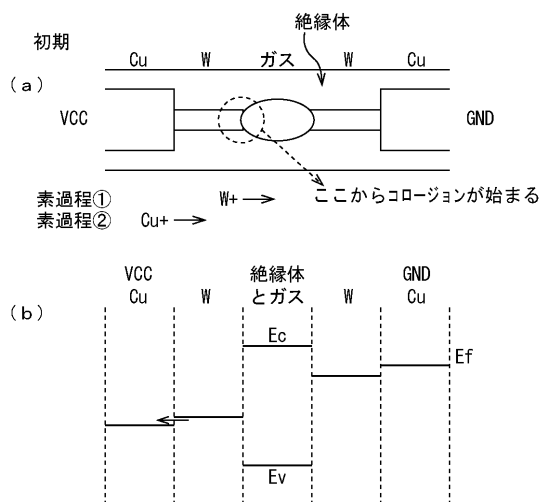
36a, 36b, 36c 第 2 の配線

42, 52, 53, 55 SiO₂膜 50

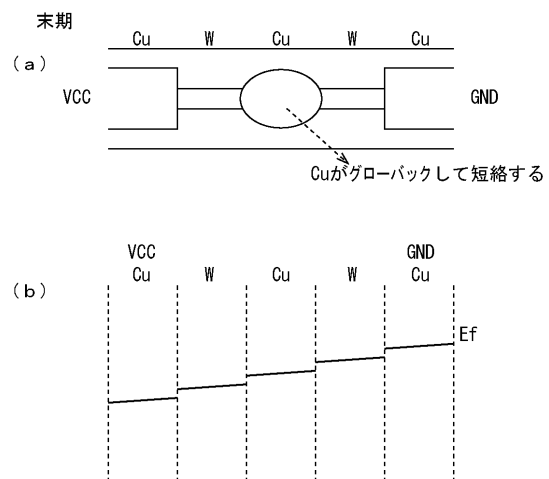
7 1 , 8 1 , 9 1 , 1 0 1 , 1 1 1 , 1 2 1 , 1 3 1 冗長用ヒューズ
 6 1 蛇行状構造
 6 2 , 7 3 , 8 3 , 9 2 , 1 1 2 , 1 2 2 , 1 3 2 切断部位
 7 2 幅広構造
 8 2 分岐構造
 1 0 1 Wプラグ
 1 0 2 T i N 膜
 1 0 3 A l 合金膜
 1 0 4 T i N / T i の 2 層膜
 1 1 2 ヒューズ溝

10

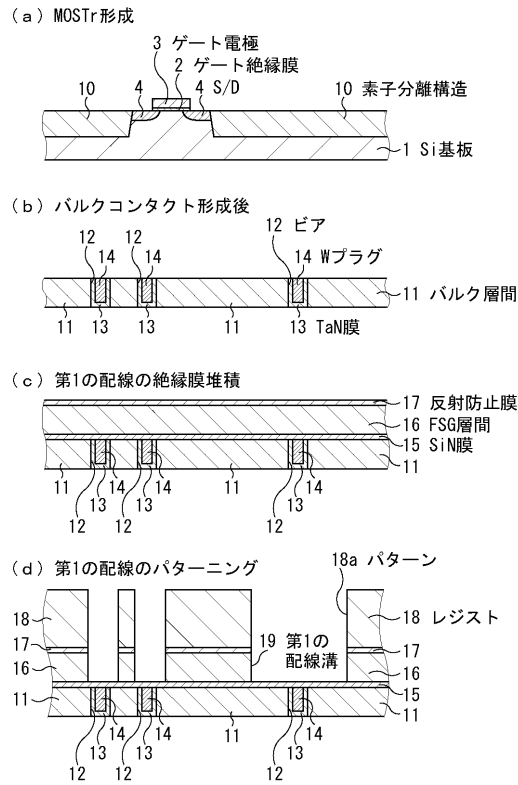
【図 1】



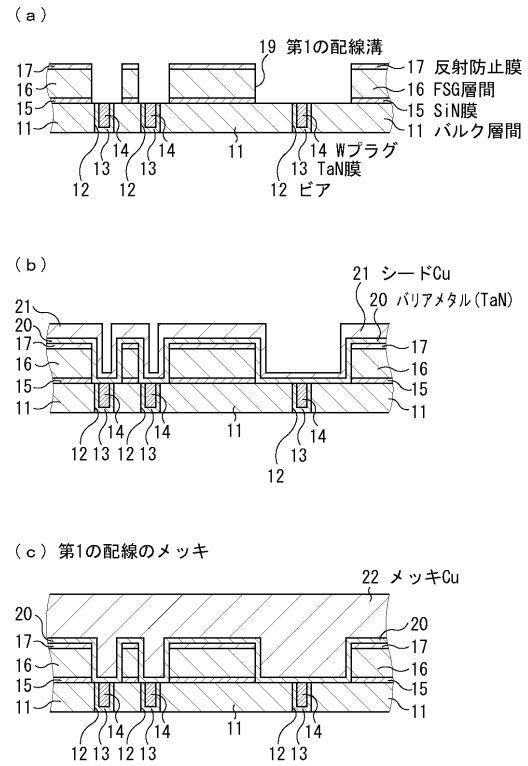
【図 2】



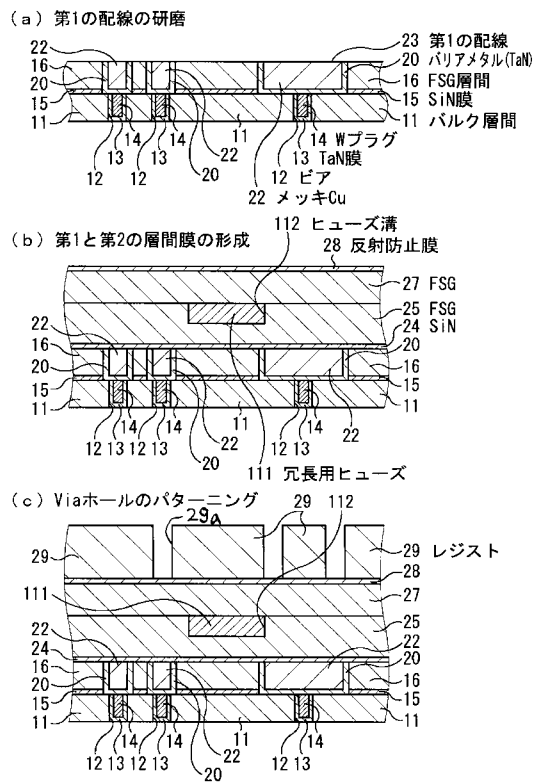
【図 3】



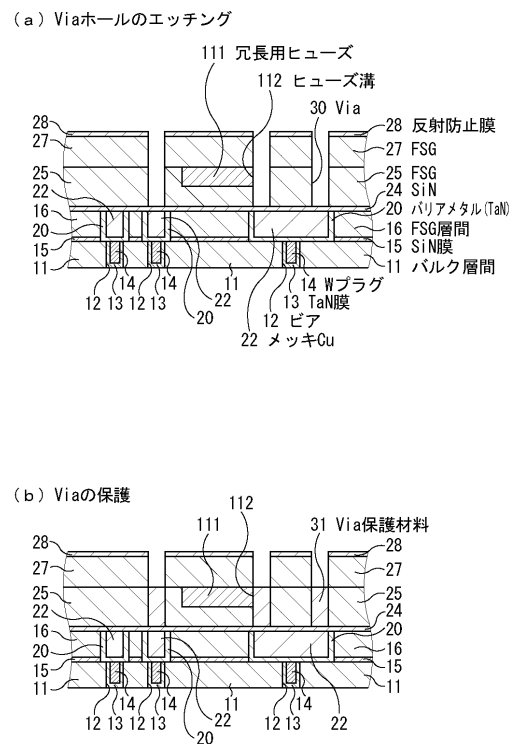
【図 4】



【図 5】

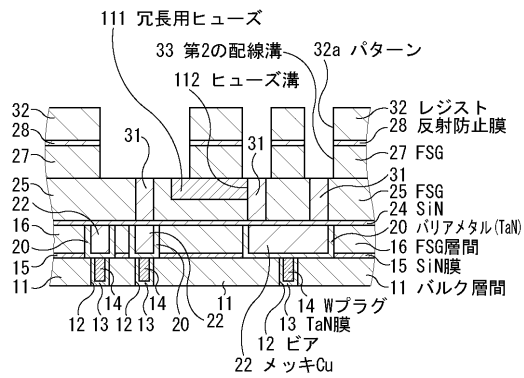


【図 6】

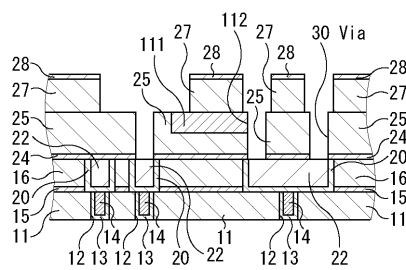


【図 7】

(a) 第2の配線パターンニングと1次エッチング

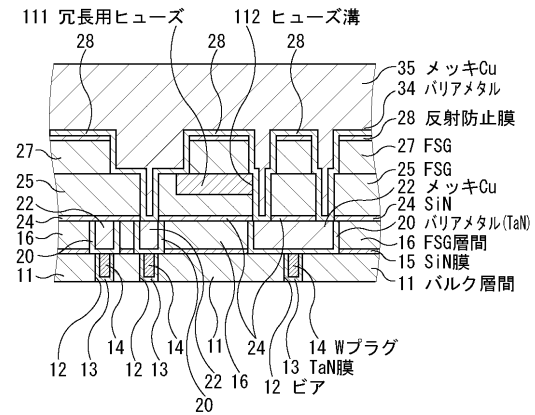


(b) 第2の配線2次エッチング

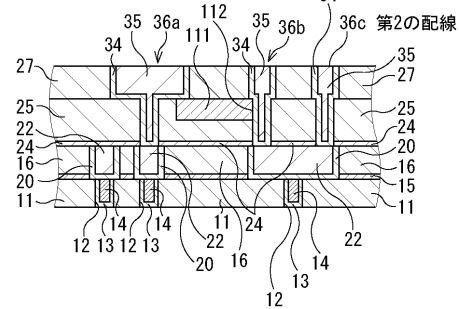


【図 8】

(a) 第2の配線のメッキ

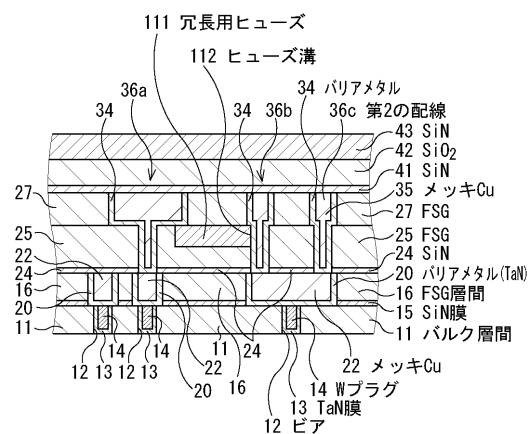


(b) 第2の配線の研磨



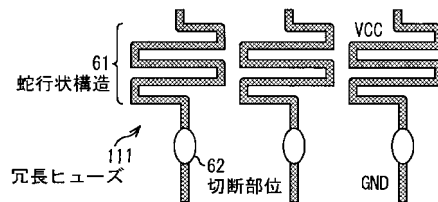
【図 9】

(a) 層間絶縁膜の形成

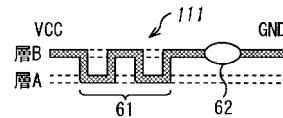


【図 10】

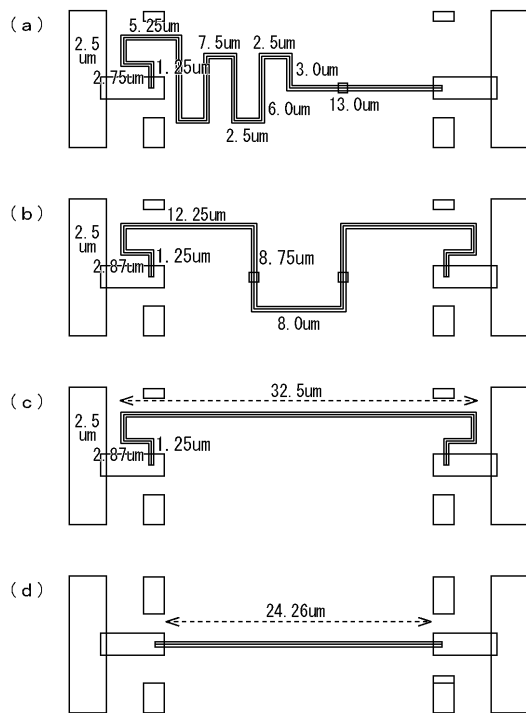
(a)



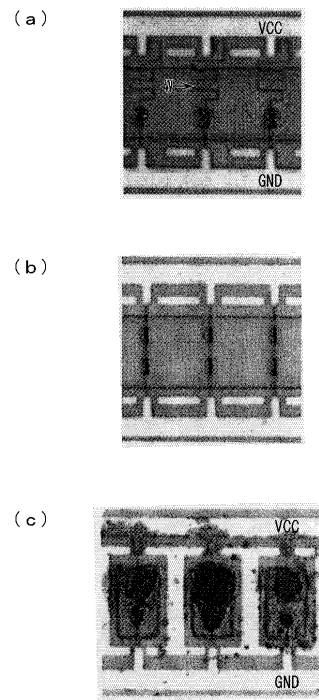
(b)



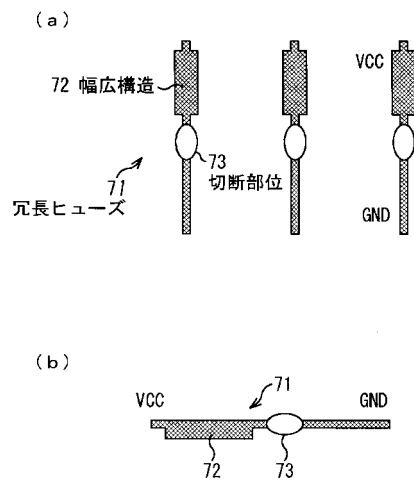
【図 1 1】



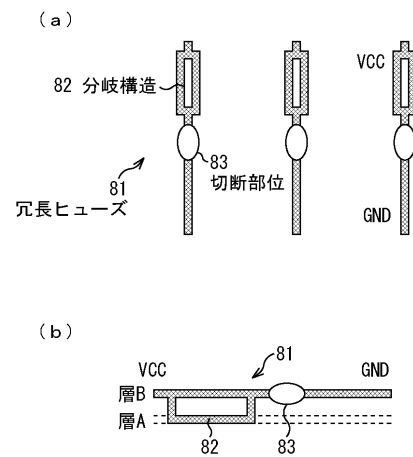
【図 1 2】



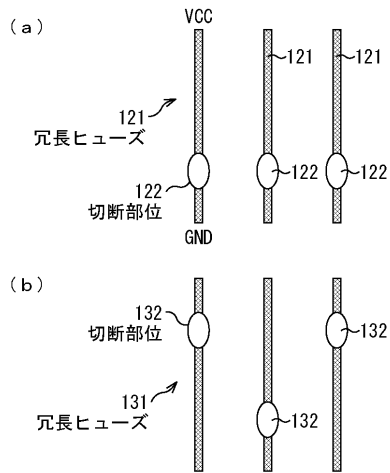
【図 1 3】



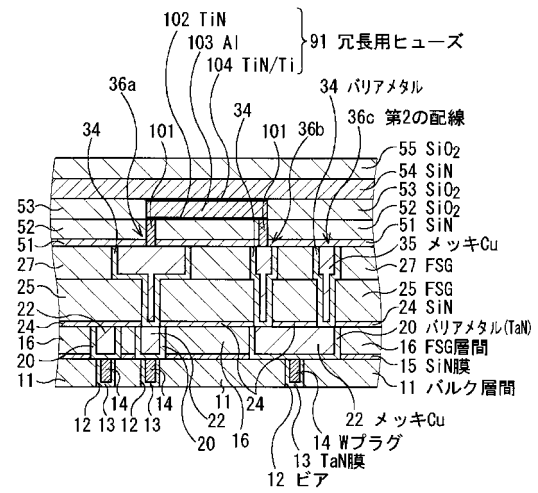
【図 1 4】



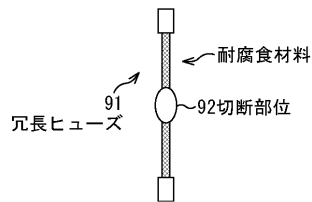
【図 15】



【図 17】



【図 16】



フロントページの続き

- (72)発明者 大塚 敏志
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 中田 雅之
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 早川 朋一

- (56)参考文献 特開平07-078872(JP,A)
特開平11-154706(JP,A)
特開平04-014246(JP,A)
特開2000-049234(JP,A)
特開2001-298093(JP,A)
特開平11-224900(JP,A)
特開2000-057933(JP,A)
特開平11-284074(JP,A)
国際公開第01/17026(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H01L 21/82-21/822
H01L 27/04
H01L 21/3205-21/3215
H01L 21/768
H01L 23/52
H01L 23/522-23/532