

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2012 年 10 月 4 日(04.10.2012)



(10) 国際公開番号  
**WO 2012/131761 A1**

- (51) 国際特許分類:  
**G06F 11/20** (2006.01)
- (21) 国際出願番号: PCT/JP2011/001843
- (22) 国際出願日: 2011 年 3 月 28 日(28.03.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社(FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 田中 亮大 (TANAKA, Ryota) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 横山 淳一 (YOKOYAMA, Junichi); 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号富士通株式会社内 Kanagawa (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユーロパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

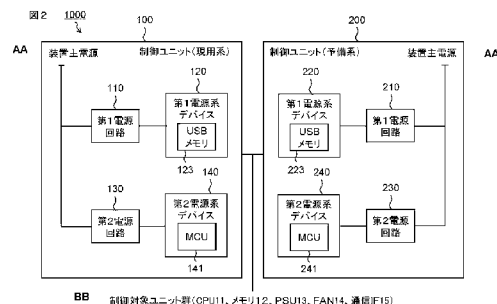
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: INFORMATION PROCESSING SYSTEM AND INFORMATION PROCESSING SYSTEM PROCESSING METHOD

(54) 発明の名称: 情報処理システム及び情報処理システムの処理方法

[図2]



100 Control unit (current)  
110, 210 First power supply circuit  
120, 220 First power supply system device  
123, 223 USB memory  
130, 230 Second power supply circuit  
140, 240 Second power supply system device  
141, 241 MCU  
200 Control unit (standby)  
AA Device primary power supply  
BB Group of units to be controlled (CPU 11, Memory 12, PSU 13, FAN 14, Communication interface 15)

(57) Abstract: [Problem] To provide an information processing system and an information processing system processing method whereby it is possible to achieve reduced power consumption of the information processing system overall. [Solution] An information processing system comprises a current processing device, further comprising a first nonvolatile memory which stores a first software, and a standby processing device which is connected to the current processing device, further comprising a second nonvolatile memory which stores a second software which is synchronized with the first software. The current processing device further comprises a first control unit which processes the first software which is stored in the first nonvolatile memory, and if an instruction is issued to update the first software which is stored in the first nonvolatile memory, carries out the updating of the software which is stored in the first nonvolatile memory.

(57) 要約:

[続葉有]

WO 2012/131761 A1



---

（課題）情報処理システム全体の省電力化を図ることができる情報処理システム及び情報処理システムの処理方法を提供する。（解決手段）第１のソフトウェアを記憶する第１の不揮発性メモリを有する現用系処理装置、及び、現用系処理装置と接続され、且つ第１のソフトウェアと同期化されている第２のソフトウェアを記憶する第２の不揮発性メモリを有する予備系処理装置を有する情報処理システムであって、現用系処理装置は、第１の不揮発性メモリに記憶された第１のソフトウェアを処理するとともに、第１の不揮発性メモリに記憶されている第１のソフトウェアに更新の指示があった場合、第１の不揮発性メモリに記憶されているソフトウェアの更新を行なう第１の制御部を有する。

## 明 細 書

### 発明の名称： 情報処理システム及び情報処理システムの処理方法 技術分野

[0001] 開示の技術は、情報処理システム及び情報処理システムの処理方法に関する。

### 背景技術

[0002] 近年、高信頼性を要求される情報処理システムにおいては、故障耐性を向上させるために、プロセッサ等のハードウェアからなる制御装置を2重化して双方に情報処理を実行させる情報処理システムが知られている。このような情報処理システムは、現用系として使用される制御装置に異常が発生しても、正常に動作している予備系の制御装置に対する入出力信号を使って情報処理を継続する機能を有している。

[0003] 従来技術として、下記の文献がある。

### 先行技術文献

### 特許文献

[0004] 特許文献1：特開昭62-191299号公報

### 発明の概要

### 発明が解決しようとする課題

[0005] 2重化した情報処理システムでは、現用系の制御装置の障害時、現用系の制御装置で行われている全ての処理を、予備系の制御装置が引き継ぐ必要がある。そのため、予備系の制御装置は、現用系の制御装置と全く同じソフトウェアで動作させる必要がある。予備系の制御装置は常時電源が投入され、現用系の制御装置のソフトウェア更新に応じて、予備系の制御装置のソフトウェアの更新を行っているため、情報処理システムの消費電力が上がっている。

[0006] 開示の技術は、情報処理システム全体の省電力化を図ることができる情報処理システム及び情報処理システムの処理方法を提供することを目的とする

。

## 課題を解決するための手段

[0007] 本発明の課題を解決するため、開示の技術の第 1 の側面によれば、

第 1 のソフトウェアを記憶する第 1 の不揮発性メモリを有する現用系処理装置、及び、前記現用系処理装置と接続され、且つ前記第 1 のソフトウェアと同期化されている第 2 のソフトウェアを記憶する第 2 の不揮発性メモリを有する予備系処理装置を有する情報処理システムであって、

前記現用系処理装置は、

前記第 1 の不揮発性メモリに記憶された前記第 1 のソフトウェアを処理するとともに、前記第 1 の不揮発性メモリに記憶されている前記第 1 のソフトウェアに更新の指示があった場合、前記第 1 の不揮発性メモリに記憶されているソフトウェアの更新を行なう第 1 の制御部を有し、

前記予備系処理装置は、

前記第 2 の不揮発性メモリに記憶された前記第 2 のソフトウェアを処理する第 2 の制御部と、

前記現用系処理装置の異常が検出された場合、外部からの起動指示に従い、前記第 2 の制御部に電源を投入する電源部と、  
を有する情報処理システムが提供される。

## 発明の効果

[0008] 開示の技術によれば、現用系処理装置の異常が検出された場合、外部からの起動指示に従い、予備系の制御部の電源を投入する。そのため、常時、予備系の電源を投入しておくことなく、現用系で使用していたソフトウェアの整合性を取ることが可能になる。そのため、情報処理システム全体の省電力化を図ることができる。

## 図面の簡単な説明

[0009] [図1] 図 1 は、本実施例における情報処理システムのハードウェア構成の一例を示す図である。

[図2] 図 2 は、本実施例における制御ユニットの構成図を示す図である。

[図3] 図3は、本実施例における制御ユニットの通常運用時の電源投入状態を示す図である。

[図4] 図4は、本実施例における制御ユニットの内部構成の一部を説明する為の図である。

[図5] 図5は、本実施例における制御回路の内部構成の一部を説明する為の図である。

[図6] 図6は、本実施例における制御回路の排他的論理和回路の真理値表を説明する為の図である。

[図7] 図7は、本実施例における制御ユニットのG P I Oの信号とレジスタ値との関係を説明する為の図である。

[図8] 図8は、本実施例における制御ユニットの装置電源投入後の起動処理を示すシーケンス図である。

[図9] 図9は、本実施例における制御ユニットの障害発生時の処理を示すシーケンス図である。

[図10] 図10は、本実施例における制御ユニットの障害発生時の処理を示すシーケンス図である。

### 発明を実施するための形態

[0010] 以下、開示の技術について、図面を用いて詳細に説明する。

[0011] 図1は、本実施例における情報処理システムのハードウェア構成の一例を示す図である。図1に示すように、情報処理システム1000は、情報処理装置10、制御ユニット100、制御ユニット200を有する。更に、情報処理システム1000は、情報処理装置10と制御ユニット100を接続し、且つ情報処理装置10と制御ユニット200を接続するネットワーク500を有する。なお、制御ユニット100及び制御ユニット200は同一の構成を備える。制御ユニット200において、制御ユニット100で説明した構成と同様の構成には同一符号を付し、説明を省略する。

[0012] 情報処理装置10は、CPU (Central Processing Unit) 11、メモリ12、PSU (Power Supply Uni

t) 13、ファンユニット14、通信インタフェース15及びバス16を有する。CPU11、メモリ12、PSU13、ファンユニット14及び通信インタフェース15は、バス16を介して互いに接続されている。

[0013] CPU11は、情報処理装置10の各種処理を実行する。

[0014] メモリ12は、CPU11が実行するOS (Operating System) のプログラム、アプリケーションプログラム、情報処理装置10を制御するプログラムの少なくとも一部を一時的に記憶する。また、メモリ12は、CPU11における処理に必要な各種データを記憶する。

[0015] なお、プログラム12Aは、メモリ12以外の記憶媒体に保持してもよい。プログラム12Aは、例えば、情報処理装置10に挿入されるフレキシブルディスク(FD)、CD-ROM、MOディスク、DVDディスク、光磁気ディスク及びICカードなどの「可搬用の物理的記憶媒体」に記憶される。プログラム12Aは、情報処理装置10の内外に備えられるディスク装置、あるいはLAN (Local Area Network)、ネットワーク、公衆回線、インターネット、WANなどを介して情報処理装置10に接続される「他のコンピュータ (またはサーバ)」が保持する不図示の記憶媒体に記憶される。CPU11は、メモリ12からプログラム12Aを読み出し、プログラム12Aを実行する。

[0016] PSU13は、情報処理装置10のCPU11、メモリ12、ファンユニット14及び通信インタフェース15に直流電圧を供給する。

[0017] ファンユニット14は、情報処理装置10のCPU11、メモリ12、PSU13及び通信インタフェース15を冷却する。

[0018] 通信インタフェース15は、情報処理装置10がネットワーク500を介して制御ユニット100及び制御ユニット200と接続するために設けられる。通信インタフェース15は、CPU11及びメモリ12間のデータの送受信を行うインタフェースの機能を提供する。

[0019] 制御ユニット100は、MCU (Microcontroller Unit) 141、メモリの一例としてのUSBメモリ123、ミッドプレーン

コネクタ 150 及びバス 160 を有する。MCU 141、USBメモリ 123 及びミッドプレーンコネクタ 150 は、バス 160 を介して互いに接続されている。

[0020] 制御ユニット 100 は、制御ユニット 200 と同一の構成を備えており、互いに等価な同一の動作を行なう事ができる。そして、制御ユニット 100 は、制御ユニット 100 内で発生する内部障害を検出する機能を備える。内部障害の検出結果は、ミッドプレーンコネクタ 150 及びネットワーク 500 を介して制御ユニット 200 に伝送される。制御ユニット 100 が故障した場合、制御ユニット 200 が制御ユニット 100 の代わりに情報処理装置 10 に接続することで、情報処理装置 10 の CPU 11、メモリ 12、PSU 13、ファンユニット 14 及び通信インタフェース 15 に対する電源制御、初期化及び監視を行うことができる。

[0021] MCU 141 は、制御ユニット 100 の各種処理を実行する。また、MCU 141 は、情報処理装置 10 の CPU 11、メモリ 12、PSU 13、ファンユニット 14 及び通信インタフェース 15 に対する電源制御、初期化及び監視を行う。また、第 1 の制御部である MCU 141 は、不揮発性メモリである USBメモリ 123 に記憶されたソフトウェア 123A を処理するとともに、USBメモリ 123 に記憶されているソフトウェア 123A のいずれかに更新の指示があった場合、USBメモリ 123 に記憶されている、変更指示があったソフトウェア 123A の更新を行なう。

[0022] USBメモリ 123 は、MCU 141 が実行する OS のプログラム、アプリケーションプログラム、制御ユニット 100 を制御するソフトウェア 123A の少なくとも一部を記憶する。また、USBメモリ 123 は、MCU 141 における処理に必要な各種データを記憶する。また、USBメモリ 123 は、情報処理装置 10 の CPU 11、メモリ 12、ファンユニット 14 及び通信インタフェース 15 のエラーログ情報を記憶する。また、USBメモリ 123 は、情報処理装置 10 のユーザによって任意に設定できる構成情報を含む設定情報を記憶する。また、USBメモリ 123 は、情報処理装置 1

0のCPU11、メモリ12、PSU13、ファンユニット14及び通信インタフェース15におけるFRU（Field Replacement Unit：フィールド交換可能ユニット）情報を記憶する。また、USBメモリ123は、情報処理装置10のCPU11及びメモリ12における各種バックアップ情報を記憶する。また、USB123は、制御ユニット100のエラーを検出するファームウェアを記憶する。また、USBメモリ123は、制御ユニット100及び制御ユニット200の故障要因を記録したログを記憶する。

[0023] USBメモリ123は、USBメモリ123が記憶するデータの破損防止を保証するためにUSBメモリ223と二重化されている。USBメモリ123は、USBメモリ223が記憶するデータおよびソフトウェア223Aと同一のデータ及びプログラムを記憶する。

[0024] ミッドプレーンコネクタ150は、制御ユニット100が、ネットワーク500を介して、情報処理装置10および制御ユニット200と接続するために設けられる。ミッドプレーンコネクタ150は、制御ユニット100と情報処理装置10との間、あるいは制御ユニット100と制御ユニット200との間におけるデータの送受信を行う。

[0025] 制御ユニット200は、MCU241、USBメモリ223及びミッドプレーンコネクタ250を有する。MCU241、USBメモリ223及びミッドプレーンコネクタ250は、バス260を介して互いに接続されている。

[0026] 制御ユニット200は、制御ユニット100と同一の構成を備えており、互いに等価な同一の動作を行なう事ができる。そして、制御ユニット200は、自装置内で発生する内部障害を検出する機能を備える。内部障害の検出結果は、ミッドプレーンコネクタ250及びネットワーク500を介して制御ユニット100に伝送される。制御ユニット200が故障した場合、制御ユニット100が制御ユニット200の代わりに情報処理装置10に接続することで、情報処理装置10のCPU11、メモリ12、PSU13、ファ

ンユニット１４及び通信インタフェース１５に対する電源制御、初期化及び監視を行うことができる。

[0027] また、第２の制御部であるＭＣＵ２４１は、検出部であるＣＰＬＤによって、現用系処理装置である制御ユニット１００の異常が検出された場合、ＭＣＵ２４１の起動に伴い、不揮発性メモリであるＵＳＢメモリ２２３に記憶されたソフトウェア２２３Ａを処理する。また、ＵＳＢメモリ２２３は、ＵＳＢメモリ２２３が記憶するデータの破損防止を保証するためにＵＳＢメモリ１２３と二重化されている。ＵＳＢメモリ２２３は、ＵＳＢメモリ１２３が記憶するデータおよびソフトウェア１２３Ａと同一のデータ及びプログラムを記憶する。即ち、情報処理システム１０００は、ソフトウェア１２３Ａ、２２３Ａを記憶する不揮発性メモリ１２３、２２３、現用系処理装置１００、及び、予備系処理装置２００を有する。

[0028] 図２は、本実施例における制御ユニット１００及び制御ユニット２００の構成を示す図である。図２において、図１で説明した構成と同様の構成には同一の符号を付し、説明を省略する。

[0029] 制御ユニット１００は、第１電源回路１１０、第１電源系デバイス１２０、第２電源回路１３０及び第２電源系デバイス１４０を有する。制御ユニット１００は、二系統に分離された第１電源回路１１０及び第２電源回路１３０を有する。なお、図２の例では、制御ユニット１００は現用系として動作する。

[0030] 第１電源回路１１０は、装置主電源に接続されている。第１電源回路１１０は、第１電源系デバイス１２０に直流電圧を供給する。第１電源回路１１０は、制御ユニット１００が現用系として動作する場合、第１電源系デバイス１２０に対して直流電圧を供給する。

[0031] 第１電源系デバイス１２０は、第１電源回路１１０によって直流電圧が供給される。第１電源系デバイス１２０は、例えばＵＳＢメモリ１２３を含む。第１電源系デバイス１２０は、制御ユニット２００のＵＳＢメモリ２２３とデータを多重化するため、第１電源回路１１０によって常時電源が投入さ

れている。第1電源系デバイス120は、現用系／予備系に関わらず、第1電源回路110によって電源が投入されている。

[0032] 第2電源回路130は、第1電源回路110と同様に、装置主電源に接続されている。第2電源回路130は、第2電源系デバイス140に直流電圧を供給する回路である。第2電源回路130は、制御ユニット100が現用系として動作する場合、第2電源系デバイス140に対して直流電圧を供給する。なお、制御ユニット100が予備系として動作する場合、第2電源回路130には電源が投入されない。

[0033] 第2電源系デバイス140は、第2電源回路130によって直流電圧が供給される。第2電源系デバイス140は、例えばMCU141を含む。又、第2電源系デバイス140は、情報処理装置10の制御対象ユニット群であるCPU11、メモリ12、PSU13、ファンユニット14及び通信インタフェース15の監視及び制御を行う為に、他の制御ユニット200と通信するために用いられるデバイス群を含む。第2電源系デバイス140は、制御ユニット100が現用系として動作する場合、電源が投入される。

[0034] 制御ユニット200は、第1電源回路210、第1電源系デバイス220、第2電源回路230及び第2電源系デバイス240を有する。制御ユニット200は、制御ユニット100と同様に、二系統に分離された第1電源回路210及び第2電源回路230を有する。なお、制御ユニット200は、図2の例では予備系として動作する。

[0035] 第1電源回路210は、装置主電源に接続されている。第1電源回路210は、第1電源系デバイス220に直流電圧を供給する。第1電源回路210は、制御ユニット200が予備系として動作する場合でも、第1電源系デバイス220に対して直流電圧を供給する。

[0036] 第1電源系デバイス220は、第1電源回路210によって直流電圧が供給される。第1電源系デバイス220は、例えばUSBメモリ223を含む。第1電源系デバイス220は、制御ユニット100のUSBメモリ123とデータを多重化するため、制御ユニット200が予備系として動作する場

合でも、第1電源回路210によって常時電源が投入れている。

[0037] 第2電源回路230は、第1電源回路210と同様に、装置主電源に接続されている。第2電源回路230は、第2電源系デバイス240に直流電圧を供給する回路である。第2電源回路230は、制御ユニット200が予備系として動作する場合、第2電源系デバイス240に対して直流電圧を供給しない。

[0038] 第2電源系デバイス240は、第2電源回路230によって直流電圧が供給される。第2電源系デバイス240は、例えばMCU241を含む。又、第2電源系デバイス240は、情報処理装置10の制御対象ユニット群であるCPU11、メモリ12、PSU13、ファンユニット14及び通信インタフェース15の監視及び制御を行う為に、他の制御ユニット100と通信するために用いられるデバイス群を含む。第2電源系デバイス240は、制御ユニット200が予備系として動作する場合、電源が投入されない。

[0039] 図3は、本実施例における制御ユニット100及び制御ユニット200の通常運用時の電源投入状態を示す図である。通常運用とは、制御ユニット100が現用系として動作し、制御ユニット200が予備系として動作する場合を示す。図3において、図1～図2で説明した構成と同様の構成には同一の符号を付し、説明を省略する。

[0040] 図3に示すように、制御ユニット100が現用系として動作する場合、第1電源系デバイス120及び第2電源系デバイス140には電源が投入される。一方、制御ユニット200が予備系として動作する場合、第1電源系デバイス220には電源が投入され、第2電源系デバイス240には電源が投入されない。即ち、制御ユニット200が予備系として動作する場合、現用系として動作する制御ユニット100とのデータの同期に必要なデバイス以外は、電源が投入されない。

[0041] 図4は、本実施例における制御ユニット100及び制御ユニット200の内部構成の一部を説明する為の図である。図4において、図1～図3で説明した構成と同様の構成には同一の符号を付し、説明を省略する。

- [0042] 制御ユニット100は、第1電源回路110、制御回路121、GPIO (General Purpose Input Output:汎用入出力) 122、USB (Universal Serial Bus) メモリ 123、USBスイッチ124、第2電源回路130、MCU141、BOOT FMEM (Flash Memory) 143、CPLD (Configurable Programmable Logic Device) 144、周辺デバイス145及びミッドプレーンコネクタ150を有する。なお、図4では、制御ユニット100が現用系として動作する。
- [0043] なお、図2で前述した第1電源系デバイス120は、制御回路121、GPIO122、USBメモリ123及びUSBスイッチ124を含む。第1電源系デバイス120には、図2で前述したとおり、第1電源回路110によって直流電圧が供給される。又、図2で前述した第2電源系デバイス140は、MCU141、BOOT FMEM143、CPLD144及び周辺デバイス145を含む。第2電源系デバイス140には、図2で前述したとおり、第2電源回路130によって直流電圧が供給される。
- [0044] 制御回路121は、制御ユニット100のGPIO122、第2電源回路130、制御ユニット200の制御回路221、GPIO222及びCPLD244と、バスによって接続されている。制御回路121は、バスを介して、GPIO122、GPIO222及びCPLD244からの指示に基づいて、第2電源回路130に対する電源の投入及び切断の指示を行う。
- [0045] GPIO122は、MCU141と、I2C (Inter-Integrated Circuit) によって接続されている。GPIO122は、I2Cを介したMCU141からの指示に基づいて、Port 0、Port 1、Port 2及びPort 3の設定を行う。また、GPIO122は、Port 0、Port 1、Port 2及びPort 3の設定を記憶するレジスタを内蔵する。
- [0046] GPIO122のPort 0は、バスによって、制御回路121と接続されている。GPIO122のPort 1は、バスによって、制御ユニッ

ト200のGPIO222のPort 2と接続されている。GPIO122のPort 2は、バスによって、ミッドプレーンコネクタ150及びミッドプレーンコネクタ250を介して、制御ユニット200のGPIO222のPort 1と接続されている。GPIO122のPort 3は、バスによって、ミッドプレーンコネクタ150及びミッドプレーンコネクタ250を介して、制御ユニット200のCPLD244と接続されている。

[0047] USBメモリ123は、USB2.0によって、USBスイッチ124と接続されている。USBメモリ123は、USB2.0を介して、USBスイッチ124との間で記憶しているデータの送受信を行う。

[0048] USBスイッチ124は、Port Assign Interfaceによって、ミッドプレーンコネクタ150及びミッドプレーンコネクタ250を介して、制御ユニット200のCPLD244と接続されている。Port Assign Interfaceは、USBスイッチ124のPort 0又はPort 1を設定する為の入力信号である。USBスイッチ124は、I2Cによって、MCU141と接続されている。USBスイッチ124のPort 0は、MCU141と、USB2.0によって接続されている。USBスイッチ124のPort 1は、制御ユニット200のMCU241と、ミッドプレーンコネクタ150及びミッドプレーンコネクタ250を介して、USB2.0によって接続されている。

[0049] MCU141は、バスによって、ミッドプレーンコネクタ150と接続されている。MCU141は、USB2.0によって、USBスイッチ124のPort 0と接続されている。MCU141は、USB2.0によって、ミッドプレーンコネクタ150及びミッドプレーンコネクタ250を介して、制御ユニット200のUSBスイッチ224のPort 1と接続されている。MCU141は、バスによって、BOOT FMEM143及びCPLD144と接続されている。又、MCU141は、GPIOを内蔵している。

[0050] BOOT FMEM143は、MCU141とバスを介して接続されてい

る。BOOT FMEM143は、MCU141の起動プログラムが記憶されている。BOOT FMEM143が記憶する起動プログラムは、周辺デバイス145の初期化を行うプログラムが組み込まれている。BOOT FMEM143が記憶する起動プログラムは、GPIO122のレジスタに記憶されたPort 0、Port 1、Port 2及びPort 3の設定情報をMCU141によって読出し、MCU141の起動要因が何であるかを確認する処理を含む。なお、MCU141の起動要因が何かによって、MCU141の起動後の処理が変更される。

[0051] CPLD144は、バスによって、MCU141と接続されている。CPLD144は、Port Assign Interfaceによって、ミッドプレーンコネクタ150及びミッドプレーンコネクタ250を介して、制御ユニット200のUSBスイッチ224と接続されている。CPLD144は、バスによって、ミッドプレーンコネクタ150及びミッドプレーンコネクタ250を介して、制御ユニット200のGPIO222のPort 3と接続されている。CPLD144は、MCU141の動作状況を監視する回路であるウォッチドッグタイマを内蔵している。CPLD144は、MCU141の起動時、又は運用中に、MCU141からの応答が所定時間以上無かった場合、MCU141に動作異常が発生したと判断する。CPLD144は、MCU141に動作異常が発生したと判断した後、USBスイッチ224及びGPIO222のPort 3に対してMCU141のリセット信号又は割り込み（Non-Maskable Interrupt：NMI）信号をアサートする。即ち、CPLD144は、第1の制御部であるMCU141の異常の発生を検出する。

[0052] 周辺デバイス145は、NIC（Network Interface Card）、Hub（集線装置）、I2C Controller、DRAM（Dynamic Random Access Memory）、MRAM（Magnetoresistive Random Access Memory）、Sensor、LED（Light Emitting

D i o d e) コントローラ及びE2PROM (E l e c t r i c a l l y E r a s a b l e P r o g r a m m a b l e R e a d O n l y M e m o r y) を含む。周辺デバイス145は、情報処理装置10の管理及び制御を行う為に用いられるデバイスである。

[0053] ミッドプレーンコネクタ150は、制御ユニット100と、情報処理装置10及び制御ユニット200との間を接続するコネクタである。ミッドプレーンコネクタ150は、制御ユニット100が情報処理システム1000のスロットに接続される際に、スロット位置に対応する信号が、情報処理システム1000のS l o t # 0から入力される。ミッドプレーンコネクタ150は、接続された制御ユニット100に対して、制御ユニット100が現用系になるか、又は予備系になるか識別する為の識別信号を、MCU141に対して伝送する。

[0054] MCU141は、第2電源回路130によって電源が投入された時、B O O T F M E M 1 4 3に記憶されているMCU141の起動プログラムの読み出しを行い、MCU141の起動を行う。MCU141は、MCU141の起動時に、B O O T F M E M 1 4 3に記憶されている周辺デバイス145の初期化を行うプログラムを実行し、周辺デバイス145の初期化を行う。MCU141は、MCU141の起動時に、B O O T F M E M 1 4 3に記憶されているプログラムのうち、G P I O 1 2 2のレジスタに記憶されたP o r t 0、P o r t 1、P o r t 2及びP o r t 3の設定情報をMCU141によって読み出す処理を実行する。MCU141は、G P I O 1 2 2のレジスタに記憶されたP o r t 0、P o r t 1、P o r t 2及びP o r t 3の設定情報から、MCU141の起動要因が何であるか確認する。MCU141は、ミッドプレーンコネクタ150から入力される識別信号に基づいて、制御ユニット100が現用系か、又は予備系であることを認識する。

[0055] また、MCU141が制御不能になり、C P L D 1 4 4のウォッチドッグタイマがMCU141からのハートビートを検出できずにタイムアウトする

場合がある。この場合、CPLD144は、Port Assign Interfaceを介して、USBスイッチ224のPort 1によるMCU141の接続から、Port 0によるMCU241による接続に切替える。USBスイッチ224のPort 0がMCU241に接続することによって、MCU241は、USBスイッチ224を介してUSBメモリ223と接続可能になる。

[0056] 制御ユニット200は、第1電源回路210、制御回路221、GPIO222、USBメモリ223、USBスイッチ224、第2電源回路230、MCU241、BOOT FMEM243、CPLD244、周辺デバイス245及びミッドプレーンコネクタ250を有する。なお、制御ユニット200は、予備系として動作する。なお、制御ユニット200において、制御ユニット100で説明した構成と同様の構成には同一符号を付し、説明を省略する。

[0057] なお、図2で前述した第1電源系デバイス220は、制御回路221、GPIO222、USBメモリ223及びUSBスイッチ224を含む。第1電源系デバイス220には、図2で前述したとおり、第1電源回路210によって直流電圧が供給される。又、図2で前述した第2電源系デバイス240は、MCU241、BOOT FMEM243、CPLD244及び周辺デバイス245を含む。第2電源系デバイス240には、図2で前述したとおり、第2電源回路230によって直流電圧が供給される。

[0058] 制御回路221は、制御ユニット200のGPIO222、第2電源回路230、制御ユニット100のGPIO122及びCPLD144と、バスによって接続されている。制御回路221は、バスを介して、GPIO222、GPIO122、及びCPLD144からの指示に基づいて、第2電源回路230に対する電源の投入及び切断の指示を行う。即ち、起動制御部である制御回路221は、第2の制御部であるMCU241に起動指示を出力する。

[0059] GPIO222は、MCU241と、I2Cによって接続されている。G

P I O 2 2 2 は、I 2 C を介した M C U 2 4 1 から の 指 示 に 基 づ い て、P o r t 0、P o r t 1、P o r t 2 及 び P o r t 3 の 設 定 を 行 う。ま た、G P I O 2 2 2 は、P o r t 0、P o r t 1、P o r t 2 及 び P o r t 3 の 設 定 を 記 憶 す る レジスタを内蔵する。

[0060] G P I O 2 2 2 の P o r t 0 は、バスによって、制御回路 2 2 1 と接続されている。G P I O 2 2 2 の P o r t 1 は、バスによって、ミッドプレーンコネクタ 1 5 0 及びミッドプレーンコネクタ 2 5 0 を介して、制御回路 1 2 1 及び G P I O 1 2 2 の P o r t 2 と接続されている。G P I O 2 2 2 の P o r t 2 は、バスによって、ミッドプレーンコネクタ 1 5 0 及びミッドプレーンコネクタ 2 5 0 を介して、G P I O 1 2 2 の P o r t 1 と接続されている。G P I O 2 2 2 の P o r t 3 は、バスによって、ミッドプレーンコネクタ 1 5 0 及びミッドプレーンコネクタ 2 5 0 を介して、C P L D 1 4 4 と接続されている。

[0061] U S B メモリ 2 2 3 は、U S B 2 . 0 に よ っ て、U S B スイッチ 2 2 4 と接続されている。U S B メモリ 2 2 3 は、U S B 2 . 0 を介して、U S B スイッチ 2 2 4 と、U S B メモリ 2 2 3 に記憶されているデータの送受信を行う。

[0062] U S B スイッチ 2 2 4 は、P o r t A s s i g n I n t e r f a c e に よ っ て、ミッドプレーンコネクタ 1 5 0 及びミッドプレーンコネクタ 2 5 0 を介して、制御ユニット 1 0 0 の C P L D 1 4 4 と接続されている。P o r t A s s i g n I n t e r f a c e は、U S B スイッチ 2 2 4 の P o r t 0 又 は P o r t 1 を設定する為の入力信号である。U S B スイッチ 2 2 4 は、I 2 C に よ っ て、M C U 2 4 1 と接続されている。U S B スイッチ 2 2 4 の P o r t 0 は、M C U 2 4 1 と、U S B 2 . 0 に よ っ て接続されている。U S B スイッチ 2 2 4 の P o r t 1 は、M C U 1 4 1 と、ミッドプレーンコネクタ 1 5 0 及びミッドプレーンコネクタ 2 5 0 を介して、U S B 2 . 0 に よ っ て接続されている。

[0063] M C U 2 4 1 は、バスによって、ミッドプレーンコネクタ 2 5 0 と接続さ

れている。MCU241は、USB2.0によって、USBスイッチ224のPort 0と接続されている。MCU241は、USB2.0によって、ミッドプレーンコネクタ150及びミッドプレーンコネクタ250を介して、USBスイッチ124のPort 1と接続されている。MCU241は、バスによって、BOOT\_FMEM243及びCPLD244と接続されている。又、MCU241は、GPIOを内蔵している。

[0064] BOOT\_FMEM243は、MCU241とバスを介して接続されている。BOOT\_FMEM243は、MCU241の起動プログラムが記憶されている。BOOT\_FMEM243が記憶する起動プログラムは、周辺デバイス245の初期化を行うプログラムが組み込まれている。BOOT\_FMEM243が記憶する起動プログラムは、GPIO222のレジスタに記憶されたPort 0、Port 1、Port 2及びPort 3の設定情報をMCU241によって読出し、MCU241の起動要因が何であるかを確認する処理を含む。なお、MCU241の起動要因が何かによって、MCU241の起動後の処理が変更される。

[0065] CPLD244は、バスによって、MCU241と接続されている。CPLD244は、Port Assign Interfaceによって、ミッドプレーンコネクタ150及びミッドプレーンコネクタ250を介して、USBスイッチ124と接続されている。CPLD244は、バスによって、ミッドプレーンコネクタ150及びミッドプレーンコネクタ250を介して、GPIO122のPort 3と接続されている。CPLD244は、MCU241の動作状況を監視する回路であるウォッチドッグタイマを内蔵している。CPLD244は、MCU241の起動時、又は運用中に、MCU241からの応答が所定時間以上無かった場合、MCU241に動作異常が発生したと判断する。CPLD244は、MCU241に動作異常が発生したと判断した後、USBスイッチ124及びGPIO222のPort 3に対してMCU241のリセット信号又は割り込み（Non-Maskable Interrupt：NMI）信号をアサートする。

- [0066] 周辺デバイス245は、NIC、Hub、I2C Controller、DRAM、MRAM、Sensor、LEDコントローラ及びEEPROMを含む。周辺デバイス245は、制御ユニット100の周辺デバイス145と同様に、情報処理装置10の管理及び制御を行う為に用いられるデバイスである。
- [0067] ミッドプレーンコネクタ250は、制御ユニット200と、情報処理装置10及び制御ユニット100との間を接続するコネクタである。ミッドプレーンコネクタ250は、制御ユニット200を情報処理システム1000のスロットに接続する際に、スロット位置に対応する信号が、情報処理システム1000のSlot #1から入力される。ミッドプレーンコネクタ250は、接続された制御ユニット200に対して、制御ユニット200が現用系になるか、又は予備系になるか識別する為の識別信号を、MCU241に対して伝送する。
- [0068] MCU241は、第2電源回路230によって電源が投入された時、BOOT FMEM243に記憶されているMCU241の起動プログラムの読み出しを行い、MCU241の起動を行う。MCU241は、MCU241の起動時に、BOOT FMEM243に記憶されている周辺デバイス245の初期化を行うプログラムを実行し、周辺デバイス245の初期化を行う。MCU241は、MCU241の起動時に、BOOT FMEM243に記憶されているプログラムのうち、GPIO222のレジスタに記憶されたPort 0、Port 1、Port 2及びPort 3の設定情報をMCU241によって読み出す処理を実行する。MCU241は、GPIO222のレジスタに記憶されたPort 0、Port 1、Port 2及びPort 3の設定情報から、MCU241の起動要因が何であるか確認する。MCU241は、ミッドプレーンコネクタ250から入力される識別信号に基づいて、制御ユニット100が現用系か、又は予備系であることを認識する。
- [0069] また、MCU241が制御不能になり、CPLD244のウォッチドッグ

タイマがMCU241からのハートビートを検出できずにタイムアウトする場合がある、この場合、CPLD244は、Port Assign Interfaceを介して、USBスイッチ124のPort 1によるMCU241の接続から、Port 1によるMCU141による接続へ切替える。USBスイッチ124のPort 0がMCU141に接続することによって、MCU141は、USBスイッチ124を介してUSBメモリ123と接続可能になる。

[0070] 図5は、本実施例における制御回路121の内部構成を説明する為の図である。図5において、図1～図4で説明した構成と同様の構成には同一の符号を付し、説明を省略する。

[0071] 図5に示すように、制御回路121は、排他的論理和回路121A及び論理和回路121Bを有する。

[0072] 排他的論理和回路121Aは、端子X1、端子X2及び端子X3を有する。端子X1は、GPIO122のPort 0と接続する。端子X2は、GPIO122のPort 2及び制御ユニット200のGPIO222のPort 1と接続する。端子X3は、論理和回路121Bの端子Y1と接続する。

[0073] 論理和回路121Bは、端子Y1、端子Y2及び端子Y3を有する。端子Y1は、排他的論理和回路121Aの端子X3と接続する。端子Y2は、GPIO122のPort 3及び制御ユニット200のCPLD244と接続する。端子Y3は、第2電源回路130と接続する。

[0074] なお、端子X1は、GPIO122のPort 0からPOWER\_\_ENABLE信号が入力される。POWER\_\_ENABLE信号は、制御ユニット100の第2電源回路130の有効信号をアサートするために出力される信号である。信号のアサートとは、信号をハイ(High)レベルにすることを言う。端子X2は、制御ユニット200のGPIO222からOTHER\_\_ENABLE信号が入力される。OTHER\_\_ENABLE信号は、制御ユニット200にエラーが発生した時に、制御ユニット200から、制御

ユニット１００の第２電源回路１３０の電源をＯＮするために出力される信号である。端子Ｙ２は、制御ユニット２００のＣＰＬＤ２４４からＷＤＴ\_\_ENABLE信号が入力される。ＷＤＴ\_\_ENABLE信号は、制御ユニット２００のＣＰＬＤ２４４に内蔵されているウォッチドッグタイマから、制御ユニット１００の第２電源回路１３０の電源をＯＮするために出力される信号である。端子Ｙ３は、制御ユニット１００の第２電源回路１３０に対して、POWER\_\_ON信号が出力される。POWER\_\_ON信号は、制御ユニット１００の第２電源回路１３０の電源をＯＮするために出力される信号である。

[0075] 図６は、本実施例における制御回路１２１の排他的論理和回路１２１Ａの真理値表を説明する為の図である。図６の真理値表は、排他的論理和回路１２１Ａの入出力の関係全てを真理値で表した表である。

[0076] 図６に示すように、端子Ｘ１及び端子Ｘ２に「０」が入力された時、端子Ｘ３から「０」が出力される。また、端子Ｘ１に「０」、端子Ｘ２に「１」が入力された時、端子Ｘ３から「１」が出力される。また、端子Ｘ１に「１」、端子Ｘ２に「０」が入力された時、端子Ｘ３から「１」が出力される。また、端子Ｘ１に「１」、端子Ｘ２に「１」が入力された時、端子Ｘ３から「０」が出力される。

[0077] 図７は、本実施例における制御ユニット１００のＧＰＩＯ１２２の信号と、ＧＰＩＯ１２２に記憶されるレジスタ値との関係を説明する為の図である。ＧＰＩＯ１２２は、ＭＣＵ１４１からの指示に基づいて、ＧＰＩＯ１２２に内蔵されているPort 0、Port 1、Port 2及びPort 3の設定を変更する。

[0078] ＧＰＩＯ１２２のPort 0から出力される信号は、制御回路１２１に出力されるPOWER\_\_ENABLE信号に相当する。ＧＰＩＯ１２２のPort 0のレジスタ値が「１」に設定されているとき、ＧＰＩＯ１２２のPort 0から、制御ユニット１００の第２電源回路１３０の電源をＯＮする信号が出力される。ＧＰＩＯ１２２のPort 0のレジスタ値が「０

」に設定されているとき、G P I O 1 2 2 の P o r t 0 から、制御ユニット100の第2電源回路130の電源をOFFする信号が出力される。

[0079] G P I O 1 2 2 の P o r t 1 から出力される信号は、制御ユニット200の制御回路221に対して出力されるOTHER\_\_ENABLE信号に相当する。G P I O 1 2 2 の P o r t 1 のレジスタ値が「0」に設定されているとき、エラー無しの通常状態を示すNormal信号が、G P I O 1 2 2 の P o r t 1 から制御ユニット200の制御回路221に対して出力される。G P I O 1 2 2 の P o r t 1 のレジスタ値が「1」に設定されているとき、制御ユニット100にエラーが発生したため、制御ユニット200の第2電源回路130の電源をONすることを示すError信号が、G P I O 1 2 2 の P o r t 1 から制御ユニット200の制御回路221に対して出力される。

[0080] G P I O 1 2 2 の P o r t 2 に入力される信号は、制御ユニット200のG P I O 2 2 2 の P o r t 1 から入力されるOTHER\_\_ENABLE信号に相当する。G P I O 1 2 2 の P o r t 2 のレジスタ値が「0」に設定されているとき、エラー無しの通常状態を示すNormal信号がG P I O 2 2 2 の P o r t 1 からG P I O 1 2 2 の P o r t 2 に入力されたことを示す。G P I O 1 2 2 の P o r t 2 のレジスタ値が「1」に設定されているとき、制御ユニット200が現用系として動作する場合に制御ユニット100にエラーが発生したため、制御ユニット100の第2電源回路130の電源がONされたことを示すError信号がG P I O 2 2 2 の P o r t 1 からG P I O 1 2 2 の P o r t 2 に入力されたことを示す。

[0081] G P I O 1 2 2 の P o r t 3 に入力される信号は、制御ユニット200のC D L D 2 4 4 から入力されるW D T \_\_ENABLE信号に相当する。G P I O 1 2 2 の P o r t 3 のレジスタ値が「0」に設定されているとき、エラー無しの通常状態を示すNormal信号が、制御ユニット200のC D L D 2 4 4 からG P I O 1 2 2 の P o r t 3 に入力されたことを示す。G P I O 1 2 2 の P o r t 3 のレジスタ値が「1」に設定されているとき

、制御ユニット200が現用系として動作する場合に制御ユニット200にエラーが発生したため、制御ユニット100の第2電源回路130の電源がONされたことを示すError信号が、制御ユニット200のCDLD244からGPIO122のPort 3に入力されたことを示す。

[0082] 図8は、本実施例における制御ユニット100及び制御ユニット200の通常運用時の処理を示すシーケンス図である。図8において、図1～図7で説明した構成と同様の構成には同一の符号を付し、説明を省略する。なお、本実施例において、制御ユニット100は現用系として動作する。制御ユニット200は予備系として動作する。

[0083] 図8に示すように、制御ユニット100は、装置主電源がONされると（OP1）、制御ユニット100の第1電源回路110に電源が投入される（OP2）。第1電源回路110は、第1電源系デバイス120に電源を投入する。次いで、GPIO122のPort 0から出力されるPOWER\_\_ENABLE信号に「High」（1）がアサートされる（OP2）。次いで、制御ユニット100の第2電源回路130に電源が投入される（OP2）。第2電源回路130は、第2電源系デバイス140に電源を投入する。GPIO122のレジスタ値は、POWER\_\_ENABLE：1、OTHER\_\_ENABLE：0、WDT\_\_ENABLE：0及びPOWER\_\_ON：1である。

[0084] 制御ユニット100のMCU141は、BOOT\_FMEM143に記憶されている起動プログラムを読み出す（OP3）。MCU141は、周辺デバイス145を初期化する（OP3）。

[0085] MCU141は、ミッドプレーンコネクタ150から入力されているSlot #0識別信号により、制御ユニット100が現用系であることを認識する（OP4）。

[0086] MCU141は、制御ユニット100のUSBスイッチ124のアップストリーム側のポート設定をPort 0に設定する（OP5）。即ち、MCU141は、USBスイッチ124からMCU141に向かう側のポート設

定をPort 0に設定する（OP5）。

[0087] MCU141は、制御ユニット100のUSBメモリ123及び制御ユニット200のUSBメモリ223に対して、データ及びプログラムの二重化書込みを開始する（OP6）。次いで、制御ユニット100は、通常運用業務に移行する（OP7）。通常運用業務とは、制御ユニット100が現用系として動作し、制御ユニット200が予備系として動作する運用業務を示す。

[0088] 制御ユニット200は、装置主電源がONされると（OP8）、制御ユニット200の第1電源回路210に電源が投入される（OP9）。第1電源回路210は、第1電源系デバイス220に電源を投入する。次いで、GPIO222のPort 0から出力されるPOWER\_\_ENABLE信号に「High」（1）がアサートされる（OP9）。次いで、制御ユニット200の第2電源回路230に電源が投入される（OP9）。第2電源回路230は、第2電源系デバイス240に電源を投入する。

[0089] 制御ユニット200のMCU241は、BOOT\_FMEM243に記憶されている起動プログラムを読み出して起動する（OP10）。MCU241は、周辺デバイス245を初期化する（OP10）。

[0090] MCU241は、ミッドプレーンコネクタ250から入力されているSlot #1識別信号により、制御ユニット200が予備系であることを認識する（OP11）。

[0091] MCU241は、制御ユニット200のUSBスイッチ224のアップストリーム側のポート設定をPort 1に設定する（OP12）。即ち、MCU241は、USBスイッチ224からMCU241に向かう側のポート設定をPort 1に設定する（OP12）。

[0092] MCU241は、I2Cを介してGPIO222を制御し、GPIO222のPort 0から出力されるPOWER\_\_EN信号に、「Low」（0）をアサートする（OP13）。

[0093] 第2電源回路230は、「Low」（0）がアサートされたPOWER\_\_

EN信号が入力されると、第2電源回路230がOFFされる。そのため、第2電源系デバイス240の電源がOFFされる(OP14)。GPIO222のレジスタ値は、POWER\_\_ENABLE:0、OTHER\_\_ENABLE:0、WDT\_\_ENABLE:0及びPOWER\_\_ON:0である。

[0094] 図9～図10は、本実施例における制御ユニット100の障害発生時の処理を示すシーケンス図である。図9のAに示す処理は図10のAに続いている。図9～図10において、図1～図8で説明した構成と同様の構成には同一の符号を付し、説明を省略する。なお、本実施例において、制御ユニット100は現用系として動作する。制御ユニット200は予備系として動作する。

[0095] 図9に示すように、制御ユニット100における障害の発生が検出されると(OP21)、CPLD144は、CPLD144に内蔵されているウォッチドッグタイマを用いて、MCU141が制御不能に陥っているか判断する(OP22)。具体的には、CPLD144は、MCU141の起動時、又は運用中に、MCU141からの応答が所定時間以上無かった場合、MCU141に動作異常が発生したと判断する。

[0096] MCU141が制御不能に陥っていない場合(OP22 N)、MCU141は、USBメモリ123に記憶されているファームウェアを読み出して、制御ユニット100のエラーを検出する(OP23)。

[0097] MCU141が制御不能に陥っている場合(OP22 Y)、制御ユニット100のCPLD144は、制御ユニット200の第2電源回路230の電源をONする(OP27)。具体的には、MCU141に動作異常が発生し、CPLD144のウォッチドッグタイマがMCU141からのハートビートを検出できずにタイムアウトした後の処理として、CPLD144が制御ユニット200の電源をONするための信号(WDT\_\_ENABLE)をアサートする。MCU141は制御不能のため、制御ユニット200の第2電源回路230及び第2電源系デバイス240に対する電源投入は、CPLD144によって行われる。

- [0098] MCU 141が制御不能に陥っている場合（OP22 Y）の、制御ユニット200の第2電源回路230及び第2電源系デバイス240に対する電源投入の処理を説明する。最初に、CPLD 144は、制御ユニット200の制御回路221に対して出力されるWDT\_\_ENABLE信号に「High」（1）がアサートされる。次いで、制御回路221から第2電源回路230に対して出力されるPOWER\_\_ON信号に「High」（1）がアサートされる。そのため、制御ユニット200の第2電源回路230に電源が投入される。GPIO222のレジスタ値は、POWER\_\_ENABLE：0、OTHER\_\_ENABLE：0、WDT\_\_ENABLE：1及びPOWER\_\_ON：1である。
- [0099] MCU 141は、制御ユニット100のエラーを検出した後（OP23）、USBメモリ123に記憶されているファームウェアを読み出して、制御ユニット100の障害箇所を特定する（OP24）。次いで、MCU 141は、特定された制御ユニット100の障害箇所を、USBメモリ123、及び、USBメモリ123と2重化されているUSBメモリ223に記録する（OP24）。次いで、MCU 141は、制御ユニット100のGPIO122を制御して、制御ユニット200の第2電源系デバイス240の電源をONする（OP25）。具体的には、GPIO122のPort 1から、制御ユニット200の制御回路221に対して出力されるOTHER\_\_ENABLE信号に「High」（1）がアサートされる。次いで、制御ユニット200の第2電源回路230に電源がONされる（OP25）。GPIO122のレジスタ値は、POWER\_\_ENABLE：0、OTHER\_\_ENABLE：1、WDT\_\_ENABLE：0及びPOWER\_\_ON：1である。
- [0100] MCU 141は、Port Assign Interface経由で制御ユニット200のUSBスイッチ224にアクセスしてUSBスイッチ224の設定を変更する（OP26）。USBスイッチ224の設定変更後、制御ユニット200のMCU 241は、USBメモリ223にアクセス可能

となる（OP26）。具体的には、MCU141は、USBスイッチ224のPort 1をPort 0に設定する。

[0101] なお、CPLD144は、制御ユニット200の第2電源回路230の電源をONする（OP27）。次いで、CPLD144は、Port Assign Interface経由で制御ユニット200のUSBスイッチ224にアクセスしてUSBスイッチ224の設定を変更する（OP28）。即ち、CPLD144は、第1の制御部であるMCU141の異常を検出し、USBスイッチ224にアクセスしてUSBスイッチ224の設定を変更する。USBスイッチ224の設定変更後、制御ユニット200のMCU241は、USBメモリ223にアクセス可能となる（OP28）。具体的には、CPLD144は、USBスイッチ224のPort 1をPort 0に設定する。

[0102] 次いで、制御ユニット200のMCU241は、BOOT\_FMEM243に記憶されている起動プログラムを読み出して起動する（OP31）。MCU241は、GPIO222のレジスタ値であるPort 0、Port 1、Port 2及びPort 3を読み出し、MCU241の起動要因を確認する。

[0103] MCU141が制御不能に陥っていない時（OP22\_N）にMCU241が起動した場合、GPIO122のPort 1から、GPIO222のPort 2に対して出力されるOTHER\_\_ENABLE信号に「High」（1）がアサートされている。そのため、GPIO222のレジスタのPort 2に、「High」（1）が設定されている。GPIO222のレジスタのPort 0、Port 1及びPort 3は、「Low」（0）が設定されている。

[0104] 一方、MCU141が制御不能に陥っている時（OP22\_Y）にMCU241が起動した場合について説明する。MCU241は、起動プログラムを読み出して起動する際に（OP31）、GPIO222のレジスタのPort 0、Port 1、Port 2及びPort 3を読み出し、MC

U141の起動要因を確認する。この場合、CPLD144からGPIO222に出力されるWDT\_\_ENABLEに「High」（1）がアサートされている。そのため、GPIO222のレジスタのPort 3に、「High」（1）が設定されている。GPIO222のレジスタのPort 0、Port 1及びPort 2は、「Low」（0）が設定されている。

[0105] MCU241は、GPIO222のレジスタPort 3に「High」（1）が設定されていることを確認した後、I2Cを介してGPIO222を制御し、制御回路221から第2電源回路230に対してPOWER\_\_ENABLE信号をアサートする。POWER\_\_ENABLE信号をアサートすることによって、CPLD144からのWDT\_\_ENABLE信号がネゲートされても、第2電源回路230の電源が切断されない。そのため、第2電源回路230の電源は、ONの状態に維持される。第2電源回路230の電源は、ONの状態に維持されるため、第2電源系デバイス240に電源を供給できる。信号のネゲートとは、信号を無効にすることを言う。

[0106] MCU241は、BOOT\_FMEM243に記憶されている起動プログラムを読み出して起動した後（OP31）、GPIO222のレジスタ値及びUSBメモリ223に記録されている制御ユニット100の故障要因を記録したログを読み出す（OP32）。MCU241は、制御ユニット100の故障要因を記録したログから、制御ユニット100の故障要因を特定する（OP32）。

[0107] MCU241は、制御ユニット200のGPIO222を制御し、故障した制御ユニット100の第2電源回路130の電源をOFFする（OP33）。即ち、第2の制御部であるMCU241は、MCU241に起動指示が出力された後、現用系処理装置である制御ユニット100の起動制御部である制御回路121に対して、第1の制御部の電源である第2電源回路130を切断する指示を出力する。具体的には、MCU241は、I2Cを介してGPIO222のPort 1から制御ユニット100のGPIO122のPort 2に対して出力されるOTHER\_\_ENABLE信号の「High

h」(1)をアサートする。GPIO122のPort 0から出力されるPOWER\_ON信号は、「Low」(0)がアサートされる。その結果、制御ユニット100の第2電源回路130がOFFされる(OP33)。制御ユニット100の第2電源回路130の電源が切断されるため、第2電源系デバイス140の電源がOFFされる(OP34)。

[0108] 故障した制御ユニット100の第2電源回路130の電源がOFFされた後、予備系の制御ユニット200が現用系となる。現用系となった制御ユニット200は、制御対象ユニット群である情報処理装置10のCPU11、メモリ12、PSU13、ファンユニット14及び通信インタフェース15の監視及び制御を開始する(OP35)。

[0109] 本実施例における情報処理システム1000を用いることで、制御ユニット200の第2電源系デバイス240の電源が切断されるため、予備系である制御ユニット200の消費電力を削減できる。本実施例における制御ユニット200を用いると、現用系の制御ユニット100と比較して、約90%の消費電力を削減できる。

### 産業上の利用可能性

[0110] 本実施例に開示の技術によれば、現用系処理装置である制御ユニット100が故障した時に、外部からの起動指示に従い、予備系の制御部であるMCU241の電源である第2電源回路230を投入する。そのため、常時、予備系の電源である第2電源回路230を投入しておくことなく、現用系で使用していたソフトウェア123Aの整合性を取ることが可能になる。そのため、情報処理システム1000全体の省電力化を図ることができる。

### 符号の説明

- [0111] 10 情報処理装置  
11 CPU  
12 メモリ  
13 PSU  
14 ファンユニット

- 1 5 通信インタフェース
- 1 6 バス
- 1 0 0、2 0 0 制御ユニット
- 1 1 0、2 1 0 第 1 電源回路
- 1 2 0、2 2 0 第 1 電源系デバイス
- 1 2 1、2 2 1 制御回路
- 1 2 1 A 排他的論理和回路
- 1 2 1 B 論理和回路
- 1 2 2、2 2 2 G P I O
- 1 2 3、2 2 3 U S B メモリ
- 1 2 4、2 2 4 U S B スイッチ
- 1 3 0、2 3 0 第 2 電源回路
- 1 4 0、2 4 0 第 2 電源系デバイス
- 1 4 1、2 4 1 M C U
- 1 4 3、2 4 3 B O O T F M E M
- 1 4 4、2 4 4 C P L D
- 1 4 5、2 4 5 周辺デバイス
- 1 5 0、2 5 0 ミッドプレーンコネクタ
- 1 6 0、2 6 0 バス
- 5 0 0 ネットワーク
- 1 0 0 0 情報処理システム

## 請求の範囲

- [請求項1]       第1のソフトウェアを記憶する第1の不揮発性メモリを有する現用系処理装置、及び、前記現用系処理装置と接続され、且つ前記第1のソフトウェアと同期化されている第2のソフトウェアを記憶する第2の不揮発性メモリを有する予備系処理装置を有する情報処理システムであって、
- 前記現用系処理装置は、
- 前記第1の不揮発性メモリに記憶された前記第1のソフトウェアを処理するとともに、前記第1の不揮発性メモリに記憶されている前記第1のソフトウェアに更新の指示があった場合、前記第1の不揮発性メモリに記憶されているソフトウェアの更新を行なう第1の制御部を有し、
- 前記予備系処理装置は、
- 前記第2の不揮発性メモリに記憶された前記第2のソフトウェアを処理する第2の制御部と、
- 前記現用系処理装置の異常が検出された場合、外部からの起動指示に従い、前記第2の制御部に電源を投入する電源部と、
- を有する情報処理システム。
- [請求項2]       前記第2の制御部は、前記電源部からの電源の投入に従い、前記現用系処理装置の電源部に対して、前記第1の制御部の電源を切断する指示を出力することを特徴とする請求項1記載の情報処理システム。
- [請求項3]       前記現用系処理装置の異常が検出され、且つ前記第1の制御部が前記第1の不揮発性メモリに記憶された前記第1のソフトウェアを処理可能である場合、前記第1の制御部は、前記予備系処理装置の電源部に対し、前記第2の制御部に電源を投入する指示を出力することを特徴とする請求項1又は請求項2記載の情報処理システム。
- [請求項4]       第1のソフトウェアを記憶する第1の不揮発性メモリを有する現用系処理装置、及び、前記現用系処理装置と接続され、且つ前記第1の

ソフトウェアと同期化されている第2のソフトウェアを記憶する第2の不揮発性メモリを有する予備系処理装置を有する情報処理システムの処理方法であって、

前記現用系処理装置は、

前記第1の不揮発性メモリに記憶された前記第1のソフトウェアを処理し、

前記第1の不揮発性メモリに記憶されている前記第1のソフトウェアのいずれかに更新の指示があった場合、前記不揮発性メモリに記憶されている、変更指示があったソフトウェアの更新を行ない、

前記予備系処理装置は、

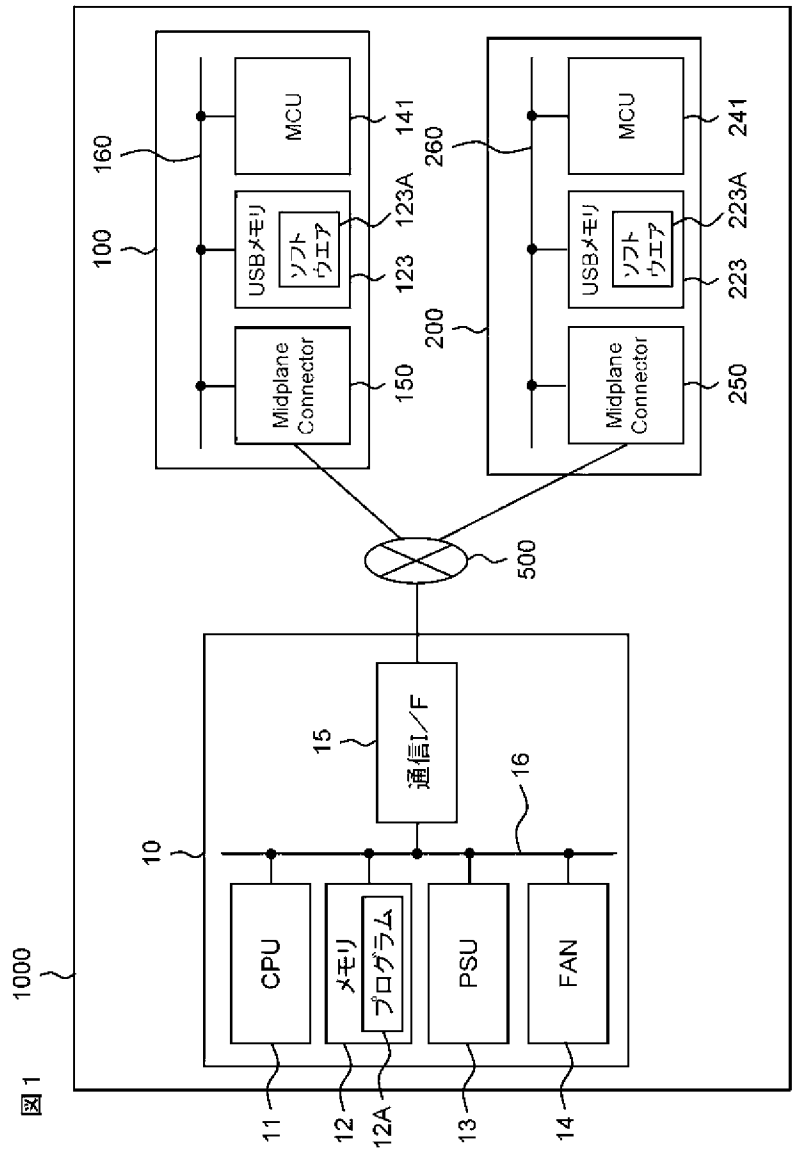
前記現用系処理部装置の異常が検出された場合、外部からの起動指示に伴い、前記第2の不揮発性メモリに記憶された前記第2のソフトウェアを処理し、

前記現用系処理部装置の異常が検出された場合、外部からの起動指示に従い、前記第2の制御部に電源を投入することを特徴とする情報処理システムの処理方法。

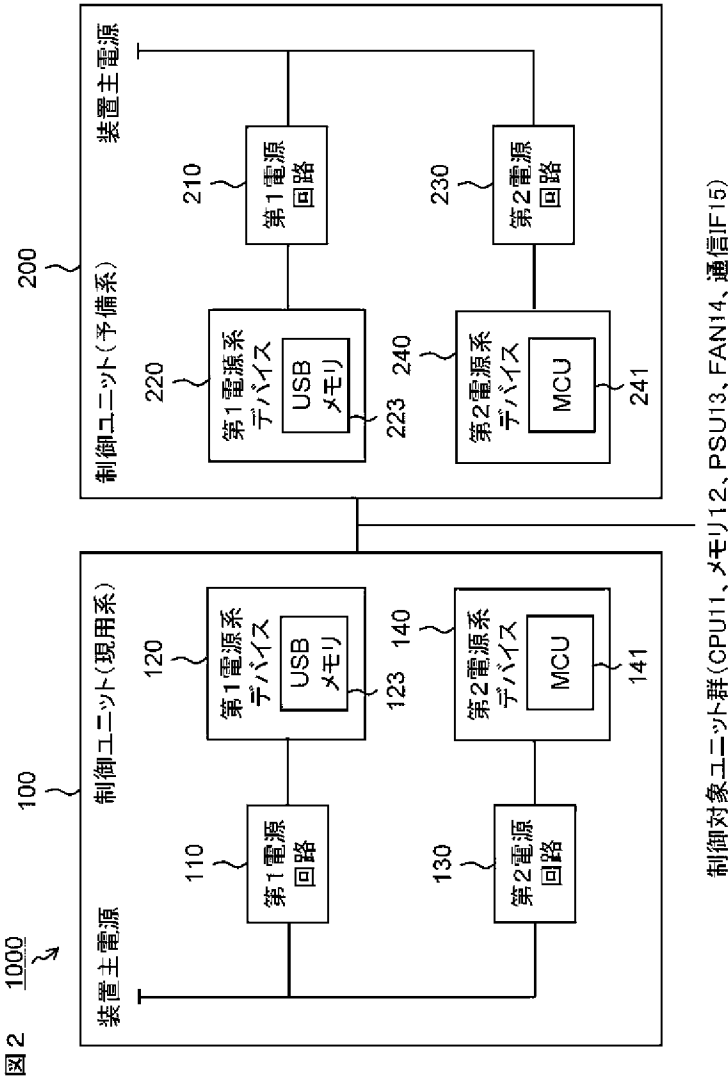
[請求項5] 前記予備系処理装置の制御部は、前記予備系処理装置の電源部からの電源の投入に伴い、前記現用系処理装置の電源部に対して、前記第1の制御部の電源を切断する指示を出力することを特徴とする請求項4記載の情報処理システムの処理方法。

[請求項6] 前記現用系処理装置の異常が検出され、且つ前記現用系処理装置の制御部が前記第1の不揮発性メモリに記憶された前記第1のソフトウェアの処理が可能である場合、前記現用系処理装置の前記制御部は、前記予備系処理装置の電源部に対し、前記予備系処理部の制御部に電源を投入する指示を出力することを特徴とする請求項4又は請求項5記載の情報処理システムの処理方法。

[図1]



[図2]



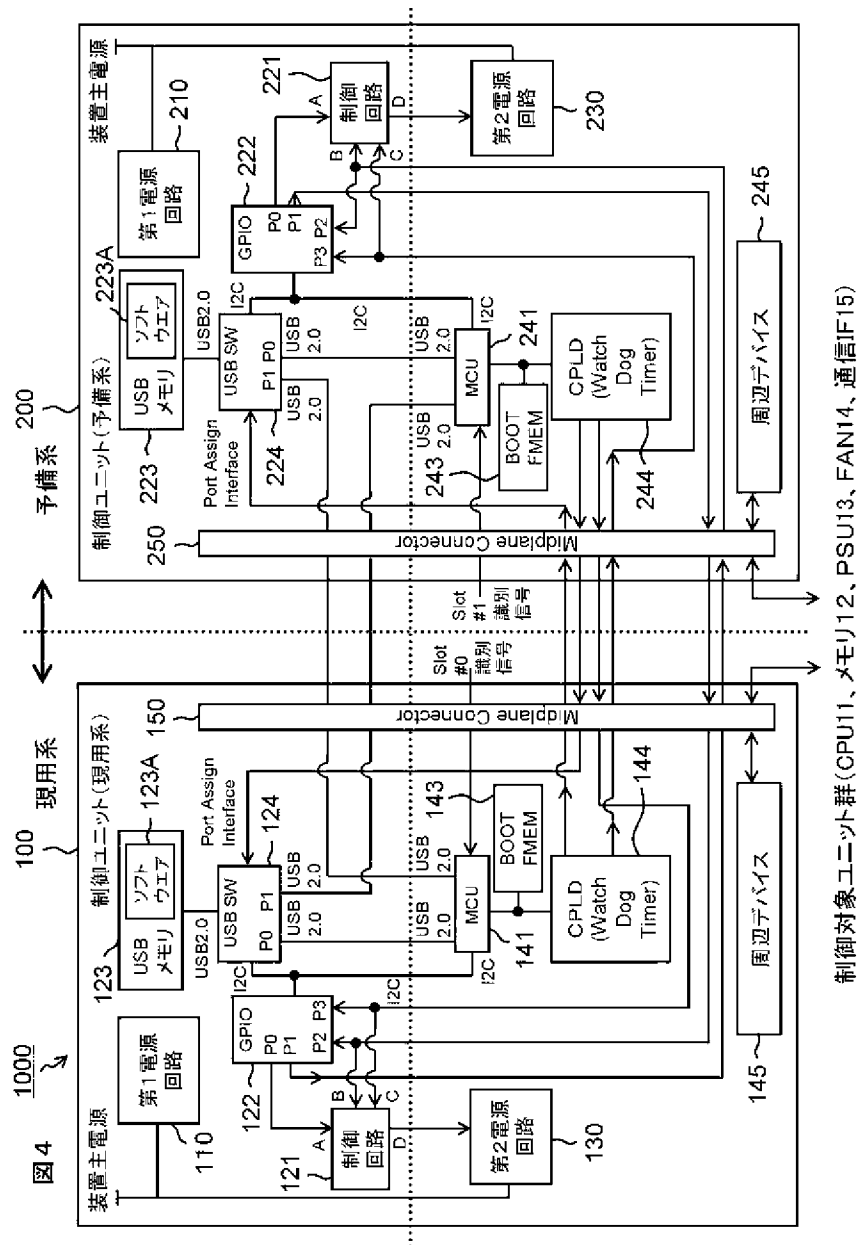
[図3]

図 3

制御ユニット100及び制御ユニット200の通常運用時の電源投入状態

|                      | 制御ユニット100<br>(現用系) | 制御ユニット200<br>(予備系) |
|----------------------|--------------------|--------------------|
| 第1電源系デバイス<br>120/220 | ON                 | ON                 |
| 第2電源系デバイス<br>140/240 | ON                 | OFF                |

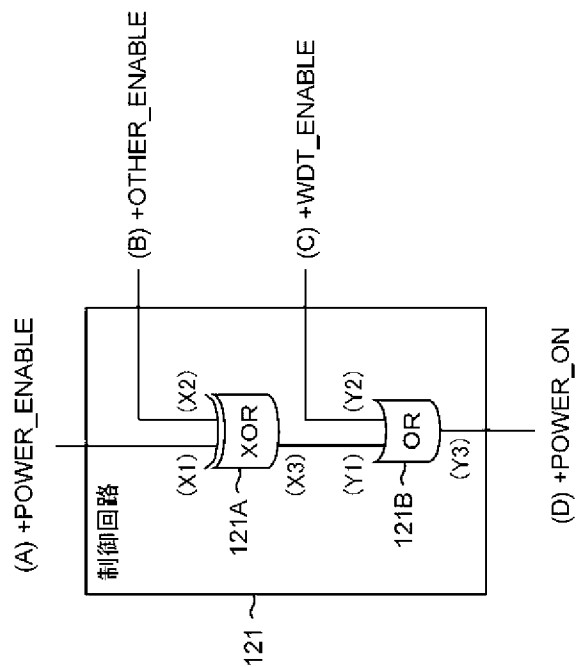
[図4]



制御対象ユニット群(CPU11、メモリ12、PSU13、FAN14、通信IF15)

[図5]

図 5



[図6]

XOR回路121A 真理値表

| (X1)入力 | (X2)入力 | (X3)入力 |
|--------|--------|--------|
| 0      | 0      | 0      |
| 0      | 1      | 1      |
| 1      | 0      | 1      |
| 1      | 1      | 0      |

図 6

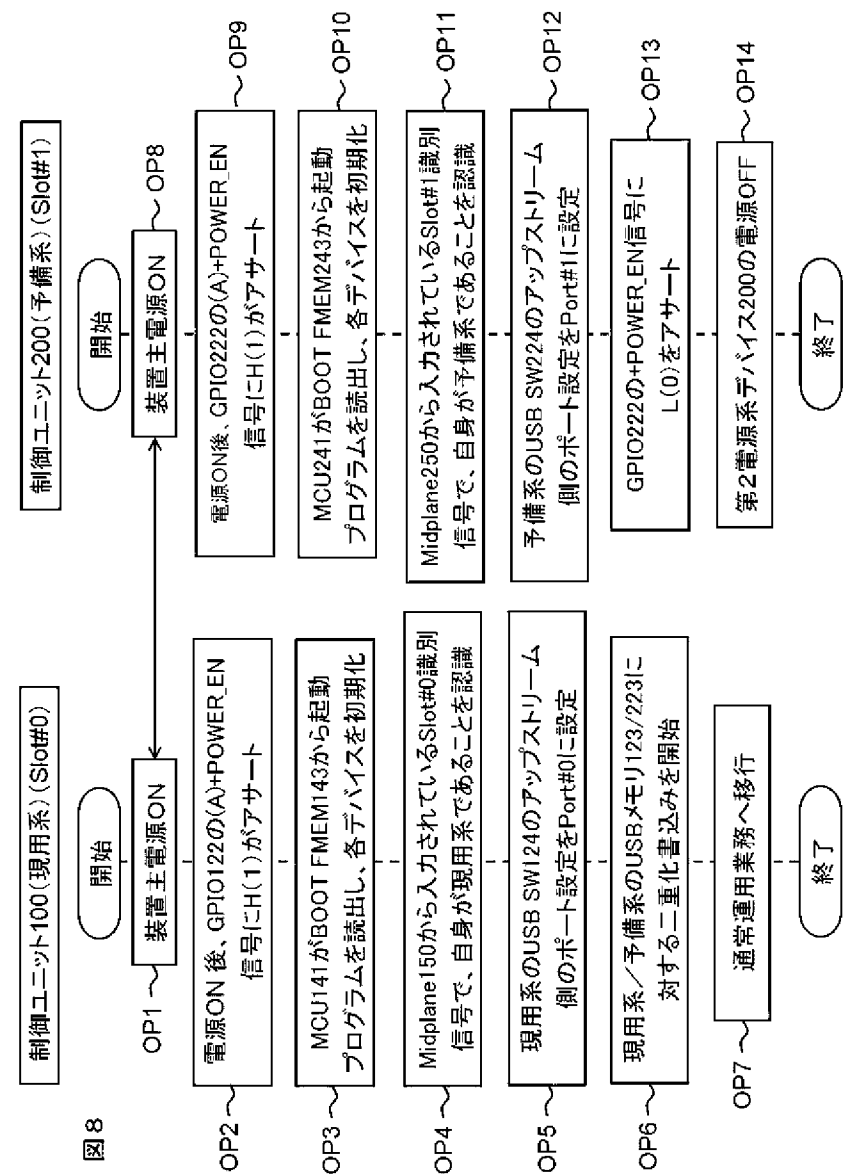
[図7]

図 7

制御ユニット100のGPIO122の信号とレジスタ値

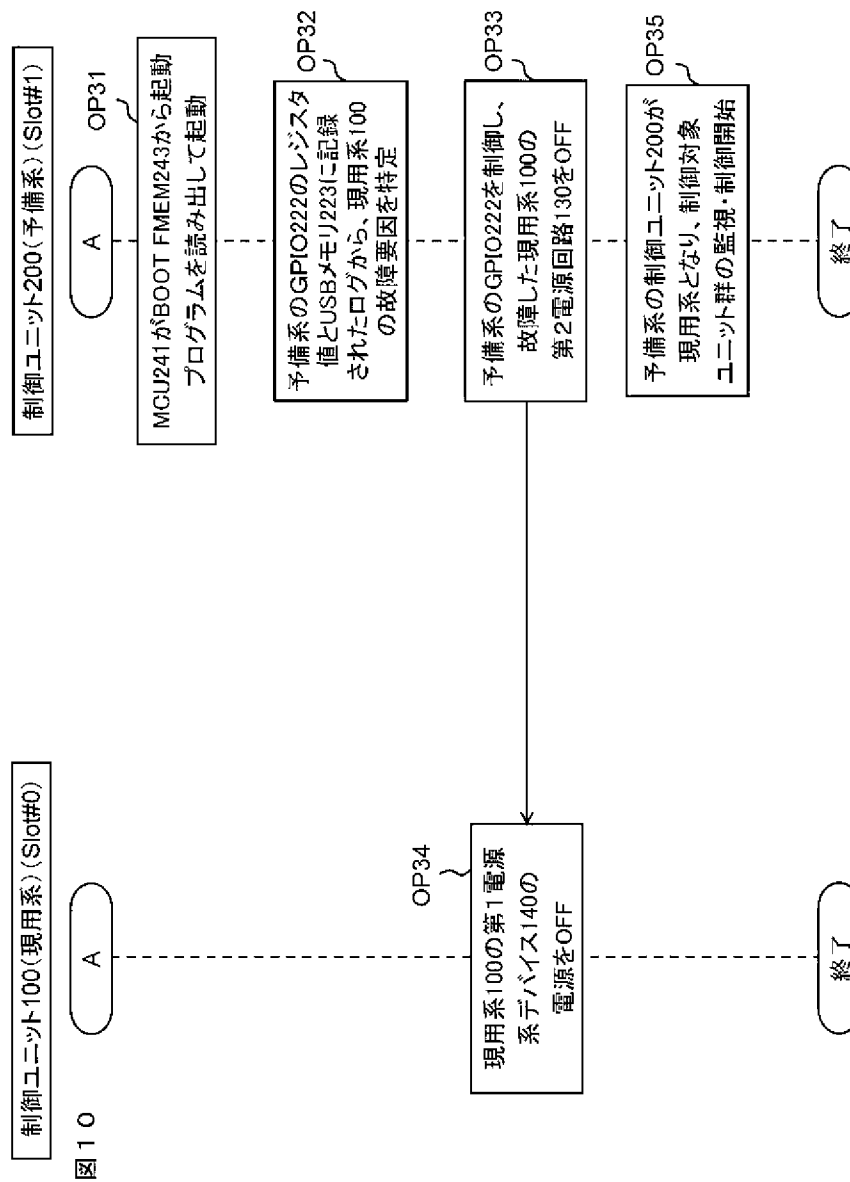
| 信号                                            | INPUT or<br>OUTPUT | レジスタ値                                                                            |
|-----------------------------------------------|--------------------|----------------------------------------------------------------------------------|
| Port 0(制御ユニット100の<br>(A)+POWER_ENABLE<br>に相当) | OUTPUT             | 1: Power ON(制御ユニット100の第2電源回路130をONする)<br>0: Power OFF(制御ユニット100の第2電源回路130をOFFする) |
| Port 1(制御ユニット200の<br>(B)+OTHER_ENABLE<br>に相当) | OUTPUT             | 0: Normal(エラー無しの通常状態)<br>1: Error(制御ユニット100のエラー発生のため、制御ユニット200の第2電源回路230をONする)   |
| Port 2(制御ユニット100の<br>(B)+OTHER_ENABLE<br>に相当) | INPUT              | 0: Normal(エラー無しの通常状態)<br>1: Error(制御ユニット200のエラー発生のため、制御ユニット100の第2電源回路130がONされた)  |
| Port 3(制御ユニット100の<br>(C)+WDT_ENABLE<br>に相当)   | INPUT              | 0: Normal(エラー無しの通常状態)<br>1: Error(制御ユニット200のエラー発生のため、制御ユニット100の第2電源回路130がONされた)  |

[図8]





[図10]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/001843

## A. CLASSIFICATION OF SUBJECT MATTER

G06F11/20 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F11/16-11/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                              | Relevant to claim No. |
|-----------|-----------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2010-146087 A (Hitachi, Ltd.),<br>01 July 2010 (01.07.2010),<br>entire text; all drawings<br>(Family: none)  | 1-6                   |
| A         | JP 2009-205409 A (NEC Corp.),<br>10 September 2009 (10.09.2009),<br>entire text; all drawings<br>(Family: none) | 1-6                   |
| A         | JP 07-013787 A (Fujitsu Ltd.),<br>17 January 1995 (17.01.1995),<br>entire text; all drawings<br>(Family: none)  | 1-6                   |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

22 April, 2011 (22.04.11)

Date of mailing of the international search report

10 May, 2011 (10.05.11)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

# **INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2011/001843

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                              | Relevant to claim No. |
|-----------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | WO 2008/152790 A1 (Panasonic Corp.),<br>18 December 2008 (18.12.2008),<br>entire text; all drawings<br>& US 2010/0185833 A1 & EP 2157507 A1<br>& CN 101689106 A | 1-6                   |
| A         | JP 2007-087269 A (NEC Saitama, Ltd.),<br>05 April 2007 (05.04.2007),<br>entire text; all drawings<br>(Family: none)                                             | 1-6                   |
| A         | JP 2003-167752 A (NEC Yonezawa, Ltd.),<br>13 June 2003 (13.06.2003),<br>entire text; all drawings<br>(Family: none)                                             | 1-6                   |

## A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G06F11/20(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G06F11/16-11/20

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 1 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 1 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 1 年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                               | 関連する<br>請求項の番号 |
|-----------------|---------------------------------------------------------------------------------|----------------|
| A               | J P 2 0 1 0 - 1 4 6 0 8 7 A（株式会社日立製作所）<br>2 0 1 0 . 0 7 . 0 1 , 全文, 全図（ファミリーなし） | 1 - 6          |
| A               | J P 2 0 0 9 - 2 0 5 4 0 9 A（日本電気株式会社）<br>2 0 0 9 . 0 9 . 1 0 , 全文, 全図（ファミリーなし）  | 1 - 6          |
| A               | J P 0 7 - 0 1 3 7 8 7 A（富士通株式会社）<br>1 9 9 5 . 0 1 . 1 7 , 全文, 全図（ファミリーなし）       | 1 - 6          |

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

2 2 . 0 4 . 2 0 1 1

国際調査報告の発送日

1 0 . 0 5 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

5 B

3 7 8 1

▲高▼橋 正▲徳▼

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 4 4

| C (続き) . 関連すると認められる文献 |                                                                                                                  |                |
|-----------------------|------------------------------------------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                | 関連する<br>請求項の番号 |
| A                     | WO 2008/152790 A1 (パナソニック株式会社)<br>2008.12.18, 全文, 全図<br>& US 2010/0185833 A1<br>& EP 2157507 A1 & CN 101689106 A | 1-6            |
| A                     | JP 2007-087269 A (埼玉日本電気株式会社)<br>2007.04.05, 全文, 全図 (ファミリーなし)                                                    | 1-6            |
| A                     | JP 2003-167752 A (米沢日本電気株式会社)<br>2003.06.13, 全文, 全図 (ファミリーなし)                                                    | 1-6            |