



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1589288** **A1**

(51)5 G 06 F 15/20

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГИИТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

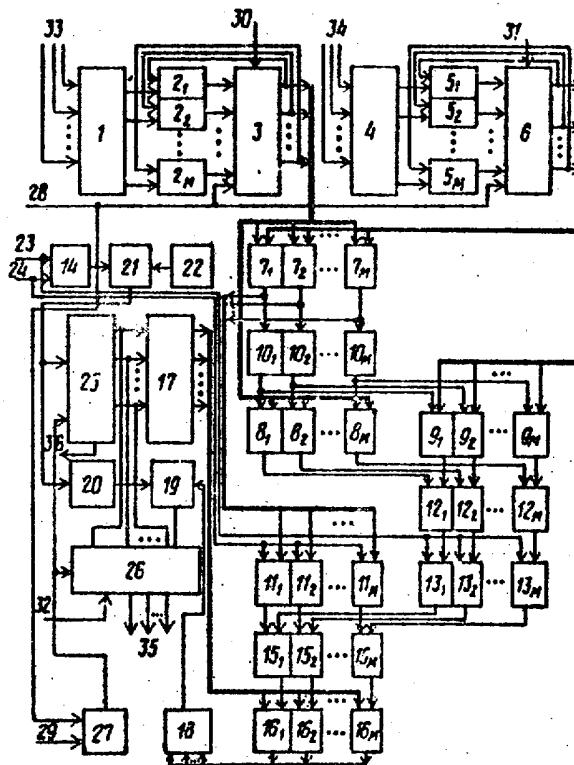
(21) 4497586/24-24
(22) 24.10.88
(46) 30.08.90. Бюл. № 32
(71) Киевский политехнический институт им. 50-летия Великой Октябрьской социалистической революции
(72) О.Н.Костюк и Г.В.Моисеенко
(53) 681.325 (088.8)

(56) Авторское свидетельство СССР
№ 858457, кл. G 06 F 15/20, 1977.

Авторское свидетельство СССР
№ 1269130, кл. G 06 F 15/20, 1983.

(54) УСТРОЙСТВО ДЛЯ ВЫПОЛНЕНИЯ ЛОГИЧЕСКИХ ОПЕРАЦИЙ

(57) Изобретение относится к вычислительной технике и может быть использовано в специализированных системах для логической обработки информационных массивов (множеств). Цель изобретения - расширение функциональных возможностей за счет выполнения операций пересечения, сложения и объединения неупорядоченных множеств. Устройство содержит деширатор 1, группу элементов ИЛИ 2, ре-



09 **SU** (11) **1589288** **A1**

гистр 3, дешифратор 4, группу элементов ИЛИ 5, регистр 6, группы элементов И 7 - 9, группу элементов НЕ 10, группу элементов И 11, группу элементов ИЛИ 12, группу элементов И 13, элемент ИЛИ 14, группу элементов ИЛИ 15, группу элементов И 16, дешифратор 17, элемент ИЛИ 18, элемент И 19, элемент 20 задержки, элемент И 21, генератор 22 импульсов, входы разрешения операции сложения 23, пересечения 24 устройства, счетчик 25,

блок 26 памяти, элемент ИЛИ 27, вход 38 начальной установки, вход 29 начальной установки выполнения операций, входы разрешения записи элементов первого 30 и второго 31 множеств устройства, вход 32 считывания результата, первый 33 и второй 34 информационные входы устройства, выход 35 результата устройства, выход 36 индикации окончания операции устройства. Поставленная цель достигается введением новых элементов и связей. 1 ил.

Изобретение относится к вычислительной технике и может быть использовано в специализированных системах для логической обработки информационных массивов (множеств).

Цель изобретения - расширение функциональных возможностей за счет выполнения операций пересечения, сложения и объединения неупорядоченных множеств.

На чертеже представлена функциональная схема устройства.

Устройство содержит дешифратор 1, группу элементов ИЛИ 2, регистр 3, дешифратор 4, группу элементов ИЛИ 5, регистр 6, группы элементов И 7 - 9, группу элементов НЕ 10, группу элементов И 11, группу элементов ИЛИ 12, группу элементов И 13, элемент ИЛИ 14, группу элементов ИЛИ 15, группу элементов И 16, дешифратор 17, элемент ИЛИ 18, элемент И 19, элемент 20 задержки, элемент И 21, генератор 22 импульсов, входы разрешения операции сложения 23, пересечения 24 устройства, счетчик 25, блок 26 памяти, элемент ИЛИ 27, вход 28 начальной установки устройства, вход 29 начальной установки выполнения операций устройства, входы разрешения записи элементов первого 30 и второго 31 множеств устройства, вход 32 считывания результата устройства, первый 33 и второй 34 информационные входы устройства, выход 35 результата устройства, выход 36 индикации окончания операции устройства.

Устройство работает следующим образом.

В исходном состоянии работа устройства по выполнению операций забло-

кирована сигналами "0" на входах 23 и 24. На входах 33 и 34 информация отсутствует. Сигналы синхронизации на входах 30, 31 отсутствует. На вход 28 устройства подается логическая "1", обеспечивающая начальную установку регистров 3 и 6, а также через элемент ИЛИ 27 - начальную установку счетчика адреса блока 26 памяти и счетчика 25. Регистры 3 и 6 хранят "0", блок 26 памяти хранит "0" во всех разрядах и ячейках, на входе элемента И 21 также "0", блокирующий работу счетчика 25 и запись информации в блок 26 памяти.

Исходная информация о составе множеств-операндов А и В в виде кодов их элементов, $a; \in A$ и $b; \in B$ поступает на входы соответственно 33 и 34 устройства после снятия сигнала начальной установки со входа 28. При этом каждая кодовая посылка, соответствующая элементу множества А, синхронизируется "1" на входе 30, соответствующая элементу множества В - "1" на входе 31, что обеспечивает фиксацию результата объединения предыдущего кода с текущим соответственно в регистрах 3 и 6. Фиксируемый в каждом из регистров код имеет вид $D_l = d_1 \dots d_m$, где l - номер такта ввода информации; $d_i = 1$, если элемент, кодируемый i , принадлежит множеству и $d_i = 0$ в противном случае. Формирование D_l осуществляется группой элементов ИЛИ 2 для множества А и группой элементов ИЛИ 5 для множества В по формуле $D_l = D_{l-1} \cup D_T$, где D_T - текущий код с выходов дешифратора 1 для множества А и с выходов дешифратора 4 для множества В на

1-том такте фиксации. Этот код имеет вид $D_T = 0, 0_2 \dots 1; 0_{i+1} \dots 0_M$, где i - значение кода элемента на входе дешифратора 1 для множества А и дешифратора 4 для множества В. Таким образом, в регистрах 3 и 6 зафиксированы позиционные коды D_A и D_B , содержащие "1" в разрядах с номерами, равными кодам значений элементов множеств А и В.

После окончания передачи кодов элементов первого множества А и второго множества В на входах 30 и 31 устройства устанавливаются сигналы "0", блокирующие изменение содержимого регистров 3 и 6. С информационных выходов регистров 3 и 6 коды D_A и D_B поступают на входы группы элементов И 7, где выполняется операция $D_A \cap D_B = D_{A \cap B}$. Результат поступает на входы группы элементов НЕ 10, где выполняется операция $\overline{D_{A \cap B}} = D_{A \cap B}$. Код $D_{A \cap B}$ поступает на первые входы группы элементов И 8 и на первые входы группы элементов И 9. На вторые входы группы элементов И 8 поступает код D_A , здесь выполняется операция $D_A \cap D_{A \cap B} = D_{A/B}$ на вторые входы группы элементов И 9 поступает код D_B , здесь выполняется операция $D_B \cap D_{A \cap B} = D_{B/A}$ и оба эти результата поступают на входы группы элементов И 12, где выполняется операция $D_{A/B} \cup D_{B/A} = D_{A+B}$. Таким образом, на выходах группы элементов ИЛИ 12 имеется код D_{A+B} результата сложения множеств А и В, а на выходах группы элементов И 7 имеется код $D_{A \cap B}$ результата пересечения множеств А и В. Для декодирования и занесения информации в блок 26 памяти на входах 23 и 24 устанавливаются следующие коды операции: вход 23 - "1", вход 24 - "0" для операции сложения; вход 23 - "0", вход 24 - "1" для операции пересечения; вход 23 - "1", вход 24 - "1" для операции объединения. При сигнале "0" на входе 24 сигнал "1" на входе 23 открывает группу элементов И 13, на входы которых поступает код D_{A+B} и через группу элементов ИЛИ 15 подается на вторые входы группы элементов И 16, "1" на входе 23 через элемент ИЛИ 14 открывает также прохождение сигнала с генератора 22, через элемент И 21 синхронизирующего работу счетчика 25 и через элемент задержки 20 посту-

пающего на второй вход элемента И 19. Дешифрация и запись в блок 26 памяти результата операции сложения осуществляется следующим образом. По получении синхросигнала с генератора 22 счетчик 25 начинает счет. Содержимое счетчика преобразуется в дешифраторе 17 в позиционный код и поступает на первые входы группы элементов И 16, где сравнивается с кодом D_{A+B} . Результат подается на входы элементов ИЛИ 18. Наличие "1" хотя бы на одном из входов элемента ИЛИ 18 означает наличие текущего кода с дешифратора 17 в коде результата операции сложения D_{A+B} и дает сигнал логической "1" на первом входе элемента И 19, открывая его для задержанного на элементе 20 тактового импульса с генератора 22. Время задержки на элементе 20 выбирается с учетом времени срабатывания счетчика 25, дешифратора 17, группы элементов И 16 и элемента ИЛИ 18. Поступая с выхода элемента И 19 на вход синхронизации записи блока 26 памяти, сигнал с генератора 22 обеспечивает запись текущего элемента с выходов счетчика 25 в блок 26 памяти. В каждом последующем такте со счетчика 25 поступает на дешифратор 17 значение следующего элемента, который при совпадении его кода хотя бы с одной позицией кода-результата, записан в блок 26 памяти. Если совпадения нет, то не записывается текущий элемент в блок 26 памяти, поскольку элемент И 19 закрыт логическим "0" с выхода элемента ИЛИ 18 и на блок 26 памяти не подается синхросигнал записи. В момент переполнения счетчика 25 выдается сигнал на выход 36, после чего по сигналу с входа 32 может быть произведено чтение с выхода 35 элементов множества С, являющегося результатом сложения множеств А и В. Для выполнения другого типа операции без изменения исходной информации достаточно на вход 29 подать сигнал "1", который обеспечит начальную установку счетчика адреса блока 26 памяти и счетчика 25. Затем выбирается, например, операция пересечения множеств А и В. На входы 23 и 24 устройства подается соответственно комбинация "0", "1", которая открывает группу элементов И 11 для прохождения через группу элементов ИЛИ 15

кода результата операции пересечения $D_{A \cap B}$. Далее аналогично вышеизложенному осуществляется дешифрация и запись в блок памяти 26 элементов множества C , представляющего собой результат пересечения множеств A и B . При выборе операции объединения на входы 23 и 24 устройства подается комбинация "1", "1", которая обеспечивает поступление на первые входы группы элементов ИЛИ 15 кода $D_{A \cap B}$, а на вторые входы - кода D_{A+B} , и здесь выполняется операция $D_{A \cap B}$ и $D_{A+B} = D_{A \cup B}$ и далее аналогично осуществляется дешифрация и запись в блок 26 памяти элементов множества C , являющегося результатом объединения множеств A и B . Перед обновлением исходной информации о множествах-операндах работа устройства блокируется сигналом "0" на входах 23, 24 и подается сигнал "1" на вход 28 устройства. Сигналы на входах 30, 31 отсутствуют. Устройство готово к приему новой информации.

Ф о р м у л а и з о б р е т е н и я

Устройство для выполнения логических операций, содержащее счетчик, дешифратор, блок памяти, генератор импульсов, два элемента ИЛИ, два элемента И, два регистра, отличающееся тем, что, с целью расширения функциональных возможностей за счет выполнения операций пересечения, сложения и объединения неупорядоченных множеств, в него введены два дешифратора, четыре группы элементов ИЛИ, шесть групп элементов И, группа элементов НЕ, элемент задержки и элемент ИЛИ, причем входы первого и второго дешифраторов подключены соответственно к первому и второму информационным входам устройства, выходы с первого по M -й первого дешифратора подключены соответственно к первым входам элементов ИЛИ первой группы с первого по M -й, выходы с первого по M -й второго дешифратора подключены соответственно к первым входам элементов ИЛИ второй группы с первого по M -й, выходы элементов ИЛИ первой и второй групп подключены к информационным входам соответственно первого и второго регистров, выходы с первого по M -й первого регистра подключены соответствен-

но к вторым входам элементов ИЛИ первой группы с первого по M -й, к первым входам элементов И первой группы с первого по M -й и к первым входам элементов И второй группы с первого по M -й, выходы с первого по M -й второго регистра подключены соответственно к вторым входам элементов ИЛИ второй группы с первого по M -й, к вторым входам элементов И первой группы с первого по M -й и к первым входам элементов И третьей группы с первого по M -й, выходы элементов И первой группы с первого по M -й подключены к входам элементов НЕ группы с первого по M -й, к первым входам элементов И четвертой группы с первого по M -й, выходы элементов НЕ с первого по M -й подключены соответственно к вторым входам элементов И второй группы с первого по M -й и к вторым входам элементов И третьей группы с первого по M -й, выходы K -х элементов И второй и третьей групп подключены соответственно к первому и второму входам K -го элемента ИЛИ третьей группы ($K = \overline{1}, M$), выход которого подключен к второму входу K -го элемента И пятой группы, первый вход которого подключен к первому входу первого элемента ИЛИ, второй вход первого элемента ИЛИ подключен к вторым входам элемента И четвертой группы, выходы K -х элементов И четвертой и пятой групп подключены соответственно к первому и второму входам K -го элемента ИЛИ четвертой группы, выход которого подключен к первому входу K -го элемента И шестой группы, второй вход которого подключен к K -му выходу третьего дешифратора, выход K -го элемента И шестой группы подключен к K -му входу второго элемента ИЛИ, выход которого подключен к первому входу первого элемента И, выход второго элемента И через элемент задержки подключен к второму входу первого элемента И, первый и второй входы которого подключены соответственно к выходу генератора импульсов и к выходу первого элемента ИЛИ, первый и второй входы которого подключены соответственно к входам разрешения операции сложения и разрешения операции пересечения устройства, выход второго элемента И подключен к синхровходу счетчика, выход которого подключен к входу третьего

дешифратора и к информационному входу блока памяти, выход первого элемента И подключен к входу синхронизации записи блока памяти, вход начальной установки адреса блока памяти и вход начальной установки счетчика подключены к выходу третьего элемента ИЛИ, первый вход которого 5 подключен к входам начальной установки первого и второго регистров и к входу начальной установки устройства, второй вход третьего элемента ИЛИ подключен к входу начальной уста-

15

новки выполнения операций устройства, входы разрешения записи первого и второго регистров подключены соответственно к входам разрешения записи элементов первого и второго множеств устройства, вход синхронизации считывания блока памяти подключен к входу считывания результата устройства, выход блока памяти подключен к выходу результата устройства, выход переполнения счетчика подключен к выходу индикации окончания операции устройства.

Редактор М. Недолуженко Составитель М. Силин Техред А. Кравчук Корректор С. Шевкун

Заказ 2542 Тираж 567 Подписное
ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101