(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3868648号
(P3868648)
(45)発行日　平成19年1月17日(2007.1.17)　(24)登録日　平成18年10月20日(2006.10.20)

(51)Int.Cl.		F I		
H01L 27/146	(2006.01)	H01L	27/14	A
H04N 5/335	(2006.01)	H04N	5/335	E

請求項の数 16　(全 11 頁)

(21)出願番号　特願平11-13286
(22)出願日　平成11年1月21日(1999.1.21)
(65)公開番号　特開平11-266002
(43)公開日　平成11年9月28日(1999.9.28)
審査請求日　平成13年3月1日(2001.3.1)
(31)優先権主張番号　09/010,698
(32)優先日　平成10年1月22日(1998.1.22)
(33)優先権主張国　米国(US)

前置審査

(73)特許権者　590000846
イーストマン　コダック　カンパニー
アメリカ合衆国，ニューヨーク１４６５０，ロチェスター，ステイト　ストリート３４３
(74)代理人　100075258
弁理士　吉田　研二
(74)代理人　100096976
弁理士　石田　純
(72)発明者　ポール　ピー　リー
アメリカ合衆国　ニューヨーク州　ピッツフォード　バンバーレン　ロード　９

最終頁に続く

(54)【発明の名称】イメージセンサ装置及び半導体イメージセンシング装置

(57)【特許請求の範囲】
【請求項１】
イメージセンサ装置であって、
複数のＣＭＯＳ回路がその上に形成されているシリコン基板と、
前記基板内に形成された、複数の列と複数の行とを有するピクセルアレイと、
前記基板内に形成されたタイミングコントロールロジックブロックと、
前記基板内に形成され、前記ピクセルアレイと前記タイミングコントロールロジックブロックとに各々動作可能に接続されている列アドレシング回路であって、前記ピクセルアレイの中の各列にアドレスラインを提供する列バスを有する列アドレシング回路と、
前記基板内に形成された行アドレシング回路と、
前記基板内に形成されたピクセルタイミング回路と、
前記基板内に含まれている信号処理回路と、
を備えており、
前記ピクセルアレイと、前記タイミングコントロールロジックブロックと、前記列アドレシング回路と、前記行アドレシング回路と、前記ピクセルタイミング回路と、前記信号処理回路は、全て、前記基板の上に配置され、起動時に外部制御から独立して前記ピクセルアレイがフル解像度での撮像状態に設定されるシステムとして機能し、
前記イメージセンサ装置は、さらに、
前記センサ装置に対するアドレス信号及び制御信号を生成するために前記センサ装置によって使用されるコマンドを与える外部計算手段に結合されたインターフェース回路であ

って、前記タイミングコントロールロジックブロックと前記ピクセルタイミング回路と前記列アドレシング回路と前記行アドレシング回路とに動作可能に結合されているインターフェース回路を備えることを特徴とするイメージセンサ装置。

【請求項２】

請求項１に記載のイメージセンサ装置であって、前記タイミングコントロールロジックブロックは、さらに、電子シャッタ制御回路を備えることを特徴とするイメージセンサ装置。

【請求項３】

請求項２に記載のイメージセンサ装置であって、前記電子シャッタ制御回路は、さらに、前記インターフェース回路からの入力に応じてプログラム可能な回路を備えることを特徴とするイメージセンサ装置。

【請求項４】

請求項１に記載のイメージセンサ装置であって、さらに、前記ピクセルアレイに結合された、前記ピクセルアレイから出力されたデータを受け取る信号処理回路を備えることを特徴とするイメージセンサ装置。

【請求項５】

請求項４に記載のイメージセンサ装置であって、前記信号処理回路は、さらに、相関２重サンプリング回路を備えることを特徴とするイメージセンサ装置。

【請求項６】

請求項４に記載のイメージセンサ装置であって、前記信号処理回路は、さらに、ノイズ低減回路を備えることを特徴とするイメージセンサ装置。

【請求項７】

請求項６に記載のイメージセンサ装置であって、前記ノイズ低減回路は、さらに、固定パターンノイズを除去するＦＰＮ除去回路を備えることを特徴とするイメージセンサ装置。

【請求項８】

請求項４に記載のイメージセンサ装置であって、前記信号処理回路は、さらに、アナログデジタルコンバータを備えることを特徴とするイメージセンサ装置。

【請求項９】

半導体イメージセンシング装置であって、

半導体基板の上に形成された複数のピクセルを含む撮像アレイと、

前記基板の上に形成されたシリアル通信インターフェースを介してプログラム可能であり、前記基板の上に形成されたタイミングコントロールブロックと、

前記基板の上に形成され、前記ピクセルが生成するピクセル値をアドレス指定して読み出すために必要な信号を生成する生成手段と、

前記基板の上に形成され、前記ピクセル値を処理してデジタルワードを形成する形成手段と、

を備えており、

前記撮像アレイと、前記タイミングコントロールブロックと、前記生成手段と、前記形成手段は、全て、前記基板の上に配置され、起動時に外部制御から独立して前記撮像アレイがフル解像度での撮像状態に設定されるシステムとして機能し、

前記半導体イメージセンシング装置は、さらに、

前記デジタルワードを外部装置に伝送する伝送手段を備えることを特徴とする半導体イメージセンシング装置。

【請求項１０】

請求項９に記載の半導体イメージセンシング装置であって、さらに、前記タイミングコントロールブロックに内蔵された、前記撮像アレイから所定のピクセルを選択する選択手段を備えることを特徴とする半導体イメージセンシング装置。

【請求項１１】

請求項９に記載の半導体イメージセンシング装置であって、さらに、前記タイミングコ

ントロールブロックに内蔵された、電子シャッタ動作を行う電子シャッタ手段を備えることを特徴とする半導体イメージセンシング装置。

【請求項１２】

請求項９に記載の半導体イメージセンシング装置であって、さらに、前記タイミングコントロールブロックに内蔵された、露光決定のためのピクセルを選択する選択手段を備えることを特徴とする半導体イメージセンシング装置。

【請求項１３】

請求項９に記載の半導体イメージセンシング装置であって、さらに、前記タイミングコントロールブロックの前記生成手段に対する制御により、前記半導体イメージセンシング装置を電力節約のための動作モードで動作させることを特徴とする半導体イメージセンシング装置。

【請求項１４】

前記半導体イメージセンシング装置内に埋め込まれたマイクロコントローラを更に備えており、前記マイクロコントローラが、ユーザ入力のためのインターフェース手段を更に備えていることを特徴とする請求項９に記載の半導体イメージセンシング装置。

【請求項１５】

請求項１４に記載の半導体イメージセンシング装置であって、さらに、前記マイクロコントローラを、前記半導体イメージセンシング装置に接続するインターフェースとなるように設計されたＡＳＩＣを備えることを特徴とする半導体イメージセンシング装置。

【請求項１６】

請求項９に記載の半導体イメージセンシング装置であって、さらに、前記アナログデジタルコンバータの出力と関連付けられた組み込みメモリを備えることを特徴とする半導体イメージセンシング装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、ＣＭＯＳに基づくイメージセンサに関し、特に、ＣＭＯＳアクティブピクセルセンサに基づくオンチップのカメラ設計に関する。

【０００２】

【従来の技術】

数多くの従来技術の固体撮像装置がある。最も一般的であるのが、電荷結合型装置（ＣＣＤ）に基づいたセンサである。従来技術の中のＣＣＤセンサは、現在のＣＭＯＳ装置で実施されているように大規模集積化（ＶＬＳＩ）がされておらず、これらのＣＣＤセンサを使用しているカメラの製作にあたって、タイミング、コントロール、及びクロック駆動回路を提供する別個の集積回路を必要としている。

【０００３】

加えて、従来技術では、固体撮像器を形成するためにＣＭＯＳ技術を使用したイメージセンシング装置が数多く存在している。これらの従来技術の装置の中には、アナログ・デジタルコンバータをイメージセンサと同じチップ上に集積することが教示されている。このタイプのＣＭＯＳイメージセンサは、ジャンセンらによって、Ａｎａｌｏｇ Ｉｎｔｅｇｒａｔｅｄ Ｃｉｒｃｕｉｔｓ ａｎｄ Ｓｉｇｎａｌ Ｐｒｏｃｅｓｓｉｎｇ ４（１９９３）の第３７～４９頁における「８ビットデジタル出力を有するアドレス可能な２５６×２５６フォトダイオードセンサ（Ａｎ Ａｄｄｒｅｓｓａｂｌｅ ２５６ｘ２５６ Ｐｈｏｔｏｄｉｏｄｅ Ｓｅｎｓｏｒ Ａｒｒａｙ Ｗｉｔｈ Ａｎ ８－Ｂｉｔ Ｄｉｇｉｔａｌ Ｏｕｔｐｕｔ）」というタイトルの論文に記載されている。他の従来技術の装置は、ニクソンらによって、１９９６ ＩＥＥＥ Ｉｎｔｅｒｎａｔｉｏｎａｌ Ｓｏｌｉｄ－Ｓｔａｔｅ Ｃｉｒｃｕｉｔｓ Ｃｏｎｆｅｒｅｎｃｅ Ｄｉｇｅｓｔ ｏｆ Ｐａｐｅｒｓ，ｐｐ．１７８－１７９における「２５６×２５６ＣＭＯＳアクティブピクセルセンサカメラオンチップ（２５６ｘ２５６ ＣＭＯＳ Ａｃｔｉｖｅ Ｐｉｘｅｌ Ｓｅｎｓｏｒ Ｃａｍｅｒａ－ｏｎ－ａ－Ｃｈｉｐ）」に述べられているようなチップ

上に集積されたタイミング生成部を有している。
【０００４】
【発明が解決しようとする課題】
しかし、従来のＣＭＯＳ装置では大規模集積化はなされていなかった。
【０００５】
また、従来技術は、イメージセンシング装置を制御できる外部デジタルインターフェースを可能にする調整された設計についても、何も言及していない。
【０００６】
以上の議論より、当該技術では、固体撮像装置を制御できるタイミング、コントロール、及びクロック回路とデジタルインターフェースとを提供できるほどに十分な大規模集積度を提供する、ＣＭＯＳに基づく撮像器に対する必要性がいまだに残っている。
【０００７】
【課題を解決するための手段】
本発明は、相補型金属酸化物半導体（ＣＭＯＳ）技術を使用しているアクティブピクセルセンサ（ＡＰＳ）を用いて製造されたデジタルカメラオンチップのアーキテクチャを提供することによって、従来技術における上記の問題点を解決する。
【０００８】
アーキテクチャ設計の構成要素は、ＡＰＳを動作するために必要とされる機能的なブロックとそれらの各々の配線とを備えており、好適な実施形態では、光検出器素子としてピン・フォトダイオードを使用している。ＣＭＯＳ技術の使用は、光検出素子アレイを有する単一チップ上へのタイミング、コントロール、及びアナログ・デジタル変換の集積とデジタルインターフェースの組み込みとを可能にする。
【０００９】
本発明によって教示される大規模集積化は、電子ズームやウインドウ能力のような特徴を可能にする。提供される特徴は、デジタルインターフェース内のロジックによって制御されることができる。フリー動作モード（デフォルトの動作モード）では、ウインドウ／ズームロジックから独立しているため、デジタルインターフェースからの制御信号を必要とせずに、フル解像度イメージを提供する。光計測モードでは、ピクセルグループを選択して、露光制御のような適切なパラメータを決定することを許容する。この露光は、電子シャッタの適切なタイミングによって行われる。様々なスリープモードが、可変段階のパワーの節約を提供する。
【００１０】
このＣＭＯＳ　ＡＰＳのアーキテクチャは、後述する接続されたブロックのｘ－ｙアドレス指定可能なピクセルアレイタイミング生成部と外部インターフェースコントロールロジックと、プログラム可能なアナログ・デジタルコンバータ（ＡＤＣ）と、関連する信号処理回路と、を備えている。
【００１１】
これら特徴及び他の特徴は、複数のＣＭＯＳ回路がその上に形成されているシリコン基板と、該基板内に形成された、複数の列と複数の行とを有するピクセルアレイと、該基板内に形成されたタイミングコントロールロジックブロックと、該基板内に形成され、該ピクセルアレイと該タイミングコントロールロジックブロックとに各々動作可能に接続されている、該ピクセルアレイの中の各列にアドレスラインを提供する列バスを有する列アドレシング回路と、該基板内に形成された行アドレシング回路と、該基板内に形成されたピクセルタイミング回路と、該基板内に含まれている信号処理回路と、を備えており、該ピクセルアレイと、該タイミングコントロールロジックブロックと、該列アドレシング回路と、該行アドレシング回路と、該ピクセルタイミング回路と、該信号処理回路は、全て、該基板の上に配置されており、連係して動作することで、外部制御から独立した撮像機能を指示することが可能であって、さらに、該センサ装置に対するアドレス及び制御信号を生成するために該センサによって使用されるコマンドを与える外部計算手段に結合された、該タイミングコントロールロジックと該ピクセルタイミング回路と該列アドレシング回

路と該行アドレシング回路とに動作可能に結合されている、インターフェース回路を有するイメージセンサ装置を備えたＣＭＯＳに基づくイメージセンサによって提供される。

【００１２】

【発明の実施の形態】

以下、本発明の実施の形態（以下実施形態という）を、図面に従って説明する。

【００１３】

タイミング、コントロール、及びアナログ・デジタル変換の機能と、単一チップ上へのデジタルインターフェースの組み込みとを集積する相補型金属酸化物半導体（ＣＭＯＳ）技術を使用するアクティブピクセルセンサ（ＡＰＳ）を用いて、デジタルカメラオンチップが構成できることが見い出された。

【００１４】

図１を参照すると、センサ１０として一般的に参照されるアーキテクチャ設計の構成要素は、ＡＰＳピクセルアレイ１２を動作するために必要とされる機能的なブロックとそれらの各々の配線とを備えている。加えて、センサ１０のアーキテクチャは、単一のＣＭＯＳチップ上に、タイミング、コントロール、クロック、及びアナログ・デジタル変換を提供する。図１に示される本発明は、ハードウェア記述言語或いは図的入力のような様々な設計規則の何れかによって実行されるブロック図を表している。好ましくは、適切なパワー消費を与えるためＣＭＯＳにて実行されるであろう。マイクロプログラムに基づく実行或いはステートマシンに基づく実行の何れかを行うためにその後に使用される設計仕様を通じて、シリコンで実行することができる。好適な実施形態は、ＶＨＳＩＣハードウェア記述言語（ＶＨＤＬ）にて記述されたステートマシンを使用して、シリコン内に配置される。ＶＨＤＬは、電子設計オートメーションの形式で使用される。

【００１５】

図１に示されるように、ピクセルアレイ１２は、ｘ－ｙアドレス指定可能な形態のピクセルの２次元アレイ１２である。６４０×４８０ピクセルの標準ＶＧＡ解像度のような、アレイ１２の様々な解像度が可能である。好適な実施形態の各ピクセルは、典型的には、光検出器（好適な実施形態ではピン光ダイオードである）、転送ゲート、リセットゲート、列選択ゲート、及びソースフォロワ増幅器を備えている。

【００１６】

アレイ１２は、入射光を光電子に変換する。光電子は、カメラレンズ（図示せず）を通ってアレイ１２にフォーカスした入射イメージの変形である蓄積された電荷として、アレイ１２の中の各々の光検出器の内部に存在する。各ピクセルはセンサ１０の上に集積されている列アドレシング回路１４及び行アドレシング回路１６によって選択されて、蓄積された電荷を出力する。イメージは、共通の列バスをアクティブ状態に設定する列バス１５の上に、選択された列に対するアドレスを列セレクト１４が供給することによって、読み出される。

【００１７】

シリアルインターフェース及びコントロール５０は、外部のマイクロコントローラ或いは他のコンピュータプログラム手段に、オペレータ或いは他の自動化されたアルゴリズムに基づくカメラオンチップに対する設定を実施させる。これらの設定の中には、露光条件を設定するための光強度（光量）測定のような特定のモードにおけるカメラチップの操作がある。任意のプログラムが実行される前に所定の方法で実行される、撮像器チップのデフォルトのパワーアップモードも存在する。例えば、初めてパワーが印加されると、チップは、室内光条件に一致する露光タイミングにて、フル解像度モードで動作する。このデフォルトモードは、所望の各アプリケーションについて、適切に設定される。

【００１８】

シリアルインターフェース及びコントロールロジック５０は、タイミング／コントロールロジック６０によって生成されるｘ－ｙアドレシング、リセット、サンプル、転送、及び他の信号の様なシーケンス信号の生成において使用されるコントロールを供給する。シリアルインターフェース及びコントロールロジック５０からの１セットのコマンドは、タイ

ミング／コントロールロジック６０の内部の適切な制御レジスタにロードされて、ピクセルアレイの集積及び読み出しに対する異なったタイミングモードを実行する。センサ１０の読み出しは、フル解像度（全ピクセル）、ｘ－ｙでウインドウされたピクセル、或いはサブサンプリング（１列おき）等として、プログラムされることができる。タイミング／コントロールロジック６０は、センサ１０の読み出し動作に対する制御信号を供給する。

【００１９】

本発明は、アナログデジタルコンバータ（ＡＤＣ）がＣＭＯＳセンサ１０に含まれることを想定している。また、センサ１０の外にＡＤＣを置くことも想定している。これは、各設計の効果と不利益とのトレードオフに基づいて行われる、単純な設計上の選択事項である。何れの場合でも、ＡＤＣがピクセルの読み出しに関連して配置されて、デジタルビット出力が意味をなし、且つアーティファクトが最小化されることを確実にすることが、重要である。

【００２０】

タイミング／コントロールロジック６０は、（１）各列がフル解像度モードで読み出されるときに、列アドレシング及びピクセルタイミングバス１４にアドレスを供給し、（２）典型的にはビデオ会議にて使用されるサブサンプリングモードにて使用されるように、１列おき或いは４列おきのようにして列のサブセットが読み出されるときに、列アドレシング及びピクセルタイミングバス１４にアドレスを供給し、（３）ピクセルのサブ領域をアドレス指定するために必要とされるウインドウ能力を提供する。タイミング／コントロールロジック６０は、電子シャッターモードコントロールも制御するが、これには、（１）フレームレートに対するピクセルのリセット、（２）各フレームに対する集積モードの制御、（３）光感度レベル及び電子シャッターを制御する光計測モードが含まれ、この光計測モードには、蛍光のうなり（すなわち６０Ｈｚ）のセンシング、及びＥＳＳ＝ｎ／（２×ラインレート）秒なる関係を満たす電子シャッタの対応した制御も含まれる。ここで、ＥＳＳは電子シャッタスピードであり、ｎはラインレートの潜在的には任意の係数であって、好適な実施形態では６０Ｈｚである。

【００２１】

センサ１０は、一般には以下のように動作する。所定の時間に、共通の列バスの中のバスラインによって、その列の全ピクセルに転送信号を与えて、収集された光電子をその列の中のフォトダイオードの各々から各ピクセルに対するセンシングノードに移動させる。各ピクセルのセンシングノードは、ソースフォロワ増幅器の入力に接続されており、これは、アクティブピクセルセンサの技術では典型的である。列バスはまた、リセット信号をピクセルに与えて、光ダイオード及び／或いはセンシングノードをプリセットバイアスリセット電圧に接続する。

【００２２】

２重相関サンプリング手法もまた使用可能であって、第一のリセットでセンシングノードのリセットレベルを出力し、その後に、光電子の転送前にソースフォロワ出力を読み出す。別の出力サンプルが、光電子がフォトダイオードから転送された後に、取り出される。２つのサンプル信号の間の差は、ピクセルに入射した光によって生成された光電子量の本当の値を示す。

【００２３】

行信号処理及びＡＤＣ１８は、各ピクセルのリセット及び信号レベルのキャパシタ内への一時的な蓄積を可能にする。これらの信号は、その後にＡＤＣ信号によって使用されて、信号レベルの差がデジタル値に変換される。使用される特定のＡＤＣ回路の速度に依存して、デジタル値が、カメラオンチップの外部にリアルタイムレートで伝達されて、イメージディスプレイ或いはフレームメモリによる動きの捕捉を更新する。付加的には、ローカルなオンチップの一時的デジタルメモリが使用され、データをバッファしてもよい。このＡＤＣ回路は、外部の装置によって必要とされるピクセルの数（ピクセルの全数とフレームレートとの積）をリアルタイムで変換する単一の高速ユニットであっても良い。或いは、各行毎にまたは各ｎ行毎に、より遅いＡＤＣを使用して列毎に並列に全アナログピクセ

ル値を変換しても良い。

【００２４】

図２は、デジタルカメラを実現するために使用される様々な装置を示す、典型的な従来技術のＣＣＤに基づくシステムを描いている。マイクロコントローラ７２は、システムに基本的な制御信号を供給する。典型的にはＡＳＩＣ装置であるタイミング／コントロールロジック７４は、クロックドライバ７７によって必要とされるタイミング信号を生成し、クロックドライバ７７は、これらの信号をＣＣＤ７６の制御に必要な適切なレベルに変換する。マイクロコントローラ７２は、使用される撮像モードに対して適切なシーケンスをプログラムする。相関２重サンプリング（ＣＤＳ）７８は、ＣＣＤ７６上に入射する光に関連した信号の真の値を生成する。信号の真の値は、その後にアナログ・デジタルコンバータ７９によってデジタル信号に変換される。

【００２５】

図３は、図２に示されるシステムに対して数多くの効果を有する、本発明によって実現されるシステムを描いている。図２に示される機能的ブロックの大半は、図３の単一のシリコンカメラオンチップシステム１０に組み込まれているが、マイクロコントローラ８１とＡＳＩＣ８２とは例外である。マイクロコントローラ８１及びＡＳＩＣ８２は、コントローラと共に埋め込まれたより大きなＡＳＩＣ装置８０の中に組み合わせられることが、当業者によって理解されるであろう。ＡＳＩＣ８２は、カメラオンチップシステム１０のシリアルインターフェース及びコントロールロジック８９に対するインターフェースを提供する。好適な実施形態では、ＡＳＩＣ８２は、カメラオンチップシステム１０から出力されたデジタルデータのデジタル処理を行う。ＡＳＩＣ８２はハードウェア指向の処理が提供されるので、イメージデータをより高速にデータ処理する。ＡＳＩＣ８２及びコントローラ８１は、カメラオンチップシステム１０の一部として形成されることも可能である。また、（アナログデジタルコンバータ）ＡＤＣ８６からのデータをバッファリングするデータメモリ８５が含まれていても良い。

【００２６】

ここで図４を参照すると、ピクセルアレイ１０２を描く本発明の実施形態の簡略化されたブロック図が、４列６行のピクセルアレイを備えるように示されている。図４の内容は意図的に簡略化されており、本発明の好適な実施形態は、６４０×４８０のイメージセンシング装置である。図４を参照すると、アドレシング回路１１４が、列及び行の双方の選択のためのアドレシング回路を含む。以下の議論は、カウンタ方式である列アドレスのデコード（図４の場合には２ビットのカウンタに過ぎない）を詳細に説明するものであり、行アドレスのデコードは、同様に達成されるがインクリメントの仕方が異なる。列アドレシング部は、動作信号と共にタイミング及び制御信号（転送、リセットイネーブル、及びセレクトなど）を、アドレス指定された特定の列に供給する。このアドレシング回路は、ＮＡＮＤゲートのようなロジックゲートを使用して構築されることができ、或いは、各列を順次アドレスするシフトレジスタとして構築されることもできる。

【００２７】

行毎の信号処理のシーケンスと同様に、タイミング／コントロールロジック１５０によって生成される制御信号は、列及び行アドレシング１１４を制御する。タイミング／コントロールロジック１５０は、図３に示されたマイクロコントローラによって、センサチップ１０とのインターフェースとなる通信ポートを介して（図３に示される）シリアルインターフェース及びコントロール５０を通過してくるコマンドを使用して、プログラムされる。アドレス指定されると、ピクセル列は、そこに蓄えられていた光電子を、信号のノイズを低減する相関２重サンプリング（ＣＤＳ）１１６回路にストローブする。図４には、ピクセルアレイから相関２重サンプリング（ＣＤＳ）１１６回路を介して読み出された信号を検出する行ＡＤＣ１１８が示されている。信号はその後に、行ＡＤＣ１１８によってデジタルワードに変換される。行ＡＤＣ１１８は、この変換を、単一の行において或いは行セットに対して実行できる。好適な実施形態は、速度を考慮して８ビットのアナログ・デジタル変換を使用する。ＡＤＣは、ＡＤＣ設計技術で良く知られている連続近似手法を使

用して構成することができる。行毎（或いは行セット毎）の配列は、ピクセル信号の並列変換を可能にして、ＡＤＣの変換速度をライン走査時間まで低減する。

【００２８】

行ＣＤＳ１１６及び行ＡＤＣ１１８によって必要とされるタイミング信号は、タイミング／コントロールロジック１５０によって生成される。例えば、行ＣＤＳ１１６は、ピクセルアレイからの全列のピクセルで転送ゲートが活性化される前に、リセットサンプルを実行する。この後に、ダイオードから各ピクセルのセンシングノードへの転送後の信号サンプリングが行われる。

【００２９】

ここで図５を参照すると、図４に示すものと同様の本発明の実施形態が示されており、従って、同一の回路は同じ参照番号を有している。しかし、図５では、アドレス指定された列の各ピクセルからの信号は信号マルチプレクサ１２６に供給され、そこで多重化されて、デジタルワードへの変換のために単一の或いは複数の高速ＡＤＣ１２８に伝送される。図５に示される例では、高速ＡＤＣ１２８を実現するために使用される実際のアナログ・デジタルコンバータの数は小さく（例えば単一のＡＤＣか、或いは、恐らくは複数のＡＤＣ）、変換レートは、ここでは、通常のピクセルデータレートをＡＤＣの数で割ったものである。

【００３０】

本発明によって教示される大規模集積化は、電子ズームやウインドウ能力のような特徴を可能にする。提供される特徴は、デジタルインターフェースの中のロジックによって制御される。フリー動作モード（デフォルトの動作モード）では、ウインドウ／ズームロジックから独立しているので、デジタルインターフェースからの制御信号を必要とせずに、フル解像度イメージを提供する。光計測モードでは、ピクセルグループを選択して、露光制御のような適切なパラメータを決定することを許容する。様々なスリーパーモードが、可変段階のパワーの節約を提供する。

【００３１】

撮像器アレイは、（バイエルチェス盤のような）所定の方法でモザイクパターンにされたカラーフィルタアレイ（ＣＦＡ）を加えることによって、色に対する感受性を持たせることができて、撮像される光景をカラー化する。

【００３２】

アーキテクチャは、完全なカメラオンチップを実現する。電子制御要素及び信号回路の全てが、単一のシリコン片の上に集積化される。これは、カメラ設計者が、チップでイメージを捕捉するために必要な詳細なタイミングより、（ヒューマンインターフェースのような）特徴に集中できるような方法で、カメラシステムの設計を簡単にする。

【００３３】

また、集積化されたチップは低消費電力であり、低消費電力であることは持ち運び可能なアプリケーションでは重要な考慮事項である。

【００３４】

本発明が、ある好適な実施形態を特に参照して詳細に説明されてきたが、変更及び改変が本発明の精神と範囲との中で成し得ることが理解されるであろう。

【図面の簡単な説明】

【図１】　本発明によって実現される集積されたＣＭＯＳイメージセンサの機能的ブロック図である。

【図２】　従来技術のＣＣＤカメラの機能的ブロック図である。

【図３】　図２に示す図と同様の機能を有する、本発明によって実現されるチップセンサ上のカメラを使用しているカメラのブロック図である。

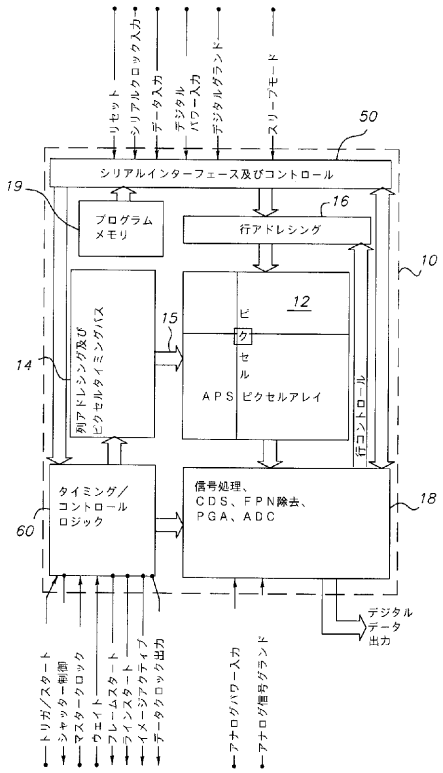
【図４】　ピクセルアレイ中のピクセルをアドレス指定し且つ読み出す、本発明のブロック図である。

【図５】　アドレシンング、多重化、及びアナログデジタルコンバータへのピクセルの伝送を示されたブロック図である。

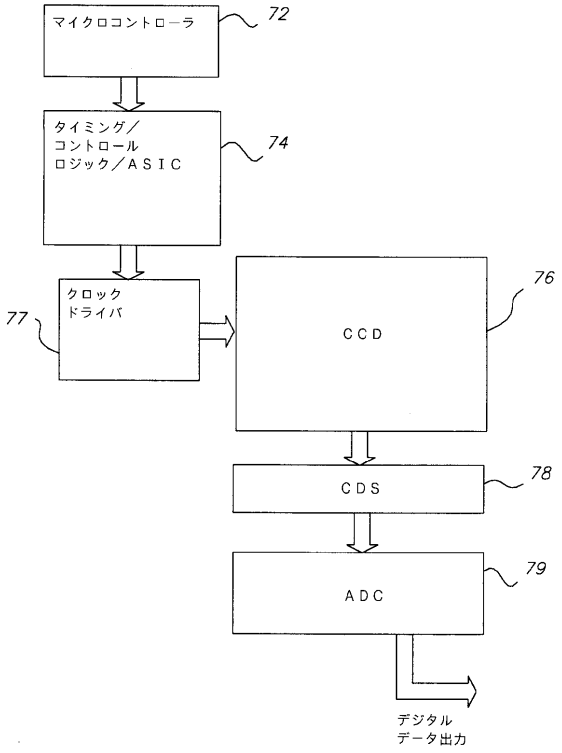
【符号の説明】

１０　センサ、１２　ピクセルアレイ、１４　列アドレシング及びピクセルタイミング機能、１５　列バス、１６　行アドレシング、１８　信号処理、５０　シリアルインターフェース及びコントロール、６０，７４，１５０　タイミング／コントロールロジック、７２　マイクロコントローラ、７６　ＣＣＤ、７７　クロックドライバ、７８　ＣＤＳ、７９　アナログ・デジタルコンバータ（ＡＤＣ）、８０　ＡＳＩＣ装置、８１　マイクロコントローラ、８５　データメモリ、１０２　ピクセルアレイ、１１４　アドレシング回路、１１６　行ＣＤＳ、１１８　行ＡＤＣ、１２６　信号マルチプレクサ、１２８　高速ＡＤＣ。

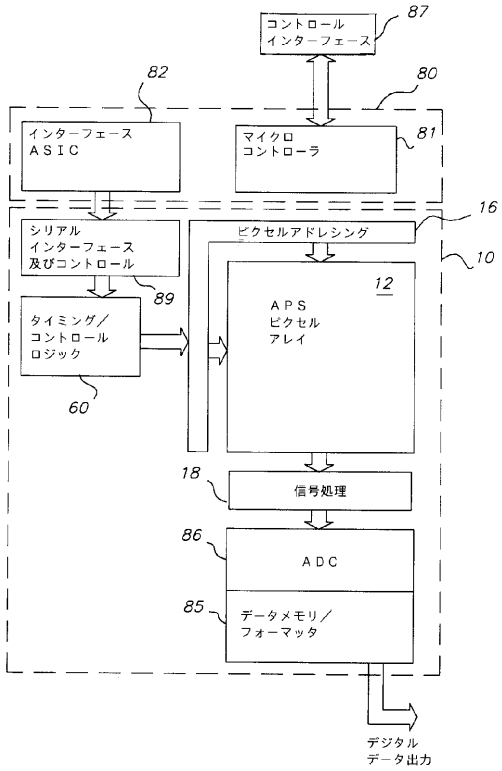
【図１】



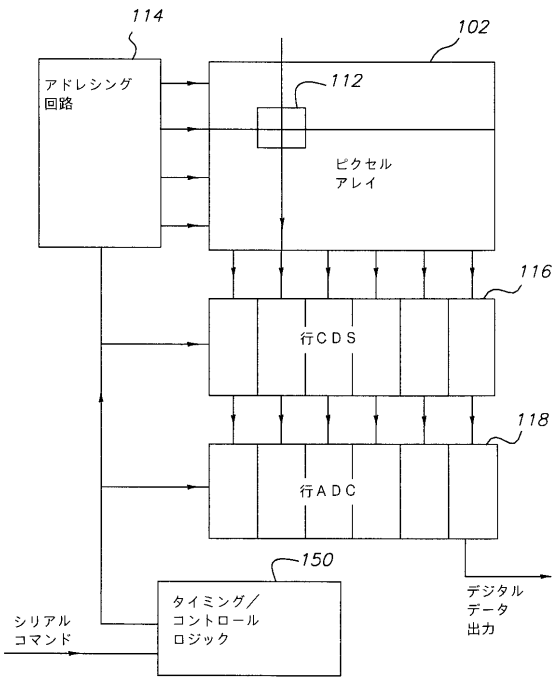
【図２】



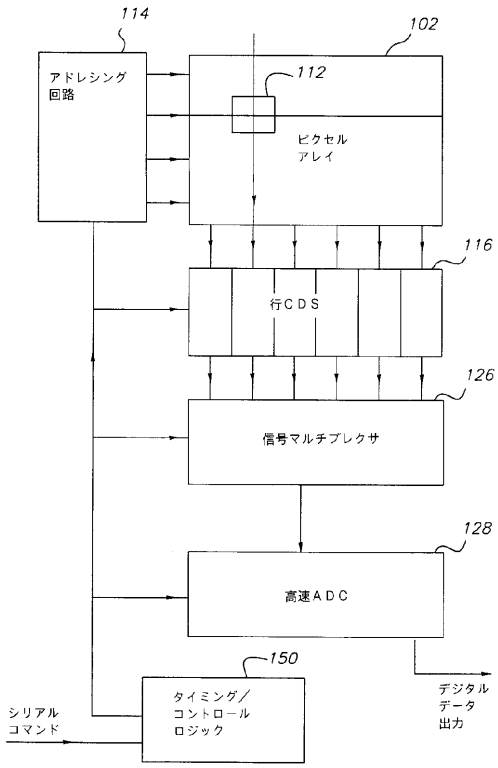
【図３】


コントロール
インターフェース
87
82
80
インターフェース
ASIC
マイクロ
コントローラ
81
16
ピクセルアドレシング
シリアル
インターフェース
及びコントロール
10
89
12
APS
ピクセル
アレイ
タイミング／
コントロール
ロジック
60
18
信号処理
86
ADC
85
データメモリ／
フォーマッタ
デジタル
データ出力

【図４】


114
102
アドレシング
回路
112
ピクセル
アレイ
116
行CDS
118
行ADC
150
タイミング／
コントロール
ロジック
シリアル
コマンド
デジタル
データ
出力

【図５】


114
102
アドレシング
回路
112
ピクセル
アレイ
116
行CDS
126
信号マルチプレクサ
128
高速ADC
150
タイミング／
コントロール
ロジック
シリアル
コマンド
デジタル
データ
出力

フロントページの続き

(72)発明者 ローレンス ジェイ バーンスタイン
アメリカ合衆国 ニューヨーク州 ハネオイ フォールズ メンドン センター ロード １２２０
(72)発明者 ロバート ミカエル ガイダッシュ
アメリカ合衆国 ニューヨーク州 ラッシュ サンダー リッジ ドライブ ５５
(72)発明者 テー シュエング リー
アメリカ合衆国 ニューヨーク州 ウェブスター ハイタワー ウェイ ７６０

審査官 恩田 春香

(56)参考文献 特開平１０－２２４６９６（ＪＰ，Ａ）
特開平１１－１７７８９３（ＪＰ，Ａ）
特表平１０－５００８２３（ＪＰ，Ａ）
R.H.Nixon et al., 256x256 CMOS Active Pixel Sensor, IEEE International Solid State Circuits Conference, 米国, IEEE, １９９６年 2月 1日, Vol.39, p.178-179,440
Eric R. Fossum, DIGITAL CAMERA SYSTEM ON A CHIP, IEEE Micro, 米国, IEEE, １９９８年 5月 1日, Vol.18, No.3, p.8-15

(58)調査した分野(Int.Cl., ＤＢ名)
H01L 27/146
H04N 5/335