



(12)发明专利申请

(10)申请公布号 CN 110288948 A
(43)申请公布日 2019. 09. 27

(21)申请号 201910570510.5

(22)申请日 2019.06.27

(71)申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 陈义鹏 刘利宾

(74)专利代理机构 北京中博世达专利商标代理有限公司 11274

代理人 周娟

(51)Int.Cl.
G09G 3/3258(2016.01)

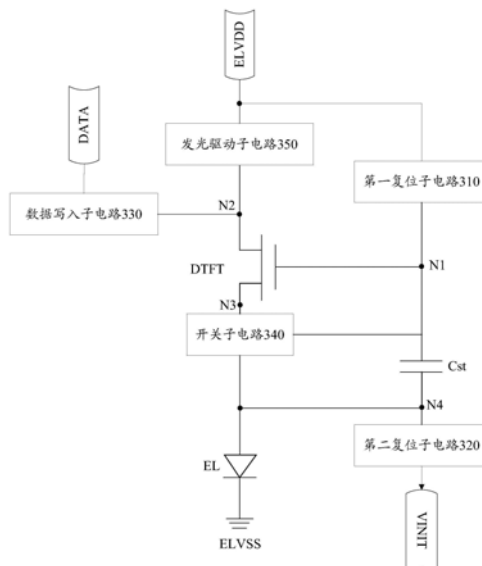
权利要求书3页 说明书11页 附图8页

(54)发明名称

一种像素补偿电路及方法、显示驱动装置和显示设备

(57)摘要

本发明公开一种像素补偿电路及方法、显示驱动装置和显示设备,涉及显示技术领域,以降低显示装置所含有的发光器件的亮度波动机率,从而提高显示装置显示的图像质量。所述像素补偿电路包括驱动晶体管、存储电容、开关子电路、第一复位子电路、第二复位子电路、数据写入子电路以及驱动发光器件发光的发光驱动子电路。所述像素补偿方法应用所述像素补偿电路驱动发光器件发光。本发明提供的像素补偿电路用于显示。



1. 一种像素补偿电路,其特征在于,包括驱动晶体管、存储电容、开关子电路、第一复位子电路、第二复位子电路、数据写入子电路以及驱动发光器件发光的发光驱动子电路;

所述第一复位子电路分别与所述存储电容的第一极板和所述驱动晶体管的控制极耦接;所述第一复位子电路用于在复位阶段利用电源信号对驱动晶体管的控制极和存储电容的第一极板进行复位;

所述第二复位子电路分别与所述存储电容的第二极板和所述发光器件耦接;所述第二复位子电路用于在复位阶段对驱动晶体管的控制极和存储电容的第二极板进行复位,在补偿阶段利用初始信号向存储电容的第二极板电压充电;

所述数据写入子电路和所述发光驱动子电路均与所述驱动晶体管的信号输入端耦接,所述数据写入子电路用于在补偿阶段将数据信号电压通过所述驱动晶体管和所述开关子电路写入存储电容的第一极板;

所述开关子电路分别与所述驱动晶体管的信号输出端、所述存储电容的第一极板和发光器件耦接;所述开关子电路写入用于在发光阶段控制驱动晶体管与所述发光器件电连接,截断驱动晶体管的信号输出端与存储电容的第一极板和驱动晶体管的控制极电连接;

所述存储电容用于在发光阶段控制驱动晶体管处在导通状态;

所述发光驱动子电路用于在发光阶段利用电源信号驱动发光器件发光。

2. 根据权利要求1所述的像素补偿电路,其特征在于,所述第一复位子电路包括第一开关晶体管,用于在复位阶段导通,在补偿阶段和发光阶段关断;所述第一开关晶体管的信号输入端与电源信号端子电连接,所述第一开关晶体管的信号输出端分别与所述驱动晶体管的控制极和所述存储电容的第一极板耦接。

3. 根据权利要求2所述的像素补偿电路,其特征在于,所述第一开关晶体管为氧化物薄膜晶体管;和/或,所述第一开关晶体管的控制极与第一重置信号端子电连接。

4. 根据权利要求1所述的像素补偿电路,其特征在于,所述第二复位子电路包括第二开关晶体管,用于在复位阶段和补偿阶段导通,在发光阶段关断;所述第二开关晶体管的信号输入端与初始信号端子电连接,所述第二开关晶体管的信号输出端分别与所述存储电容的第二极板和发光器件耦接。

5. 根据权利要求4所述的像素补偿电路,其特征在于,所述第二开关晶体管的控制极与第二重置信号端子或发光信号端子电连接。

6. 根据权利要求1所述的像素补偿电路,其特征在于,所述数据写入子电路包括第三开关晶体管,用于在复位阶段和发光阶段关断,在补偿阶段导通;所述第三开关晶体管的信号输入端与数据信号端子电连接,所述第三开关晶体管的信号输出端与所述驱动晶体管的信号输入端耦接;

所述发光驱动子电路包括第四开关晶体管,用于在发光阶段导通,在复位阶段和补偿阶段关断;所述第四开关晶体管的信号输入端与电源信号端子电连接,所述第四开关晶体管的信号输出端与所述驱动晶体管的信号输入端耦接。

7. 根据权利要求6所述的像素补偿电路,其特征在于,所述第三开关晶体管的控制极与栅极信号端子电连接;所述第四开关器件的控制极与发光信号端子电连接。

8. 根据权利要求1~7任一项所述的像素补偿电路,其特征在于,所述开关子电路包括第五开关晶体管和第六开关晶体管;所述第五开关晶体管用于在复位阶段和发光阶段关

断,在补偿阶段导通;所述第六开关晶体管用于在复位阶段和补偿阶段关断,在发光阶段导通;

所述第五开关晶体管的信号输入端和所述第六开关晶体管分别与驱动晶体管的信号输出端耦接,所述第五开关晶体管的信号输出端与发光器件耦接,所述第六开关晶体管的信号输出端与所述存储电容的第一极板耦接。

9. 根据权利要求8所述的像素补偿电路,其特征在于,所述第六开关晶体管为氧化物薄膜晶体管;和/或,

所述第五开关晶体管的控制极与栅极信号端子电连接,所述第六开关晶体管的控制极与发光信号端子电连接。

10. 根据权利要求1所述的像素补偿电路,其特征在于,所述第一复位子电路包括用于在复位阶段导通,在补偿阶段和发光阶段关断的第一开关晶体管,所述第二复位子电路包括用于在复位阶段和补偿阶段导通,在发光阶段关断的第二开关晶体管,所述数据写入子电路包括用于在复位阶段和发光阶段关断,在补偿阶段导通的第三开关晶体管,所述发光驱动子电路包括用于在发光阶段导通,在复位阶段和补偿阶段关断的第四开关晶体管,所述开关子电路包括用于在复位阶段和发光阶段关断,在补偿阶段导通的第五开关晶体管和用于在复位阶段和补偿阶段关断,在发光阶段导通的第六开关晶体管;

所述第一开关晶体管的控制极与第一重置信号端子电连接,所述第一开关晶体管的信号输出端分别与所述驱动晶体管的控制极和所述存储电容的第一极板耦接;所述第二开关晶体管的信号输入端与初始信号端子电连接,所述第二开关晶体管的信号输出端分别与所述存储电容的第二极板和发光器件耦接;所述第三开关晶体管的控制极与栅极信号端子电连接;所述第三开关晶体管的信号输入端与数据信号端子电连接,所述第三开关晶体管的信号输出端与所述驱动晶体管的信号输入端耦接;所述第四开关器件的控制极与发光信号端子电连接,所述第四开关晶体管的信号输入端与电源信号端子电连接,所述第四开关晶体管的信号输出端与所述驱动晶体管的信号输入端耦接;所述第五开关晶体管的控制极与栅极信号端子电连接,所述第六开关晶体管的控制极与发光信号端子电连接,所述第五开关晶体管的信号输入端和所述第六开关晶体管分别与驱动晶体管的信号输出端耦接,所述第五开关晶体管的信号输出端与发光器件耦接,所述第六开关晶体管的信号输出端与所述存储电容的第一极板耦接;

若所述第二开关晶体管与所述第六开关晶体管均为同一类型的薄膜晶体管,所述第二开关晶体管的控制极与第二重置信号端子电连接;若所述第二开关晶体管与所述第六开关晶体管为不同类型的晶体管,所述第二开关晶体管的控制极与发光信号端子电连接。

11. 一种像素补偿方法,其特征在于,应用权利要求1~10任一项所述像素补偿电路;所述像素补偿方法包括复位阶段、补偿阶段和发光阶段;

在所述复位阶段,第一复位子电路用于在复位阶段利用电源信号对驱动晶体管的控制极和存储电容的第一极板进行复位,第二复位子电路利用初始信号对存储电容的第二极板和发光器进行复位;

在所述补偿阶段,第二复位子电路利用初始信号向存储电容的第二极板充电,数据写入子电路将数据信号电压通过驱动晶体管和开关子电路写入存储电容的第一极板;

在所述发光器件,存储电容控制驱动晶体管处在导通状态,开关子电路控制驱动晶体

管与所述发光器件电连接,开关子电路截断驱动晶体管的信号输出端与存储电容的第一极板和驱动晶体管的控制极电连接,发光驱动子电路利用电源信号驱动发光器件发光。

12. 根据权利要求11所述的像素补偿方法,其特征在于,

在所述复位阶段,所述存储电容的第一极板和所述驱动晶体管的控制极具有的电压均为 V_{dd} ,所述存储电容的第二极板和所述发光器件具有的电压均为 V_{init} , V_{dd} 为电源信号电压, V_{init} 为初始信号电压;

在所述补偿阶段,所述驱动晶体管的信号输入端具有的电压为 V_{data} ,所述驱动晶体管的信号输出端、所述驱动晶体管的控制极和所述存储电容的第一极板具有的电压均为 $V_{data}+V_{th}$,所述存储电容的第二极板和所述发光器件具有的电压均为 V_{init} ; V_{data} 为数据信号电压, V_{th} 为驱动晶体管的阈值电压;

在所述发光阶段,所述驱动晶体管的控制极和所述存储电容的第一极板具有的电压均为 $V_{data}+V_{th}+(V_{oled}-V_{init})$,所述驱动晶体管的信号输入端的电压为 V_{dd} ,所述驱动晶体管的信号输出端、所述存储电容的第二极板和所述发光器件具有的电压均为 V_{oled} , V_{oled} 为发光器件的工作电压。

13. 根据权利要求11所述的像素补偿方法,其特征在于,所述像素补偿电路为权利要求8~10任一项所述像素补偿电路,所述数据写入子电路将数据信号电压通过驱动晶体管和开关子电路写入存储电容的第一极板包括:

控制第五开关晶体管处在导通状态,控制第六开关晶体管关断;

数据写入子电路将数据信号电压传输至驱动晶体管;

在驱动晶体管的控制极处在复位状态时,驱动晶体管的信号输出端的电压、驱动晶体管的控制极和存储电容的第一极板具有的电压均转变为 $V_{data}+V_{th}$ 。

14. 一种显示驱动装置,其特征在于,包括至少一种权利要求1~10任一项所述像素补偿电路。

15. 一种显示设备,其特征在于,包括权利要求14所述显示驱动装置。

一种像素补偿电路及方法、显示驱动装置和显示设备

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种像素补偿电路及方法、显示驱动装置和显示设备。

背景技术

[0002] 主动矩阵有机发光二极管(Active-matrix organic light emitting diode,缩写为AMOLED)显示设备是一种自发光显示设备。与传统液晶显示器相比,AMOLED显示设备具有更宽的视角、更高的刷新率和更薄的尺寸,因此,AMOLED技术逐渐成为下一代显示技术。

[0003] 现有AMOLED显示设备显示图像时,像素补偿电路驱动发光器件发光。但是,像素补偿晶体管所含有的开关晶体管的容易出现漏电,导致与这些开关晶体管耦接的驱动晶体管的栅源电压出现波动。而由于发光器件的发光亮度决定于驱动晶体管的栅源电压大小,使得驱动晶体管的栅源电压出现波动时发光器件的亮度也随着变化,导致现有AMOLED显示设备所显示的图像质量不佳。

发明内容

[0004] 本发明的目的在于提供一种像素补偿电路及方法、显示驱动电路和显示装置,以降低显示装置所含有的发光器件的亮度波动机率,从而提高显示装置显示的图像质量。

[0005] 为了实现上述目的,本发明提供一种像素补偿电路。该像素补偿电路包括一种像素补偿电路,其特征在于,包括驱动晶体管、存储电容、开关子电路、第一复位子电路、第二复位子电路、数据写入子电路以及驱动发光器件发光的发光驱动子电路;

[0006] 所述第一复位子电路分别与所述存储电容的第一极板和所述驱动晶体管的控制极耦接;所述第一复位子电路用于在复位阶段利用电源信号对驱动晶体管的控制极和存储电容的第一极板进行复位;

[0007] 所述第二复位子电路分别与所述存储电容的第二极板和所述发光器件耦接;所述第二复位子电路用于在复位阶段对驱动晶体管的控制极和存储电容的第二极板进行复位,在补偿阶段利用初始信号向存储电容的第二极板电压充电;

[0008] 所述数据写入子电路和所述发光驱动子电路均与所述驱动晶体管的信号输入端耦接,所述数据写入子电路用于在补偿阶段将数据信号电压通过所述驱动晶体管和所述开关子电路写入存储电容的第一极板;

[0009] 所述开关子电路分别与所述驱动晶体管的信号输出端、所述存储电容的第一极板和发光器件耦接;所述开关子电路写入用于在发光阶段控制驱动晶体管与所述发光器件电连接,截断驱动晶体管的信号输出端与存储电容的第一极板和驱动晶体管的控制极电连接;

[0010] 所述存储电容用于在发光阶段控制驱动晶体管处在导通状态;

[0011] 所述发光驱动子电路用于在发光阶段利用电源信号驱动发光器件发光。

[0012] 与现有技术相比,本发明提供的像素补偿电路中,第一复位子电路分别与存储电

容的第一极板和驱动晶体管的控制极耦接,使得驱动晶体管在复位阶段可将驱动晶体管的控制极和存储电容的第一极板复位。数据写入子电路和发光驱动子电路均与驱动晶体管的信号输入端耦接,使得在驱动晶体管的控制极处在复位状态时,信号写入子电路可将数据信号逐渐写入到驱动晶体管的信号输出端,使得驱动晶体管的信号输出端电压为 $V_{data}+V_{th}$ 。而由于开关子电路分别与驱动晶体管的信号输出端、存储电容的第一极板和发光器件耦接,使得在补偿阶段时可通过开关子电路控制驱动晶体管的信号输出端的电压等于存储电容的第一极板和驱动晶体管的控制极,从而完成数据写入。由于第二复位子电路分别与存储电容的第二极板和所述发光器件耦接,并且在在复位阶段和补偿阶段利用初始信号对存储电容和所述发光器件进行复位,因此,在发光阶段存储电容的第二极板电压等于驱动发光器件发光的工作电压,且存储电容的第一极板电压和驱动晶体管的控制极电压跳变为 $V_{data}+V_{th}+(V_{oled}-V_{init})$ 。基于此,根据发光器件的工作电流公式最终得到 $I_{oled}=K(V_{data}-V_{init})^2$,可获得发光器件的工作电流 I_{oled} 只与数据信号电压 V_{data} 和 V_{init} 有关。而由于 V_{data} 为数据信号电压, V_{init} 为初始信号电压,不存在波动问题,因此,发光器件的工作电流 I_{oled} 也可以保证稳定,使得发光器件亮度稳定,保证了显示装置具有良好的显示效果。

[0013] 本发明还提供了一种像素补偿方法。该像素补偿方法应用上述像素补偿电路;所述像素补偿方法包括复位阶段、补偿阶段和发光阶段;

[0014] 在所述复位阶段,第一复位子电路用于在复位阶段利用电源信号对驱动晶体管的控制极和存储电容的第一极板进行复位,第二复位子电路利用初始信号对存储电容的第二极板和发光器进行复位;

[0015] 在所述补偿阶段,第二复位子电路利用初始信号向存储电容的第二极板充电,数据写入子电路将数据信号电压通过驱动晶体管和开关子电路写入存储电容的第一极板;

[0016] 在所述发光器件,存储电容控制驱动晶体管处在导通状态,开关子电路控制驱动晶体管与所述发光器件电连接,开关子电路截断驱动晶体管的信号输出端与存储电容的第一极板和驱动晶体管的控制极电连接,发光驱动子电路利用电源信号驱动发光器件发光。

[0017] 与现有技术相比,本发明提供的像素补偿方法的有益效果与上述像素补偿电路的有益效果相同,在此不做赘述。

[0018] 本发明还提供了一种显示驱动电路。所述显示驱动电路包括上述像素补偿电路。

[0019] 与现有技术相比,本发明提供的显示驱动电路的有益效果与上述像素补偿电路的有益效果相同,在此不做赘述。

[0020] 本发明还提供了一种显示装置。该显示装置包括上述显示驱动电路。

[0021] 与现有技术相比,本发明提供的显示装置的有益效果与上述显示驱动电路的有益效果相同,在此不做赘述。

附图说明

[0022] 此处所说明的附图用来提供对本发明的进一步理解,构成本发明的一部分,本发明的示意性实施例及其说明用于解释本发明,并不构成对本发明的不当限定。在附图中:

[0023] 图1为现有显示设备的示意图;

[0024] 图2为现有显示控制装置的结构框图一;

- [0025] 图3为现有显示控制装置的结构框图二；
- [0026] 图4为现有发光器件的结构示意图一；
- [0027] 图5为现有发光器件的结构示意图二；
- [0028] 图6为现有2T1C像素补偿电路的结构图；
- [0029] 图7为本发明实施例提供的像素补偿电路的原理图；
- [0030] 图8为本发明实施例提供的像素补偿电路的结构图一；
- [0031] 图9为本发明实施例提供的像素补偿电路的结构图二；
- [0032] 图10为图8所示的像素补偿电路的时序图；
- [0033] 图11为图9所示的像素补偿电路的时序图；
- [0034] 图12为本发明实施例提供的像素补偿方法的流程图一；
- [0035] 图13为本发明实施例提供的像素补偿方法的流程图二。

具体实施方式

[0036] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0037] 有机电致发光显示面板(Organic Electro luminescent Display,OLED)是一种可实现柔性化显示的显示器件,其凭借其低功耗、高色饱和度、广视角、薄厚度等优异性能逐渐成为显示领域的主流产品,可以广泛应用于智能手机、平板电脑、电视等终端。图1示出了一种显示设备的示意图。如图1所示,该显示设备包括显示面板100和显示控制装置200。

[0038] 如图2所示,上述显示控制装置200主要包括中央处理器210、显示控制器220和驱动芯片230。如图3所示,显示控制器220包括帧存控制模块221、图像处理模块222、时序控制模块223和显存224;驱动芯片230包括扫描驱动单元231和数据驱动单元232。帧存控制模块221与显存224电连接,中央处理器210与帧存控制模块221通信连接,图像处理模块222与帧存控制模块221连接,图像处理模块222与时序控制模块223通信连接,时序控制模块223通过扫描控制电路与扫描驱动单元231和数据驱动单元232连接。应理解,传统时序控制器只是用于生成同步信号,对视频信号并没有处理功能,但是随着显示控制技术的发展,目前所使用的时序控制器已经集成有图像处理功能,使得时序控制器可以对视频信号进行处理。

[0039] 如图3所示,上述显示面板100为OLED显示面板。该OLED显示面板一般采用成膜工艺和刻蚀工艺相结合的方式制作。成膜工艺可以为磁控溅射、真空蒸镀等成膜工艺。刻蚀工艺可以为湿法刻蚀、干法刻蚀等刻蚀工艺。

[0040] 如图4所示,上述显示面板应当包括层叠设置的显示驱动电路和阵列化的发光器件EL。显示驱动电路包括阵列化的像素补偿电路PDC。阵列化的像素补偿电路PDC与阵列化的发光器件EL电连接。阵列化的像素补偿电路PDC同时与如图3所示的扫描驱动单元231和数据驱动单元232电连接,当然,像素补偿电路还应当连接一些像素补偿所需的走线,如电源走线等。

[0041] 如图4所示,上述显示面板的每个像素包括一个像素补偿电路PDC和一个发光器件EL。

[0042] 图4示出了一种发光器件EL的结构示意图。如图4所示,该发光器件EL为三明治结构,具体包括阴极层CA、阳极层AN以及位于阳极层AN和阴极层CA之间的发光功能层LFU。如图5所示,该发光功能层LFU包括层叠设置的电子注入层EIL、电子传输层ETL、发光层LU、空穴传输层HTL和空穴注入层HIL。

[0043] 在图5所示的发光器件EL需要发光时,阳极层AN向空穴注入层HIL注入空穴,并通过空穴传输层HTL传输至发光层。同时,阴极层CA向电子注入层EIL注入电子,并通过电子传输层ETL传输至发光层LU。最终,电子和空穴在发光层LU中复合成激子,激子的能量发生转移并以光的形式释放,从而实现图4所示的发光器件EL发光的目的。

[0044] 图4所示的像素补偿电路PDC可以为2T1C像素补偿电路、3T1C像素补偿电路中的任意一个,但不仅限于此。但无论如何,像素补偿电路都包括存储电容Cst、开关晶体管以及用于驱动发光器件EL发光的驱动晶体管DTFT,具体参见图6所示的2T1C像素补偿电路。2T1C像素补偿电路中,栅极信号端子GATE提供的栅极信号可控制开关晶体管STFT导通,数据信号端子DATA所提供的数据信号通过开关晶体管STFT使得数据信号电压写入存储电容Cst。存储电容Cst控制驱动晶体管DTFT保持导通状态,以使得电源信号端子ELVDD提供的电源信号通过驱动晶体管DTFT驱动发光器件EL发光,应理解发光器件的阴极应当接入电源公共端ELVSS。应理解,上述开关晶体管STFT和驱动晶体管DTFT一般均选择薄膜晶体管。薄膜晶体管的类型可以为NMOS型薄膜晶体管,也可以为PMOS型薄膜晶体管,其区别仅在于导通条件。对于NMOS型薄膜晶体管来说,高电平导通,低电平关断;对于PMOS型薄膜晶体管来说,低电平导通,高电平关断。

[0045] 现有AMOLED显示设备显示图像时,像素补偿电路驱动发光器件发光。但是,像素补偿晶体管所含有的开关晶体管STFT容易出现漏电,导致与这些开关晶体管STFT耦接的驱动晶体管DTFT的栅源电压出现波动。而由于发光器件EL的发光亮度决定于驱动晶体管DTFT的栅源电压大小,使得驱动晶体管DTFT的栅源电压出现波动时发光器件EL的亮度也随着变化,导致现有AMOLED显示设备所显示的图像质量不佳。

[0046] 针对上述问题,如图7所示,本发明实施例提供了一种像素补偿电路。该像素补偿电路包括驱动晶体管DTFT、存储电容Cst、开关子电路340、第一复位子电路310、第二复位子电路320、数据写入子电路330以及驱动发光器件EL发光的发光驱动子电路350。应理解,驱动晶体管DTFT驱动发光器件EL发光所依赖的实体结构是驱动晶体管DTFT的信号输出端与发光器件EL的阳极电连接,发光器件EL的阴极与电源公共端ELVSS电连接。

[0047] 上述第一复位子电路310分别与存储电容Cst的第一极板和驱动晶体管DTFT的控制极耦接,以使得第一复位子电路310用于在图10和图11所示的复位阶段P1利用电源信号对驱动晶体管DTFT的控制极和存储电容Cst的第一极板进行复位。应理解,此处电源信号端子ELVDD应当与第一复位子电路310电连接,以保证电源信号端子ELVDD可向第一复位子电路310提供电源信号。

[0048] 上述第二复位子电路320分别与存储电容Cst的第二极板和发光器件EL耦接,以使得第二复位子电路320用于在图10和图11所示的复位阶段P1对驱动晶体管DTFT的控制极和存储电容Cst的第二极板进行复位,在补偿阶段P2利用初始信号向存储电容Cst的第一极板电压充电。应理解,此处初始信号端子VINIT应当与第二复位子电路320电连接,以保证初始信号端子VINIT向第二复位子电路320提供初始信号。其中,第二复位子电路320与发光器件

EL耦连是指第二复位子电路320与发光器件EL的阳极耦接。

[0049] 上述数据写入子电路330和发光驱动子电路350均与驱动晶体管DTFT的信号输入端耦接,以使得数据写入子电路330用于在图10和图11所示的补偿阶段P2将数据信号电压通过驱动晶体管DTFT和开关子电路340写入存储电容Cst的第一极板。应理解,数据信号端子DATA应当与数据写入子电路330电连接,以保证数据信号端子DATA可将数据信号提供给数据写入子电路330。

[0050] 上述开关子电路340分别与驱动晶体管DTFT的信号输出端、存储电容Cst的第一极板和发光器件EL耦接,以使得开关子电路340写入用于在图10和图11所示的发光阶段P3控制驱动晶体管DTFT与发光器件EL电连接,开关子电路340截断驱动晶体管DTFT的信号输出端与存储电容Cst的第一极板和驱动晶体管DTFT的控制极电连接。其中,开关子电路340与发光器件EL耦接是指开关子电路340与发光器件EL的阳极耦接。

[0051] 同时,上述存储电容Cst用于在图10和图11所示的发光阶段P3控制驱动晶体管DTFT处在导通状态。上述发光驱动子电路350用于在图10和图11所示的发光阶段P3利用电源信号驱动发光器件EL发光。应理解,此处电源信号端子ELVDD应当与发光驱动子电路350电连接,以保证电源信号端子ELVDD向发光驱动子电路350提供电源信号。

[0052] 下面结合附图7、图10和图11详细说明本发明实施例提供的像素补偿电路的工作原理,以下说明仅用于解释,不作为限定。应理解,由于第一复位子电路310分别与存储电容Cst的第一极板和驱动晶体管DTFT的控制极耦接,因此,存储电容Cst的第一极板和驱动晶体管DTFT的控制极的电压相等。定义图7中的第一节点N1的电压变化表示存储电容Cst的第一极板和驱动晶体管DTFT的控制极的电压变化。定义图7中的第二节点N2的电压变化表示驱动晶体管DTFT的信号输入端的电压变化。定义图7中的第三节点N3的电压变化表示驱动晶体管DTFT的信号输出端。另外,由于存储电容Cst的第一极板和发光器件EL耦接,因此,定义图7中的第四节点N4的电压变化表示存储电容Cst的第一极板和驱动晶体管DTFT的控制极的电压变化。

[0053] 如图7、图10和图11所示,本发明实施例提供的像素补偿电路在工作时包括多个工作周期,每个工作周期包括复位阶段P1、补偿阶段P2和发光阶段P3。

[0054] 在复位阶段P1,电源信号端子ELVDD向第一复位子电路310提供电源信号,电源信号电压Vdd,使得第一节点N1的电压为Vdd。同时,初始信号端子VINIT向第二复位子电路320提供初始信号,初始信号电压Vinit,使得第四节点N4的电压为Vinit。

[0055] 在补偿阶段P2,第二复位子电路320利用初始信号向存储电容Cst的第二极板充电。保持存储电容Cst的第二极板的电压,即在补偿阶段P2第四节点N4的电压仍然为Vinit。数据信号端子DATA向数据写入子电路330提供数据信号,数据信号电压为Vdata,使得第二节点N2的电压为Vdata。由于在复位阶段P1驱动晶体管DTFT的控制极电压为Vdd,因此,在驱动晶体管DTFT的控制极的作用下,第二节点N2的电压逐渐转移至第三节点N3,使得第三节点N3的电压为Vdata+Vth。同时,可控制开关子电路340导通第一节点N1和第三节点N3,使得第一节点N1和第三节点N3的电压相等,使得第一节点N1的电压等于Vdata+Vth,从而将数据电压写入存储电容Cst。

[0056] 在发光阶段P3,在第一节点N1的电压控制下驱动晶体管DTFT导通。电源信号端子ELVDD向发光驱动子电路350提供电源信号,电源信号电压为Vdd,使得第二节点N2的电压为

V_{dd}, 第三节点N3的电压为V_{oled}。同时, 开关子电路340控制驱动晶体管DTFT与发光器件EL电连接, 使得第四节点N4的电压为V_{oled}。由于第四节点N4的电压发生变化, 导致第一节点N1的电压跳变, 使得第一节点N1的电压为V_{data}+V_{th}+ (V_{oled}-V_{init})。由于发光器件EL的工作电流方程 $I_{oled}=K(V_{gs}-V_{th})^2$, $V_{gs}=V_g-V_s=V_{N1}-V_{N2}=V_{data}+V_{th}+(V_{oled}-V_{init})-V_{oled}=V_{data}+V_{th}-V_{init}$, 因此, $I_{oled}=K(V_{data}+V_{th}-V_{init}-V_{th})^2=K(V_{data}-V_{init})^2$ 。K为常数, 是驱动晶体管的导电因子。

[0057] 由于V_{data}为数据信号电压, V_{init}为初始信号电压, 不存在波动问题, 因此, 发光器件EL的工作电流I_{oled}也可以保证稳定, 使得发光器件EL亮度稳定, 保证了显示装置具有良好的显示效果。表1示出了一个工作周期内三个节点的电压变化情况。

[0058] 表1一个工作周期内三个节点的电压变化情况

[0059]

节点 阶段	N1	N2	N3	N4
P1	V _{dd}	-	-	V _{init}
P2	V _{data} +V _{th}	V _{data}	V _{data} +V _{th}	V _{init}
P3	V _{data} +V _{th} +(V _{oled} -V _{init})	V _{dd}	V _{oled}	V _{oled}

[0060] 应理解, 如图7、图10和图11所示, 在复位阶段P1应当保证电源信号从第一复位子电路310传输至存储电容C_{st}的第一极板, 初始信号从第二复位子电路320传输至存储电容C_{st}的第二极板, 以保证复位阶段P1存储电容C_{st}的两个极板电压不会发生跳变。这个过程中, 初始信号从第二复位子电路320传输至存储电容C_{st}的第二极板是对存储电容C_{st}的第二极板进行复位的过程。

[0061] 如图7、图10和图11所示, 在补偿阶段P2, 数据信号通过开关子电路340传输至存储电容C_{st}的第二极板, 初始信号从第二复位子电路320传输至存储电容C_{st}的第二极板, 以保证补偿阶段P2存储电容C_{st}的两个极板电压不会发生跳变。在这个过程中, 初始信号从第二复位子电路320传输至存储电容C_{st}的第二极板, 是对存储电容C_{st}的第二极板充电的过程。

[0062] 如图7、图10和图11所示, 为了在发光阶段P3抵消发光器件EL的工作电压对发光器件EL的亮度影响, 应当保证存储电容C_{st}发生跳变, 使得上述第一节点N1的电压等于V_{data}+V_{th}+ (V_{oled}-V_{init}), 这样将第一节点N1的电压带入发光器件EL的工作电流公式, 可消除发光器件EL的工作电压对发光器件EL的亮度影响。

[0063] 在一些实施例中, 如图8~图11所示, 图7所示的第一复位子电路310包括第一开关晶体管STFT1, 用于在复位阶段P1导通, 在补偿阶段P2和发光阶段P3关断。该第一开关晶体管STFT1的信号输入端与电源信号端子ELVDD电连接。该第一开关晶体管STFT1的信号输出端分别与驱动晶体管DTFT的控制极和存储电容C_{st}的第一极板耦接。

[0064] 如图8~图11所示, 为了保证上述第一开关晶体管STFT1应当保证其在复位阶段P1导通, 在补偿阶段P2和发光阶段P3关断, 第一开关晶体管STFT1的控制极与第一重置信号端子EM1电连接, 以利用第一重置信号控制第一开关晶体管STFT1导通和关断。上述第一开关

晶体管STFT1的种类可以根据实际情况选择,例如,上述第一开关晶体管STFT1为NMOS晶体管或PMOS晶体管。而由于第一开关晶体管STFT1的信号输出端与驱动晶体管DTFT的控制极耦接,使得第一开关晶体管STFT1存在漏电流时,容易对驱动晶体管DTFT的栅源电压产生影响,为此,上述第一开关晶体管STFT1为铟镓锌氧化物薄膜晶体管等氧化物薄膜晶体管。由于氧化物薄膜晶体管具有较低的漏电流,使得驱动晶体管DTFT可在较低频率下工作,从而降低能耗。

[0065] 在一些实施例中,如图8~图11所示,图7所示的第二复位子电路320包括第二开关晶体管STFT2,用于在复位阶段P1和补偿阶段P2导通,在发光阶段P3关断。该第二开关晶体管STFT2的信号输入端与初始信号端子VINIT电连接,第二开关晶体管STFT2的信号输出端分别与存储电容Cst的第二极板和发光器件EL耦接。

[0066] 如图8和图10所示,为了保证第二开关晶体管STFT2在复位阶段P1和补偿阶段P2导通,在发光阶段P3关断,上述第二开关晶体管STFT2的控制极与第二重置信号端子EM2电连接。

[0067] 如图9和图11所示,为了优化电路结构,可利用现有信号端子控制第二开关晶体管STFT2的关断或导通,可根据实际情况控制上述第二开关晶体管STFT2的类型,使得第二开关晶体管STFT2的控制极与发光信号端子EM电连接,从而有效减少信号走线数量,从而优化电路结构,降低布线占用空间。

[0068] 在一些实施例中,如图8~图11所示,图7所示的数据写入子电路330包括第三开关晶体管STFT3,用于在复位阶段P1和发光阶段P3关断,在补偿阶段P2导通。该第三开关晶体管STFT3的信号输入端与数据信号端子DATA电连接。第三开关晶体管STFT3的信号输出端与驱动晶体管DTFT的信号输入端耦接。

[0069] 如图8~图11所示,图7所示的发光驱动子电路350包括第四开关晶体管STFT4。该第四开关晶体管STFT4用于在发光阶段P3导通,在复位阶段P1和补偿阶段P2关断。上述第四开关晶体管STFT4的信号输入端与电源信号端子ELVDD电连接。第四开关晶体管STFT4的信号输出端与驱动晶体管DTFT的信号输入端耦接。

[0070] 如图8~图11所示,为了保证第三开关晶体管STFT3在复位阶段P1和发光阶段P3关断,在补偿阶段P2导通,上述第三开关晶体管STFT3的控制极与栅极信号端子GATE电连接,以利用栅极信号端子GATE控制数据信号写入过程。

[0071] 如图8~图11所示,为了保证第四开关晶体管STFT4在发光阶段P3导通,在复位阶段P1和补偿阶段P2关断,上述第四开关晶体管STFT4的控制极与发光信号端子EM电连接。而考虑到上述第二开关晶体管STFT2在复位阶段P1和补偿阶段P2导通,在发光阶段P3关断,且第二开关晶体管STFT2的控制极与发光信号端子EM电连接,因此,如图9所示,只需要控制第二开关晶体管STFT2和第四开关晶体管STFT4的类型相反即可保证第二开关晶体管STFT2的控制极和第四开关晶体管STFT4的控制极均与发光信号端子EM电连接。例如:在第二开关晶体管STFT2为NMOS晶体管时,第四开关晶体管STFT4为PMOS晶体管。又例如:在第二开关晶体管STFT2为PMOS晶体管时,第四开关晶体管STFT4为PMOS晶体管。

[0072] 在一些实施例中,如图8~图11所示,图7所示的开关子电路340包括第五开关晶体管STFT5和第六开关晶体管STFT6。该第五开关晶体管STFT5用于在复位阶段P1和发光阶段P3关断,在补偿阶段P2导通。该第六开关晶体管STFT6用于在复位阶段P1和补偿阶段P2关

断,在发光阶段P3导通。

[0073] 如图8~图11所示,上述第五开关晶体管STFT5的信号输入端和第六开关晶体管STFT6分别与驱动晶体管DTFT的信号输出端耦接。上述第五开关晶体管STFT5的信号输出端与发光器件EL耦接。上述第六开关晶体管STFT6的信号输出端与存储电容Cst的第一极板耦接。

[0074] 如图8~图11所示,当上述第六开关晶体管STFT6的信号输入端与驱动晶体管DTFT的信号输出端耦接,第六开关晶体管STFT6的信号输出端与存储电容Cst的第一极板耦接,如果第六开关晶体管STFT6具有较大的漏电流,容易对驱动晶体管DTFT的栅源电压产生影响,为此,上述第六开关晶体管STFT6为镓镓氧化物薄膜晶体管等氧化物薄膜晶体管。由于氧化物薄膜晶体管具有较低的漏电流,使得驱动晶体管DTFT可在较低频率下工作,从而降低能耗。

[0075] 如图8~图11所示,由于上述第三开关晶体管STFT3在复位阶段P1和发光阶段P3关断,在补偿阶段P2导通,而第五开关晶体管STFT5用于在复位阶段P1和发光阶段P3关断,在补偿阶段P2导通,因此,第三开关晶体管STFT3和第五开关晶体管STFT5可选择同一型号的MOS管,并共用栅极信号端子GATE控制导通和关断。基于此,上述第五开关晶体管STFT5的控制极与栅极信号端子GATE电连接。

[0076] 如图8~图11所示,由于上述第四开关晶体管STFT4在发光阶段P3导通,在复位阶段P1和补偿阶段P2关断,而上述第六开关晶体管STFT6在复位阶段P1和补偿阶段P2关断,在发光阶段P3导通,因此,第四开关晶体管STFT4和第六开关晶体管STFT6可选择同一型号的MOS管,并共用发光信号端子EM控制其导通和关断。基于此,上述第六开关晶体管STFT6的控制极与发光信号端子EM电连接。

[0077] 在一些实施例,如图7~图9所示,上述第一复位子电路310包括用于在复位阶段P1导通,在补偿阶段P2和发光阶段P3关断的第一开关晶体管STFT1。上述第二复位子电路320包括用于在复位阶段P1和补偿阶段P2导通,在发光阶段P3关断的第二开关晶体管STFT2。上述数据写入子电路330包括用于在复位阶段P1和发光阶段P2关断,在补偿阶段P3导通的第三开关晶体管STFT3。上述发光驱动子电路350包括用于在发光阶段P3导通,在复位阶段P1和补偿阶段P2关断的第四开关晶体管STFT4。上述开关子电路340包括用于在复位阶段P1和发光阶段P3关断,在补偿阶段P2导通的第五开关晶体管STFT5和用于在复位阶段P1和补偿阶段P2关断,在发光阶段P3导通的第六开关晶体管STFT6。

[0078] 如图8和图9所示,第一开关晶体管STFT1的控制极与第一重置信号端子EM1电连接。第一开关晶体管STFT1的信号输出端分别与驱动晶体管DTFT的控制极和存储电容Cst的第一极板耦接。第二开关晶体管STFT2的信号输入端与初始信号端子VINIT电连接。第二开关晶体管STFT2的信号输出端分别与存储电容Cst的第二极板和发光器件EL耦接。第三开关晶体管STFT3的控制极与栅极信号端子GATE电连接。第三开关晶体管STFT3的信号输入端与数据信号端子DATA电连接。第三开关晶体管STFT3的信号输出端与驱动晶体管DTFT的信号输入端耦接。第四开关器件STFT4的控制极与发光信号端子EM电连接。第四开关晶体管STFT4的信号输入端与电源信号端子ELVDD电连接。第四开关晶体管STFT4的信号输出端与驱动晶体管DTFT的信号输入端耦接。第五开关晶体管STFT5的控制极与栅极信号端子GATE电连接。第六开关晶体管STFT6的控制极与发光信号端子EM电连接。第五开关晶体管STFT5

的信号输入端和第六开关晶体管STFT6分别与驱动晶体管DTFT的信号输出端耦接。第五开关晶体管STFT5的信号输出端与发光器件EL耦接。第六开关晶体管STFT6的信号输出端与存储电容Cst的第一极板耦接；

[0079] 在一种可选方式中,如图8所示,第二开关晶体管STFT2与第六开关晶体管STFT6均为同一类型的薄膜晶体管,第二开关晶体管STFT2的控制极与第二重置信号端子EM2电连接。应理解,此处的型号是指晶体管是NMOS晶体管还是PMOS型晶体管。

[0080] 在另一种可选方式中,如图9所示,第二开关晶体管STFT2与所述第六开关晶体管STFT6为不同类型的晶体管,第二开关晶体管STFT2的控制极与发光信号端子EM电连接。应理解,此处的型号是指晶体管是NMOS晶体管还是PMOS型晶体管。

[0081] 为了更为清楚的说明本发明实施例提供的像素补偿电路的工作原理,下面举例说明。

[0082] 在一种示例中,如图8所示,上述第一开关晶体管STFT1、第二开关晶体管STFT2、第三开关晶体管STFT3、第四开关晶体管STFT4、第五开关晶体管STFT5、第六开关晶体管STFT6、驱动晶体管DTFT均为NMOS晶体管。第一开关晶体管STFT1、第三开关晶体管STFT3、第四开关晶体管STFT4、第五开关晶体管STFT5、第六开关晶体管STFT6的控制极所连接的信号端子参见前文。第二开关晶体管STFT2的控制极所连接的信号端子为第二重置信号端子EM2。

[0083] 如图10所示,在复位阶段P1,第一重置信号端子EM1和第二重置信号端子EM2均提供高电平信号,第一开关晶体管STFT1和第二开关晶体管STFT2均导通,使得存储电容Cst的第一极板的电压为Vdd,存储电容Cst的第二极板为低电平的初始信号电压;栅极信号端子GATE和发光信号端子EM提供低电平信号,第三开关晶体管STFT3、第四开关晶体管STFT4、第五开关晶体管STFT5、第六开关晶体管STFT6均处在关断状态。在补偿阶段P2:第一重置信号端子EM1和发光信号端子EM提供低电平信号,第一开关晶体管STFT1、第四开关晶体管STFT4和第六开关晶体管STFT6关断;第二重置信号端子EM2和栅极信号端子GATE提供高电平信号,第二开关晶体管STFT2、第三开关晶体管STFT3和第五开关晶体管STFT5导通,使得高电平的初始信号电压通过第二开关晶体管STFT2向存储电容Cst的第二极板充电;数据电压通过第三开关晶体管STFT3和第五开关晶体管STFT5写入存储电容Cst的第一极板。在发光阶段P3:第一重置信号端子EM1、第二重置信号端子EM2和栅极信号端子GATE均提供低电平信号,第一开关晶体管STFT1、第二开关晶体管STFT2、第三开关晶体管STFT3和第五开关晶体管STFT5均关断;发光信号端子EM提供高电平信号,第四开关晶体管STFT4和第六开关晶体管STFT6导通。同时,在存储电容Cst的作用下驱动晶体管DTFT导通,使得电源信号通过第四开关晶体管STFT4、驱动晶体管DTFT和第六开关晶体管STFT6后驱动发光器件EL发光。

[0084] 在另一种示例中,如图9所示,上述第一开关晶体管STFT1、第三开关晶体管STFT3、第四开关晶体管STFT4、第五开关晶体管STFT5、第六开关晶体管STFT6、驱动晶体管DTFT均为NMOS晶体管。上述第二开关晶体管STFT2为PMOS晶体管。

[0085] 如图11所示,在复位阶段P1,第一重置信号端子EM1提供高电平信号,第一开关晶体管STFT1导通,使得存储电容Cst的第一极板的电压为Vdd。发光信号端子EM提供低电平信号,第二开关晶体管STFT2导通,第四开关晶体管STFT4和第六开关晶体管STFT6关断,此时,存储电容Cst的第二极板为低电平的初始信号电压。栅极信号端子GATE提供低电平信号,第

三开关晶体管STFT3和第五开关晶体管STFT5均处在关断状态。在补偿阶段P2:第一重置信号端子EM1和发光信号端子EM提供低电平信号,第一开关晶体管STFT1、第四开关晶体管STFT4和第六开关晶体管STFT6关断,第二开关晶体管STFT2导通,此时,高电平的初始信号电压通过第二开关晶体管STFT2向存储电容Cst的第二极板充电;栅极信号端子GATE提供高电平信号,第三开关晶体管STFT3和第五开关晶体管STFT5导通,使得数据电压通过第三开关晶体管STFT3和第五开关晶体管STFT5写入存储电容Cst的第一极板。在发光阶段P3:第一重置信号端子EM1和栅极信号端子GATE均提供低电平信号,第一开关晶体管STFT1、第三开关晶体管STFT3和第五开关晶体管STFT5均关断;发光信号端子EM提供高电平信号,第二开关晶体管STFT2关断,第四开关晶体管STFT4和第六开关晶体管STFT6导通。同时,在存储电容Cst的作用下驱动晶体管DTFT导通,使得电源信号通过第四开关晶体管STFT4、驱动晶体管DTFT和第六开关晶体管STFT6后驱动发光器件EL发光。

[0086] 如图8~图12所示,本发明实施例还提供了一种像素补偿方法,应用上述实施例描述的像素补偿电路。该像素补偿方法包括复位阶段P1、补偿阶段P2和发光阶段P3。

[0087] 步骤S100:在复位阶段P1,第一复位子电路310用于在复位阶段P1利用电源信号对驱动晶体管DTFT的控制极和存储电容Cst的第一极板进行复位,第二复位子电路320利用初始信号对存储电容Cst的第二极板和发光器进行复位;

[0088] 步骤S200:在补偿阶段P2,第二复位子电路320利用初始信号向存储电容Cst的第二极板充电,数据写入子电路330将数据信号电压通过驱动晶体管DTFT和开关子电路340写入存储电容Cst的第一极板;

[0089] 步骤S300:在发光阶段,存储电容Cst控制驱动晶体管DTFT处在导通状态,开关子电路340控制驱动晶体管DTFT与发光器件EL电连接,开关子电路340截断驱动晶体管DTFT的信号输出端与存储电容Cst的第一极板和驱动晶体管DTFT的控制极电连接,发光驱动子电路350利用电源信号驱动发光器件EL发光。

[0090] 与现有技术相比,本发明实施例提供的像素补偿方法的有益效果与上述像素补偿电路的有益效果相同,在此不做赘述。

[0091] 在一些实施例中,如图7和表1所示,在复位阶段P1,上述存储电容Cst的第一极板和驱动晶体管DTFT的控制极具有的电压均为Vdd,上述存储电容Cst的第二极板和发光器件EL具有的电压均为Vinit,Vdd为电源信号电压,Vinit为初始信号电压。在补偿阶段P2,上述驱动晶体管DTFT的信号输入端具有的电压为Vdata,上述驱动晶体管DTFT的信号输出端、驱动晶体管DTFT的控制极和存储电容Cst的第一极板具有的电压均为Vdata+Vth,存储电容Cst的第二极板和所述发光器件EL具有的电压均为Vinit;Vdata为数据信号电压,Vth为驱动晶体管DTFT的阈值电压。在发光阶段P3,上述驱动晶体管DTFT的控制极和存储电容Cst的第一极板具有的电压均为Vdata+Vth+(Voled-Vinit),驱动晶体管DTFT的信号输入端的电压为Vdd,驱动晶体管DTFT的信号输出端、存储电容Cst的第二极板和发光器件EL具有的电压均为Voled,Voled为发光器件EL的工作电压。

[0092] 在一些实施例中,如图8~图11和图13所示,图7所示的开关子电路340包括在第五开关晶体管STFT5和第六开关晶体管STFT6时,上述数据写入子电路330将数据信号电压通过驱动晶体管DTFT和开关子电路340写入存储电容Cst的第一极板包括:

[0093] 步骤S210:控制第五开关晶体管STFT5处在导通状态,控制第六开关晶体管STFT6

关断。

[0094] 步骤S220:数据写入子电路330将数据信号电压传输至驱动晶体管DTFT。

[0095] 步骤S230:在驱动晶体管DTFT的控制极处在复位状态时,驱动晶体管DTFT的信号输出端的电压、驱动晶体管DTFT的控制极和存储电容Cst的第一极板具有的电压均转变为 $V_{data}+V_{th}$ 。

[0096] 本发明实施例还提供了一种显示驱动装置。该显示驱动装置包括至少一种上述像素补偿电路。

[0097] 与现有技术相比,本发明实施例提供的显示驱动装置的有益效果与上述像素补偿电路的有益效果相同,在此不做赘述。

[0098] 本发明实施例还提供了一种显示设备。该显示设备包括上述显示驱动装置。

[0099] 与现有技术相比,本发明实施例提供的显示设备的有益效果与上述像素补偿电路的有益效果相同,在此不做赘述。

[0100] 其中,上述实施例提供的显示设备可以为手机、平板电脑、电视机、显示器、笔记本电脑、数码相框或导航仪等任何具有显示功能的产品或部件。

[0101] 在上述实施方式的描述中,具体特征、结构、材料或者特点可以在任何一个或多个实施例或示例中以合适的方式结合。

[0102] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

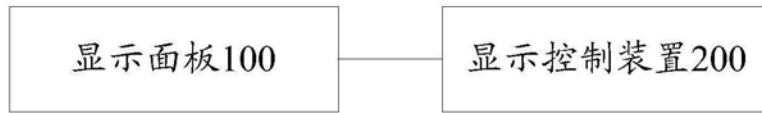


图1

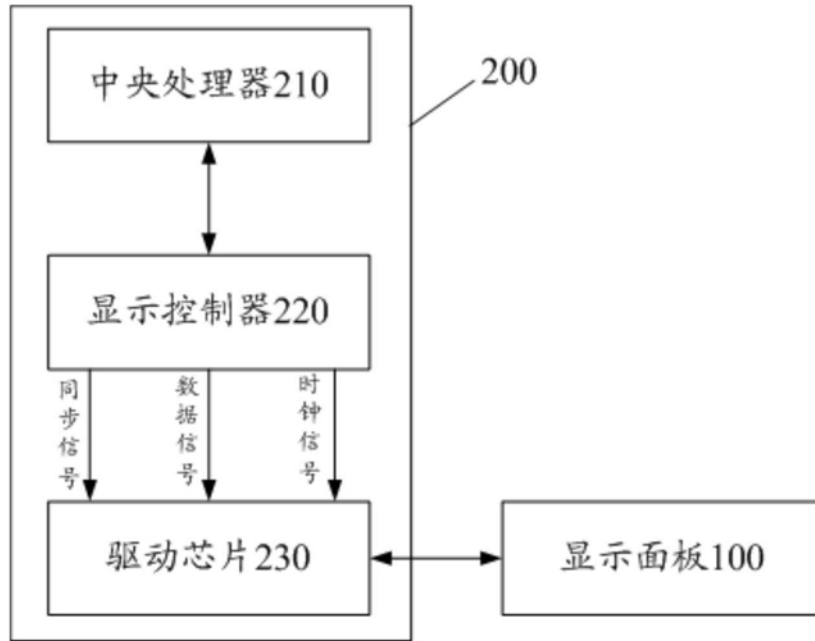


图2

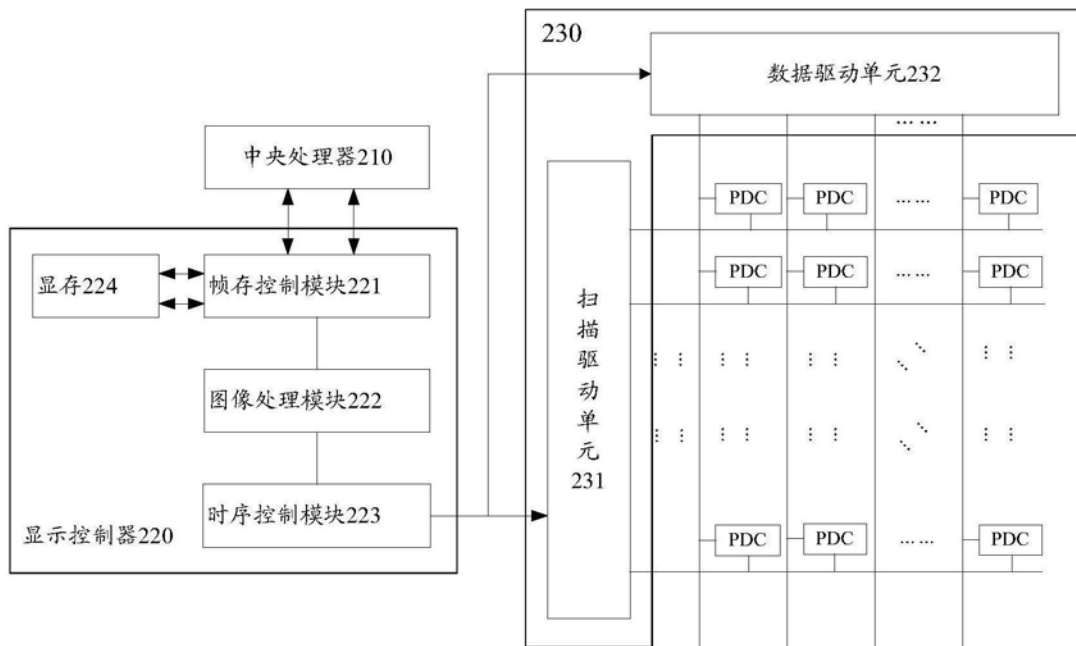


图3

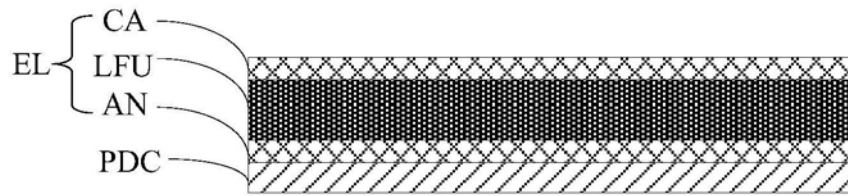


图4

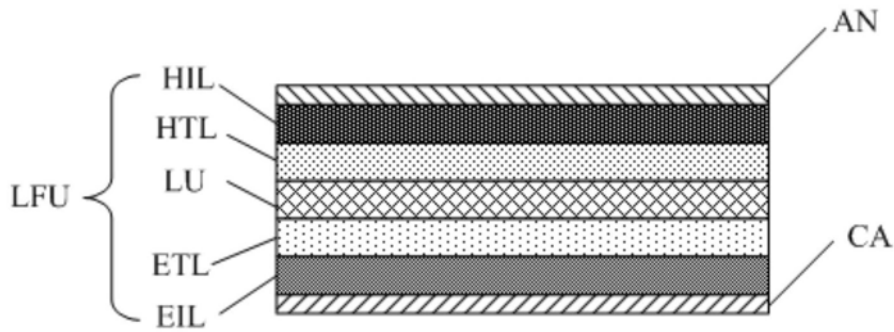


图5

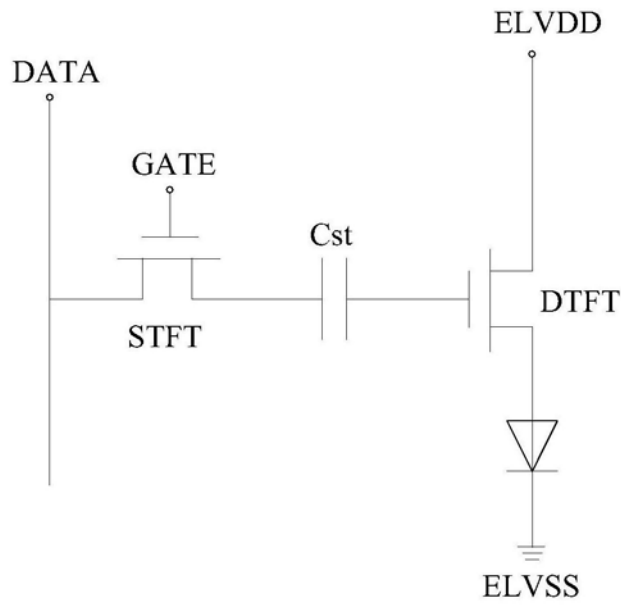


图6

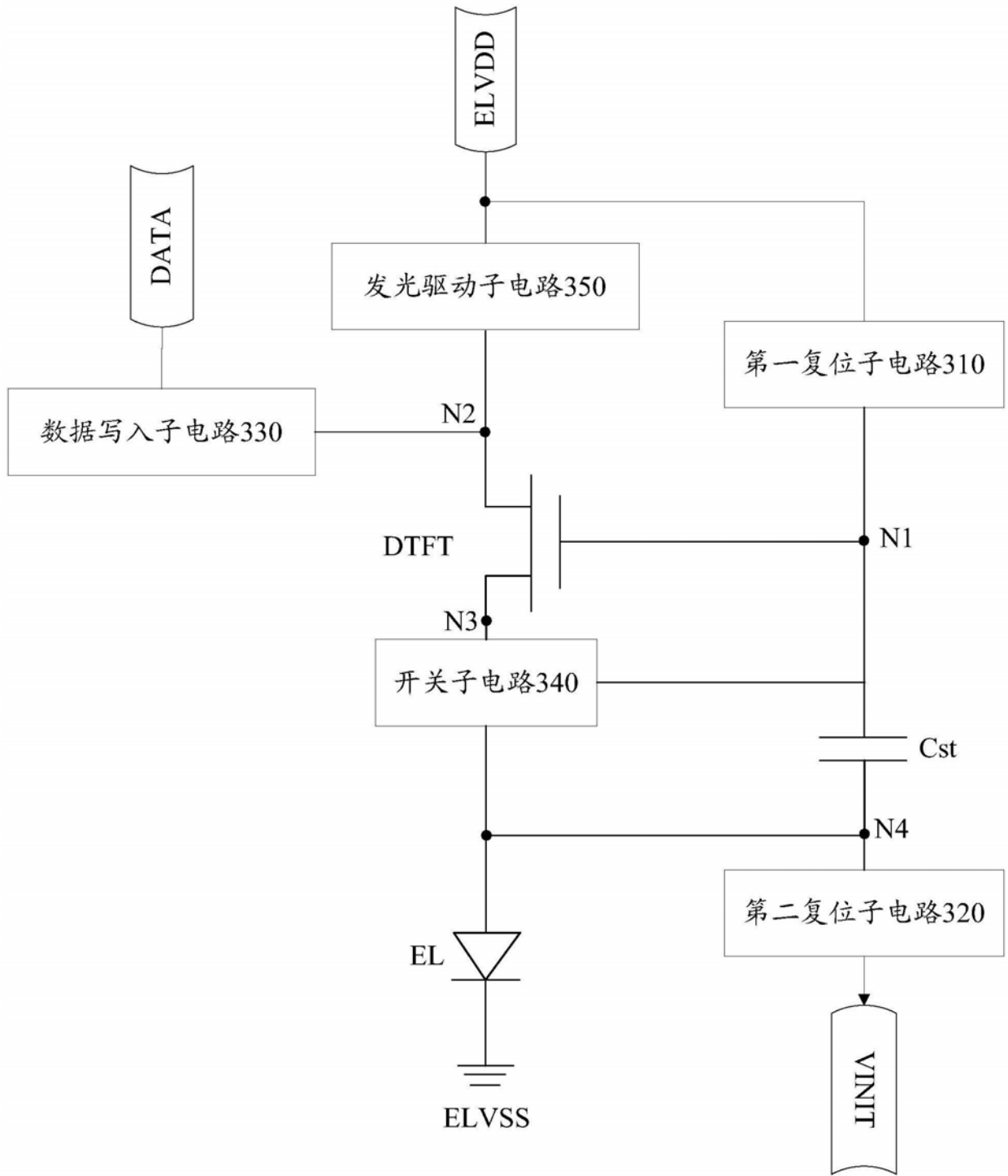


图7

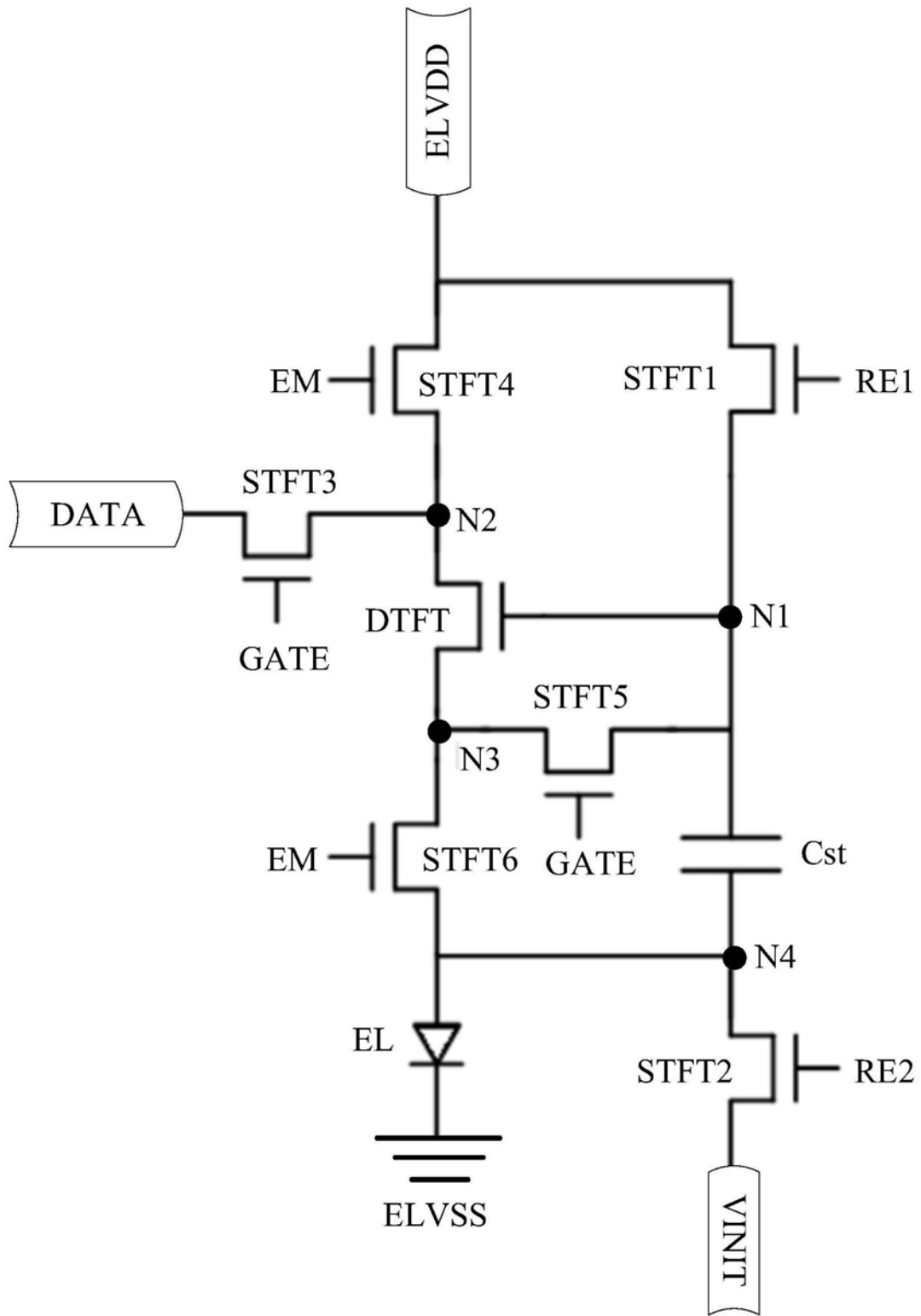


图8

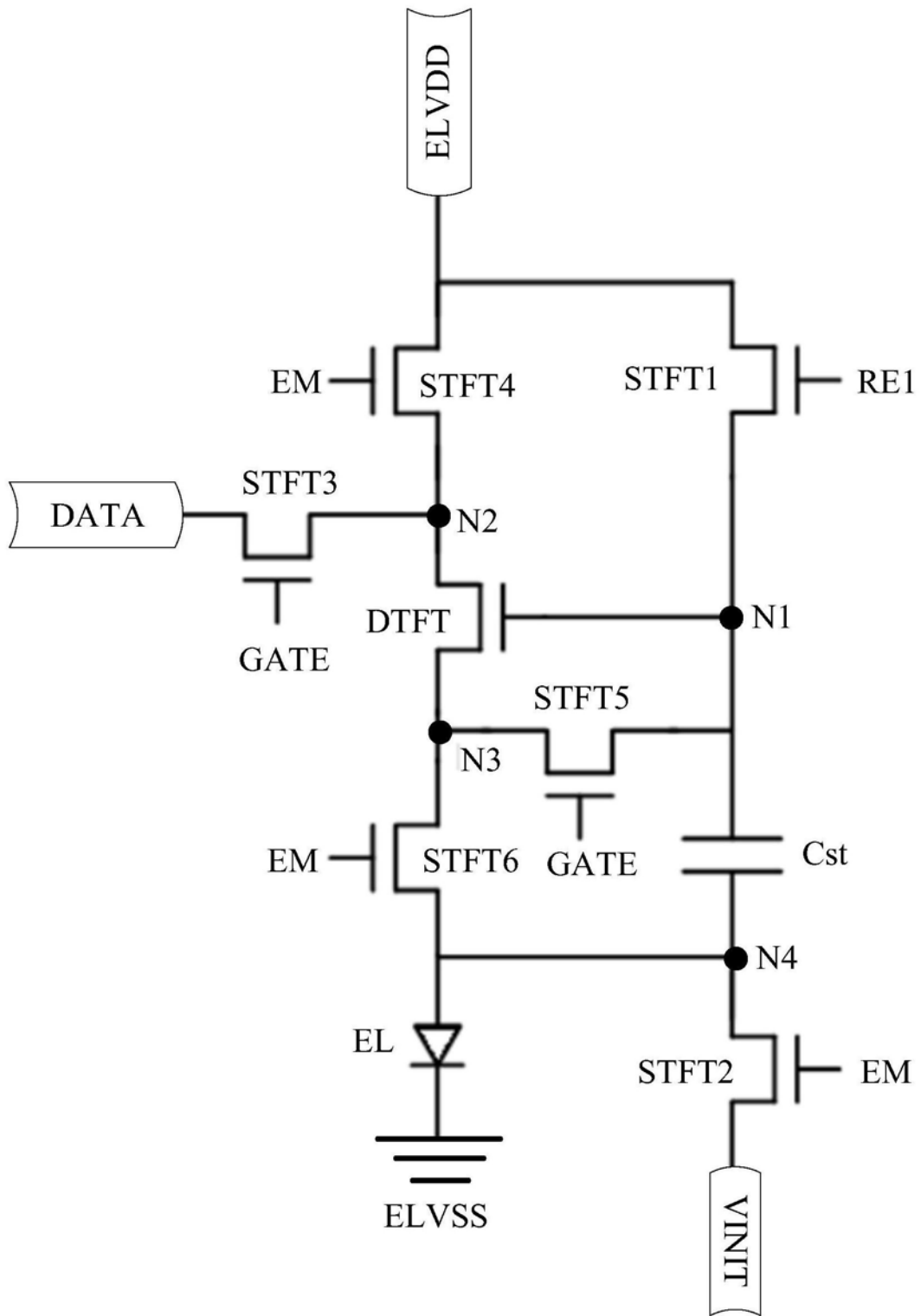


图9

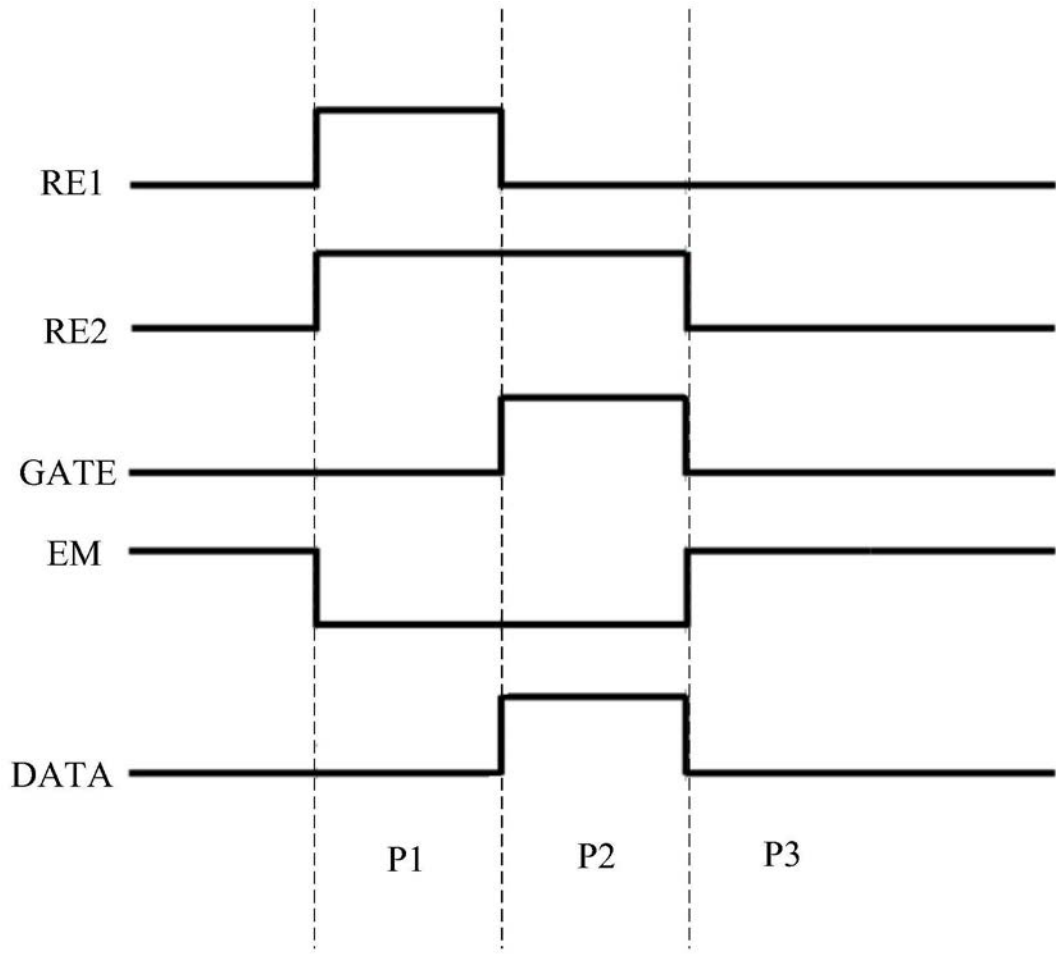


图10

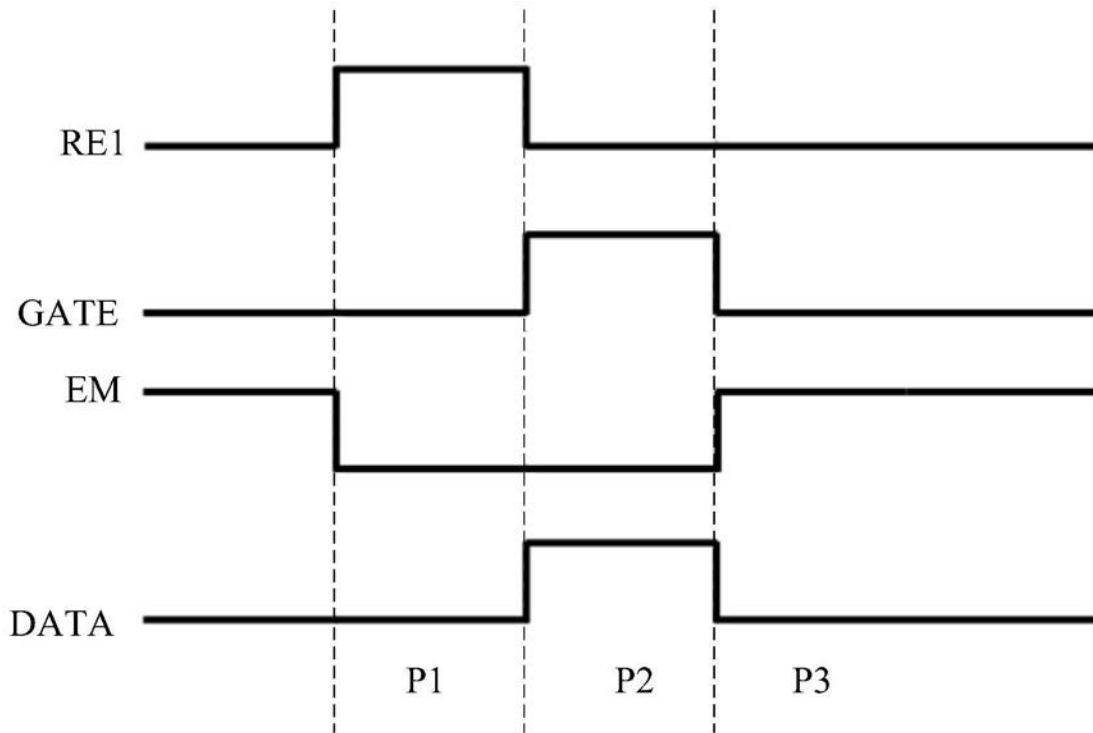


图11

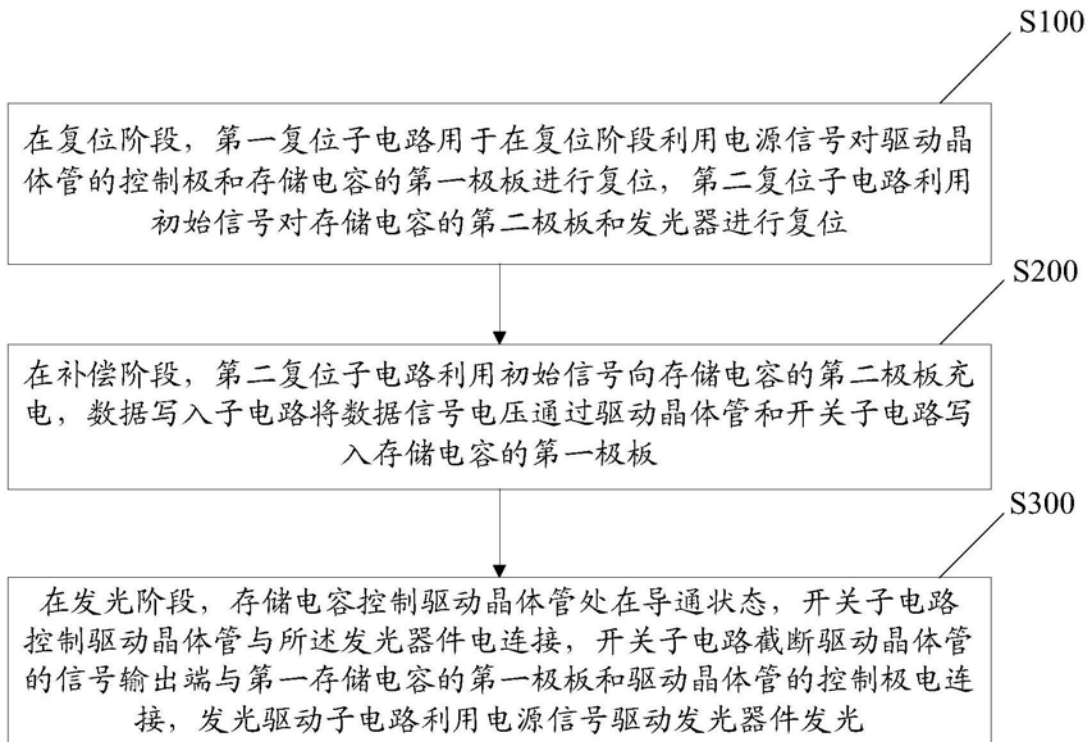


图12

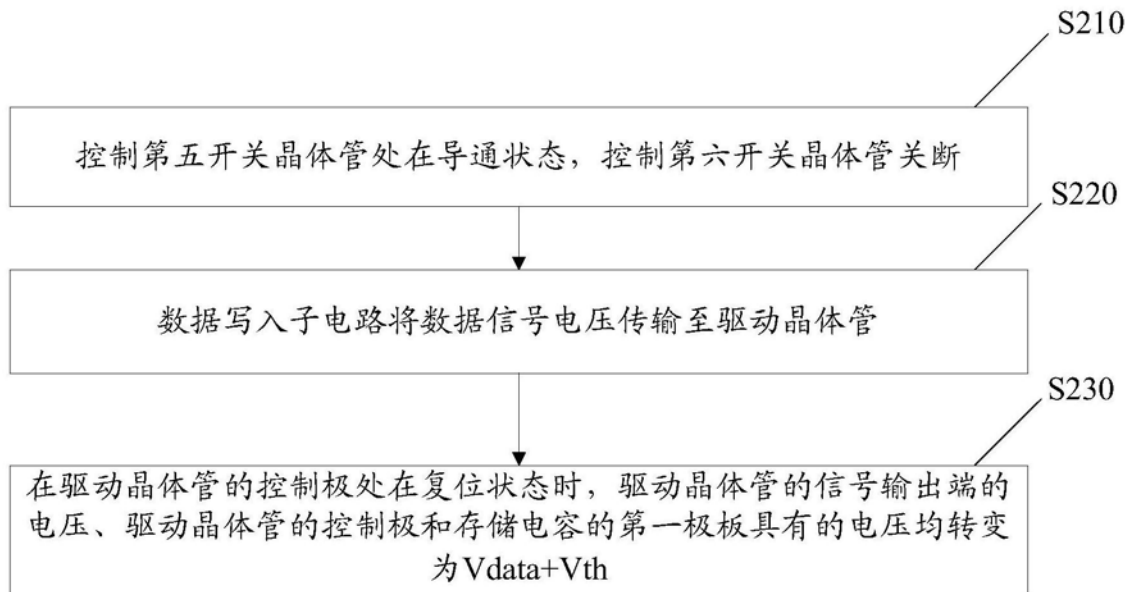


图13