(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年3月8日(08.03.2018)

WIPO | PCT

(10) 国際公開番号
WO 2018/042907 A1

(51) 国際特許分類:
G09F 9/30 (2006.01)

(21) 国際出願番号： PCT/JP2017/025733

(22) 国際出願日： 2017年7月14日(14.07.2017)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2016-167659 2016年8月30日(30.08.2016) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目１４番１号 Kanagawa (JP).

(72) 発明者: 三浦 究(**MIURA Kiwamu**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 豊村 直史(**TOYOMURA Naobumi**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 山本 孝久, 外(**YAMAMOTO Takahisa** et al.); 〒1410032 東京都品川区大崎４丁目３番２号 秋葉ビル３０１号 Tokyo (JP).

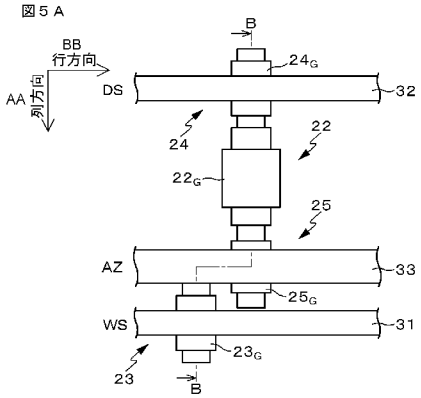
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,

(54) **Title:** DISPLAY DEVICE AND ELECTRONIC DEVICE

(54) 発明の名称： 表示装置及び電子機器

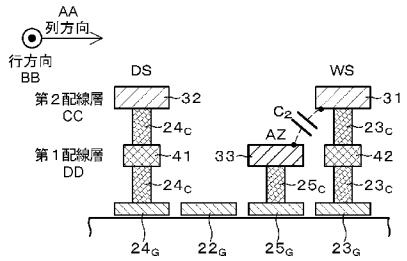
[図5]

図５Ａ



AA... DIRECTION OF COLUMNS
BB... DIRECTION OF ROWS
CC... SECOND WIRING LAYER
DD... FIRST WIRING LAYER

図５Ｂ



(57) **Abstract:** Provided are a display device configured such that pixels that include a light-emitting unit and a plurality of transistors are disposed two-dimensionally in a matrix form and gate wiring for the plurality of transistors are formed along the row direction of the disposition of the pixels, and an electronic device having the display device, wherein gate wiring for switching transistors, which are connected to an anode electrode of the light-emitting unit, of the plurality of transistors, is formed in a different wiring layer from gate wiring for the other transistors.

WO 2018/042907 A1

［続葉有］

BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告(条約第21条(3))

(57) 要約:発光部及び複数のトランジスタを含む画素が行列状に２次元配置され、複数のトランジスタのゲート配線が画素配列の行方向に沿って形成されて成る表示装置、あるいは、当該表示装置を有する電子機器において、複数のトランジスタのうち、発光部のアノード電極に接続されたスイッチングトランジスタのゲート配線を、他のトランジスタのゲート配線と異なる配線層に形成する。

明　細　書

発明の名称 ： 表示装置及び電子機器

技術分野

[0001] 本開示は、表示装置及び当該表示装置を有する電子機器に関する。

背景技術

[0002] 表示装置の一つとして、有機材料のエレクトロルミネッセンス（以下、「ＥＬ」と記述する）を利用した有機ＥＬ素子を発光部として用いた有機ＥＬ表示装置がある。有機ＥＬ表示装置は、発光部を構成する有機ＥＬ素子が自発光素子であるため、消費電力が低いという特性を有している。有機ＥＬ素子は、第１の電極と第２の電極との間に、有機正孔輸送層や有機発光層が積層されて成る有機層を設けた構造となっている。そして、有機ＥＬ表示装置では、有機ＥＬ素子に流す電流値をコントロールすることによって発色の階調を得ている。

[0003] 有機ＥＬ素子を発光部として用いた有機ＥＬ表示装置のうち、アクティブマトリックス型の有機ＥＬ表示装置においては、画素毎に複数のトランジスタや容量素子から成る駆動回路（画素回路）が設けられており、この駆動回路によって有機ＥＬ素子の駆動が行われている。

[0004] 有機ＥＬ表示装置では、プロセス変動等により、有機ＥＬ素子を駆動する駆動トランジスタの閾値電圧や移動度などの特性に画素毎にバラツキが生じる。そして、駆動トランジスタのトランジスタ特性が画素毎に異なると、画素毎に駆動トランジスタに流れる電流値に画素毎にバラツキが生じるために、駆動トランジスタのゲート電極に画素間で同じ電圧を印加しても、有機ＥＬ素子の発光輝度に画素間でバラツキが生じる。その結果、表示画面のユニフォーミティ（一様性）が損なわれる。そのため、有機ＥＬ表示装置では、駆動トランジスタの特性のバラツキを補正するための処理（動作）が行われている（例えば、特許文献１参照）。

先行技術文献

特許文献

[0005] 特許文献1：特開２００８－３３１９３号公報

発明の概要

発明が解決しようとする課題

[0006] ところで、高精細化に伴って画素間の間隔が狭くなったり、あるいは、マイクロディスプレイと呼称される超小型の表示装置では、隣接する配線間に生ずる寄生容量が無視できなくなってくる。すなわち、隣接する配線間に生ずる寄生容量が原因で表示品質の低下を招く、より具体的には、寄生容量によるカップリングノイズ等によって表示ムラが生じるという問題がある。

[0007] そこで、本開示は、隣接する配線間の寄生容量を低減することによって、寄生容量によるカップリングに起因する表示ムラを抑制することができる表示装置及び当該表示装置を有する電子機器を提供することを目的とする。

課題を解決するための手段

[0008] 上記の目的を達成するための本開示の表示装置は、

発光部及び複数のトランジスタを含む画素が行列状に２次元配置され、複数のトランジスタのゲート配線が画素配列の行方向に沿って形成されており、

複数のトランジスタのうち、発光部のアノード電極に接続されたスイッチングトランジスタのゲート配線は、他のトランジスタのゲート配線と異なる配線層に形成されている、

ことを特徴とする。また、上記の目的を達成するための本開示の電子機器は、上記の構成の表示装置を有することを特徴とする。

[0009] 上記の構成の表示装置又は当該表示装置を有する電子機器において、スイッチングトランジスタは、発光部のアノード電極に接続されていることで、そのゲート配線の電位変動が発光部の発光動作に悪影響を及ぼす。ここで、スイッチングトランジスタのゲート配線が、他のトランジスタのゲート配線と異なる配線層に形成されていることで、両トランジスタのゲート配線間の

配線間隔が、両配線が同じ配線層に形成されている場合に比べて広くなる。これにより、隣接する配線間に生ずる寄生容量を、両配線が同じ配線層に形成されている場合に比べて低減できるため、他のトランジスタのゲート配線からの、スイッチングトランジスタのゲート配線に対する寄生容量によるカップリングの影響を抑えることができる。

発明の効果

[0010] 本開示によれば、隣接する配線間の寄生容量を低減できるため、スイッチングトランジスタのゲート配線に対する他のゲート配線からの寄生容量によるカップリングに起因する表示ムラを抑制することができる。

[0011] 尚、ここに記載された効果に必ずしも限定されるものではなく、本明細書中に記載されたいずれかの効果であってもよい。また、本明細書に記載された効果はあくまで例示であって、これに限定されるものではなく、また付加的な効果があってもよい。

図面の簡単な説明

[0012] [図1]図１は、本開示のアクティブマトリックス型有機ＥＬ表示装置の構成の概略を示すシステム構成図である。

[図2]図２は、本開示のアクティブマトリックス型有機ＥＬ表示装置における画素（画素回路）の回路構成の一例を示す回路図である。

[図3]図３は、アクティブマトリックス型有機ＥＬ表示装置の基本的な動作の説明に供するタイミング波形図である。

[図4]図４Ａは、従来例に係るゲート配線構造を示す平面図であり、図４Ｂは、図４ＡのＡ－Ａ線に沿った矢視断面図である。

[図5]図５Ａは、実施例１に係るゲート配線構造を示す平面図であり、図５Ｂは、図５ＡのＢ－Ｂ線に沿った矢視断面図である。

[図6]図６Ａは、実施例２に係るゲート配線構造を示す平面図であり、図６Ｂは、図６ＡのＣ－Ｃ線に沿った矢視断面図である。

[図7]図７Ａは、実施例３に係るゲート配線構造を示す平面図であり、図７Ｂは、図７ＡのＤ－Ｄ線に沿った矢視断面図である。

[図8]図８Ａ及び図８Ｂは、レンズ交換式一眼レフレックスタイプのデジタルスチルカメラの正面図及び背面図である。

[図9]図９は、ヘッドマウントディスプレイの外観図である。

発明を実施するための形態

[0013] 以下、本開示の技術を実施するための形態（以下、「実施形態」と記述する）について図面を用いて詳細に説明する。本開示の技術は実施形態に限定されるものではない。以下の説明において、同一要素又は同一機能を有する要素には同一符号を用いることとし、重複する説明は省略する。尚、説明は以下の順序で行う。

１．本開示の表示装置及び電子機器、全般に関する説明

２．アクティブマトリックス型有機ＥＬ表示装置

２－１．システム構成

２－２．画素回路

２－３．基本的な回路動作

２－４．配線間の寄生容量

２－４－１．隣接するゲート配線を同じ配線層に形成した例

２－４－２．実施例１（スイッチングトランジスタのゲート配線を、他のトランジスタのゲート配線と異なる配線層に形成する例）

２－４－３．実施例２（実施例１の変形例：スイッチングトランジスタのゲート配線の上層に電源配線を形成する例）

２－４－４．実施例３（実施例２の変形例：スイッチングトランジスタのゲート配線の下層に電源配線を形成する例）

３．変形例

４．本開示の電子機器

４－１．具体例１（デジタルスチルカメラの例）

４－２．具体例２（ヘッドマウントディスプレイの例）

５．本開示がとることができる構成

[0014] ＜本開示の表示装置及び電子機器、全般に関する説明＞

本開示の表示装置及び電子機器にあっては、スイッチングトランジスタについて、発光部のアノード電極の電位を制御することによって発光部を非発光状態にする構成とすることができる。

[0015] 上述した好ましい構成を含む本開示の表示装置及び電子機器にあっては、スイッチングトランジスタのゲート配線の上層又は下層には、固定電位の電源配線が形成されている構成とすることができる。

[0016] 更に、上述した好ましい構成を含む本開示の表示装置及び電子機器にあっては、他のトランジスタについて、発光部を駆動する駆動トランジスタのゲート電極に対して、映像信号を書き込む書込みトランジスタである構成とすることができる。また、画素では、スイッチングトランジスタが導通状態となる発光部の非発光期間に、駆動トランジスタの特性のバラツキを補正するための処理が行われる構成とすることができる。

[0017] 更に、上述した好ましい構成を含む本開示の表示装置及び電子機器にあっては、画素が２次元配置される基板について、半導体基板である構成とすることができる。また、発光部について、有機エレクトロルミネッセンス素子から成る構成とすることができる。

[0018] ＜アクティブマトリックス型表示装置＞

本開示の表示装置は、電気光学素子に流れる電流を、当該電気光学素子と同じ画素回路内に設けた能動素子、例えば絶縁ゲート型電界効果トランジスタによって制御するアクティブマトリックス型表示装置である。絶縁ゲート型電界効果トランジスタとしては、典型的には、ＭＯＳ(Metal Oxide Semiconductor)トランジスタやＴＦＴ（Thin Film Transistor；薄膜トランジスタ）を例示することができる。

[0019] ここでは、一例として、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子である有機ＥＬ素子を、画素回路の発光部（発光素子）として用いるアクティブマトリックス型有機ＥＬ表示装置を例に挙げて説明するものとする。以下では、「画素回路」を単に「画素」と記述する場合がある。

[0020] ［システム構成］

図１は、本開示のアクティブマトリックス型有機ＥＬ表示装置の構成の概略を示すシステム構成図である。図１に示すように、本開示の有機ＥＬ表示装置１０は、有機ＥＬ素子を含む複数の画素２０が行列状に２次元配置されて成る画素アレイ部３０と、当該画素アレイ部３０の周辺に配置される周辺回路部とを有する構成となっている。周辺回路部は、例えば、画素アレイ部３０と同じ表示パネル７０上に搭載された書込み走査部４０、第１駆動走査部５０Ａ、第２駆動走査部５０Ｂ、及び、信号出力部６０等から成り、画素アレイ部３０の各画素２０を駆動する。尚、書込み走査部４０、第１駆動走査部５０Ａ、第２駆動走査部５０Ｂ、及び、信号出力部６０のいくつか、あるいは全部を表示パネル７０外に設ける構成を採ることも可能である。

[0021] 有機ＥＬ表示装置１０については、モノクロ（白黒）表示対応の構成とすることもできるし、カラー表示対応の構成とすることもできる。有機ＥＬ表示装置１０がカラー表示対応の場合は、カラー画像を形成する単位となる１つの画素（単位画素／ピクセル）は複数の副画素（サブピクセル）から構成される。このとき、副画素の各々が図１の画素２０に相当することになる。より具体的には、カラー表示対応の表示装置では、１つの画素は、例えば、赤色（Ｒｅｄ；Ｒ）光を発光する副画素、緑色（Ｇｒｅｅｎ；Ｇ）光を発光する副画素、青色（Ｂｌｕｅ；Ｂ）光を発光する副画素の３つの副画素から構成される。

[0022] 但し、１つの画素としては、ＲＧＢの３原色の副画素の組み合わせに限られるものではなく、３原色の副画素に更に１色あるいは複数色の副画素を加えて１つの画素を構成することも可能である。より具体的には、例えば、輝度向上のために白色（Ｗｈｉｔｅ；Ｗ）光を発光する副画素を加えて１つの画素を構成したり、色再現範囲を拡大するために補色光を発光する少なくとも１つの副画素を加えて１つの画素を構成したりすることも可能である。

[0023] 画素アレイ部３０には、ｍ行ｎ列の画素２０の配列に対して、行方向（画素行の画素の配列方向）に沿って走査線３１（31_1～31_m）、第１駆動線３

２（３２$_1$～３２$_m$）、及び、第２駆動線３３（３３$_1$～３３$_m$）が画素行毎に配線されている。更に、ｍ行ｎ列の画素２０の配列に対して、列方向（画素列の画素の配列方向）に沿って信号線３４（３４$_1$～３４$_n$）が画素列毎に配線されている。

[0024] 走査線３１$_1$～３１$_m$は、書込み走査部４０の対応する行の出力端にそれぞれ接続されている。第１駆動線３２$_1$～３２$_m$は、第１駆動走査部５０Ａの対応する行の出力端にそれぞれ接続されている。第２駆動線３３$_1$～３３$_m$は、第２駆動走査部５０Ｂの対応する行の出力端にそれぞれ接続されている。信号線３４$_1$～３４$_n$は、信号出力部６０の対応する列の出力端にそれぞれ接続されている。

[0025] 書込み走査部４０は、シフトレジスタ回路等によって構成されている。この書込み走査部４０は、画素アレイ部３０の各画素２０への映像信号の信号電圧の書込みに際して、走査線３１（３１$_1$～３１$_m$）に対して書込み走査信号ＷＳ（ＷＳ$_1$～ＷＳ$_m$）を順次供給することによって画素アレイ部３０の各画素２０を行単位で順番に走査する、所謂、線順次走査を行う。

[0026] 第１駆動走査部５０Ａは、書込み走査部４０と同様に、シフトレジスタ回路等によって構成されている。この第１駆動走査部５０Ａは、書込み走査部４０による線順次走査に同期して、第１駆動線３２（３２$_1$～３２$_m$）に対して発光制御信号ＤＳ（ＤＳ$_1$～ＤＳ$_m$）を供給することによって画素２０の発光／非発光（消光）の制御を行う。

[0027] 第２駆動走査部５０Ｂは、書込み走査部４０と同様に、シフトレジスタ回路等によって構成されている。この第２駆動走査部５０Ｂは、書込み走査部４０による線順次走査に同期して、第２駆動線３３（３３$_1$～３３$_m$）に対して駆動信号ＡＺ（ＡＺ$_1$～ＡＺ$_m$）を供給することによって非発光期間において画素２０を発光しないようにする制御を行う。

[0028] 信号出力部６０は、信号供給源（図示せず）から供給される輝度情報に応じた映像信号の信号電圧（以下、単に「信号電圧」と記述する場合もある）Ｖ$_{sig}$と基準電圧Ｖ$_{ofs}$とを選択的に出力する。ここで、基準電圧Ｖ$_{ofs}$は、映像信

号の信号電圧V_{sig}の基準となる電圧（例えば、映像信号の黒レベルに相当する電圧）に相当する電圧、あるいは、その近傍の電圧である。基準電圧V_{ofs}は、後述する補正動作を行う際に、初期化電圧として用いられる。

[0029] 信号出力部６０から択一的に出力される信号電圧V_{sig}／基準電圧V_{ofs}は、信号線３４（３４_1～３４_n）を介して画素アレイ部３０の各画素２０に対して、書込み走査部４０による線順次走査によって選択された画素行の単位で書き込まれる。すなわち、信号出力部６０は、信号電圧V_{sig}を画素行（ライン）単位で書き込む線順次書込みの駆動形態を採っている。

[0030] ［画素回路］

図２は、本開示のアクティブマトリックス型有機ＥＬ表示装置１０における画素（画素回路）の回路構成の一例を示す回路図である。画素２０の発光部は、有機ＥＬ素子２１から成る。有機ＥＬ素子２１は、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子の一例である。

[0031] 図２に示すように、画素２０は、有機ＥＬ素子２１と、有機ＥＬ素子２１に電流を流すことによって当該有機ＥＬ素子２１を駆動する駆動回路とによって構成されている。有機ＥＬ素子２１は、全ての画素２０に対して共通に配線された共通電源線３５にカソード電極が接続されている。

[0032] 有機ＥＬ素子２１を駆動する駆動回路は、駆動トランジスタ２２、書込みトランジスタ（サンプリングトランジスタ）２３、発光制御トランジスタ２４、スイッチングトランジスタ２５、保持容量２６、及び、補助容量２７を有する、４Ｔｒ（トランジスタ）／２Ｃ（容量素子）の構成となっている。尚、本例にあっては、画素（画素回路）２０は、ガラス基板のような絶縁体上ではなく、シリコンのような半導体上に形成される。すなわち、画素２０が２次元配置される基板は、半導体基板である。そして、駆動トランジスタ２２は、ｐチャネル型のトランジスタから成る。

[0033] また、本例にあっては、書込みトランジスタ２３、発光制御トランジスタ２４、及び、スイッチングトランジスタ２５についても、駆動トランジスタ

２２と同様に、ｐチャネル型のトランジスタを用いる構成を採っている。従って、駆動トランジスタ２２、書込みトランジスタ２３、発光制御トランジスタ２４、及び、スイッチングトランジスタ２５は、ソース／ゲート／ドレインの３端子の構成ではなく、ソース／ゲート／ドレイン／バックゲートの４端子の構成となっている。各トランジスタのバックゲートには、高電位側の電源電圧V_{ccp}が印加される。

[0034] 書込みトランジスタ２３、発光制御トランジスタ２４、及び、スイッチングトランジスタ２５の各ゲート電極は、画素配列の行方向に沿って形成されている走査線３１、第１駆動線３２、及び、第２駆動線３３に画素行単位で接続されている。従って、走査線３１、第１駆動線３２、及び、第２駆動線３３は、発光制御トランジスタ２４、及び、スイッチングトランジスタ２５の各ゲート配線ということができる。

[0035] 上記の構成の画素２０において、書込みトランジスタ２３は、信号出力部６０から信号線３４を通して供給される信号電圧V_{sig}をサンプリングすることによって駆動トランジスタ２２のゲート電極に書き込む。発光制御トランジスタ２４は、電源電圧V_{ccp}のノードと駆動トランジスタ２２のソース電極との間に接続されており、発光制御信号ＤＳによる駆動の下に、有機ＥＬ素子２１の発光／非発光を制御する。

[0036] スイッチングトランジスタ２５は、有機ＥＬ素子２１のアノード電極と低電位側の電源電圧V_{ss}（例えば、接地電位）との間に接続されており、駆動信号ＡＺによる駆動の下に、有機ＥＬ素子２１のアノード電極の電位を制御することによって有機ＥＬ素子２１を非発光状態にする。より具体的には、スイッチングトランジスタ２５は、駆動信号ＡＺに応答して導通状態になることにより、有機ＥＬ素子２１のアノード電極に低電位側の電源電圧V_{ss}を印加し、有機ＥＬ素子２１の非発光期間に有機ＥＬ素子２１が発光しないように制御する。

[0037] 保持容量２６は、駆動トランジスタ２２のゲート電極とソース電極との間に接続されており、書込みトランジスタ２３によるサンプリングによって書

き込まれた信号電圧V_{sig}を保持する。駆動トランジスタ２２は、保持容量２６の保持電圧に応じた駆動電流を有機ＥＬ素子２１に流すことによって有機ＥＬ素子２１を駆動する。補助容量２７は、駆動トランジスタ２２のソース電極と、固定電位のノード（例えば、高電位側の電源電圧V_{ccp}のノード）との間に接続されている。この補助容量２７は、信号電圧V_{sig}を書き込んだときに駆動トランジスタ２２のソース電圧の変動を抑制する作用、及び、駆動トランジスタ２２のゲート－ソース間電圧V_{gs}を駆動トランジスタ２２の閾値電圧V_{th}にする作用を為す。

[0038] ［基本的な回路動作］

ここで、上記の構成のアクティブマトリックス型有機ＥＬ表示装置１０の基本的な回路動作について、図３のタイミング波形図を用いて説明する。

[0039] 図３のタイミング波形図には、発光制御信号ＤＳ、書込み走査信号ＷＳ、駆動信号ＡＺ、信号線３４の電位V_{ofs}／V_{sig}、及び、駆動トランジスタ２２のソース電圧V_s、ゲート電圧V_gのそれぞれの変化の様子を示している。

[0040] 尚、書込みトランジスタ２３、発光制御トランジスタ２４、及び、スイッチングトランジスタ２５がｐチャネル型のトランジスタであるため、書込み走査信号ＷＳ、発光制御信号ＤＳ、及び、駆動信号ＡＺの低レベルの状態がアクティブ状態となり、高レベルの状態が非アクティブ状態となる。そして、書込みトランジスタ２３、発光制御トランジスタ２４、及び、スイッチングトランジスタ２５は、書込み走査信号ＷＳ、発光制御信号ＤＳ、及び、駆動信号ＡＺのアクティブ状態で導通状態となり、非アクティブ状態で非導通状態となる。

[0041] 時刻t_1で、書込み走査信号ＷＳが高レベルから低レベルに遷移することで、書込みトランジスタ２３が導通状態になる。このとき、信号出力部６０から信号線３４に対して、基準電圧V_{ofs}が出力されている状態にある。従って、基準電圧V_{ofs}が書込みトランジスタ２３によるサンプリングによって駆動トランジスタ２２のゲート電極に書き込まれるため、駆動トランジスタ２２のゲート電圧V_gが基準電圧V_{ofs}になる。

[0042] また、時刻t_1では、発光制御信号ＤＳが低レベルの状態にあるため、発光制御トランジスタ２４が導通状態にある。従って、駆動トランジスタ２２のソース電圧V_sは、高電位側の電源電圧V_{ccp}になっている。このとき、駆動トランジスタ２２のゲート－ソース間電圧V_{gs}は、$V_{gs}=V_{ofs}-V_{ccp}$となる。

[0043] ここで、閾値補正動作（閾値補正処理）を行うには、駆動トランジスタ２２のゲート－ソース間電圧V_{gs}を、当該駆動トランジスタ２２の閾値電圧V_{th}よりも大きくしておく必要がある。そのため、$|V_{gs}|=|V_{ofs}-V_{ccp}|>|V_{th}|$となるように各電圧値が設定されることになる。

[0044] このように、駆動トランジスタ２２のゲート電圧V_gを基準電圧V_{ofs}に設定し、かつ、駆動トランジスタ２２のソース電圧V_sを電源電圧V_{ccp}に設定する初期化動作が、次の閾値補正動作を行う前の準備（閾値補正準備）の動作である。従って、基準電圧V_{ofs}及び電源電圧V_{ccp}が、駆動トランジスタ２２のゲート電圧V_g及びソース電圧V_sの各初期化電圧ということになる。

[0045] 次に、時刻t_2で、発光制御信号ＤＳが低レベルから高レベルに遷移し、発光制御トランジスタ２４が非導通状態になると、駆動トランジスタ２２のソース電極がフローティング状態となり、駆動トランジスタ２２のゲート電圧V_gが基準電圧V_{ofs}に保たれた状態で閾値補正動作が開始される。すなわち、駆動トランジスタ２２のゲート電圧V_gから閾値電圧V_{th}を減じた電圧（V_g-V_{th}）に向けて、駆動トランジスタ２２のソース電圧V_sが下降（低下）を開始する。

[0046] 基本的な動作にあっては、駆動トランジスタ２２のゲート電圧V_gの初期化電圧V_{ofs}を基準とし、当該初期化電圧V_{ofs}から駆動トランジスタ２２の閾値電圧V_{th}を減じた電圧（V_g-V_{th}）に向けて駆動トランジスタ２２のソース電圧V_sを変化させる動作が閾値補正動作となる。この閾値補正動作が進むと、やがて、駆動トランジスタ２２のゲート－ソース間電圧V_{gs}が、駆動トランジスタ２２の閾値電圧V_{th}に収束する。この閾値電圧V_{th}に相当する電圧は保持容量２６に保持される。

[0047] そして、時刻t_3で、書込み走査信号ＷＳが低レベルから高レベルに遷移し

、書込みトランジスタ２３が非導通状態になると、閾値補正期間が終了する。その後、時刻t_4で、信号出力部６０から信号線３４に映像信号の信号電圧V_{sig}が出力され、信号線３４の電位が基準電圧V_{ofs}から信号電圧V_{sig}に切り替わる。

[0048] 次に、時刻t_5で、書込み走査信号ＷＳが高レベルから低レベルに遷移することで、書込みトランジスタ２３が導通状態になり、信号電圧V_{sig}をサンプリングして画素２０内に書き込む。この書込みトランジスタ２３による信号電圧V_{sig}の書込み動作により、駆動トランジスタ２２のゲート電圧V_gが信号電圧V_{sig}になる。

[0049] この映像信号の信号電圧V_{sig}の書込みの際に、駆動トランジスタ２２のソース電極と電源電圧V_{ccp}のノードとの間に接続されている補助容量２７は、駆動トランジスタ２２のソース電圧V_sの変動を抑える作用を為す。そして、映像信号の信号電圧V_{sig}による駆動トランジスタ２２の駆動の際に、当該駆動トランジスタ２２の閾値電圧V_{th}が保持容量２５に保持された閾値電圧V_{th}に相当する電圧と相殺される。

[0050] このとき、駆動トランジスタ２２のゲート－ソース間電圧V_{gs}が、信号電圧V_{sig}に応じて開く（大きくなる）が、駆動トランジスタ２２のソース電圧V_sは依然としてフローティング状態にある。そのため、保持容量２６の充電電荷は、駆動トランジスタ２２の特性に応じて放電される。そして、このとき駆動トランジスタ２２に流れる電流によって有機ＥＬ素子２１の等価容量C_{el}の充電が開始される。

[0051] 有機ＥＬ素子２１の等価容量C_{el}が充電されることにより、駆動トランジスタ２２のソース電圧V_sが時間が経過するにつれて徐々に下降していく。このとき既に、駆動トランジスタ２２の閾値電圧V_{th}の画素毎のばらつきがキャンセルされており、駆動トランジスタ２２のドレイン－ソース間電流I_{ds}は当該駆動トランジスタ２２の移動度μに依存したものとなる。尚、駆動トランジスタ２２の移動度μは、当該駆動トランジスタ２２のチャネルを構成する半導体薄膜の移動度である。

[0052] ここで、駆動トランジスタ２２のソース電圧V_sの下降分は、保持容量２６の充電電荷を放電するように作用する。換言すれば、駆動トランジスタ２２のソース電圧V_sの下降分（変化量）は、保持容量２６に対して負帰還がかけられたことになる。従って、駆動トランジスタ２２のソース電圧V_sの下降分は負帰還の帰還量となる。

[0053] このように、駆動トランジスタ２２に流れるドレイン－ソース間電流I_{ds}に応じた帰還量で保持容量２６に対して負帰還をかけることにより、駆動トランジスタ２２のドレイン－ソース間電流I_{ds}の移動度μに対する依存性を打ち消すことができる。この打ち消す動作（打ち消す処理）が、駆動トランジスタ２２の移動度μの画素毎のばらつきを補正する移動度補正動作（移動度補正処理）である。

[0054] より具体的には、駆動トランジスタ２２のゲート電極に書き込まれる映像信号の信号振幅V_{in}（＝$V_{sig}-V_{ofs}$）が大きい程ドレイン－ソース間電流I_{ds}が大きくなるため、負帰還の帰還量の絶対値も大きくなる。従って、映像信号の信号振幅V_{in}、即ち、発光輝度レベルに応じた移動度補正処理が行われる。また、映像信号の信号振幅V_{in}を一定とした場合、駆動トランジスタ２２の移動度μが大きいほど負帰還の帰還量の絶対値も大きくなるため、画素毎の移動度μのばらつきを取り除くことができる。

[0055] 時刻t_6で、書込み走査信号ＷＳが低レベルから高レベルに遷移し、書込みトランジスタ２３が非導通状態になることで、信号書込み＆移動度補正期間が終了する。移動度補正を行った後、時刻t_7で、発光制御信号ＤＳが高レベルから低レベルに遷移することで、発光制御トランジスタ２４が導通状態になる。これにより、電源電圧V_{ccp}のノードから発光制御トランジスタ２４を通して駆動トランジスタ２２に電流が供給される。

[0056] このとき、書込みトランジスタ２３が非導通状態にあることで、駆動トランジスタ２２のゲート電極は信号線３４から電気的に切り離されてフローティング状態にある。ここで、駆動トランジスタ２２のゲート電極がフローティング状態にあるときは、駆動トランジスタ２２のゲート－ソース間に保持

容量２６が接続されていることにより、駆動トランジスタ２２のソース電圧V_sの変動に連動してゲート電圧V_gも変動する。

[0057] すなわち、駆動トランジスタ２２のソース電圧V_s及びゲート電圧V_gは、保持容量２６に保持されているゲート－ソース間電圧V_{gs}を保持したまま上昇する。そして、駆動トランジスタ２２のソース電圧V_sは、トランジスタの飽和電流に応じた有機ＥＬ素子２１の発光電圧V_{oled}まで上昇する。

[0058] このように、駆動トランジスタ２２のゲート電圧V_gがソース電圧V_sの変動に連動して変動する動作がブートストラップ動作である。換言すれば、ブートストラップ動作は、保持容量２６に保持されたゲート－ソース間電圧V_{gs}、即ち、保持容量２６の両端間電圧を保持したまま、駆動トランジスタ２２のゲート電圧V_g及びソース電圧V_sが変動する動作である。

[0059] そして、駆動トランジスタ２２のドレイン－ソース間電流I_{ds}が有機ＥＬ素子２１に流れ始めることにより、当該電流I_{ds}に応じて有機ＥＬ素子２１のアノード電圧V_{ano}が上昇する。やがて、有機ＥＬ素子２１のアノード電圧V_{ano}が有機ＥＬ素子２１の閾値電圧V_{thel}を超えると、有機ＥＬ素子２１に駆動電流が流れ始めるため、有機ＥＬ素子２１が発光を開始する。

[0060] 一方、第２駆動走査部５０Ｂは、時刻t_1よりも前の時刻t_0から、時刻t_7よりも後の時刻t_8までの期間で駆動信号ＡＺをアクティブ状態（低レベルの状態）とする。時刻t_0－時刻t_8の期間は、有機ＥＬ素子２１の非発光期間である。この非発光期間に駆動信号ＡＺがアクティブ状態となることで、これに応答してスイッチングトランジスタ２５が導通状態となる。

[0061] スイッチングトランジスタ２５が導通状態になることで、当該スイッチングトランジスタ２５を介して、有機ＥＬ素子２１のアノード電極（駆動トランジスタ２２のドレイン電極）に低電位側の電源電圧V_{ss}が印加される。これにより、有機ＥＬ素子２１の非発光期間において、スイッチングトランジスタ２５は、有機ＥＬ素子２１が発光しないように制御することができる。因みに、閾値補正及び信号書込みが行われる１水平期間（１Ｈ）では駆動信号ＡＺがアクティブ状態となるが、以降の発光期間中では駆動信号ＡＺが非ア

クティブ状態となる。

[0062] ここで、スイッチングトランジスタ２５を持たない画素構成における、閾値補正準備期間から閾値補正期間（時刻t_1～時刻t_3）にかけての動作点に着目する。先述した動作説明から明らかなように、閾値補正動作を行うには、駆動トランジスタ２２のゲート－ソース間電圧V_{gs}を、当該駆動トランジスタ２２の閾値電圧V_{th}よりも大きくしておく必要がある。

[0063] ゲート－ソース間電圧V_{gs}が閾値電圧V_{th}よりも大きいと、駆動トランジスタ２２に電流が流れる。すると、閾値補正準備期間から閾値補正期間の一部にかけて、一時的に有機ＥＬ素子２１のアノード電圧V_{ano}が当該有機ＥＬ素子２１の閾値電圧V_{thel}を超える。これにより、駆動トランジスタ２２から有機ＥＬ素子２１に電流が流れ込むことになるため、非発光期間であるにも拘わらず、信号電圧V_{sig}の階調に依らず毎フレーム、一定輝度で有機ＥＬ素子２１が発光する。その結果、表示パネル７０のコントラストの低下を招くことになる。

[0064] これに対して、スイッチングトランジスタ２５を持つ画素構成では、上述したスイッチングトランジスタ２５の作用により、有機ＥＬ素子２１の非発光期間において、駆動トランジスタ２２に流れる電流が有機ＥＬ素子２１に流れ込まないようにすることができる。これにより、非発光期間において、有機ＥＬ素子２１が発光するのを抑制することができるため、スイッチングトランジスタ２５を持たない画素構成に比べて表示パネル７０の高コントラスト化を図ることができる。

[0065] 以上説明した一連の基本的な回路動作では、閾値補正、映像信号の信号電圧V_{sig}の書込み（信号書込み）、及び、移動度補正の各動作（処理）は、例えば１水平期間（１Ｈ）において実行される。より具体的には、１水平期間において、駆動信号ＡＺがアクティブ状態（低レベル状態）となり、スイッチングトランジスタ２５が導通状態となる期間t_0－t_8、即ち、有機ＥＬ素子２１の非発光期間に実行される。

[0066] ［配線間の寄生容量］

上述したアクティブマトリックス型有機ＥＬ表示装置１０において、書込みトランジスタ２３、発光制御トランジスタ２４、及び、スイッチングトランジスタ２５の各ゲート配線、即ち、走査線３１、第１駆動線３２、及び、第２駆動線３３は、先述したように、画素配列の行方向に沿って形成されている。

[0067] ここで、高精細化に伴って多画素化が進むと、画素２０間の間隔が狭くなる。また、マイクロディスプレイ（超小型の表示装置）にあっては、当然のことながら、モニター用途の一般的なディスプレイに比べて画素２０間の間隔が狭い。このように、画素２０間の間隔が狭くなると、画素配列の行方向に沿って形成され、互いに隣接するゲート配線間に生ずる寄生容量が無視できなくなってくる。

[0068] （隣接するゲート配線を同じ配線層に形成した例）

ここで、書込みトランジスタ２３、発光制御トランジスタ２４、及び、スイッチングトランジスタ２５の各ゲート配線を同じ配線層に形成した場合を従来例として考える。従来例に係る書込みトランジスタ２３、発光制御トランジスタ２４、及び、スイッチングトランジスタ２５のゲート配線構造の平面図を図４Ａに示し、図４ＡのＡ－Ａ線に沿った矢視断面図を図４Ｂに示す。

[0069] 駆動トランジスタ２２に関して、その一方側に発光制御トランジスタ２４のゲート配線である第１駆動線３２が、その他方側に書込みトランジスタ２３のゲート配線である走査線３１及びスイッチングトランジスタ２５のゲート配線である第２駆動線３３が、行方向に沿って形成されている。第１駆動線３２、走査線３１、及び、第２駆動線３３はいずれも第１配線層、即ち、同じ配線層に形成されている。

[0070] 第１駆動線３２には、発光制御トランジスタ２４のゲート電極24_Gがコンタクト24_Cによって接続されている。走査線３１には、書込みトランジスタ２３のゲート電極23_Gがコンタクト23_Cによって接続されている。第２駆動線３３には、スイッチングトランジスタ２５のゲート電極25_Gがコンタクト

２５$_C$によって接続されている。

[0071] 上記のゲート配線構造において、走査線３１と第２駆動線３３とが、互いに隣接して行方向に沿って平行に形成されていることから、画素２０間の間隔が狭くなると、両ゲート配線間の寄生容量C_1の容量値が大きくなる。ここで、第２駆動線３３をゲート配線とするスイッチングトランジスタ２５は、有機ＥＬ素子２１のアノード電極に接続されている（図２参照）。従って、第２駆動線３３の電位が、隣接するゲート配線である走査線３１の電位変動の際に、寄生容量C_1によるカップリングによって変動すると、第２駆動線３３の電位変動が有機ＥＬ素子２１の発光動作に悪影響を及ぼし、表示ムラが生じる懸念がある。

[0072]（実施例１）

実施例１は、スイッチングトランジスタ２５のゲート配線を、他のトランジスタのゲート配線と異なる配線層に形成する例である。実施例１に係る書込みトランジスタ２３、発光制御トランジスタ２４、及び、スイッチングトランジスタ２５のゲート配線構造の平面図を図５Ａに示し、図５ＡのＢ－Ｂ線に沿った矢視断面図を図５Ｂに示す。

[0073] 実施例１に係るゲート配線構造は、スイッチングトランジスタ２５のゲート配線である第２駆動線３３を第１配線層に形成し、書込みトランジスタ２３及び発光制御トランジスタ２４の各ゲート配線である走査線３１及び第１駆動線３２を第２配線層に形成した構成となっている。

[0074] そして、第２配線層に形成された第１駆動線３２には、発光制御トランジスタ２４のゲート電極２４$_G$が、第１配線層に形成された島状の中継電極４１を介してコンタクト２４$_C$によって接続されている。同様に、第２配線層に形成された走査線３１には、書込みトランジスタ２３のゲート電極２３$_G$が、第１配線層に形成された島状の中継電極４１４２を介してコンタクト２３$_C$によって接続されている。

[0075] 尚、ここでは、走査線３１及び第１駆動線３２を共に第２配線層に形成するゲート配線構造を例示したが、少なくとも第２駆動線３３に隣接する走査

線３１を第２配線層に形成するゲート配線構造であればよい。また、第２駆動線３３を第２配線層に形成し、走査線３１、又は、走査線３１及び第１駆動線３２を第１配線層に形成するゲート配線構造であってもよい。

[0076] このように、スイッチングトランジスタ２５のゲート配線である第２駆動線３３を、隣接する走査線３１と異なる配線層に形成することで、第２駆動線３３と走査線３１との間の配線間隔が、両ゲート配線が同じ配線層に形成する場合に比べて広くなる。従って、第２駆動線３３と走査線３１との間に生ずる寄生容量C_2を、両ゲート配線が同じ配線層に形成する場合の寄生容量C_1に比べて低減できる。これにより、走査線３１の電位変動の際に、走査線３１からの第２駆動線３３に対する寄生容量C_2によるカップリングの影響を抑えることができるため、カップリングノイズ等によって生じる第２駆動線３３の電位の揺れに起因する表示ムラを抑制することができる。

[0077] （実施例２）

実施例２は、実施例１の変形例であり、スイッチングトランジスタ２５のゲート配線である第２駆動線３３の上層に固定電位の電源配線を形成する例である。実施例２に係る書込みトランジスタ２３、発光制御トランジスタ２４、及び、スイッチングトランジスタ２５のゲート配線構造の平面図を図６Ａに示し、図６ＡのＣ－Ｃ線に沿った矢視断面図を図６Ｂに示す。

[0078] 実施例２に係るゲート配線構造は、スイッチングトランジスタ２５のゲート配線である第２駆動線３３を、隣接する走査線３１と異なる配線層に形成した上で、第２駆動線３３の上層（本例では、第２配線層）に電源電圧V_{ccp}の電源配線３６を形成した構成となっている。これにより、第２駆動線３３とその上層の電源配線３６との間に寄生容量C_3が形成されることになる。

[0079] この実施例２に係るゲート配線構造によれば、実施例１の場合と同様に、走査線３１からの第２駆動線３３に対する寄生容量C_2によるカップリングの影響を抑えることができることに加えて、寄生容量C_3の作用によって第２駆動線３３の電位をより安定化することができる。その結果、第２駆動線３３の電位が、他のゲート配線からの影響を受け難くすることができるため、第

２駆動線３３の電位の揺れに起因する表示ムラを抑制することができる。

[0080] （実施例３）

実施例３は、実施例３の変形例であり、スイッチングトランジスタ２５のゲート配線である第２駆動線３３の下層に固定電位の電源配線を形成する例である。実施例３に係る書込みトランジスタ２３、発光制御トランジスタ２４、及び、スイッチングトランジスタ２５のゲート配線構造の平面図を図７Ａに示し、図７ＡのＤ－Ｄ線に沿った矢視断面図を図７Ｂに示す。

[0081] 実施例３に係るゲート配線構造は、スイッチングトランジスタ２５のゲート配線である第２駆動線３３を、隣接する走査線３１と異なる配線層に形成した上で、第２駆動線３３の下層（本例では、第１配線層）に電源電圧V_{ccp}の電源配線３６を形成した構成となっている。これにより、第２駆動線３３とその下層の電源配線３６との間に寄生容量C_3が形成されることになる。

[0082] この実施例３に係るゲート配線構造によっても、実施例２の場合と同様の作用、効果を得ることができる。すなわち、実施例１の場合と同様に、走査線３１からの第２駆動線３３に対する寄生容量C_2によるカップリングの影響を抑えることができることに加えて、寄生容量C_3の作用によって第２駆動線３３の電位をより安定化することができる。その結果、第２駆動線３３の電位が、他のゲート配線からの影響を受け難くすることができるため、第２駆動線３３の電位の揺れに起因する表示ムラを抑制することができる。

[0083] ＜変形例＞

以上、本開示の技術について、好ましい実施例に基づき説明したが、本開示の技術は当該実施例に限定されるものではない。上記の各実施例において説明した表示装置の構成、構造は例示であり、適宜、変更することができる。例えば、上記の各実施例では、他のトランジスタのゲート配線として書込みトランジスタ２３のゲート配線（走査線３１）を例示したが、これに限られるものではない。例えば、図２に示す画素回路にあっては、発光制御トランジスタ２４のゲート配線（第１の駆動線３２）を、他のトランジスタのゲート配線とすることができる。

[0084] ＜本開示の電子機器＞

以上説明した本開示の表示装置は、電子機器に入力された映像信号、若しくは、電子機器内で生成した映像信号を、画像若しくは映像として表示する、あらゆる分野の電子機器の表示部（表示装置）として用いることができる。電子機器としては、テレビジョンセット、ノート型パーソナルコンピュータ、デジタルスチルカメラ、携帯電話機等の携帯端末装置、ヘッドマウントディスプレイ等を例示することができる。但し、これらに限られるものではない。

[0085] このように、あらゆる分野の電子機器において、その表示部として本開示の表示装置を用いることにより、以下のような効果を得ることができる。すなわち、本開示の表示装置によれば、スイッチングトランジスタ２５のゲート配線の電位の揺れに起因する表示ムラを抑制することができる。従って、本開示の表示装置を、電子機器の表示部（表示装置）として用いることにより、表示画像の表示品質を向上できる。

[0086] 本開示の表示装置は、封止された構成のモジュール形状のものをも含む。一例として、画素アレイ部に透明なガラス等の対向部が貼り付けられて形成された表示モジュールが該当する。尚、表示モジュールには、外部から画素アレイ部への信号等を入出力するための回路部やフレキシブルプリントサーキット（ＦＰＣ）などが設けられていてもよい。以下に、本開示の表示装置を用いる電子機器の具体例として、デジタルスチルカメラ及びヘッドマウントディスプレイを例示する。但し、ここで例示する具体例は一例に過ぎず、これらに限られるものではない。

[0087] ［具体例１］

図８は、レンズ交換式一眼レフレックスタイプのデジタルスチルカメラの外観図であり、図８Ａにその正面図を示し、図８Ｂにその背面図を示す。レンズ交換式一眼レフレックスタイプのデジタルスチルカメラは、例えば、カメラ本体部（カメラボディ）１１１の正面右側に交換式の撮影レンズユニット（交換レンズ）１１２を有し、正面左側に撮影者が把持するためのグリッ

プ部１１３を有している。

[0088] そして、カメラ本体部１１１の背面略中央にはモニタ１１４が設けられている。モニタ１１４の上部には、電子ビューファインダ（接眼窓）１１５が設けられている。撮影者は、電子ビューファインダ１１５を覗くことによって、撮影レンズユニット１１２から導かれた被写体の光像を視認して構図決定を行うことが可能である。

[0089] 上記の構成のレンズ交換式一眼レフレックスタイプのデジタルスチルカメラにおいて、その電子ビューファインダ１１５として本開示の表示装置を用いることができる。すなわち、本例に係るレンズ交換式一眼レフレックスタイプのデジタルスチルカメラは、その電子ビューファインダ１１５として本開示の表示装置を用いることによって作製される。

[0090] ［具体例２］

図９は、ヘッドマウントディスプレイの外観図である。ヘッドマウントディスプレイは、例えば、眼鏡形の表示部２１１の両側に、使用者の頭部に装着するための耳掛け部２１２を有している。このヘッドマウントディスプレイにおいて、その表示部２１１として本開示の表示装置を用いることができる。すなわち、本例に係るヘッドマウントディスプレイは、その表示部２１１として本開示の表示装置を用いることによって作製される。

[0091] ＜本開示がとることができる構成＞

尚、本開示は、以下のような構成をとることもできる。

［１］発光部及び複数のトランジスタを含む画素が行列状に２次元配置され、複数のトランジスタのゲート配線が画素配列の行方向に沿って形成されており、

複数のトランジスタのうち、発光部のアノード電極に接続されたスイッチングトランジスタのゲート配線は、他のトランジスタのゲート配線と異なる配線層に形成されている、

表示装置。

［２］スイッチングトランジスタは、発光部のアノード電極の電位を制御す

ることによって発光部を非発光状態にする、

上記［１］に記載の表示装置。

［３］スイッチングトランジスタのゲート配線の上層又は下層には、固定電位の電源配線が形成されている、

上記［１］又は［２］に記載の表示装置。

［４］他のトランジスタは、発光部を駆動する駆動トランジスタのゲート電極に対して、映像信号を書き込む書込みトランジスタである、

上記［１］乃至［３］のいずれかに記載の表示装置。

［５］画素では、スイッチングトランジスタが導通状態となる発光部の非発光期間に、駆動トランジスタの特性のバラツキを補正するための処理が行われる、

上記［４］に記載の表示装置。

［６］画素が２次元配置される基板は、半導体基板である、

上記［１］乃至［５］のいずれかに記載の表示装置。

［７］発光部は、有機エレクトロルミネッセンス素子から構成されている、

上記［１］乃至［６］のいずれかに記載の表示装置。

［８］発光部及び複数のトランジスタを含む画素が行列状に２次元配置され、複数のトランジスタのゲート配線が画素配列の行方向に沿って形成されており、

複数のトランジスタのうち、発光部のアノード電極に接続されたスイッチングトランジスタのゲート配線は、他のトランジスタのゲート配線と異なる配線層に形成されている、

表示装置を有する電子機器。

符号の説明

[0092] １０・・・有機ＥＬ表示装置、２０・・・画素（画素回路）、２１・・・有機ＥＬ素子、２２・・・駆動トランジスタ、２３・・・書込みトランジスタ、２４・・・発光制御トランジスタ、２５・・・スイッチングトランジスタ、２６・・・保持容量、２７・・・補助容量、３０・・・画素アレイ部、

３１（３１$_1$～３１$_m$）・・・走査線、３２（３２$_1$～３２$_m$）・・・第１駆動線、３３（３３$_1$～３３$_m$）・・・第２駆動線、３４（３４$_1$～３４$_n$）・・・信号線、３５・・・共通電源線、３６・・・電源配線、４０・・・書込み走査部、５０Ａ・・・第１駆動走査部、５０Ｂ・・・第２駆動走査部、６０・・・信号出力部、７０・・・表示パネル

請求の範囲

[請求項1] 発光部及び複数のトランジスタを含む画素が行列状に２次元配置され、複数のトランジスタのゲート配線が画素配列の行方向に沿って形成されており、

複数のトランジスタのうち、発光部のアノード電極に接続されたスイッチングトランジスタのゲート配線は、他のトランジスタのゲート配線と異なる配線層に形成されている、

表示装置。

[請求項2] スイッチングトランジスタは、発光部のアノード電極の電位を制御することによって発光部を非発光状態にする、

請求項１に記載の表示装置。

[請求項3] スイッチングトランジスタのゲート配線の上層又は下層には、固定電位の電源配線が形成されている、

請求項１に記載の表示装置。

[請求項4] 他のトランジスタは、発光部を駆動する駆動トランジスタのゲート電極に対して、映像信号を書き込む書込みトランジスタである、

請求項１に記載の表示装置。

[請求項5] 画素では、スイッチングトランジスタが導通状態となる発光部の非発光期間に、駆動トランジスタの特性のバラツキを補正するための処理が行われる、

請求項４に記載の表示装置。

[請求項6] 画素が２次元配置される基板は、半導体基板である、

請求項１に記載の表示装置。

[請求項7] 発光部は、有機エレクトロルミネッセンス素子から構成されている、

請求項１に記載の表示装置。

[請求項8] 発光部及び複数のトランジスタを含む画素が行列状に２次元配置され、複数のトランジスタのゲート配線が画素配列の行方向に沿って形

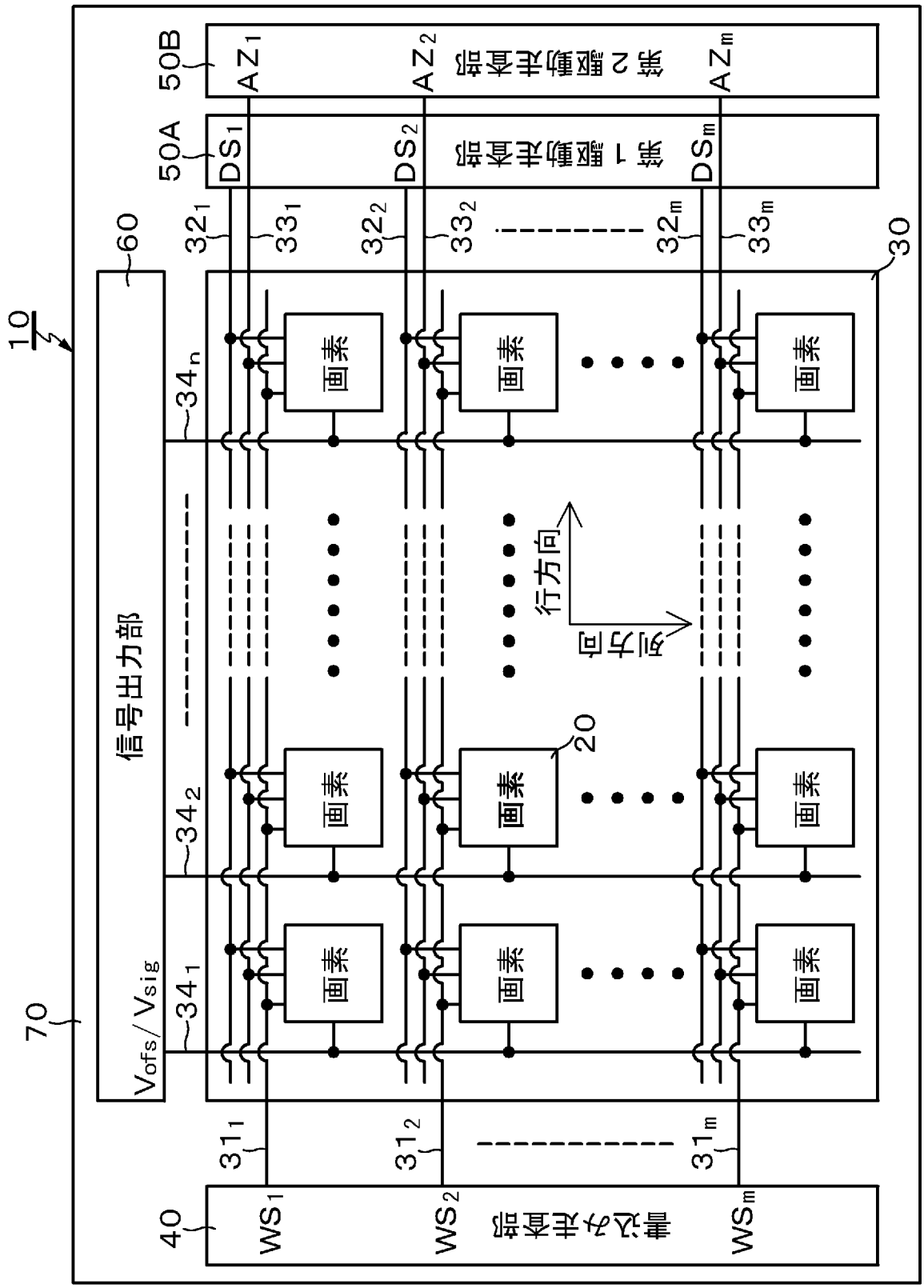
成されており、

複数のトランジスタのうち、発光部のアノード電極に接続されたスイッチングトランジスタのゲート配線は、他のトランジスタのゲート配線と異なる配線層に形成されている、

表示装置を有する電子機器。

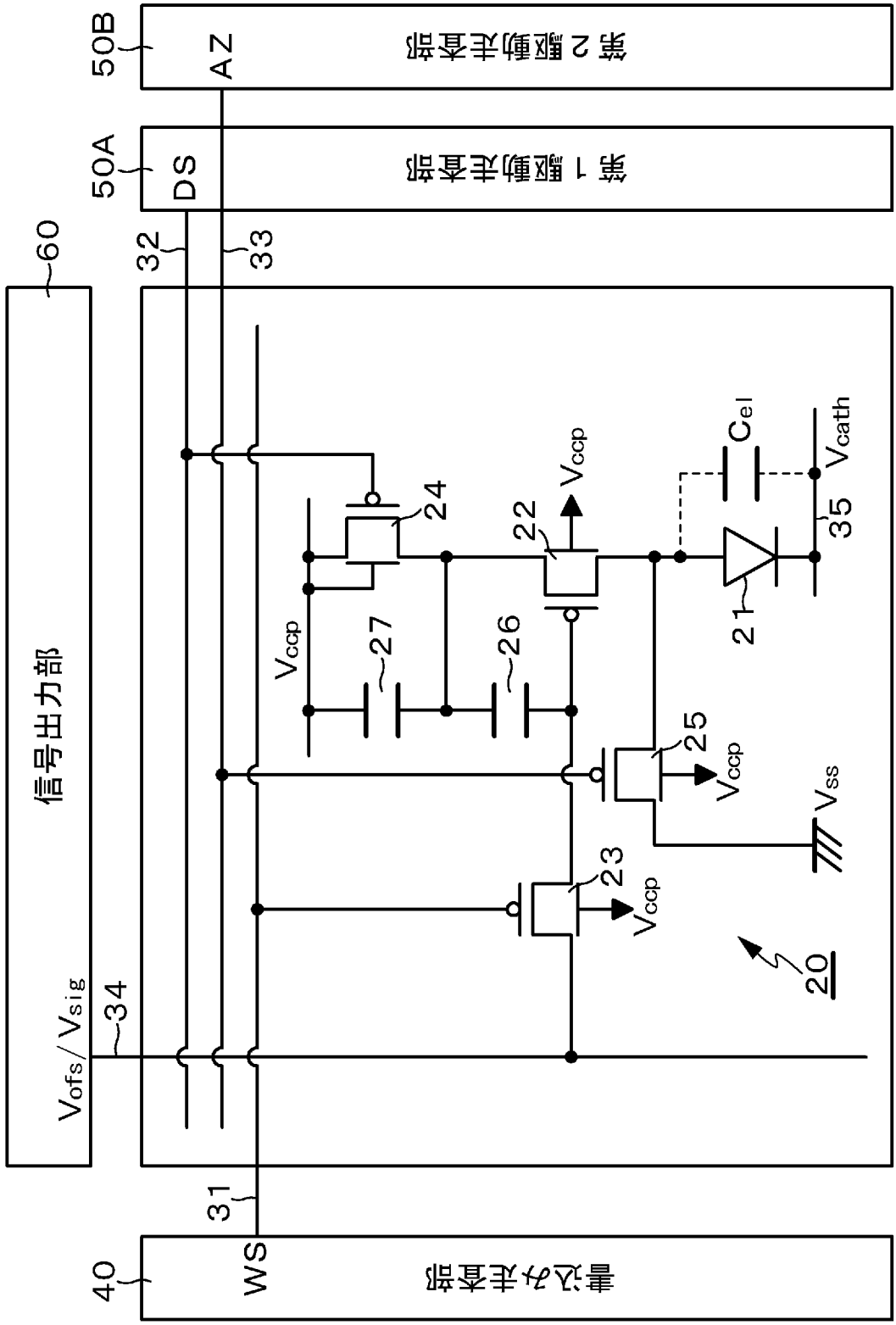
[図1]

図 1


10
70
60
50A
50B
40
30
20
信号出力部
V_{ofs}/ V_{sig}
第１駆動走査部
第２駆動走査部
書込み走査部
画素
行方向
列方向
DS_1
DS_2
DS_m
AZ_1
AZ_2
AZ_m
WS_1
WS_2
WS_m
32_1
33_1
32_2
33_2
32_m
33_m
34_n
34_2
34_1
31_1
31_2
31_m

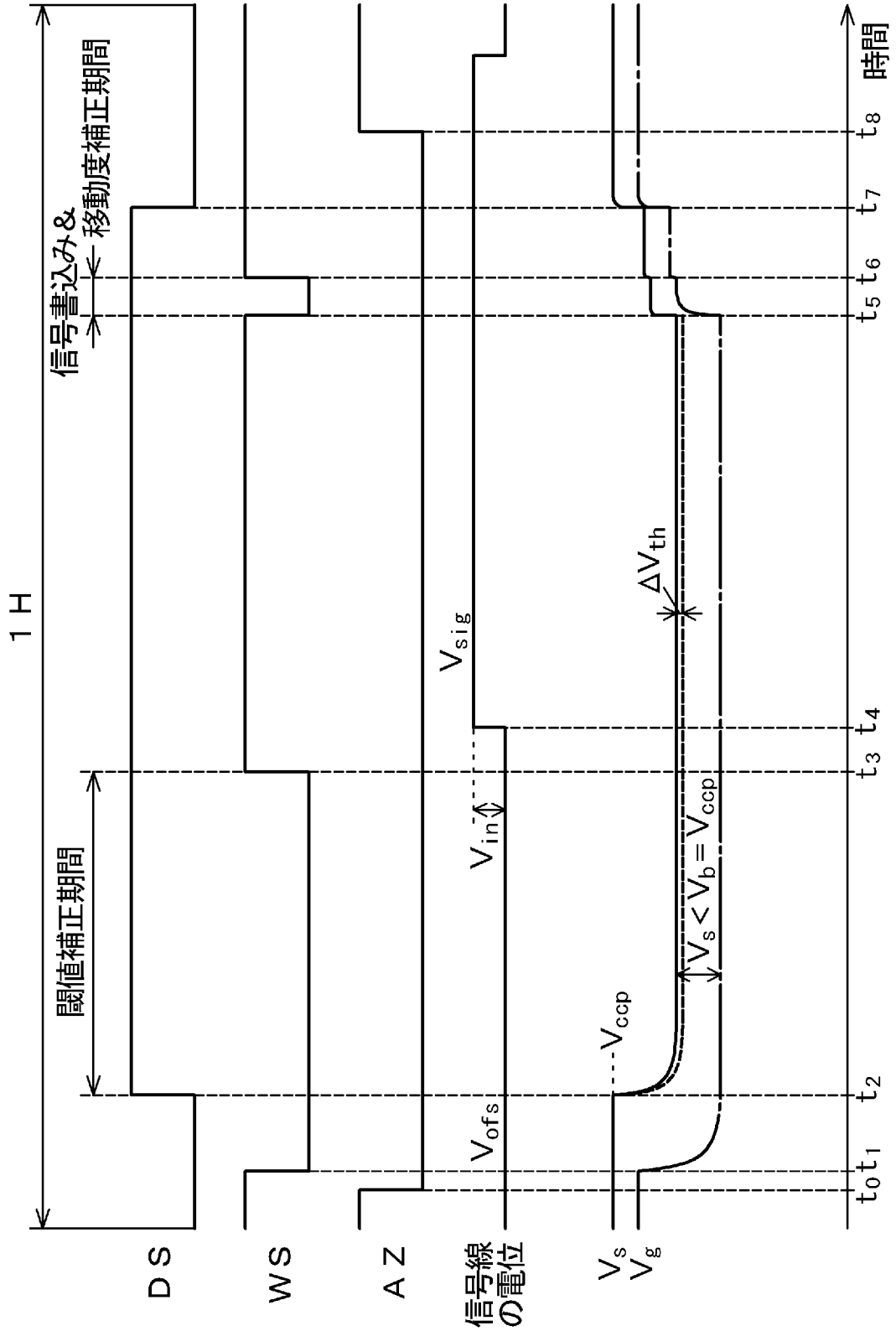
[図2]

図２


50B
AZ
第２駆動走査部
50A
DS
第１駆動走査部
60
32
33
信号出力部
Vofs/Vsig
34
31
WS
40
書込み走査部
24
22
Vccp
Cel
Vcath
35
21
27
26
25
Vss
23
20

[図3]

図３


1H
信号書込み&
移動度補正期間
閾値補正期間
DS
WS
AZ
信号線の電位
V_s
V_g
V_{sig}
V_{in}
V_{ofs}
V_{ccp}
ΔV_{th}
$V_s < V_b = V_{ccp}$
t_0 t_1 t_2 t_3 t_4 t_5 t_6 t_7 t_8
時間

[図4]

図４Ａ

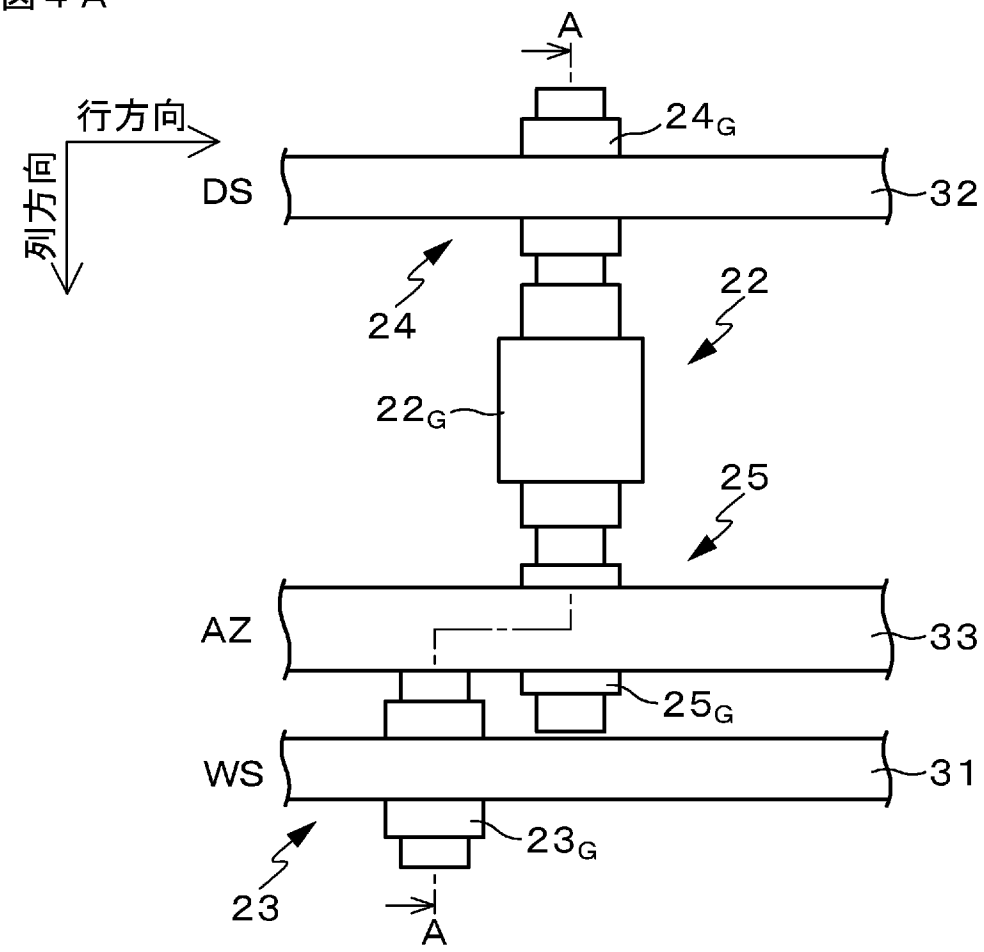
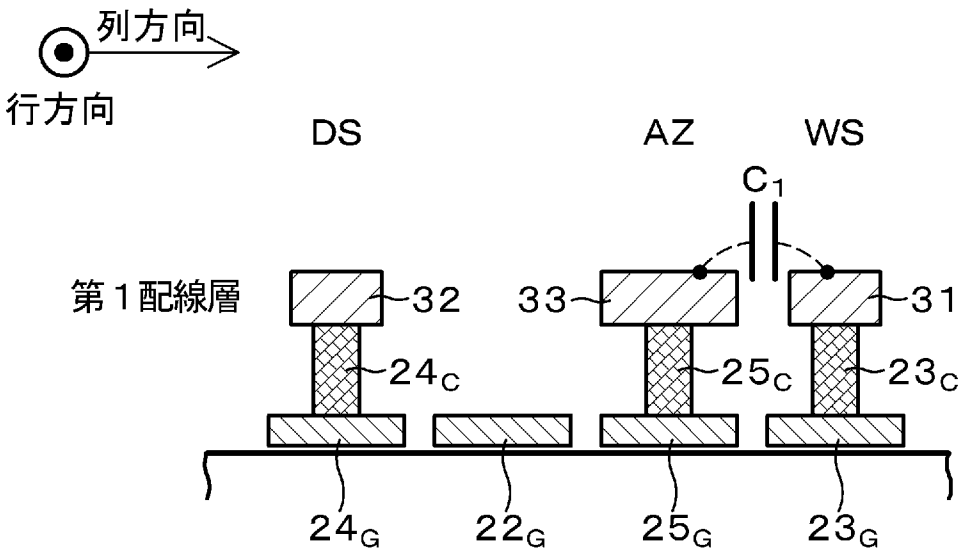

A
行方向
列方向
DS
24_G
32
24
22
22_G
25
AZ
33
25_G
WS
31
23_G
23
A

図４Ｂ


列方向
行方向
DS
AZ
WS
C_1
第１配線層
32
33
31
24_C
25_C
23_C
24_G
22_G
25_G
23_G

[図5]

図５Ａ

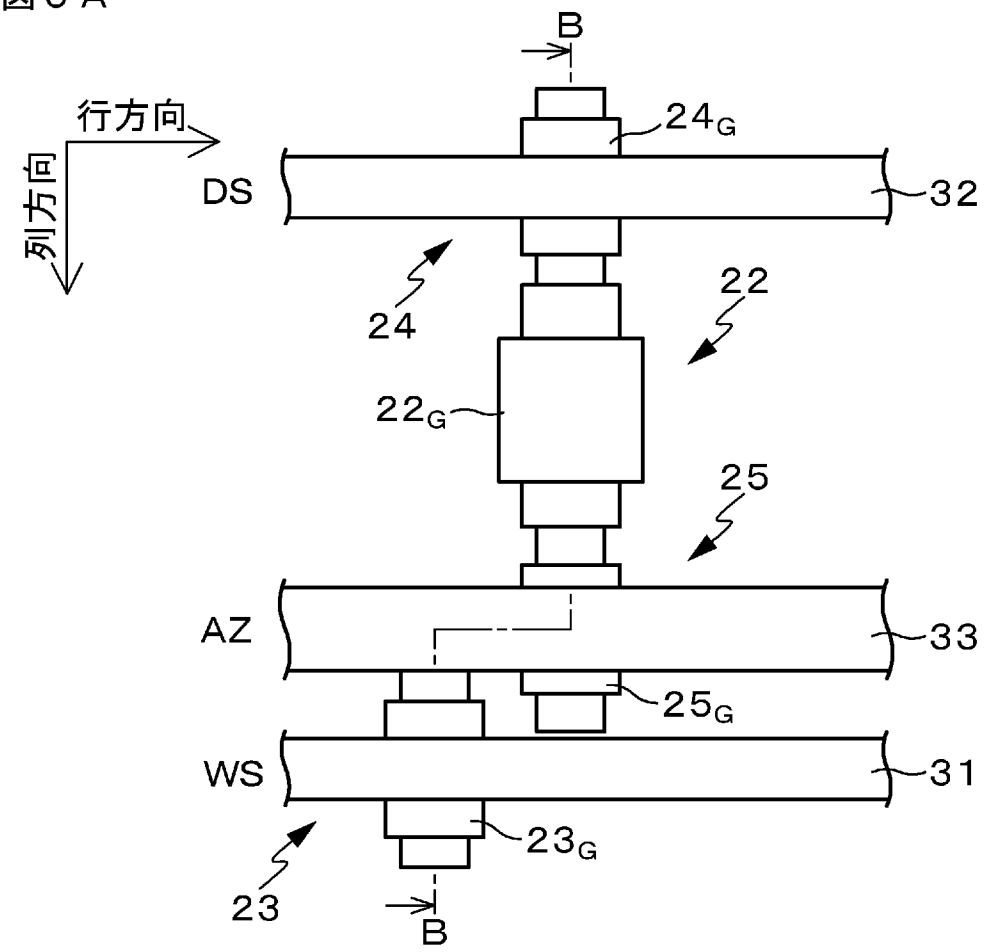
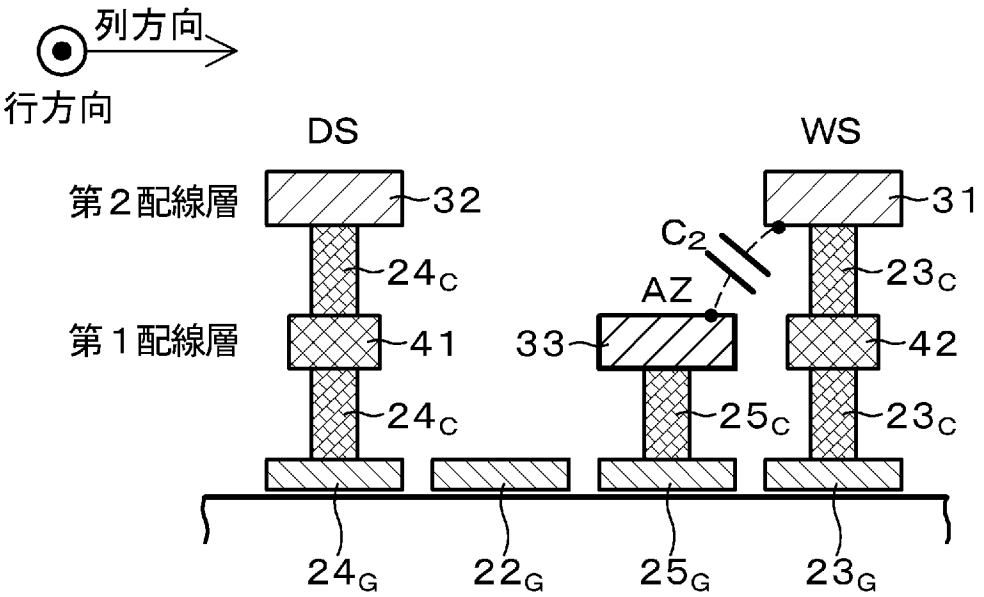

B
行方向
列方向
DS
24_G
32
24
22
22_G
25
AZ
33
25_G
WS
31
23_G
23
B

図５Ｂ


列方向
行方向
DS
WS
第２配線層
32
31
C_2
24_C
AZ
23_C
第１配線層
41
33
42
24_C
25_C
23_C
24_G
22_G
25_G
23_G

[図6]

図６Ａ

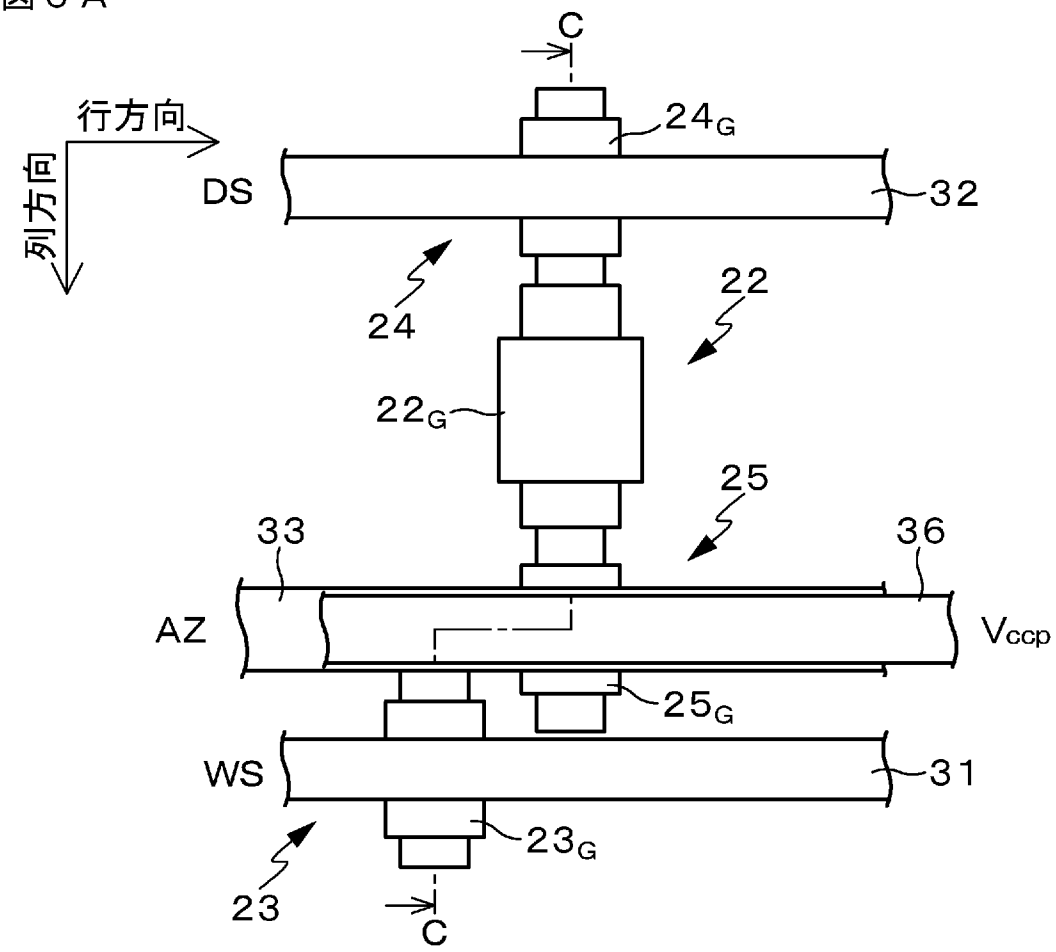
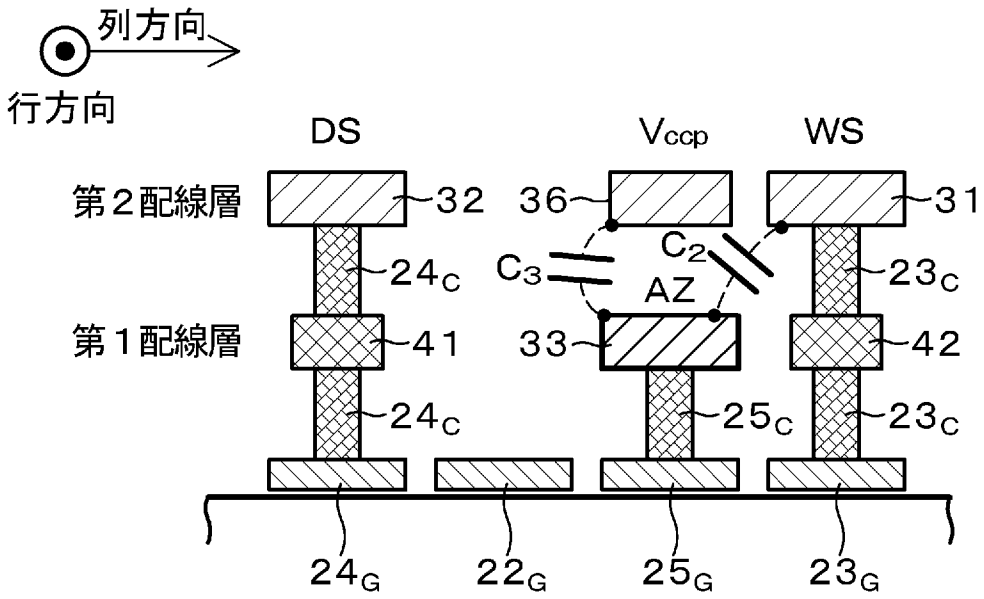

C
行方向
列方向
DS
24_G
32
24
22
22_G
25
33
36
AZ
Vccp
25_G
WS
31
23_G
23
C

図６Ｂ


列方向
行方向
DS
Vccp
WS
第２配線層
32
36
31
C_2
C_3
AZ
24_C
23_C
第１配線層
41
33
42
24_C
25_C
23_C
24_G
22_G
25_G
23_G

[図7]

図７Ａ

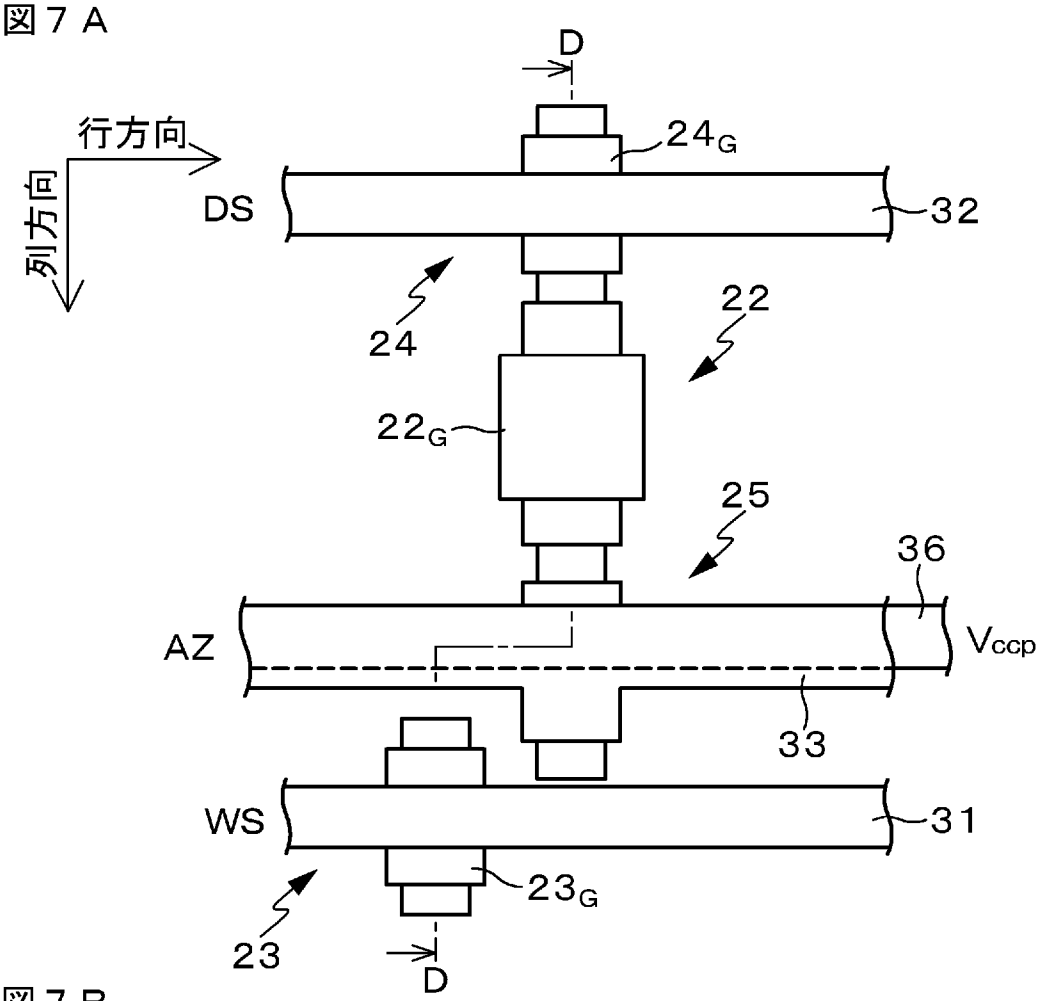
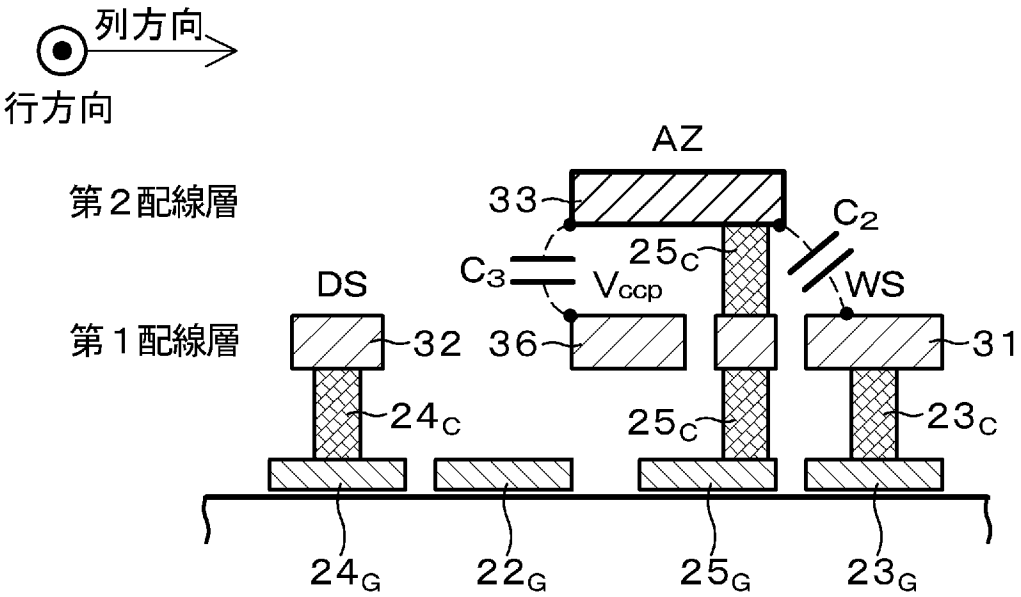

D
行方向
列方向
DS
24G
32
24
22
22G
25
36
AZ
Vccp
33
WS
31
23G
23
D

図７Ｂ


列方向
行方向
AZ
第２配線層
33
C2
25C
C3
Vccp
WS
DS
第１配線層
32
36
31
24C
25C
23C
24G
22G
25G
23G

[図8]

図８Ａ

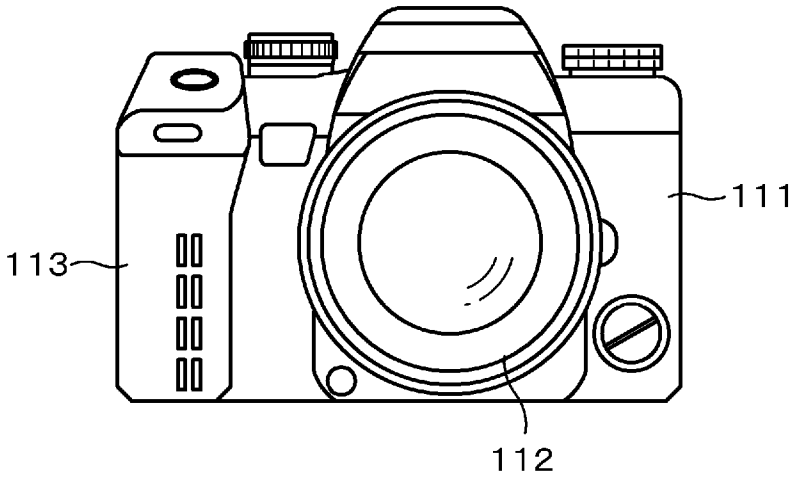
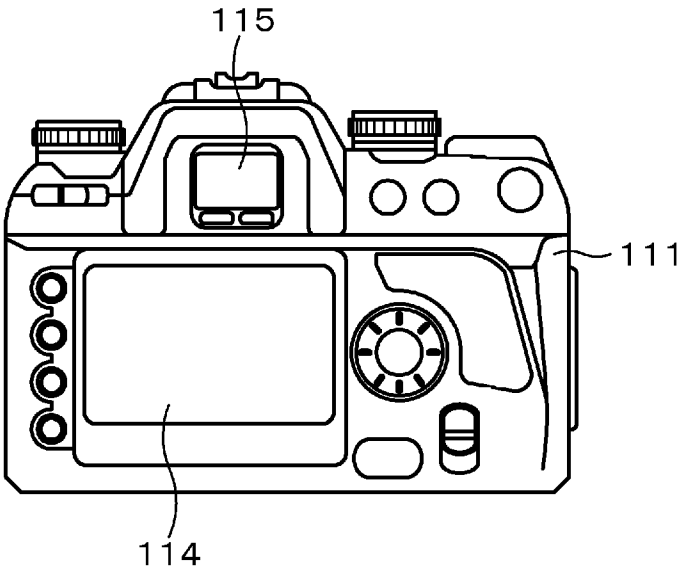
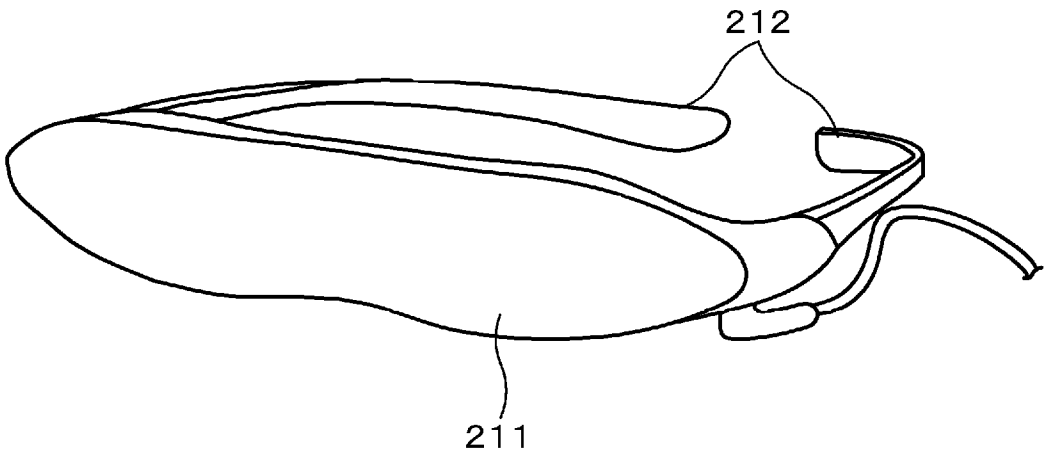


図８Ｂ



[図9]

図９



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/025733

A. CLASSIFICATION OF SUBJECT MATTER
G09F9/30(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G02F1/1343-1/1345, 1/135-1/1368, G09F9/30-9/46, G09G3/00-3/08, 3/12-3/16, 3/19-3/26, 3/30-3/34, 3/38, H01L27/32, 51/50, H05B33/00-33/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2015-034861 A (Sony Corp.), 19 February 2015 (19.02.2015), fig. 1 to 3; paragraphs [0027] to [0072] & US 2015/0042635 A1 fig. 1 to 3; paragraphs [0038] to [0084] & CN 104347031 A	1-8
Y	JP 2013-097050 A (Sony Corp.), 20 May 2013 (20.05.2013), fig. 7; paragraphs [0005] to [0010], [0026] to [0031], [0056] & US 2013/0106812 A1 fig. 7; paragraphs [0004] to [0011], [0047] to [0052], [0077] & CN 103093702 A	1-8

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
02 October 2017 (02.10.17)	10 October 2017 (10.10.17)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/025733

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 06-011684 A (Sharp Corp.), 21 January 1994 (21.01.1994), fig. 3; paragraphs [0015] to [0026] (Family: none)	3

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１７／０２５７３３

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G09F9/30(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G02F1/1343-1/1345, 1/135-1/1368, G09F9/30-9/46, G09G3/00-3/08, 3/12-3/16, 3/19-3/26, 3/30-3/34, 3/38, H01L27/32, 51/50, H05B33/00-33/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１７年
日本国実用新案登録公報	１９９６－２０１７年
日本国登録実用新案公報	１９９４－２０１７年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2015-034861 A (ソニー株式会社) 2015.02.19, 図 1-3, [0027] - [0072] & US 2015/0042635 A1, 図 1-3, [0038] - [0084] & CN 104347031 A	1-8
Y	JP 2013-097050 A (ソニー株式会社) 2013.05.20, 図 7, [0005] - [0010], [0026] - [0031], [0056] & US 2013/0106812 A1, 図 7, [0004] - [0011], [0047] - [0052], [0077] & CN 103093702 A	1-8

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０２．１０．２０１７	１０．１０．２０１７

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　２Ｉ　３４１２
小林　謙仁
電話番号　０３－３５８１－１１０１　内線　３２７３

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 06-011684 A（シャープ株式会社）1994.01.21，図3，［0015］-［0026］（ファミリーなし）	3