



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년04월07일
(11) 등록번호 10-1724365
(24) 등록일자 2017년04월03일

(51) 국제특허분류(Int. Cl.)
H03L 7/099 (2006.01) H03K 5/13 (2014.01)
H03L 7/085 (2006.01) H03L 7/089 (2006.01)
(52) CPC특허분류
H03L 7/0995 (2013.01)
H03K 5/131 (2013.01)
(21) 출원번호 10-2016-0017772
(22) 출원일자 2016년02월16일
심사청구일자 2016년02월16일
(56) 선행기술조사문헌
KR1020120044061 A*
JP2004235842 A*
KR1020080088250 A*
KR100825800 B1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
최재혁
울산광역시 울주군 언양읍 유니스트길 50
최서진
울산광역시 울주군 언양읍 유니스트길 50
유세연
울산광역시 울주군 언양읍 유니스트길 50
(74) 대리인
특허법인 프렌즈드림

전체 청구항 수 : 총 11 항

심사관 : 박정근

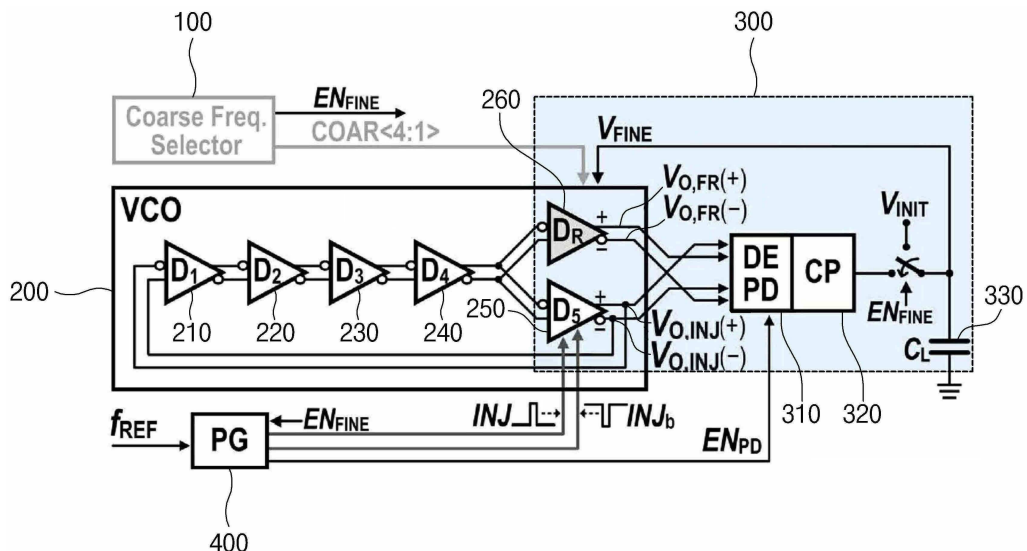
(54) 발명의 명칭 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 장치 및 방법

(57) 요약

PVT 변화에도 지터(jitter)가 민감하지 않은 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 장치 및 방법이 개시된다.

본 발명은 전압 제어 발진기의 내부에 복제 딜레이 셀이 포함되어 위상 차이가 교정되는 것으로 단순한 주파수 추적 루프에 비해 전력 소모량이 줄어들고 실리콘 사용 면적이 줄어드는 효과를 기대할 수 있다.

대표도 - 도2



(52) CPC특허분류

H03L 7/085 (2013.01)

H03L 7/0896 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 1.150090.01

부처명 미래창조과학부

연구관리전문기관 울산과학기술원

연구사업명 UMI미래전략과제

연구과제명 자연인터넷 (ION : INTERNET OF NATURE) 시스템 원천 기술

기 여 율 1/2

주관기관 울산과학기술원

연구기간 2015.07.01 ~ 2015.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호 1711033081

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 일반사업

연구과제명 차세대 5G 통신을 위한 저전력, 초소형 셀룰러 송수신 IC 연구

기 여 율 1/2

주관기관 울산과학기술원

연구기간 2015.09.01 ~ 2016.08.31

명세서

청구범위

청구항 1

적어도 하나 이상의 딜레이 셀(Delay Cell) 및 복제 딜레이 셀(Replica Delay Cell)을 포함하는 링 형태의 전압 제어 발진기(Voltage Controlled Oscillator 이하 'VCO');

상기 VCO의 자주 주파수(free running frequency 이하 ' f_{VCO} ')를 목표 주파수(target frequency)와 비교하며, 4 비트(bit)의 디지털 코드(COAR)를 생성하여 상기 VCO로 전달함으로써 상기 VCO의 전류를 조절하는 추정 주파수 선택기(Coarse Frequency Selector 이하 'CFS');

상기 CFS로부터 제1 인에이블 신호(EN_{FINE})를 전달 받고 기준 펄스(reference pulse)를 생성하여 상기 VCO에 인젝션하는 펄스 발생기(pulse generator 이하 'PG'); 및

제5 딜레이 셀의 출력 및 상기 복제 딜레이 셀의 출력을 전달받고, 상기 PG로부터 제2 인에이블 신호(EN_{PD})를 전달받아 상기 VCO의 위상 차이를 검출하는 이중 엣지 위상 검파기(Dual Edge Phase Detector 이하 'DEPD');

를 포함하며,

상기 목표 주파수는

기준 주파수(f_{REF})와 증배율(M)의 곱, 즉 $M * f_{REF}$ 으로 이루어지며,

상기 증배율은 임의의 상수인 것을 특징으로 하는 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 장치.

청구항 2

제1항에 있어서,

캐패시터(C_L)에 전하를 공급하거나 캐패시터(C_L)로부터 전하를 공급받음으로써, 제어 전압(V_{FINE})을 실시간으로 조절하여 상기 f_{VCO} 가 상기 $M * f_{REF}$ 의 값으로 유지시키는 차지 펌프(Charge Pump 이하 'CP');를 포함하는 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 장치.

청구항 3

제1항에 있어서,

제5 딜레이 셀의 입력과 상기 복제 딜레이 셀(Replica Delay Cell)의 입력은 제4 딜레이 셀의 출력인 것을 특징으로 하는 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 장치.

청구항 4

제1항에 있어서,

제5 딜레이 셀에 상기 PG가 생성한 상기 기준 펄스가 인젝션되어 상기 제5 딜레이 셀의 위상이 교정되는 것을

특징으로 하는 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 장치.

청구항 5

제1항에 있어서,

상기 DEPD는

제1 위상 검파기(Phase Detector 이하 '제1 PD') 및 제2 위상 검파기(Phase Detector 이하 '제2 PD')를 포함하며,

상기 복제 딜레이 셀의 출력은 차동 출력으로서 제1 출력(이하 ' $V_{0,FR+}$ ') 및 제2 출력(이하 ' $V_{0,FR-}$ ')을 포함하며,

상기 제5 딜레이 셀의 출력은 차동 출력으로서 제3 출력(이하 ' $V_{0,INJ+}$ ') 및 제4 출력(이하 ' $V_{0,INJ-}$ ')을 포함하는 것을 특징으로 하는 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 장치.

청구항 6

제5항에 있어서,

상기 제1 PD는 상기 $V_{0,INJ+}$ 및 상기 $V_{0,FR+}$ 를 입력으로 전달받아 상기 제2 인에이블 신호(EN_{PD})가 상기 $V_{0,INJ+}$ 의 라 이징 엣지에 위치하는 때에 상기 $V_{0,INJ+}$ 및 상기 $V_{0,FR+}$ 의 위상차이를 검출하는 것을 특징으로 하는 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 장치.

청구항 7

제5항에 있어서,

상기 제2 PD는 상기 $V_{0,INJ-}$ 및 상기 $V_{0,FR-}$ 를 입력으로 전달받아 상기 제2 인에이블 신호(EN_{PD})가 상기 $V_{0,INJ-}$ 의 라 이징 엣지에 위치하는 때에 상기 $V_{0,INJ-}$ 및 상기 $V_{0,FR-}$ 의 위상차이를 검출하는 것을 특징으로 하는 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 장치.

청구항 8

추정 주파수 선택기(Coarse Frequency Selector 이하 'CFS')가 링 형태의 전압 제어 발진기(Voltage Controlled Oscillator 이하 'VCO')의 자주 주파수(free running frequency 이하 ' f_{VCO} ')를 목표 주파수(target frequency)와 비교하는 단계;

상기 CFS가 4비트(bit)의 디지털 코드(COAR)를 생성하여 상기 VCO로 전달함으로써 상기 VCO의 전류를 조절하는 단계;

펄스 발생기(pulse generator 이하 'PG')가 상기 CFS로부터 제1 인에이블 신호(EN_{FINE})를 전달 받는 단계;

제5 딜레이 셀이 제4 딜레이 셀의 출력을 입력으로 받는 단계;

상기 PG가 기준 펄스(reference pulse)를 생성하여 상기 VCO에 인젝션하는 단계;

이중 엣지 위상 검파기(Dual Edge Phase Detector 이하 'DEPD')가 상기 제5 딜레이 셀의 출력 및 복제 딜레이 셀(Replica Delay Cell)의 출력을 전달받는 단계;

상기 PG로부터 상기 DEPD가 제2 인에이블 신호(EN_{PD})를 전달받는 단계;

상기 DEPD가 상기 VCO의 위상 차이를 검출하는 단계; 및

차지 펌프(Charge Pump 이하 'CP')가 캐패시터(C_L)에 전하를 공급하거나 캐패시터(C_L)로부터 전하를 공급받는 단계;

를 포함하되,

상기 PG가 기준 펄스(reference pulse)를 생성하여 상기 VCO에 인젝션하는 단계는

제5 딜레이 셀에 상기 PG가 생성한 상기 기준 펄스가 인젝션되어 상기 제5 딜레이 셀의 위상이 교정되는 단계;

를 포함하고,

상기 제5 딜레이 셀이 제4 딜레이 셀의 출력을 입력으로 받는 단계는

상기 복제 딜레이 셀(Replica Delay Cell)이 제4 딜레이 셀의 출력을 입력으로 받는 단계;

를 포함하는 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 방법.

청구항 9

제8항에 있어서,

상기 DEPD가 상기 VCO의 위상 차이를 검출하는 단계는

제1 위상 검파기(Phase Detector 이하 '제1 PD')가 상기 복제 딜레이 셀의 제1 출력 (이하 ' $V_{0,FR+}$ ')을 전달 받는 단계;

상기 제1 PD가 상기 제5 딜레이 셀의 제3 출력(이하 ' $V_{0,INJ+}$ ')을 전달 받는 단계; 및

상기 제2 인에이블 신호(EN_{PD})가 상기 $V_{0,INJ+}$ 의 라이징 엣지에 위치하는 때에 상기 $V_{0,INJ+}$ 및 상기 $V_{0,FR+}$ 의 위상차이를 상기 제1 PD가 검출하는 단계;

를 포함하는 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 방법.

청구항 10

제8항에 있어서,

상기 DEPD가 상기 VCO의 위상 차이를 검출하는 단계는

제2 위상 검파기(Phase Detector 이하 '제2 PD')가 상기 복제 딜레이 셀의 제2 출력(이하 ' $V_{0,FR-}$ ')을 전달 받는 단계;

상기 제2 PD가 상기 제5 딜레이 셀의 제4 출력 (이하 ' $V_{0,INJ-}$ ')을 전달 받는 단계;

상기 제2 인에이블 신호(EN_{PD})가 상기 $V_{0,INJ-}$ 의 라이징 엣지에 위치하는 때에 상기 $V_{0,INJ-}$ 및 상기 $V_{0,FR-}$ 의 위상차이를 상기 제2 PD가 검출하는 단계;

를 포함하는 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 방법.

청구항 11

제8항에 있어서,

차지 펌프(Charge Pump 이하 'CP')가 캐패시터(C_L)에 전하를 공급하거나 캐패시터(C_L)로부터 전하를 공급받는 단계는

상기 CP가 제어 전압(V_{FINE})을 실시간으로 조절하여 상기 f_{VCO} 가 상기 목표 주파수와 일치되도록 유지시키는 단계;

를 포함하며,

상기 목표 주파수는

기준 주파수(f_{REF})와 증배율(M)의 곱, 즉 $M * f_{REF}$ 으로 이루어지며,

상기 증배율은 임의의 상수인 것을 특징으로 하는 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 방법.

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

발명의 설명

기술 분야

[0001] 본 발명은 인젝션 락킹 클락 체배 장치에 관한 것으로, 보다 상세하게는 링 형태의 전압 제어 발진기(Voltage Controlled Oscillator 이하 'VCO')의 내부에 복제 딜레이 셀(Replica Delay Cell)을 추가함으로써, 적은 전력을 소모하고, 작은 실리콘 면적으로 구현될 수 있는 VCO로서, 적어도 하나 이상의 딜레이 셀(Delay Cell)간의 입력 및 출력에 의해 발생하는 위상 차이를 검출하고, PVT 변화에 대하여 우수한 지터(jitter) 성능을 보여주는 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 장치 및 방법에 관한 것이다.

배경 기술

[0002] 인젝션 락킹 클락 체배 장치는 실리콘 면적과 전력 소모 측면에서 한정된 예산을 이용하여 낮은 지터(jitter), 높은 주파수 클락을 생성하는 유망한 솔루션으로 고려되고 있다.

[0003] 그러나 인젝션 락킹 클락 체배 장치는 Process, Voltage 및 Temperature (이하 'PVT')에 의하여 지터(jitter) 퍼포먼스가 나빠질 정도로 민감하다는 문제가 있다.

[0004] 이러한 문제의 해결을 위해 일반적인 인젝션 락킹 클락 체배 장치는 PVT에 의한 지터(jitter)의 민감도를 완화시키는 다양한 종류의 PVT교정기를 구비하고 있다.

[0005] 위상 고정 루프는 이러한 PVT교정기의 하나로서, Process의 변화에 의해 발생하는 VCO의 고정 주파수의 편차를

정확하게 만들 수 있는 장점이 있으나, Voltage 또는 Temperature의 변화 때문에 발생하는 실시간 주파수 드리프트를 예방하지 못하는 단점이 있다.

- [0006] 최근 들어 연속 주파수 추적이 가능한 새로운 PVT 교정기를 개발하기 위하여 많은 노력이 있었으며, 이러한 노력에 의하여 복제 VCO를 이용하거나 VCO와 같은 딜레이 셀을 사용한 지연 고정 루프를 이용하여 주파수 드리프트를 감지하는 장치들이 개발되었다.
- [0007] 이러한 장치들은 각각의 교정기가 VCO로서 소모하는 전력과 같은 전력을 소모해야만 하는 문제가 있으며, 딜레이 셀의 교정 정확도를 제한하는 것과 추가적인 교정 단계간의 불일치라는 문제가 있다.
- [0008] 추가적인 문제점들의 해결을 위해 기준 펄스가 인젝션될 때 VCO의 출력 위상 변화를 검출하는 주파수 추적 루프에 대한 다양한 방법이 제시되고 있다.
- [0009] 제시된 여러 가지 방법 중에서 시간 디지털 컨버터를 이용하여 위상 변화를 검출하는 장치가 있으나, 이는 많은 디지털 회로를 필요로 하는바 실리콘 면적을 많이 차지하며 많은 양의 전력을 소모한다는 점에서 문제가 있다.
- [0010] 또한 타이밍이 조정된 위상 검출기를 이용하는 주파수 추적 루프는 매 주기동안 반복되는 차지 펌프 스위치에 의해 넓은 대역에서의 위상 잡음이 발생하는 문제가 있다.
- [0011] 한국등록특허공보 10-1548256호에는 인젝션 락킹 기반 링오실레이터의 피브리티 차이 교정을 위한 장치 및 방법이 제시되어 있다.
- [0012] 이러한 교정 장치의 경우 복수의 VCO를 필요로 하므로 PVT에 의한 차이 교정을 위하여 전력 소모량이 크다는 문제가 있으며 실리콘 면적을 많이 차지한다는 문제가 있다.
- [0013] 또한, 딜레이 셀 사이의 불일치가 교정 정확도를 제한하거나 추가적인 교정 단계를 요구하는 문제가 있다.
- [0014]

선행기술문헌

특허문헌

- [0015] (특허문헌 0001) 한국등록특허공보 제10-1548256호

발명의 내용

해결하려는 과제

- [0016] 따라서, 이러한 문제점을 해결하기 위한 본 발명의 첫 번째 목적은 VCO 내부에 복제 딜레이 셀을 추가함으로써, 전력 소모량 및 실리콘 면적을 줄이고 PVT 변화에 대해 VCO의 지터(jitter) 퍼포먼스가 안정적으로 동작할 수 있는 연속적인 주파수 추적 루프를 만들 수 있는 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 장치를 제공하는 것을 목적으로 한다.
- [0017] 또한, 두 번째 목적은 VCO 내부에 복제 딜레이 셀을 추가함으로써, 전력 소모량 및 실리콘 면적을 줄이고 PVT 변화에 대해 VCO의 지터(jitter) 퍼포먼스가 안정적으로 동작할 수 있는 연속적인 주파수 추적 루프를 만들 수 있는 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0018] 상기 첫 번째 목적을 달성하기 위하여 본 발명은, 적어도 하나 이상의 딜레이 셀(Delay Cell) 및 복제 딜레이 셀(Replica Delay Cell)을 포함하는 링 형태의 전압 제어 발진기(Voltage Controlled Oscillator 이하 'VCO'), 상기 VCO의 자주 주파수(free running frequency 이하 ' f_{VCO} ')를 목표 주파수(target frequency)와 비교하며, 4 비트(bit)의 디지털 코드(COAR)를 생성하여 상기 VCO로 전달함으로써 상기 VCO의 전류를 조절하는 추정 주파수 선택기(Coarse Frequency Selector 이하 'CFS'), 상기 CFS로부터 제1 인에이블 신호(EN_{FINE})를 전달 받고 기준 펄스(reference pulse)를 생성하여 상기 VCO에 인젝션하는 펄스 발생기(pulse generator 이하 'PG')를 포함하며, 상기 목표 주파수는 기준 주파수(f_{REF})와 증배율(M)의 곱, 즉 $M * f_{REF}$ 으로 이루어지며, 상기 증배율은 임의

의 상수인 것을 특징으로 하는 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 장치를 제공한다.

- [0019] 상기 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 장치는 캐패시터(C_L)에 전하를 공급하거나 캐패시터(C_L)로부터 전하를 공급받음으로써, 제어 전압(V_{FINE})을 실시간으로 조절하여 상기 f_{VCO} 가 상기 $M * f_{REF}$ 의 값으로 유지시키는 차지 펌프(Charge Pump 이하 'CP')를 포함할 수 있다.
- [0020] 상기 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 장치는 제5 딜레이 셀의 입력과 상기 복제 딜레이 셀(Replica Delay Cell)의 입력은 제4 딜레이 셀의 출력인 것을 포함할 수 있다.
- [0021] 상기 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 장치는 제5 딜레이 셀에 상기 PG가 생성한 상기 기준 펄스가 인젝션되어 상기 제5 딜레이 셀의 위상이 교정될 수 있다.
- [0022] 상기 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 장치는 제5 딜레이 셀의 출력 및 상기 복제 딜레이 셀의 출력을 전달받고, 상기 PG로부터 제2 인에이블 신호(EN_{PD})를 전달받아 상기 VCO의 위상 차이를 검출하는 이중 엣지 위상 검파기(Dual Edge Phase Detector 이하 'DEPD')를 포함할 수 있다.
- [0023] 상기 DEPД는 제1 위상 검파기(Phase Detector 이하 '제1 PD') 및 제2 위상 검파기(Phase Detector 이하 '제2 PD')를 포함할 수 있으며, 상기 복제 딜레이 셀의 출력은 차동 출력으로서 제1 출력(이하 ' $V_{0,FR+}$ ') 및 제2 출력(이하 ' $V_{0,FR-}$ ')을 포함할 수 있고, 상기 제5 딜레이 셀의 출력은 차동 출력으로서 제3 출력(이하 ' $V_{0,INJ+}$ ') 및 제4 출력(이하 ' $V_{0,INJ-}$ ')을 포함할 수 있다.
- [0024] 상기 제1 PD는 상기 $V_{0,INJ+}$ 및 상기 $V_{0,FR+}$ 를 입력으로 전달받아 상기 제2 인에이블 신호(EN_{PD})가 상기 $V_{0,INJ+}$ 의 라이징 엣지에 위치하는 때에 상기 $V_{0,INJ+}$ 및 상기 $V_{0,FR+}$ 의 위상차이를 검출할 수 있다.
- [0025] 상기 제2 PD는 상기 $V_{0,INJ-}$ 및 상기 $V_{0,FR-}$ 를 입력으로 전달받아 상기 제2 인에이블 신호(EN_{PD})가 상기 $V_{0,INJ-}$ 의 라이징 엣지에 위치하는 때에 상기 $V_{0,INJ-}$ 및 상기 $V_{0,FR-}$ 의 위상차이를 검출할 수 있다.
- [0026] 상기 두 번째 목적을 달성하기 위해 본 발명은, 추정 주파수 선택기(Coarse Frequency Selector 이하 'CFS')가 링 형태의 전압 제어 발진기(Voltage Controlled Oscillator 이하 'VCO')의 자주 주파수(free running frequency 이하 ' f_{VCO} ')를 목표 주파수(target frequency)와 비교하는 단계, 상기 CFS가 4비트(bit)의 디지털 코드(COAR)를 생성하여 상기 VCO로 전달함으로써 상기 VCO의 전류를 조절하는 단계, 펄스 발생기(pulse generator 이하 'PG')가 상기 CFS로부터 제1 인에이블 신호(EN_{FINE})를 전달 받는 단계, 제5 딜레이 셀이 제4 딜레이 셀의 출력을 입력으로 받는 단계, 상기 PG가 기준 펄스(reference pulse)를 생성하여 상기 VCO에 인젝션하는 단계를 포함할 수 있다.
- [0027] 상기 PG가 기준 펄스(reference pulse)를 생성하여 상기 VCO에 인젝션하는 단계는 제5 딜레이 셀에 상기 PG가 생성한 상기 기준 펄스가 인젝션되어 상기 제5딜레이 셀의 위상이 교정되는 단계를 포함할 수 있다.
- [0028] 상기 제5 딜레이 셀이 제4 딜레이 셀의 출력을 입력으로 받는 단계는 복제 딜레이 셀(Replica Delay Cell)이 제4 딜레이 셀의 출력을 입력으로 받는 단계를 포함할 수 있다.
- [0029] 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 방법은 이중 엣지 위상 검파기(Dual Edge Phase Detector 이하 'DEPD')가 상기 제5 딜레이 셀의 출력 및 상기 복제 딜레이 셀의 출력을 전달받는 단계, 상기 PG로부터 상기 DEPД가 제2 인에이블 신호(EN_{PD})를 전달받는 단계, 상기 DEPД가 상기 VCO의 위상 차이를 검출하는 단계, 차지 펌프(Charge Pump 이하 'CP')가 캐패시터(C_L)에 전하를 공급하거나 캐패시터(C_L)로부터 전하를 공급받는 단계를 포함할 수 있다.
- [0030] 상기 DEPД가 상기 VCO의 위상 차이를 검출하는 단계는 제1 위상 검파기(Phase Detector 이하 '제1 PD')가 상기 복제 딜레이 셀의 제1 출력(이하 ' $V_{0,FR+}$ ')을 전달 받는 단계, 상기 제1 PD가 상기 제5 딜레이 셀의 제3 출력(이하 ' $V_{0,INJ+}$ ')을 전달 받는 단계, 상기 제2 인에이블 신호(EN_{PD})가 상기 $V_{0,INJ+}$ 의 라이징 엣지에 위치하는 때에 상기 $V_{0,INJ+}$ 및 상기 $V_{0,FR+}$ 의 위상차이를 상기 제1 PD가 검출하는 단계를 포함할 수 있다.
- [0031] 상기 DEPД가 상기 VCO의 위상 차이를 검출하는 단계는 제2 위상 검파기(Phase Detector 이하 '제2 PD')가 상기

복제 딜레이 셀의 제2 출력(이하 ' $V_{0,FR-}$ ')을 전달 받는 단계, 상기 제2 PD가 상기 제5 딜레이 셀의 제4 출력 (이하 ' $V_{0,INJ-}$ ')을 전달 받는 단계, 상기 제2 인에이블 신호(EN_{PD})가 상기 $V_{0,INJ-}$ 의 라이징 엣지에 위치하는 때에 상기 $V_{0,INJ-}$ 및 상기 $V_{0,FR-}$ 의 위상차이를 상기 제1 PD가 검출하는 단계를 포함할 수 있다.

[0032] 차지 펌프(Charge Pump 이하 'CP')가 캐패시터(C_L)에 전하를 공급하거나 캐패시터(C_L)로부터 전하를 공급받는 단계는 상기 CP가 제어 전압(V_{FINE})을 실시간으로 조절하여 상기 f_{VCO} 가 상기 목표 주파수와 일치되도록 유지시키는 단계를 포함할 수 있으며, 상기 목표 주파수는 기준 주파수(f_{REF})와 증배율(M)의 곱, 즉 $M * f_{REF}$ 으로 이루어질 수 있고, 상기 증배율은 임의의 상수일 수 있다.

발명의 효과

[0033] 상기에서 설명한 본 발명의 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 장치 및 방법에 의하면, 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 장치 및 방법에 의하면, VCO 내부에 복제 딜레이 셀에 의하여 위상 차이를 확인할 수 있는바, 별도의 VCO를 추가할 필요가 없으므로 전력 소모가 적고 실리콘 면적도 작아진다. 또한 PVT에 대하여 우수한 지터(jitter) 퍼포먼스를 보여주는 효과가 있다.

도면의 간단한 설명

[0034] 도 1은 종래의 PVT 변화에 대해 안정적인 위상을 갖게 하는 교정 장치의 참고도이다.
 도 2는 본 발명의 일 실시예인 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 장치에 대한 구성도이다.
 도 3은 본 발명의 일 실시예인 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 장치의 작동에 대한 타이밍 다이어그램이다.
 도 4는 본 발명의 일 실시예인 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 장치의 일부 구성에 대한 구성도이다.
 도 5는 위상 검파기의 작동에 대한 타이밍 다이어그램이다.
 도 6은 본 발명의 일 실시예인 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 장치의 차지 펌프와 캐패시터의 관계를 나타낼 수 있는 구성도이다.
 도 7은 본 발명의 일 실시예인 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 방법의 흐름도이다.
 도 8은 본 발명의 일 실시예에 따른 교정 장치의 온도(Temperature)변화에 따른 지터(jitter)를 나타낸 그래프이다.
 도 9는 본 발명의 일 실시예에 따른 교정 장치의 전압(Voltage)변화에 따른 지터(jitter)를 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0035] 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한정 해석되지 아니하며, 발명자는 그 사용자의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다.

[0036] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 포함한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0037] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 포함한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서에 기재된 "...부", "...기", "모듈", "장치" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어 및/또는 소프트웨어의 결합으로 구현될 수 있다.

[0038] 본 발명에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0039] 또한, 명세서 전체에서 도면을 참고할 경우 추정 주파수 선택기는 5개의 딜레이 셀과 1개의 복제 딜레이 셀로 도시되어 있으나, 이는 설명의 편의를 위한 것으로 본 발명을 한정하지 아니한다.

- [0040] 도 1은 종래의 PVT 변화에 대해 안정적인 위상을 갖게 하는 교정 장치의 참고도이다.
- [0041] 도 1을 참고하면, 종래의 교정 장치는 제1의 VCO(Voltage Controlled Ring Oscillator)는 주입펄스생성기(120)에서 생성된 주입펄스를 입력받아 기준클럭의 체배 주파수에 동기화된 신호($f_{out}=N \cdot F_{ref}$)를 생성하여 출력하고, 제1의 VCO와 동일한 제2의 VCO에서 출력되는 주파수를 분주하여 기준클럭(F_{ref})을 입력받아 디지털 보정을 행한 다음 제1의 VCO와 제2의 VCO의 제어전압으로 입력하도록 구성함으로써, 체배된 고주파와 PVT(Process/Voltage/Temperature)에 안정적인 클럭을 생성하도록 구성한 것이다.
- [0042] 즉, 종래의 교정 장치의 경우 제1의 VCO 및 제1의 VCO와 동일한 제2의 VCO를 추가하여 PVT에 안정적인 클럭을 생성하는 바 상술하였듯이, 전력 소모량이 크다는 문제, 실리콘 면적을 많이 차지한다는 문제, 딜레이 셀 사이의 불일치가 교정 정확도를 제한 및 추가적인 교정 단계를 요구하는 문제가 있다.
- [0043] 도 2는 본 발명의 일 실시예인 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 장치에 대한 구성도이다.
- [0044] 도 2를 참고하면, 본 발명의 일 실시예인 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 장치는 추정 주파수 선택기(100), 전압 제어 발진기(200), 이중 엡지 위상 검파기(310), 차지 펌프(320), 캐패시터(330) 및 펄스 발생기(400)를 포함한다.
- [0045] 보다 구체적으로 링 형태의 전압 제어 발진기(Voltage Controlled Oscillator 'VCO')(200)는 적어도 하나 이상의 딜레이 셀(Delay Cell) 및 복제 딜레이 셀(Replica Delay Cell)(260)을 포함한다.
- [0046] 그리고 제5 딜레이 셀(250)의 입력과 복제 딜레이 셀(Replica Delay Cell)(260)의 입력은 제4 딜레이 셀(240)의 출력일 수 있다.
- [0047] 보다 구체적으로, 제1 딜레이 셀(210)의 입력은 제5 딜레이 셀(250)의 출력일 수 있다. 여기서 제5 딜레이 셀(250)의 출력은 후술할 펄스 발생기(400)의 인젝션 이후의 출력을 말한다.
- [0048] 제2 딜레이 셀(220)의 입력은 제1 딜레이 셀(210)의 출력이며, 제3 딜레이 셀(230)의 입력은 제2 딜레이 셀(220)의 출력이고, 제4 딜레이 셀(240)의 입력은 제3 딜레이 셀(230)의 출력일 수 있다.
- [0049] 추정 주파수 선택기(Coarse Frequency Selector 'CFS')(100)는 전압 제어 발진기(200)의 자주 주파수(free running frequency ' f_{VCO} ')를 목표 주파수(target frequency)와 비교하며, 4비트(bit)의 디지털 코드(COAR)를 생성하여 전압 제어 발진기(200)로 전달함으로써 전압 제어 발진기(200)의 전류를 조절한다.
- [0050] 여기서 목표 주파수는 기준 주파수(f_{REF})와 증배율(M)의 곱, 즉 $M \cdot f_{REF}$ 으로 이루어지며 증배율(M)은 임의의 상수이다.
- [0051] 펄스 발생기(pulse generator 'PG')(400)는 추정 주파수 선택기(100)로부터 제1 인에이블 신호(EN_{FINE})를 전달받고 기준 펄스(reference pulse)를 생성하여 전압 제어 발진기(200)에 인젝션한다.
- [0052] 차지 펌프(Charge Pump 'CP')(320)는 캐패시터(C_L)(330)에 전하를 공급하거나 캐패시터(C_L)(330)로부터 전하를 공급받음으로써, 제어 전압(V_{FINE})을 실시간으로 조절하여 전압 제어 발진기의 자주 주파수(f_{VCO})가 상기 증배율(M) * 기준 주파수(f_{REF})가 되도록 유지시킬 수 있다.
- [0053] 제1 인에이블 신호(EN_{FINE})에 의하여 스위치가 움직여서 차지 펌프(320) 또는 초기 전압원(V_{INIT})과 캐패시터(C_L)(330)를 연결시킬 수 있다.
- [0054] 보다 구체적으로, 추정 주파수 선택기(100)가 자주 주파수를 목표 주파수와 비교하는 때에는 스위치가 초기 전압(V_{INIT})에 연결되어 캐패시터(330)가 초기 전압(V_{INIT})에 의해 충전될 수 있다.
- [0055] 캐패시터(330)가 초기 전압(V_{INIT})에 의해 충전된 이후, 추정 주파수 선택기(100)는 4비트(bit)의 디지털 코드(COAR)를 생성하여 전압 제어 발진기(200)로 전달함으로써 전압 제어 발진기(200)의 전류를 조절한다.
- [0056] 추정 주파수 선택기(100)가 4비트(bit)의 디지털 코드(COAR)를 생성하여 전압 제어 발진기(200)로 전달한 이후, 제1 인에이블 신호(EN_{FINE})에 의하여 스위치가 움직여 캐패시터(330)와 차지 펌프(320)를 연결시킬 수 있다.
- [0057] 캐패시터(330)와 차지 펌프(320)가 연결되어, 후술할 V_{UP} 신호 및 V_{DN} 신호에 의해 제어 전압(V_{FINE})이 증가 또는

감소할 수 있다.

- [0058] 펄스 발생기(400)가 제5 딜레이 셀(250)에 기준 펄스를 인젝션하는 때 제5 딜레이 셀(250)의 위상이 교정될 수 있다.
- [0059] 이중 엣지 위상 검파기(Dual Edge Phase Detector 'DEPD')(310)은 제5 딜레이 셀(250)의 출력 및 복제 딜레이 셀(260)의 출력을 전달받는다.
- [0060] 또한 이중 엣지 위상 검파기(310)는 펄스 발생기(400)로부터 제2 인에이블 신호(EN_{PD})를 전달받아 전압 제어 발진기(200)의 위상 차이를 검출할 수 있다.
- [0061] 복제 딜레이 셀(260)의 출력은 차동 출력으로서 제1 출력('V_{0,FR+}') 및 제2 출력('V_{0,FR-}')을 포함할 수 있으며, 제5 딜레이 셀(250)의 출력은 차동 출력으로서 제3 출력('V_{0,INJ+}') 및 제4 출력('V_{0,INJ-}')을 포함할 수 있다.
- [0062] 도 3은 본 발명의 일 실시예인 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 장치의 작동에 대한 타이밍 다이어그램이다.
- [0063] 도 3을 참조하여 보다 구체적으로 전압 제어 발진기(200)에 기준 펄스가 인젝션됨으로써, 어떠한 방식으로 위상 차이를 교정하는지 설명한다.
- [0064] 딜레이 셀의 경우 일반적으로 이용되고 있는 소자이므로 구체적인 설명은 생략한다.
- [0065] 제5 딜레이 셀(250)의 입력은 제4 딜레이 셀(240)의 출력으로 할 수 있으며, 복제 딜레이 셀(260)의 입력 또한 제4 딜레이 셀(240)의 출력을 할 수 있다.
- [0066] 제4 딜레이 셀(240)의 출력은 제1 딜레이 셀(210), 제2 딜레이 셀(220) 및 제3 딜레이 셀(230)을 거침으로써, 딜레이에 의해 일정 부분 위상이 변화된 상태이다.
- [0067] 하지만, 제5 딜레이 셀(250)은 펄스 발생기(400)로부터 기준 펄스를 인젝션받으므로 제4 딜레이 셀(240)로부터 전달받은 입력은 사라지게 된다.
- [0068] 제5 딜레이 셀(250)과는 다르게 복제 딜레이 셀(260)의 경우 펄스 발생기(400)로부터 기준 펄스를 인젝션받지 않으므로 제4 딜레이 셀(240)로부터 받은 입력이 그대로 유지된다.
- [0069] 즉, 도3을 참고할 때 복제 딜레이 셀(260)의 제1 출력인 V_{0,FR+}의 경우에 위상이 처음과 달라진 것을 알 수 있다.
- [0070] 하지만 제5 딜레이 셀(250)의 제3 출력인 V_{0,INJ+}의 경우에는 펄스 발생기(400)로부터 기준 펄스를 인젝션 받으므로 위상의 변화가 없음을 알 수 있다.
- [0071] 따라서, 복제 딜레이 셀(260)의 제1 출력인 V_{0,FR+}과 제5 딜레이 셀(250)의 제3 출력인 V_{0,INJ+}을 비교하면 손쉽게 위상의 변화를 검출할 수 있다.
- [0072] 또한, 차지 펌프(320)가 캐패시터(330)에 전하를 공급하거나 캐패시터(330)로부터 전하를 전달받아 실시간으로 제어 전압(V_{FINE})을 조절하여 전압 제어 발진기의 전압 제어 발진기의 자주 주파수(f_{VCO})가 상기 증배율(M) * 기준 주파수(f_{REF})가 되도록 유지시킬 수 있다.
- [0073] 도 4는 본 발명의 일 실시예인 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 장치의 일부 구성에 대한 구성도이다.
- [0074] 도 5는 위상 검파기의 작동에 대한 타이밍 다이어그램이다.
- [0075] 도 6은 본 발명의 일 실시예인 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 장치의 차지 펌프와 캐패시터의 관계를 나타낼 수 있는 구성도이다.
- [0076] 도 4 내지 도 6을 참고하면, 펄스 발생기(400)는 기준 주파수(f_{REF})와 제1 인에이블 신호(EN_{FINE})를 입력으로 받을 수 있다.
- [0077] 보다 구체적으로, 펄스 발생기(400)는 제1 인에이블 신호(EN_{FINE})를 입력으로 받는 때에 스위치가 쇼트되어 기준

주파수(f_{REF})를 입력으로 받을 수 있다.

- [0078] 기준 주파수(f_{REF})는 제1 버퍼(410) 및 제1 AND 게이트(440)에 입력될 수 있다.
- [0079] 제1 버퍼(410)의 출력은 제1 인버터(420) 및 제2 AND 게이트(450)에 입력될 수 있다.
- [0080] 제1 인버터(420)의 출력은 제2 버퍼(430) 및 제2 AND 게이트(450)에 입력될 수 있다.
- [0081] 제2 버퍼(430)의 출력은 제1 AND 게이트(440)에 입력될 수 있다.
- [0082] 제1 AND 게이트(440)의 출력은 제2 인에이블 신호(EN_{PD})로서, 이중 엣지 위상 검파기(310)에 입력될 수 있다.
- [0083] 제2 AND 게이트(450)의 출력은 제2 인버터(460) 및 패스 게이트(470)에 입력될 수 있다.
- [0084] 제2 인버터(460)가 입력을 반전시켜 출력시키는 과정에서 발생하는 딜레이만큼 패스 게이트(Pass gate)(470)는 출력을 딜레이시켜 동시에 제5 딜레이 셀(250)에 입력시킬 수 있다.
- [0085] 즉, 패스 게이트(Pass gate)(470)는 버퍼로서 입력을 딜레이시켜서 출력하는 역할을 수행한다.
- [0086] 이중 엣지 위상 검파기(310)는 제1 위상 검파기(Phase Detector '제1 PD')(311) 및 제2 위상 검파기(Phase Detector '제2 PD')(312)를 포함할 수 있다.
- [0087] 제1 위상 검파기(311)는 제1 출력($V_{0,FR+}$) 및 제3 출력($V_{0,INJ+}$)을 입력으로 전달받는다.
- [0088] 또한, 제1 위상 검파기(311)는 펄스 발생기(400)로부터 제2 인에이블 신호(EN_{PD})를 전달받는다.
- [0089] 제1 위상 검파기(311)는 제2 인에이블 신호(EN_{PD})가 제3 출력($V_{0,INJ+}$)의 라이징 엣지에 위치하는 때에 제1 출력($V_{0,FR+}$) 및 제3 출력($V_{0,INJ+}$)의 위상차이를 검출할 수 있다.
- [0090] 이는 도 5의 (a)를 통해 확인할 수 있다.
- [0091] 제2 위상 검파기(312)는 제2 출력($V_{0,FR-}$) 및 제4 출력($V_{0,INJ-}$)을 입력으로 전달받는다.
- [0092] 또한, 제2 위상 검파기(312)는 펄스 발생기(400)로부터 제2 인에이블 신호(EN_{PD})를 전달받는다.
- [0093] 제2 위상 검파기(312)는 제2 인에이블 신호(EN_{PD})가 제4 출력($V_{0,INJ-}$)의 라이징 엣지에 위치하는 때에 제2 출력($V_{0,FR-}$) 및 제4 출력($V_{0,INJ-}$)의 위상차이를 검출할 수 있다.
- [0094] 이는 도 5의 (b)를 통해 확인할 수 있다.
- [0095] 제 1 위상 검파기(311)는 제1 출력($V_{0,FR+}$), 제3 출력($V_{0,INJ+}$) 및 제2 인에이블 신호(EN_{PD})를 전달받은 때에 제1 UP 신호를 제1 OR 게이트(313)로 전달할 수 있다.
- [0096] 또한, 제 1 위상 검파기(311)는 제1 출력($V_{0,FR+}$), 제3 출력($V_{0,INJ+}$) 및 제2 인에이블 신호(EN_{PD})를 입력받은 때에 제1 DOWN 신호를 제2 OR 게이트(314)로 전달할 수 있다.
- [0097] 제2 위상 검파기(312)는 제2 출력($V_{0,FR-}$), 제4 출력($V_{0,INJ-}$) 및 제2 인에이블 신호(EN_{PD})를 전달받은 때에 제2 UP 신호를 제1 OR 게이트(313)로 전달할 수 있다.
- [0098] 또한, 제2 위상 검파기(312)는 제2 출력($V_{0,FR-}$), 제4 출력($V_{0,INJ-}$) 및 제2 인에이블 신호(EN_{PD})를 전달받은 때에 제2 DOWN 신호를 제2 OR 게이트(314)로 전달할 수 있다.
- [0099] 제 1 OR 게이트(313)는 제1 UP 신호 및 제2 UP 신호를 전달받은 때에 V_{up} 신호를 차지 펌프(320)로 전달할 수 있다.
- [0100] 또한, 제2 OR 게이트(314)는 제1 DOWN 신호 및 제2 DOWN 신호를 전달받은 때에 V_{DN} 신호를 차지 펌프(320)로 전달할 수 있다.
- [0101] 도 6을 참고하면, V_{up} 신호가 차지 펌프(320)로 전달되면 제1 스위치(322)가 SHORT될 수 있다.

- [0102] 따라서, 제1 스위치(322)가 SHORT되는 때에 제1 전류원(321)과 캐패시터(330)가 연결되어 차지 펌프(320)가 캐패시터(330)에 전하가 공급할 수 있다.
- [0103] 차지 펌프(320)에 의해 캐패시터(330)에 전하가 공급되는 때, 제어 전압(V_{FINE})은 증가할 수 있다.
- [0104] 제어 전압(V_{FINE})은 아래의 수학적 식 1에 의하여 증가할 수 있다.

수학적 식 1

$$\text{제어 전압}(V_{FINE}) = \frac{(\text{기준 펄스의 폭} \times \text{제1 전류원의 전류량})}{\text{캐패시터의 전하량}}$$

- [0105]
- [0106] 또한, V_{DN} 신호가 차지 펌프(320)로 전달되면 제2 스위치(323)가 Short 될 수 있다.
- [0107] 따라서, 제2 스위치(323)가 Short되는 때에 제2 전류원(324)과 캐패시터(330)가 연결되어 차지 펌프(320)가 캐패시터(330)로부터 전하를 공급받을 수 있다.
- [0108] 캐패시터(330)에 의해 차지 펌프(320)에 전하가 공급되는 때, 제어 전압(V_{FINE})은 감소할 수 있다.
- [0109] 제어 전압(V_{FINE})은 아래의 수학적 식 2에 의하여 감소할 수 있다.

수학적 식 2

$$\text{제어 전압}(V_{FINE}) = \frac{(\text{기준 펄스의 폭} \times \text{제2 전류원의 전류량})}{\text{캐패시터의 전하량}}$$

- [0110]
- [0111] V_{up} 신호 및 V_{DN} 신호가 동시에 차지 펌프(320)로 전달되면 제1 스위치(322) 및 제2 스위치(323)가 동시에 short 될 수 있다.
- [0112] 이 때는, 제1 전류원(321)의 전류는 제2 전류원(324)으로 흐르게 되며, 제어 전압(V_{FINE})은 변화가 없을 것이다.
- [0113] 도 7은 본 발명의 일 실시예인 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 방법의 흐름도이다.
- [0114] 도 7을 참고하면, 추정 주파수 선택기(Coarse Frequency Selector 'CFS')(100)가 링 형태의 전압 제어 발진기(Voltage Controlled Oscillator 'VCO')(200)의 자주 주파수(free running frequency ' f_{VCO} ')를 목표 주파수(target frequency)와 비교한다.(S730)
- [0115] 이후, 추정 주파수 선택기(100)가 4비트(bit)의 디지털 코드(COAR)를 생성하여 전압 제어 발진기(200)로 전달함으로써 전압 제어 발진기(200)의 전류를 조절할 수 있다.(S731)
- [0116] 보다 구체적으로, 추정 주파수 선택기(100)는 4비트(bit)의 디지털 코드(COAR)는 전압 제어 발진기(200)의 전류를 제어할 수 있는 스위치에 입력될 수 있다.
- [0117] 전압 제어 발진기(200)의 전류를 제어할 수 있는 스위치에 4비트(bit)의 디지털 코드(COAR)가 입력됨으로써, 추정 주파수 선택기(100)가 전압 제어 발진기(200)의 전류를 조절할 수 있다.
- [0118] 펄스 발생기(400)가 추정 주파수 선택기(100)로부터 제1 인에이블 신호(EN_{FINE})를 전달받을 수 있다.(S732)
- [0119] 제5 딜레이 셀(250)이 제4 딜레이 셀(240)의 출력을 입력으로 받을 수 있다.(S733)

- [0120] 또한, 복제 딜레이 셀(260)은 제4 딜레이 셀(240)의 출력을 입력으로 받을 수 있다.
- [0121] 이후 펄스 발생기(400)가 기준 펄스를 생성하여 전압 제어 발진기(200)에 인젝션할 수 있다.(S734)
- [0122] 보다 구체적으로, 펄스 발생기(400)가 기준 펄스를 생성하고, 생성된 기준 펄스를 펄스 발생기(400)가 전압 제어 발진기(200)의 제5 딜레이 셀(250)에 인젝션할 수 있다.
- [0123] 기준 펄스가 제5 딜레이 셀(250)에 인젝션되는 때에, 제5 딜레이 셀(250)이 제4 딜레이 셀(240)로부터 받은 입력에 따른 출력은 사라지고 기준 펄스에 의한 출력으로 위상이 교정될 수 있다.
- [0124] 이중 엣지 위상 검파기(310)가 기준 펄스에 의해 교정된 제5 딜레이 셀(250)의 출력 및 복제 딜레이 셀(260)의 출력을 전달받을 수 있다.
- [0125] 또한, 이중 엣지 위상 검파기(310)는 펄스 발생기(400)로부터 제2 인에이بل 신호(EN_{PD})를 전달받을 수 있다.
- [0126] 그리고, 이중 엣지 위상 검파기(310)는 전압 제어 발진기(200)의 위상 차이를 검출할 수 있다.(S735)
- [0127] 보다 구체적으로, 제1 위상 검파기(Phase Detector '제1 PD')(311)가 복제 딜레이 셀(260)의 제1 출력 ($V_{0,FR+}$)을 전달받을 수 있으며, 제1 위상 검파기(Phase Detector '제1 PD')(311)가 제5 딜레이 셀(250)의 제3 출력 ($V_{0,INJ+}$)을 전달받을 수 있다.
- [0128] 기준 펄스가 제3 출력($V_{0,INJ+}$)의 라이징 엣지에 위치하는 때에 제1 출력 ($V_{0,FR+}$)과 제3 출력($V_{0,INJ+}$)의 위상 차이를 제1 위상 검파기(311)가 검출할 수 있다.
- [0129] 또한, 제2 위상 검파기(Phase Detector '제2 PD')(312)가 복제 딜레이 셀(260)의 제2 출력($V_{0,FR-}$)을 전달받을 수 있으며, 제2 위상 검파기(Phase Detector '제2 PD')(312)가 제5 딜레이 셀(250)의 제4 출력 ($V_{0,INJ-}$)을 전달받을 수 있다.
- [0130] 기준 펄스가 제4 출력 ($V_{0,INJ-}$)의 라이징 엣지에 위치하는 때에 제2 출력($V_{0,FR-}$)과 제4 출력 ($V_{0,INJ-}$)의 위상 차이를 제2 위상 검파기(312)가 검출할 수 있다.
- [0131] 차지 펌프(320)가 제어 전압(V_{FINE})을 실시간으로 조절하여 자주 주파수(f_{VCO})가 목표 주파수와 일치되도록 유지할 수 있다.(S736)
- [0132] 목표 주파수는 기준 주파수(f_{REF})와 증배율(M)의 곱, 즉 $M * f_{REF}$ 으로 이루어질 수 있으며, 여기서 증배율은 임의의 상수일 수 있다.
- [0133] 도 8은 본 발명의 일 실시예에 따른 교정 장치의 온도(Temperature)변화에 따른 지터(jitter)를 나타낸 그래프이다.
- [0134] 도 8을 참고하면, 본 발명의 일 실시예에 따른 교정 장치(Calibrator)가 작동되는 경우(on)와 작동하지 않은 경우(off)에 온도(Temperature) 변화에 대한 지터의 변화량($\Delta Jitter$)을 보여준다.
- [0135] 도 8에 따르면 교정 장치(Calibrator)가 작동하지 않는 경우(off)에는 온도가 증가함에 따라 지터의 변화량이 커지는 것을 알 수 있고, 교정 장치(Calibrator)가 작동되는 경우(on)에는 온도가 증가하더라도 지터의 변화량이 일정한 것을 알 수 있다.
- [0136] 따라서 본 발명의 일 실시예에 따른 때, 온도의 변화에도 불구하고 지터의 변화량이 일정한 것을 알 수 있다.
- [0137] 도 9는 본 발명의 일 실시예에 따른 교정 장치의 전압(Voltage)변화에 따른 지터(jitter)를 나타낸 그래프이다.
- [0138] 도 9를 참고하면, 본 발명의 일 실시예에 따른 교정 장치(Calibrator)가 작동되는 경우(on)와 작동하지 않은 경우(off)에 공급 전압(Supply voltage) 변화에 대한 지터의 변화량($\Delta Jitter$)을 보여준다.
- [0139] 도 9에 따르면 교정 장치(Calibrator)가 작동하지 않는 경우(off)에는 공급 전압이 1.08V초과 1.11V미만일 경우에는 지터의 변화량이 일정하지만 1.08V이하 및 1.11V이상의 경우에는 지터의 변화량이 크게 증가하는 것을 알 수 있다.
- [0140] 하지만 교정 장치(Calibrator)가 작동되는 경우(on)에는 공급 전압의 범위에 상관없이 지터의 변화량이 일정한

것을 알 수 있다.

[0141] 따라서 본 발명의 일 실시예에 따른 때, 공급 전압의 변화에도 불구하고 지터의 변화량이 일정한 것을 알 수 있다.

[0142] 상기와 같이 본 발명의 실시예에 따른 복제 딜레이 셀을 이용한 인젝션 락킹 클락 체배 장치 및 방법의 구성 및 동작이 이루어질 수 있으며, 한편 상기 본 발명의 설명에서는 구체적인 실시예에 관해 설명하였으나 여러 가지 변형이 본 발명의 범위를 벗어나지 않고 실시될 수 있다.

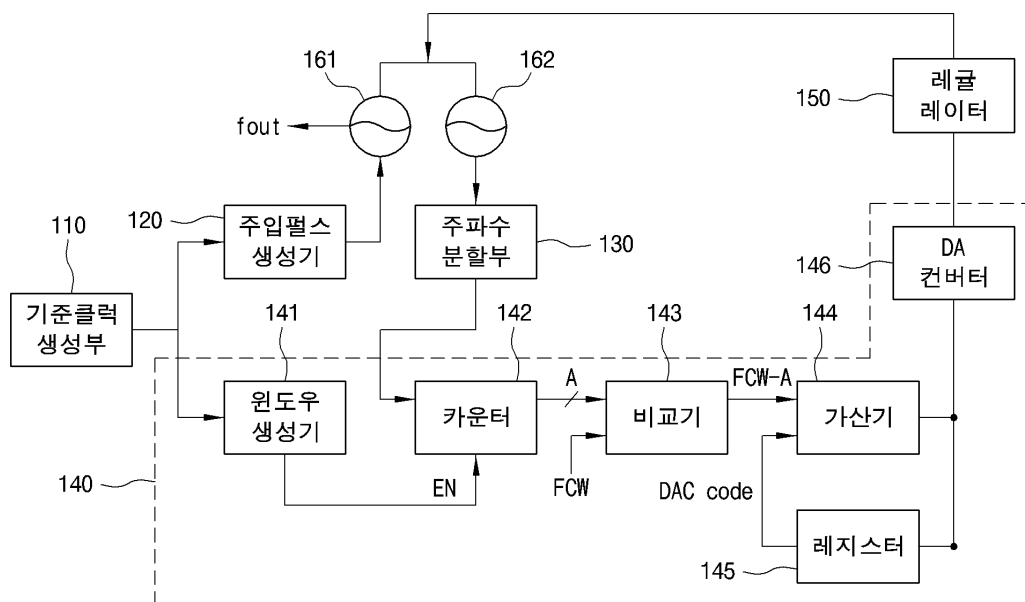
[0143] 이상에서 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 이것에 의해 한정되지 않으며 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 수정 및 변형이 가능함은 물론이다.

부호의 설명

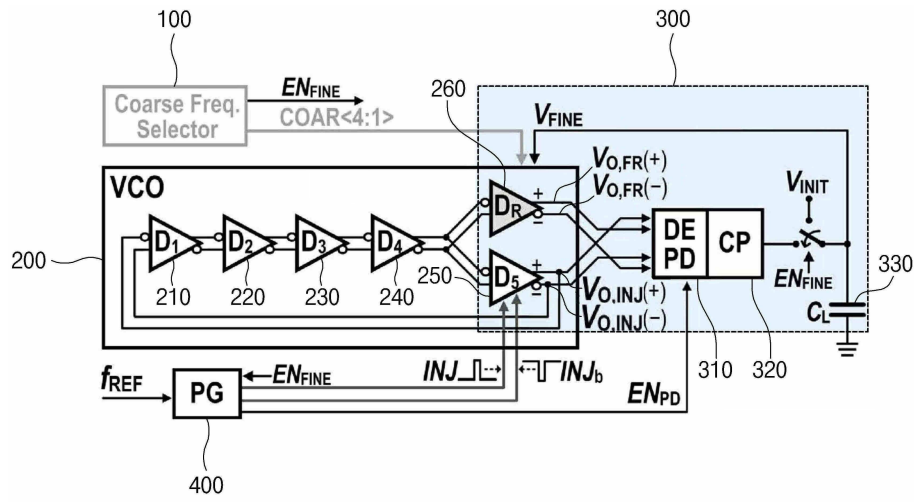
[0145]	100: 추정 주파수 선택기	200: 전압 제어 발진기
	210: 제1 딜레이 셀	220: 제2 딜레이 셀
	230: 제3 딜레이 셀	240: 제4 딜레이 셀
	250: 제5 딜레이 셀	260: 복제 딜레이 셀
	300: 주파수 추적 루프	310: 이중 엣지 위상 검파기
	311: 제1 위상 검파기	312: 제2 위상 검파기
	320: 차지 펌프	330: 캐패시터
	400: 펄스 발생기	

도면

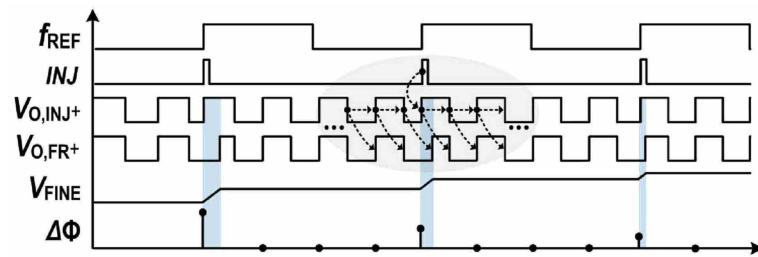
도면1



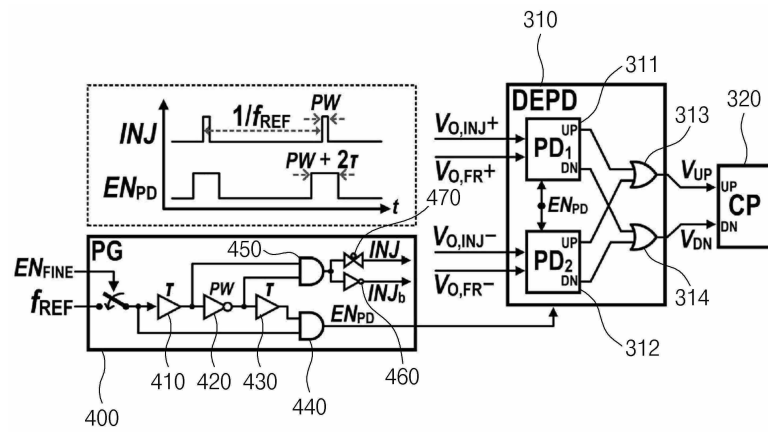
도면2



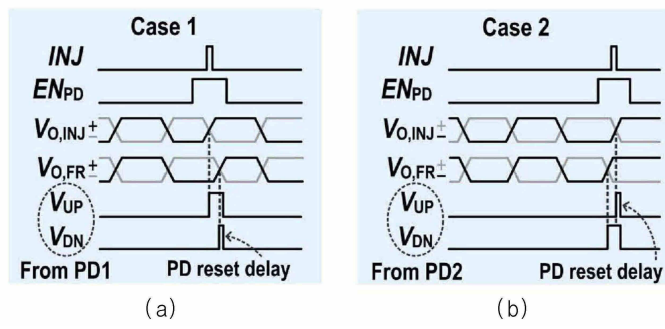
도면3



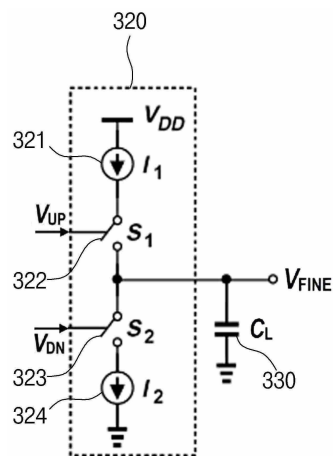
도면4



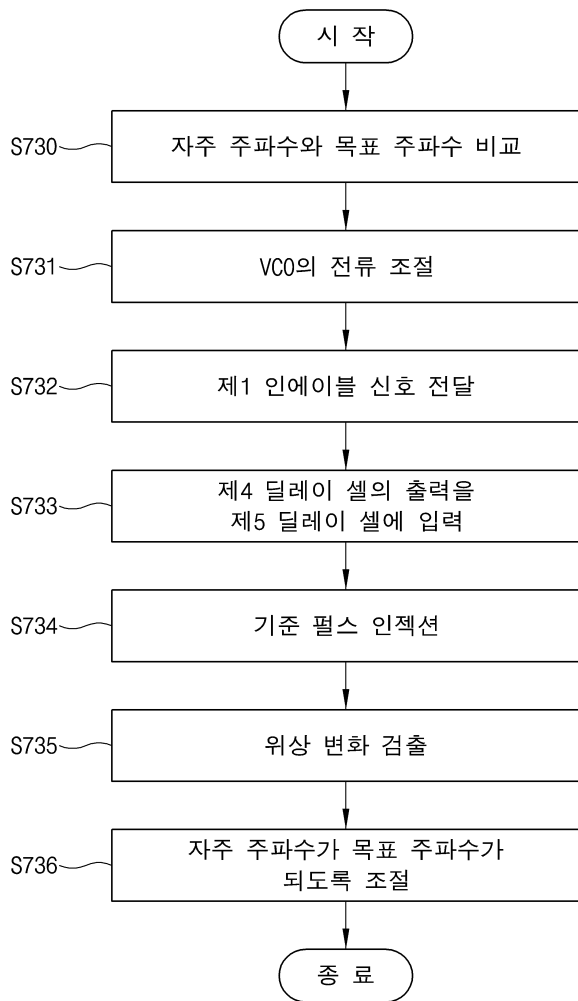
도면5



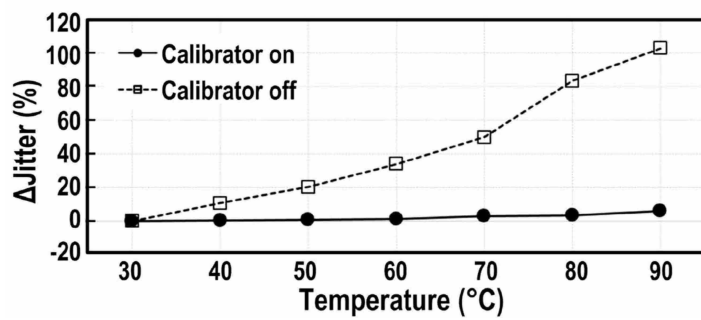
도면6



도면7



도면8



도면9

