



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2021년08월18일

(11) 등록번호 10-2290427

(24) 등록일자 2021년08월10일

(51) 국제특허분류(Int. Cl.)
G06F 21/14 (2013.01) G06F 21/76 (2013.01)(52) CPC특허분류
G06F 21/14 (2013.01)
G06F 21/76 (2013.01)

(21) 출원번호 10-2020-0063832

(22) 출원일자 2020년05월27일

심사청구일자 2020년05월27일

(56) 선행기술조사문헌

KR101962720 B1

KR101962227 B1

KR1020190111348 A

H. Yu et al. 'Recent Advances in FPGA Reverse Engineering', Electrical and Electronic Engineering, 2018.07.

(73) 특허권자

국방과학연구소

대전광역시 유성구 북유성대로488번길 160 (수남동)

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

조만희

서울특별시 마포구 와우산로 94

유호영

서울특별시 노원구 광운로 20

(뒷면에 계속)

(74) 대리인

리엔목특허법인

전체 청구항 수 : 총 8 항

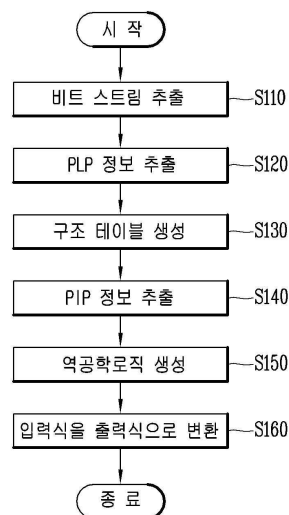
심사관 : 윤혜숙

(54) 발명의 명칭 역공학 방법

(57) 요약

본 발명은 FPGA의 논리회로를 역공학하는 방법으로, FPGA의 비트스트림을 추출하는 단계; 상기 비트스트림을 이용하여 PLP(Programmable Logic Points) 정보를 추출하는 단계; 상기 PLP 정보를 이용하여 상기 FPGA에 포함된 복수의 CLB(configurable logic block) 섹션과 복수의 INT(interconnect) 섹션을 매칭하여 2차원 형태의 구조테이블을 생성하는 단계; 상기 복수의 INT(interconnect) 섹션에 포함된 복수의 PIP(Programmable Interconnect Points) 정보를 추출하는 단계; 상기 복수의 PIP 정보를 이용하여 역공학로직을 생성하는 단계; 및 상기 역공학로직을 이용하여 입력식을 출력식으로 변환하는 단계를 포함한다.

대표도 - 도2



(72) 발명자

김현주

서울특별시 마포구 와우산로 94

이상일

서울특별시 성북구 안암로 145

엄민성

서울특별시 성북구 안암로 145

김영민

서울특별시 마포구 와우산로 94

이형민

서울특별시 성북구 안암로 145

명세서

청구범위

청구항 1

FPGA의 논리회로를 역공학하는 방법으로,

FPGA의 비트스트림을 추출하는 단계;

상기 비트스트림을 이용하여 PLP(Programmable Logic Points) 정보를 추출하는 단계;

상기 PLP 정보를 이용하여 상기 FPGA에 포함된 복수의 CLB(configurable logic block) 섹션과 복수의 INT(interconnect) 섹션을 매칭하여 2차원 형태의 구조테이블을 생성하는 단계;

상기 복수의 INT(interconnect) 섹션에 포함된 복수의 PIP(Programmable Interconnect Points) 정보를 추출하는 단계;

상기 복수의 PIP 정보를 이용하여 역공학로직을 생성하는 단계; 및

상기 역공학로직을 이용하여 입력식을 출력식으로 변환하는 단계를 포함하며,

상기 PLP 정보는 FPGA의 CLB(configurable logic block) 섹션의 LUT(LookUp Table)에 대한 정보를 포함하고,

상기 PIP 정보는 복수의 상기 LUT 사이의 연결 구조를 나타내는 복수의 연결정보를 포함하는 것을 특징으로 하는 역공학 방법.

청구항 2

제1항에 있어서,

상기 비트스트림을 추출하는 단계는,

상기 비트스트림을 추출하는 단계;

상기 비트스트림을 통해 상기 FPGA 유형을 식별하는 단계; 및

상기 FPGA 유형에 따라 복수의 역공학 알고리즘 중 어느 하나를 선택하는 단계를 포함하는 것을 특징으로 하는 역공학 방법.

청구항 3

제2항에 있어서,

상기 PLP 정보를 추출하는 단계는,

상기 복수의 CLB 섹션 중 어느 하나를 선택하는 단계;

선택된 상기 CLB 섹션에 포함된 LUT(Look-Up Table)만을 사용하는 샘플 비트스트림을 생성하는 단계;

상기 샘플 비트스트림에 의해 활성화되는 복수의 비트를 파악하는 단계; 및

활성화된 상기 복수의 비트를 이용하여 상기 CLB 섹션을 구성하는 복수의 프레임에 할당된 주소정보 및 LUT 정보를 포함하는 상기 PLP 정보를 추출하는 단계를 포함하는 것을 특징으로 하는 역공학 방법.

청구항 4

제3항에 있어서,

상기 샘플 비트스트림을 생성하는 단계는,

두 개의 32x1 MUX(Multiplexer)와 한 개의 2x1 MUX에 대응되는 비트스트림을 생성하는 것을 특징으로 하는 역공학 방법.

청구항 5

제3항에 있어서,

상기 2차원 형태의 구조테이블을 생성하는 단계는,

상기 PLP 정보를 이용하여 상기 복수의 CLB 섹션 각각에 대한 주소정보를 획득하는 단계;

상기 복수의 CLB 섹션에 대한 주소정보를 이용하여 복수의 INT 섹션의 주소정보를 획득하는 단계;

상기 복수의 CLB 섹션과 상기 복수의 INT 섹션 중 동일한 주소정보를 가지는 섹션끼리 매칭하는 단계; 및

상기 복수의 CLB 섹션과 상기 복수의 INT 섹션에 대한 상기 구조테이블을 생성하는 단계를 포함하는 것을 특징으로 하는 역공학 방법.

청구항 6

제5항에 있어서,

상기 복수의 PIP 정보를 추출하는 단계는,

상기 복수의 PIP 정보를 구성하는 복수의 조각이 분산된 패턴을 파악하는 단계; 및

상기 복수의 PIP 정보 각각에 대한 상기 복수의 조각을 수집하여 상기 복수의 PIP 정보를 추출하는 단계를 포함하는 것을 특징으로 하는 역공학 방법.

청구항 7

제6항에 있어서,

상기 복수의 조각이 분산된 패턴을 파악하는 단계는,

상기 복수의 조각에 설정된 식별정보를 이용하여 동일한 상기 식별정보를 가지는 상기 복수의 조각을 통해 상기 패턴을 파악하는 것을 특징으로 하는 역공학 방법.

청구항 8

제3항에 있어서,

상기 역공학로직을 생성하는 단계는,

상기 복수의 PIP 정보를 이용하여 상기 복수의 CLB 섹션의 LUT 사이의 연결구조를 파악하는 단계;

상기 복수의 PLP 정보를 이용하여 상기 복수의 CLB 섹션 각각의 상기 LUT를 논리식으로 변환하는 단계; 및

상기 복수의 PIP 정보에 포함된 상기 연결정보에 따라 상기 복수의 논리식을 배열하여 상기 역공학로직을 생성하는 단계를 포함하는 것을 특징으로 하는 역공학 방법.

발명의 설명

기술 분야

[0001] 본 발명은 비트스트림(bitstream)을 분석하여 FPGA를 역공학하는 역공학 방법에 관한 것이다.

배경 기술

[0002] 현재 역공학분야는 반도체 칩(integrated circuit, IC)에 대해서는 활발한 연구가 이루어지고 있지만, 상용 임베디드 시스템에 적용되는 FPGA에 대해서는 상대적으로 연구되지 않고 있다.

[0003] FPGA는 회로 개발의 편의성, 지속적인 회로 업데이트 등의 장점이 부각되면서 점차 다양한 분야에서 사용되고 있는 추세이다.

[0004] 특히, 4차 산업혁명에서 가장 대표되는 산업인 IoT 기기의 핵심 부품으로 FPGA가 선정되면서 FPGA의 수요량은 기하급수적으로 증가하고 있다.

- [0005] 또한, FPGA는 병렬 데이터 처리가 가능해 이미지 처리 및 AI 환경에서 사용하기 매우 적합하고, 임베디드 시스템 및 다양한 전자기기의 프로토타이핑에 많이 사용되고 있어 FPGA의 보안 및 역공학 기술은 산업, 국방 분야에서 큰 중요성을 가진다.
- [0006] 반도체 칩의 경우 내부 회로가 물리적으로 결정되어 있기 때문에 반도체 칩의 상단을 제거한 후 반도체 칩의 내부를 노출시키면 물리적으로 역공학이 가능하다.
- [0007] 하지만, 이러한 침습적인(invasive) 방법을 사용하여 역공학을 시도한다면 그 반도체 칩은 더이상 사용할 수 없으며 역공학을 재시도하는 것도 불가능하다.
- [0008] 또한, 획득한 하드웨어의 수가 적은 경우에는 침습적인 역공학 방법을 시도하기 어렵고, 침습적인 방법은 현재까지 다수 시도되었기 때문에 그에 대한 물리적인 대책이 많이 개발되어 있다.
- [0009] 따라서, 비침습적인 방법을 사용한 역공학의 필요성이 커지고 있다.

발명의 내용

해결하려는 과제

- [0010] 본 발명의 목적은 비트스트림에 포함된 PLP 정보 및 PIP 정보를 추출하여 역공학이 가능한 로직을 생성하는 역공학 방법을 제공하는 것이다.

과제의 해결 수단

- [0011] 상기한 본 발명의 목적을 실현하기 위한 하나의 특징에 따른 역공학 방법은, FPGA의 논리회로를 역공학하는 방법으로, FPGA의 비트스트림을 추출하는 단계; 상기 비트스트림을 이용하여 PLP(Programmable Logic Points) 정보를 추출하는 단계; 상기 PLP 정보를 이용하여 상기 FPGA에 포함된 복수의 CLB(configurable logic block) 섹션과 복수의 INT(interconnect) 섹션을 매칭하여 2차원 형태의 구조테이블을 생성하는 단계; 상기 복수의 INT(interconnect) 섹션에 포함된 복수의 PIP(Programmable Interconnect Points) 정보를 추출하는 단계; 상기 복수의 PIP 정보를 이용하여 역공학로직을 생성하는 단계; 및 상기 역공학로직을 이용하여 입력식을 출력식으로 변환하는 단계를 포함하며, 상기 PLP 정보는 FPGA의 CLB(configurable logic block) 섹션의 LUT(LookUp Table)에 대한 정보를 포함하고, 상기 PIP 정보는 복수의 상기 LUT 사이의 연결 구조를 나타내는 복수의 연결정보를 포함한다.
- [0012] 상기 비트스트림을 추출하는 단계는, 상기 비트스트림을 추출하는 단계; 상기 비트스트림을 통해 상기 FPGA 유형을 식별하는 단계; 및 상기 FPGA 유형에 따라 복수의 역공학 알고리즘 중 어느 하나를 선택하는 단계를 포함할 수 있다.
- [0013] 상기 PLP 정보를 추출하는 단계는, 상기 복수의 CLB 섹션 중 어느 하나를 선택하는 단계; 선택된 상기 CLB 섹션에 포함된 LUT(Look-Up Table)만을 사용하는 샘플 비트스트림을 생성하는 단계; 상기 샘플 비트스트림에 의해 활성화되는 복수의 비트를 파악하는 단계; 및 활성화된 상기 복수의 비트를 이용하여 상기 CLB 섹션을 구성하는 복수의 프레임에 할당된 주소정보 및 LUT 정보를 포함하는 상기 PLP 정보를 추출하는 단계를 포함할 수 있다.
- [0014] 여기서, 상기 샘플 비트스트림을 생성하는 단계는, 두 개의 32x1 MUX(MULTipleXer)와 한 개의 2x1 MUX에 대응되는 비트스트림을 생성할 수 있다.
- [0015] 또한, 상기 2차원 형태의 구조테이블을 생성하는 단계는, 상기 PLP 정보를 이용하여 상기 복수의 CLB 섹션 각각에 대한 주소정보를 획득하는 단계; 상기 복수의 CLB 섹션에 대한 주소정보를 이용하여 복수의 INT 섹션의 주소정보를 획득하는 단계; 상기 복수의 CLB 섹션과 상기 복수의 INT 섹션 중 동일한 주소정보를 가지는 섹션끼리 매칭하는 단계; 및 상기 복수의 CLB 섹션과 상기 복수의 INT 섹션에 대한 상기 구조테이블을 생성하는 단계를 포함할 수 있다.
- [0016] 그리고, 상기 복수의 PIP 정보를 추출하는 단계는, 상기 복수의 PIP 정보를 구성하는 복수의 조각이 분산된 패턴을 파악하는 단계; 및 상기 복수의 PIP 정보 각각에 대한 상기 복수의 조각을 수집하여 상기 복수의 PIP 정보를 추출하는 단계를 포함할 수 있다.
- [0017] 여기서, 상기 복수의 조각이 분산된 패턴을 파악하는 단계는, 상기 복수의 조각에 설정된 식별정보를 이용하여 동일한 상기 식별정보를 가지는 상기 복수의 조각을 통해 상기 패턴을 파악할 수 있다.

[0018] 또한, 상기 역공학로직을 생성하는 단계는, 상기 복수의 PIP 정보를 이용하여 상기 복수의 CLB 섹션의 LUT 사이의 연결구조를 파악하는 단계; 상기 복수의 PLP 정보를 이용하여 상기 복수의 CLB 섹션 각각의 상기 LUT를 논리식으로 변환하는 단계; 및 상기 복수의 PIP 정보에 포함된 상기 연결정보에 따라 상기 복수의 논리식을 배열하여 상기 역공학로직을 생성하는 단계를 포함할 수 있다.

발명의 효과

[0019] 본 발명의 실시예에 따른 역공학 방법에 따르면,
 [0020] 첫째, 비트스트림만을 이용하여 역공학하므로, 모든 FPGA에 적용할 수 있어 범용성을 향상시킬 수 있다.
 [0021] 둘째, 비침습적인 역공학방법으로, 하드웨어를 손상시키지 않아 다양한 분야에 적용할 수 있어 효율적이다.

도면의 간단한 설명

[0022] 도 1은 본 발명의 일 실시예에 따른 역공학 방법을 대략적으로 나타낸 개념도이다.
 도 2는 본 발명의 일 실시예에 따른 역공학 방법을 설명하기 위한 흐름도이다.
 도 3은 도 2에 도시된 비트스트림을 추출하는 과정을 설명하기 위한 흐름도이다.
 도 4는 도 2에 도시된 PLP 정보를 추출하는 과정을 설명하기 위한 흐름도이다.
 도 5는 도 2에 도시된 구조 테이블을 생성하는 과정을 설명하기 위한 흐름도이다.
 도 6은 구조 테이블의 예시도이다.
 도 7은 도 2에 도시된 복수의 PIP 정보를 추출하는 과정을 설명하기 위한 흐름도이다.
 도 8은 INT 섹션에 포함된 복수의 PIP 정보를 구성하는 복수의 조각을 나타내는 예시도이다.
 도 9는 도 2에 도시된 역공학로직을 생성하는 과정을 설명하기 위한 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0023] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명한다. 이때, 첨부된 도면에서 동일한 구성 요소는 가능한 동일한 부호로 나타내고 있음에 유의한다. 또한, 본 발명의 요지를 흐리게 할 수 있는 공지 기능 및 구성에 대한 상세한 설명은 생략할 것이다. 마찬가지로 이유로 첨부 도면에 있어서 일부 구성 요소는 과장되거나 생략되거나 개략적으로 도시되었다.

[0025] 도 1은 본 발명의 일 실시예에 따른 역공학 방법을 대략적으로 나타낸 개념도이고, 도 2는 본 발명의 일 실시예에 따른 역공학 방법을 설명하기 위한 흐름도이다.

[0026] 도 1 및 도 2를 참조하면, 본 발명의 역공학 방법은, FPGA의 논리회로를 역공학하는 방법으로, PIP(Programmable Interconnect Points) 정보 및 PLP(Programmable Logic Points) 정보를 이용한다.

[0027] PIP 정보는 프로그래밍 가능한 CMOS 트랜지스터 스위치를 사용하여 Input / Output Block(IOB), Configurable Logic Block(CLB) 및 다양한 섹션을 서로 연결하는 데 사용되며 interconnect(INT) 섹션 내부에 주로 구성된다.

[0028] 그리고, PLP 정보는 CLB 내부의 논리회로를 구현하는 데 사용되는데, CLB 내부는 Look-up Table(LUT) 및 MUX, Carry 등으로 구성되어 있으며, LUT의 입력 조합에 따라 다양한 논리 회로를 구현할 수 있다.

[0029] 본 발명의 역공학 방법을 수행하기 위해서 먼저, FPGA의 비트스트림을 추출한다(단계 S110).

[0030] FPGA는 PCB에 전원이 인가되는 순간 PROM에서 FPGA로 비트스트림이 다운로드되는데, 다운로드되는 순간 데이터 측정 장비를 사용해 비트스트림을 추출한다.

[0031] 이후, 추출된 비트스트림을 이용하여 PLP(Programmable Logic Points) 정보를 추출한다(단계 S120).

[0032] 그리고, PLP 정보를 이용하여 FPGA에 포함된 복수의 CLB(configurable logic block) 섹션과 복수의 INT(interconnect) 섹션을 매칭하여 2차원 형태의 구조 테이블을 생성한다(단계 S130).

[0033] 복수의 INT(interconnect) 섹션에 포함된 복수의 PIP(Programmable Interconnect Points) 정보를 추출한다(단

계 S140).

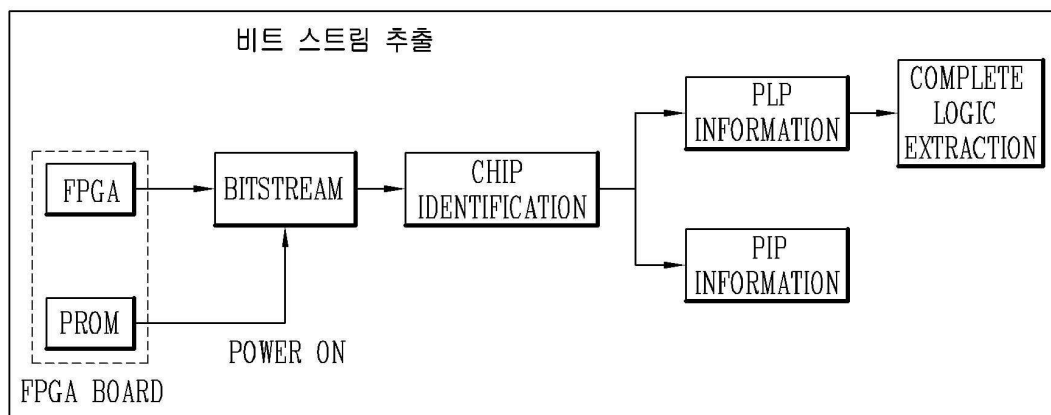
- [0034] 복수의 PIP 정보를 이용하여 역공학 로직을 생성한다(단계 S150).
- [0035] 역공학 로직을 이용하여 입력식을 출력식으로 변환한다(단계 S160).
- [0036] 여기서, PLP 정보는 FPGA의 CLB(configurable logic block) 섹션의 LUT(LookUp Table)에 대한 정보를 포함하고,
- [0037] 복수의 PIP 정보는 복수의 LUT 사이의 연결 구조를 나타내는 복수의 연결정보를 포함한다.
- [0039] 도 3은 도 2에 도시된 비트스트림을 추출하는 과정(단계 S110)을 설명하기 위한 흐름도이다.
- [0040] 도 3을 참조하여 비트스트림을 추출하는 과정(단계 S110)에 대하여 설명한다.
- [0041] FPGA의 비트스트림을 추출하고(단계 S111), 추출한 비트스트림을 이용하여 FPGA의 유형을 식별한다(단계 S112).
- [0042] 그리고, 식별된 FPGA의 유형에 따라 복수의 역공학 알고리즘 중 어느 하나를 선택한다(단계 S113).
- [0043] FPGA는 유형마다 다른 구조를 가지기 때문에 유형 식별을 통해 각기 다른 역공학 알고리즘 적용이 필요하다.
- [0045] 도 4는 도 2에 도시된 PLP 정보를 추출하는 과정(단계 S120)을 설명하기 위한 흐름도이다.
- [0046] 도 4를 참조하여 PLP 정보를 추출하는 과정(단계 S120)에 대해서 설명한다.
- [0047] 비트스트림에 포함된 복수의 CLB 섹션 중 어느 하나를 선택하고(단계 S121), 선택된 CLB 섹션에 포함된 LUT(Look-Up Table)만을 사용하는 샘플 비트스트림을 생성한다(단계 S122).
- [0048] 단계 S122에서, 샘플 비트스트림은 두 개의 32x1 MUX(MUltipleXer)와 한 개의 2x1 MUX에 대응되는 비트스트림으로 생성된다.
- [0049] 그리고, 샘플 비트스트림에 의해 활성화되는 복수의 비트를 파악하고(단계 S123), 활성화된 복수의 비트를 이용하여 CLB 섹션을 구성하는 복수의 프레임에 할당된 주소정보와 LUT 정보를 포함하는 PLP 정보를 추출한다(단계 S124).
- [0050] CLB 섹션의 LUT은 두 개의 32x1 MUX와 한 개의 2x1 MUX로 구성되어 있다. 총 6 비트의 MUX 선택 신호를 통해 다양한 논리식을 생성하여, LUT로 들어오는 입력을 출력 신호로 변환한다.
- [0051] LUT은 A1 ~ A6 총 6개의 선택 신호를 통해 다양한 논리 결과를 출력한다. A1 ~ A5는 32x1 2개를 제어하며 A6는 2x1 MUX를 제어한다. LUT 구조에서 A6는 하나의 논리식을 생성하는 논리식의 입력 조건으로 사용되거나, 하나의 LUT이 두 개의 출력을 가지게 하는 용도로 사용될 수 있다.
- [0052] 총 6개의 입력으로 출력할 수 있는 경우의 수는 64개이기 때문에 하나의 LUT을 구성하는 비트스트림은 8 바이트이다. 획득한 8 바이트가 비트스트림으로 쓰일 때, 64번째에서 0번째 비트가 순차적으로 쓰이는 것이 아니라 일정한 규칙을 가지고 비트 순서가 변환되어 매핑된다.
- [0054] 도 5는 도 2에 도시된 구조 테이블을 생성하는 과정(단계 S130)을 설명하기 위한 흐름도이다.
- [0055] 도 5를 참조하여 구조 테이블을 생성하는 과정(단계 S130)에 대하여 설명한다.
- [0056] 단계 S124에서 추출된 PLP 정보를 이용하여 복수의 CLB 섹션 각각에 대한 주소정보를 획득한다(단계 S131).
- [0057] 복수의 CLB 섹션에 대한 주소정보를 이용하여 복수의 INT 섹션의 주소정보를 획득하고(단계 S132), 복수의 CLB 섹션과 복수의 INT 섹션 중 동일한 주소정보를 가지는 섹션끼리 매칭한다(단계 S133).
- [0058] 그리고, 복수의 CLB 섹션과 복수의 INT 섹션에 대한 상기 구조 테이블을 생성한다(단계 S134).
- [0059] 획득한 하나의 PLP 정보를 토대로, FPGA를 구성하는 모든 섹션에 대한 주소정보를 획득할 수 있다.
- [0060] 도 6은 구조 테이블의 예시로, FPGA의 섹션 구조를 2D 행렬로 정리하여 각 섹션의 위치를 x축 y축 값으로 표현했다.
- [0061] FPGA의 섹션의 종류는 여러 가지가 있으나, PIP 정보 및 PLP 정보를 이용한 역공학에 필요한 섹션은, INT 섹션과 CLB 섹션으로 각각 INT와 CLB로 시작하는 섹션 이름을 가진다.
- [0062] CLB 섹션은 대응하는 INT 섹션과 매칭되며, 이들은 한 쌍으로 간주한다. 비트스트림에 기록된 첫 번째 CLB 섹션

인 CLB_L X2Y50은 INT_L X2Y50에 연결된다. 모든 CLB 섹션은 10개의 프레임으로 구성되며 INT 섹션은 26개의 프레임으로 구성된다.

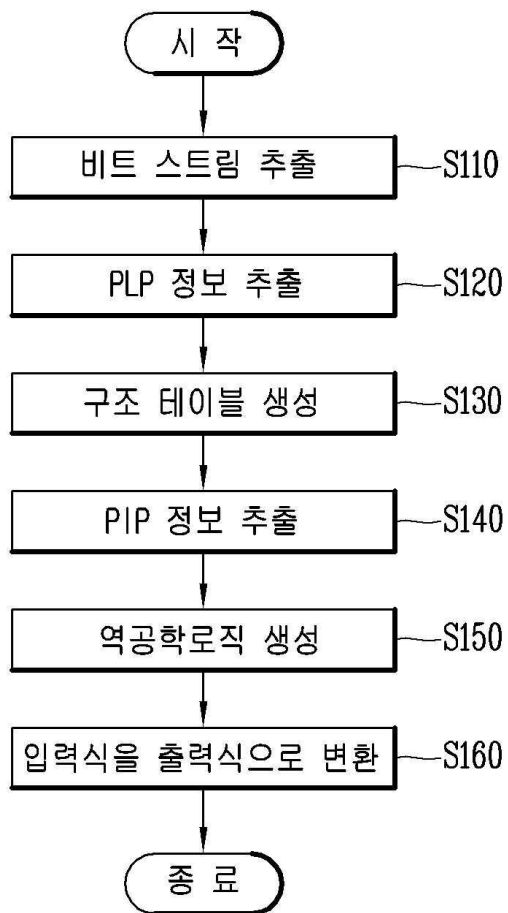
- [0063] 하나의 프레임은 비트스트림에 64비트로 구성되는데, CLB 섹션의 10프레임은 INT 섹션의 26프레임 뒤에 기록된다.
- [0064] CLB 섹션의 위치는 CLB 섹션 내부의 LUT를 기반으로 찾을 수 있으므로 INT 섹션의 위치도 찾을 수 있다.
- [0065] CLB의 섹션은 단 한 개의 LUT를 사용해 복수의 샘플 비트스트림을 생성하고, 활성화된 비트들의 위치를 파악함으로써 찾을 수 있다.
- [0067] 도 7은 도 2에 도시된 복수의 PIP 정보를 추출하는 과정(단계 S140)을 설명하기 위한 흐름도이다.
- [0068] 도 7을 참조하여 복수의 PIP 정보를 추출하는 과정(단계 S140)에 대하여 설명한다.
- [0069] 복수의 INT(interconnect) 섹션에 포함된 복수의 PIP 정보를 구성하는 복수의 조각이 분산된 패턴을 파악한다(단계 S141).
- [0070] 그리고, 복수의 PIP 정보 각각에 대한 복수의 조각을 수집하여 복수의 PIP 정보를 추출한다(단계 S142).
- [0071] 도 8은 INT 섹션에 포함된 복수의 PIP 정보를 구성하는 복수의 조각을 나타낸다.
- [0072] 도 8을 참조하면, 각 블록이 가지는 문자들은 각 PIP 정보를 나타내고, 동일한 문자를 가지는 블록들을 수집하면 하나의 PIP 정보가 된다. PIP 정보에는 CLB 섹션의 LUT 사이의 연결정보가 포함되어 있다.
- [0074] 도 9는 도 2에 도시된 역공학로직을 생성하는 과정(단계 S150)을 설명하기 위한 흐름도이다.
- [0075] 도 9를 참조하여 역공학로직을 생성하는 과정(단계 S150)에 대하여 설명한다.
- [0076] 복수의 PIP 정보를 이용하여 복수의 CLB 섹션의 LUT 사이의 연결 구조를 파악하고(단계 S151), 복수의 CLB 섹션 각각의 LUT를 진리표에 대입해 논리식으로 변환한다(단계 S152).
- [0077] 그리고, 복수의 PIP 정보에 포함된 연결정보를 이용하여 복수의 논리식 사이의 상관관계를 파악하고, 상관관계에 따라 배열하여 하나의 논리식으로 형성된 역공학로직을 생성한다(단계 S153).
- [0079] 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면

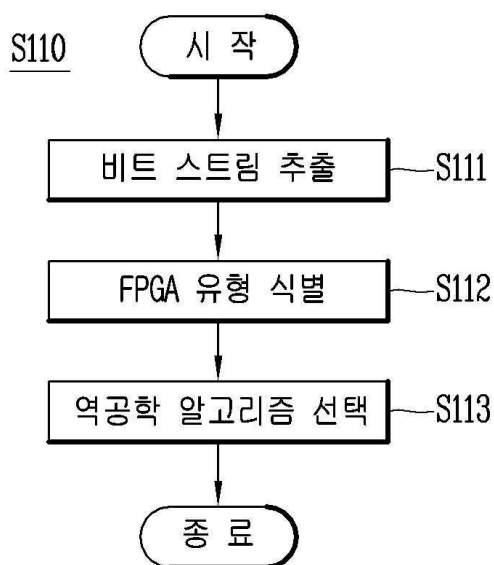
도면1



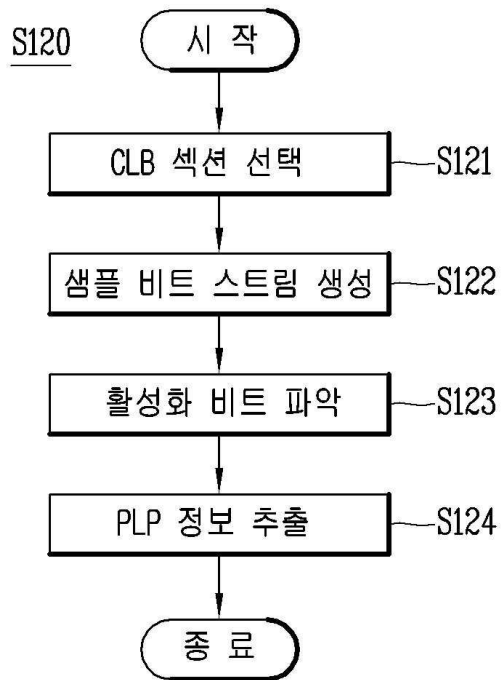
도면2



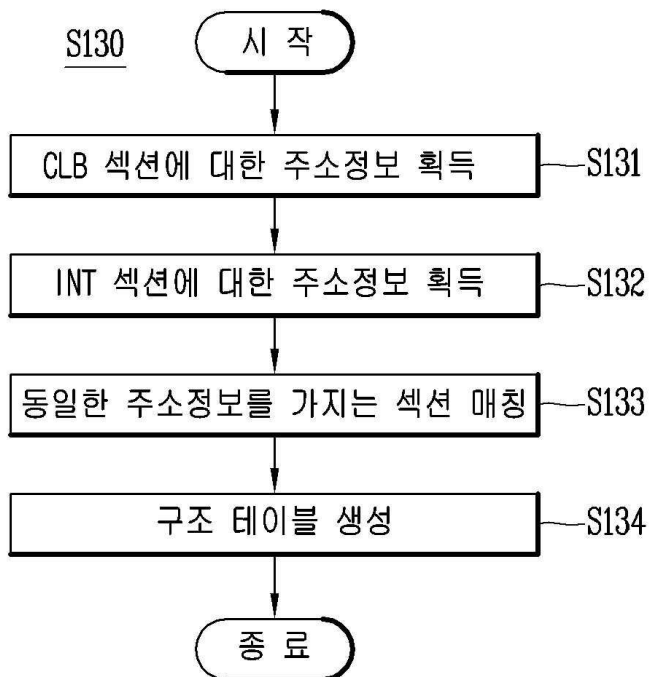
도면3



도면4



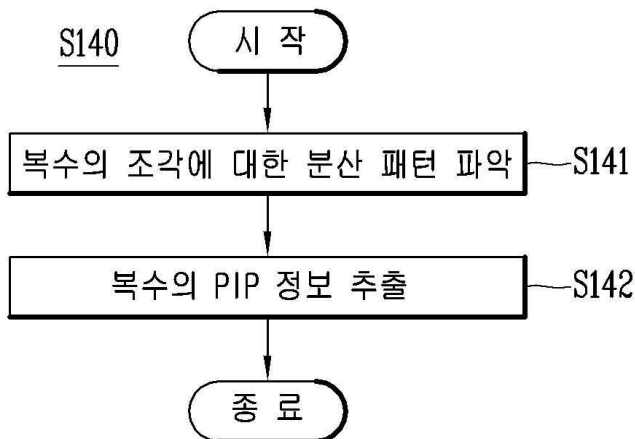
도면5



도면6

CLBLL_L X2Y55	INT_L X2Y55	INT_R X3Y55	CLBLM_R X3Y55	CLBLL_L X4Y55	INT_L X4Y55
CLBLL_L X2Y54	INT_L X2Y54	INT_R X3Y54	CLBLM_R X3Y54	CLBLL_L X4Y54	INT_L X4Y54
CLBLL_L X2Y53	INT_L X2Y53	INT_R X3Y53	CLBLM_R X3Y53	CLBLL_L X4Y53	INT_L X4Y53
CLBLL_L X2Y52	INT_L X2Y52	INT_R X3Y52	CLBLM_R X3Y52	CLBLL_L X4Y52	INT_L X4Y52
CLBLL_L X2Y51	INT_L X2Y51	INT_R X3Y51	CLBLM_R X3Y51	CLBLL_L X4Y51	INT_L X4Y51
CLBLL_L X2Y50	INT_L X2Y50	INT_R X3Y50	CLBLM_R X3Y50	CLBLL_L X4Y50	INT_L X4Y50

도면7



도면8

	0	1	...	15	16	17	18	19	20	...	24	25
63	LH	NULL	...	SR1	BA7	BA7	IM47	IM47	BA7	...	BA7	BA7
62	LH	LH		WW2	IM47	IM47	BA7	BA7	IM47		IM47	IM47
⋮	⋮					⋮					⋮	
43	LV	NULL		ER1	IM21	IM21	IM13	IM13	IM21		IM21	IM21
42	CTRL	LV	...	SS2	IM13	IM13	IM21	IM21	IM13	...	IM13	IM13
41	CTRL	CTRL		SL1	IM5	IM5	FA5	FA5	IM5		IM5	IM5
40	NULL	CTRL		SE2	FA5	FA5	IM5	IM5	FA5		FA5	FA5
⋮	⋮					⋮					⋮	
1	LV	LV	...	NL1	IM0	IM0	FA0	FA0	IM0	...	IM0	IM0
0	NULL	LV		NW2	FA0	FA0	IM0	IM0	FA0		FA0	FA0

frame

도면9

