

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 21 年 5 月 28 日 (2009.5.28)

【公開番号】特開 2007-19490 (P2007-19490A)

【公開日】平成 19 年 1 月 25 日 (2007.1.25)

【年通号数】公開・登録公報 2007-003

【出願番号】特願 2006-160027 (P2006-160027)

【国際特許分類】

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/786 (2006.01)

G 0 2 F 1/136 (2006.01)

G 0 2 F 1/1368 (2006.01)

【F I】

H 0 1 L 29/78 6 2 7 C

H 0 1 L 29/78 6 1 6 S

H 0 1 L 29/78 6 1 7 L

H 0 1 L 29/78 6 1 2 B

G 0 2 F 1/136

G 0 2 F 1/1368

【手続補正書】

【提出日】平成 21 年 4 月 9 日 (2009.4.9)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体装置の作製方法

【手続補正 2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体層上に絶縁膜を形成し、

前記絶縁膜上に第 1 及び第 2 の導電膜を順に積層し、

前記第 2 の導電膜上に、回折格子パターン、あるいは半透部を有するフォトリソマスクを用いて、第 1 の領域と、片側側部に前記第 1 の領域より膜厚の薄い第 2 の領域と、を有するレジストパターンを形成し、

前記レジストパターンを用いて前記第 1 及び第 2 の導電膜のエッチングを選択的に行って、前記第 1 の導電膜の前記レジストパターンと重なる領域を残存させるとともに、前記第 2 の導電膜の前記レジストパターンの第 1 の領域と重なる領域を残存させることによって、膜厚の薄い領域と厚い領域を有するゲート電極を形成し、

前記レジストパターンを除去し、

前記ゲート電極をマスクとして前記半導体層に不純物元素を導入することによって、前記半導体層の前記ゲート電極と重ならない領域にはソース領域及びドレイン領域を形成するとともに、前記半導体層の前記ゲート電極の薄い領域とのみ重なる領域には低濃度不純物領域を形成し、且つ前記半導体層の前記ゲート電極の厚い領域と重なる領域にはチャネ

ル形成領域を形成することを特徴とする半導体装置の作製方法。

【請求項 2】

非晶質構造を有する第 1 の半導体層を形成し、
非晶質構造を有する前記第 1 の半導体層に結晶化を促進する触媒作用のある金属元素を導入し、加熱処理を行うことによって前記第 1 の半導体層の結晶化率を高め、
前記第 1 の半導体層に複数の開口部を形成するとともに、島状にパターニングし、
パターニングした前記第 1 の半導体層上に希ガス元素を含む第 2 の半導体層を形成し、
加熱処理を行うことによって、前記第 1 の半導体層に含まれる金属元素を前記第 2 の半導体層に移動させ、
前記第 2 の半導体層を除去し、
前記第 1 の半導体層上に絶縁膜を形成し、
前記絶縁膜上に第 1 及び第 2 の導電膜を順に積層し、
前記第 2 の導電膜上に、回折格子パターン、あるいは半透部を有するフォトマスクを用いて、第 1 の領域と、片側側部に前記第 1 の領域より膜厚の薄い第 2 の領域と、を有するレジストパターンを形成し、
前記レジストパターンを用いて前記第 1 及び第 2 の導電膜のエッチングを選択的に行って、前記第 1 の導電膜の前記レジストパターンと重なる領域を残存させるとともに、前記第 2 の導電膜の前記レジストパターンの第 1 の領域と重なる領域を残存させることによって、膜厚の薄い領域と厚い領域を有するゲート電極を形成し、
前記レジストパターンを除去し、
前記ゲート電極をマスクとして前記第 1 の半導体層に不純物元素を導入することによって、前記第 1 の半導体層の前記ゲート電極と重ならない領域にはソース領域及びドレイン領域を形成するとともに、前記第 1 の半導体層の前記ゲート電極の薄い領域とのみ重なる領域には低濃度不純物領域を形成し、且つ前記第 1 の半導体層の前記ゲート電極の厚い領域と重なる領域にはチャンネル形成領域を形成することを特徴とする半導体装置の作製方法。

【請求項 3】

請求項 1 または請求項 2 において、前記レジストパターンの断面形状はゲート電極の幅または長さ方向に非対称である半導体装置の作製方法。

【請求項 4】

第 1 及び第 2 の半導体層上に絶縁膜を積層し、
前記絶縁膜上に第 1 及び第 2 の導電膜を順に積層し、
前記第 2 の導電膜を介して前記第 1 の半導体層上に回折格子パターン、あるいは半透部を有するフォトマスクを用いて、第 1 の領域と、前記第 1 の領域の片側側部に設けられた前記第 1 の領域より膜厚の薄い第 2 の領域と、を有する第 1 のレジストパターンを形成するとともに、前記第 2 の導電膜を介して前記第 2 の半導体層上に回折格子パターン、あるいは半透部を有するフォトマスクを用いて、第 3 の領域と、前記第 3 の領域を間に介して両側に設けられた前記第 3 の領域より膜厚の薄い第 4 の領域、及び第 5 の領域と、を形成し、
前記第 1 及び第 2 のレジストパターンを用いて前記第 1 及び第 2 の導電膜のエッチングを選択的に行って、前記第 1 の導電膜の前記第 1 及び第 2 のレジストパターンと重なる領域を残存させるとともに、前記第 2 の導電膜の前記第 1 レジストパターンの第 1 の領域及び前記第 2 のレジストパターンの第 3 の領域と重なる領域を残存させることによって、膜厚の薄い領域及び厚い領域をそれぞれ有する第 1 及び第 2 のゲート電極を前記第 1 及び第 2 の半導体層上にそれぞれ形成し、
前記第 1 及び第 2 のレジストマスクを除去し、
前記第 1 及び第 2 のゲート電極をマスクとして前記第 1 及び第 2 の半導体層にそれぞれ不純物元素を導入することによって、前記第 1 の半導体層の前記第 1 のゲート電極と重ならない領域及び前記第 2 の半導体層の前記第 2 のゲート電極と重ならない領域にはソース領域及びドレイン領域を形成するとともに、前記第 1 及び第 2 の半導体層の前記第 1 及び

第 2 のゲート電極の薄い領域とのみ重なる領域には低濃度不純物領域を形成し、且つ前記第 1 及び第 2 の半導体層の前記第 1 及び第 2 のゲート電極の厚い領域と重なる領域にはチャンネル形成領域を形成して第 1 のトランジスタ及び第 2 のトランジスタを形成することを特徴とする半導体装置の作製方法。

【請求項 5】

請求項 4 において、前記第 1 のレジストパターンの断面形状はゲート電極の幅または長さ方向に非対称である半導体装置の作製方法。

【請求項 6】

請求項 1 乃至請求項 5 のいずれかに記載の半導体装置は、配線部を有し、前記配線部は前記第 1 及び第 2 の導電膜の積層と同じ材料であることを特徴とする半導体装置の作製方法。