

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges
Eigentum

Internationales Büro

(43) Internationales
Veröffentlichungsdatum
4. Februar 2016 (04.02.2016)



(10) Internationale Veröffentlichungsnummer
WO 2016/016098 A1

(51) Internationale Patentklassifikation:
H01L 33/00 (2010.01)

(21) Internationales Aktenzeichen: PCT/EP2015/066919

(22) Internationales Anmeldedatum:
23. Juli 2015 (23.07.2015)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2014 110 884.1 31. Juli 2014 (31.07.2014) DE

(71) Anmelder: **OSRAM OPTO SEMICONDUCTORS
GMBH** [DE/DE]; Leibnizstr. 4, 93055 Regensburg (DE).

(72) Erfinder: **ZINI, Lorenzo**; Hombergerweg 7, 93049
Regensburg (DE). **FREY, Alexander**; Martin-Greif-Str.
10, 93051 Regensburg (DE). **HERTKORN, Joachim**;
Osserstr. 46, 93086 Wörth an der Donau (DE). **HAHN,
Berthold**; Am Pfannenstiel 2, 93155 Hemau (DE).

(74) Anwalt: **EPPING HERMANN FISCHER
PATENTANWALTSGESELLSCHAFT MBH**;
Zusammenschluss Nr. 175, Schloßschmidstr. 5, 80639
München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW,

BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK,
DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM,
GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP,
KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME,
MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ,
OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA,
SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM,
TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM,
ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST,
SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG,
KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH,
CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE,
IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,
RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

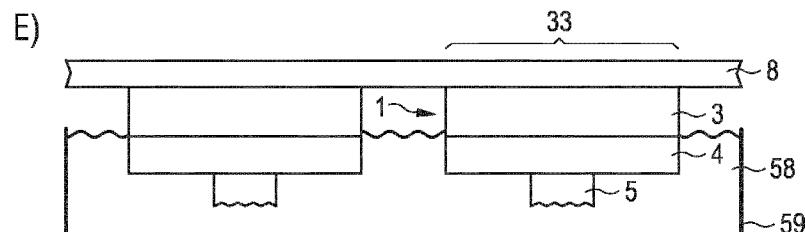
— mit internationalem Recherchenbericht (Artikel 21 Absatz 3)

— vor Ablauf der für Änderungen der Ansprüche geltenden
Frist; Veröffentlichung wird wiederholt, falls Änderungen
eingehen (Regel 48 Absatz 2 Buchstabe h)

(54) Title: METHOD FOR PRODUCING OPTOELECTRONIC SEMICONDUCTOR CHIPS

(54) Bezeichnung : VERFAHREN ZUR HERSTELLUNG VON OPTOELEKTRONISCHEN HALBLEITERCHIPS

FIG 1



(57) Abstract: The method is designed to produce optoelectronic semiconductor chips (1) and comprises the following steps: - growing a semiconductor layer sequence (3) on a growth substrate (2), - applying at least one metallization (4) to a contact side (34) of the semiconductor layer sequence (3), which contact side faces away from the growth substrate (2), - applying an intermediate carrier (6) to the semiconductor layer sequence (3), wherein a sacrificial layer (5) is applied between the intermediate carrier (6) and the semiconductor layer sequence (3), - removing the growth substrate (2) from the semiconductor layer sequence (3), - structuring the semiconductor layer sequence (3) into individual chip regions (33), - at least partially dissolving the sacrificial layer (5), and - subsequently removing the intermediate carrier (6).

(57) Zusammenfassung: Das Verfahren ist zur Herstellung von optoelektronischen Halbleiterchips (1) eingerichtet und umfasst die Schritte: - Aufwachsen einer Halbleiterschichtenfolge (3) auf einem

[Fortsetzung auf der nächsten Seite]



WO 2016/016098 A1



Aufwachssubstrat (2), - Aufbringen zumindest einer Metallisierung (4) an einer dem Aufwachssubstrat (2) abgewandten Kontaktseite (34) der Halbleiterschichtenfolge (3), - Anbringen eines Zwischenträgers (6) an der Halbleiterschichtenfolge (3), wobei eine Opferschicht (5) zwischen dem Zwischenträger (6) und der Halbleiterschichtenfolge (3) angebracht wird, - Ablösen des Aufwachssubstrats (2) von der Halbleiterschichtenfolge (3), - Strukturieren der Halbleiterschichtenfolge (3) zu einzelnen Chipbereichen (33), - mindestens teilweises Auflösen der Opferschicht (5), und - nachfolgend Entfernen des Zwischenträgers (6)..

Beschreibung

Verfahren zur Herstellung von optoelektronischen
Halbleiterchips

5

Es wird ein Verfahren zur Herstellung von optoelektronischen Halbleiterchips angegeben.

10 Eine zu lösende Aufgabe besteht darin, ein Verfahren anzugeben, mit dem optoelektronische Halbleiterchips, die keinen Träger und kein Aufwachssubstrat aufweisen, effizient herstellbar sind.

15 Diese Aufgabe wird unter anderem durch ein Verfahren mit den Merkmalen des unabhängigen Patentanspruchs gelöst. Bevorzugte Weiterbildungen sind Gegenstand der abhängigen Ansprüche.

20 Gemäß zumindest einer Ausführungsform umfasst das Verfahren den Schritt des Aufwachsens einer Halbleiterschichtenfolge auf einem Aufwachssubstrat. Bei dem Aufwachssubstrat handelt es sich, abhängig von einem Halbleitermaterial der Halbleiterschichtenfolge, etwa um Saphir, Siliziumcarbid, Silizium, Galliumarsenid oder Galliumphosphid.

25 Die Halbleiterschichtenfolge basiert bevorzugt auf einem III-V-Verbindungshalbleitermaterial. Bei dem Halbleitermaterial handelt es sich zum Beispiel um ein Nitrid-Verbindungshalbleitermaterial wie $\text{Al}_n\text{In}_{1-n-m}\text{Ga}_m\text{N}$ oder um ein Phosphid-Verbindungshalbleitermaterial wie $\text{Al}_n\text{In}_{1-n-m}\text{Ga}_m\text{P}$
30 oder auch um ein Arsenid-Verbindungshalbleitermaterial wie $\text{Al}_n\text{In}_{1-n-m}\text{Ga}_m\text{As}$, wobei jeweils $0 \leq n \leq 1$, $0 \leq m \leq 1$ und $n + m \leq 1$ ist. Dabei kann die Halbleiterschichtenfolge Dotierstoffe sowie zusätzliche Bestandteile aufweisen. Der

Einfachheit halber sind jedoch nur die wesentlichen Bestandteile des Kristallgitters der Halbleiterschichtenfolge, also Al, As, Ga, In, N oder P, angegeben, auch wenn diese teilweise durch geringe Mengen weiterer Stoffe ersetzt und/oder ergänzt sein können.

Gemäß zumindest einer Ausführungsform umfasst die Halbleiterschichtenfolge mindestens eine aktive Zone zur Erzeugung elektromagnetischer Strahlung in dem fertig hergestellten Halbleiterchip. Das Verfahren dient dann insbesondere zur Herstellung von Leuchtdioden oder von Laserdioden oder auch von Fotodioden.

Gemäß zumindest einer Ausführungsform umfasst das Verfahren den Schritt des Aufbringens einer oder mehrerer Metallisierungen an einer dem Aufwachssubstrat abgewandten Kontaktseite der Halbleiterschichtenfolge. Die Metallisierung ist bevorzugt dazu eingerichtet, zu einer Stromaufweitung und/oder einer Stromeinprägung in die Halbleiterschichtenfolge zu dienen. Alternativ oder zusätzlich kann es sich bei der Metallisierung um einen Spiegel für eine im Betrieb des fertigen Halbleiterchips in der Halbleiterschichtenfolge erzeugte Strahlung handeln. Bevorzugt weist die Metallisierung eine oder mehrere metallische Teilschichten auf.

Gemäß zumindest einer Ausführungsform wird an der Halbleiterschichtenfolge ein Zwischenträger angebracht. Der Zwischenträger ist bevorzugt mechanisch stabil und mechanisch starr, sodass sich der Zwischenträger dann im bestimmungsgemäßen Herstellungsverfahren für die Halbleiterchips nicht oder nicht signifikant verbiegt. Insbesondere erstreckt sich der Zwischenträger

zusammenhängend und mechanisch stabil über die gesamte an dem Aufwachssubstrat erzeugte Halbleiterschichtenfolge.

Gemäß zumindest einer Ausführungsform wird eine Opferschicht
5 zwischen den Zwischenträger und die Halbleiterschichtenfolge
angebracht. Die Opferschicht ist dazu eingerichtet, im
Verlauf des späteren Herstellungsverfahrens teilweise oder
vollständig entfernt zu werden. Insbesondere ist die
Opferschicht nicht oder nicht zu einem signifikanten Anteil
10 in den fertig hergestellten Halbleiterchip vorhanden.
Insbesondere dient die Opferschicht als eine temporäre
Verbindungsschicht zwischen dem Zwischenträger und der
Halbleiterschichtenfolge, wobei die Opferschicht bevorzugt
nicht in direktem Kontakt zu der Halbleiterschichtenfolge
15 steht. Über die Opferschicht ist zeitweise während des
Herstellungsverfahrens der Zwischenträger mechanisch fest mit
der Halbleiterschichtenfolge verbunden.

Gemäß zumindest einer Ausführungsform weist das Verfahren den
20 Schritt des Ablösens des Aufwachssubstrats von der
Halbleiterschichtenfolge auf. Dieser Verfahrensschritt wird
bevorzugt erst durchgeführt, nachdem der Zwischenträger an
der Halbleiterschichtenfolge angebracht ist. Bei dem Ablösen
von dem Aufwachssubstrat handelt es sich beispielsweise um
25 ein Laserabhebeverfahren, englisch Laser-Lift-Off-Prozess.

Gemäß zumindest einer Ausführungsform weist das Verfahren den
Schritt des Strukturierens der Halbleiterschichtenfolge zu
einzelnen Chipbereichen auf. Bevorzugt ist jeder der
30 Chipbereiche für genau einen der Halbleiterchips vorgesehen.
Es ist jedoch auch möglich, dass mehrere Chipbereiche für
einen einzigen Halbleiterchip vorgesehen sind und dass diese

einzelnen Chipbereiche zu einer elektrischen Serienschaltung oder Reihenschaltung eingerichtet sind.

Gemäß zumindest einer Ausführungsform des Verfahrens wird der
5 Zwischenträger entfernt. Vor und/oder beim Entfernen des
Zwischenträgers wird die Opferschicht teilweise oder
vollständig aufgelöst. Durch das zumindest teilweise Auflösen
der Opferschicht wird eine Haftung zwischen dem
Zwischenträger und der Halbleiterschichtenfolge reduziert,
10 sodass ein nachfolgendes Entfernen des Zwischenträgers
insbesondere mechanisch ermöglicht ist. Bevorzugt wird die
Opferschicht nicht derart aufgelöst, dass die Haftung
zwischen dem Zwischenträger und der Halbleiterschichtenfolge
alleine durch das bestimmungsgemäße, etwa chemische Auflösen
15 der Opferschicht gänzlich verschwindet. Mit anderen Worten
haftet der Zwischenträger nach dem Schritt des mindestens
teilweisen Auflöserns der Opferschicht noch an der
Halbleiterschichtenfolge.

20 In mindestens einer Ausführungsform wird mit dem Verfahren
ein optoelektronischer Halbleiterchip wie einer Leuchtdiode
hergestellt und es umfasst das Verfahren mindestens die
folgenden Schritte, bevorzugt in der angegebenen Reihenfolge:
- Aufwachsen einer Halbleiterschichtenfolge auf einem
25 Aufwachssubstrat,
- Aufbringen zumindest einer Metallisierung an einer dem
Aufwachssubstrat abgewandten Kontaktseite der
Halbleiterschichtenfolge,
- Anbringen eines Zwischenträgers an der
30 Halbleiterschichtenfolge, wobei in oder vor diesem Schritt
eine Opferschicht zwischen dem Zwischenträger und der
Halbleiterschichtenfolge angebracht wird,

- Ablösen des Aufwachssubstrats von der Halbleiterschichtenfolge,
- Strukturieren der Halbleiterschichtenfolge zu einzelnen Chipbereichen,
- 5 - mindestens teilweises Auflösen der Opferschicht, und
- Entfernen des Zwischenträgers.

Zur Herstellung von substratfreien und trägerlosen Halbleiterchips wie Leuchtdiodenchips, kurz LED-Chips, werden
10 häufig thermisch entfernbare Trägerfolien, englisch thermal release films, eingesetzt. An solchen Folien angebracht sind die vereinzelt Halbleiterchips ohne das Aufwachssubstrat weiter verarbeitbar. Jedoch durch die Verwendung solcher Folien ist eine weitere chemische oder thermische Bearbeitung
15 der Halbleiterchips eingeschränkt, da solche Folien üblicherweise auf Polymeren basieren und daher nur eingeschränkt chemisch und thermisch stabil sind.

Bei dem hier beschriebenen Verfahren wird eine Opferschicht
20 zwischen einer Halbleiterschichtenfolge und einem Trägersubstrat angebracht. Durch ein Entfernen der Opferschicht ist ein mechanisches Separieren der Halbleiterchips von dem Trägersubstrat mit einem deutlich reduzierten Kraftaufwand möglich. Andererseits ist durch den
25 Verzicht auf eine thermisch entfernbare Trägerfolie ein Durchführen von Prozessschritten an der Halbleiterschichtenfolge auf dem Zwischenträger ermöglicht.

Gemäß zumindest einer Ausführungsform ist der Zwischenträger
30 temperaturbeständig und chemiebeständig. Temperaturbeständig kann bedeuten, dass der Zwischenträger bis zu einer Temperatur von mindestens 400 °C oder 500 °C oder 600 °C dauerhaft verwendbar ist, ohne nachhaltig beschädigt zu

werden oder in seiner Einsatzdauer signifikant reduziert zu werden. Beispielsweise handelt es sich bei dem Zwischenträger um einen anorganischen Träger, etwa aus einem Halbleitermaterial wie Silizium oder Germanium oder auch um
5 einen metallischen Träger etwa aus einer Molybdänlegierung.

Gemäß zumindest einer Ausführungsform wird die Opferschicht strukturiert aufgebracht oder nach einem Aufbringen strukturiert, sodass Sollbruchstellen und/oder Ablegestellen
10 erzeugt werden. Durch solche Sollbruchstellen und/oder Ablagestellen ist es möglich, die vereinzelt Halbleiterchips durch ein mechanisches Brechen von dem Träger abzunehmen. Dabei ist es möglich, dass die Opferschicht nur teilweise geätzt wird, sodass vergleichsweise kleine
15 Verbindungsstellen zwischen der Halbleiterschichtenfolge und dem Zwischenträger verbleiben. Durch solche Verbindungsstellen oder Ablegestellen sind die Halbleiterchips und/oder Chipbereiche sowie die Halbleiterschichtenfolge auf dem Zwischenträger
20 stabilisierbar. Beim Abheben der Halbleiterchips und/oder der Chipbereiche von dem Zwischenträger können diese Verbindungsstellen dann gebrochen oder durch einen weiteren Ätzschritt entfernt und/oder geschwächt werden.

25 Gemäß zumindest einer Ausführungsform lässt sich die Opferschicht rückstandsfrei ablösen. Insbesondere bei der Verwendung von organischen, thermisch entfernbaren Trägerfolien bleiben organische Reste, insbesondere Kohlenstoff enthaltende Reste, an den Halbleiterchips
30 und/oder Chipbereichen zurück. Solche Rückstände können zu einer Verunreinigung von elektrischen Kontaktstellen führen und damit eine Zuverlässigkeit eines Anbringens der fertigen Halbleiterchips auf einen externen Träger wie einer

Leiterplatte herabsetzen. Insbesondere Kohlenstoffrückstände sind durch die Verwendung einer anorganischen, kohlenstofffreien Opferschicht vermeidbar.

- 5 Gemäß zumindest einer Ausführungsform verändern sich die relativen Positionen der Halbleiterchips und/oder der Chipbereiche zueinander bis zum Entfernen des Zwischenträgers nicht. Mit anderen Worten verrutschen oder verdrehen sich die einzelnen Chipbereiche dann nicht, relativ zueinander.
- 10 Hierdurch ist eine höhere Präzision beim Herstellen erzielbar.

- Gemäß zumindest einer Ausführungsform wird die Opferschicht ganzflächig über der Halbleiterschichtenfolge aufgebracht.
- 15 Das heißt, in Projektion auf die Halbleiterschichtenfolge gesehen, ist die Halbleiterschichtenfolge dann vollständig von der Opferschicht bedeckt. Dies kann auch für alle anderen an der Halbleiterschichtenfolge aufgebrachten Schichten gelten.

- 20 Gemäß zumindest einer Ausführungsform wird die Opferschicht direkt auf die Metallisierung aufgebracht. Die Metallisierung steht dann in direktem, physischem Kontakt zu der Opferschicht. Dabei kann die Opferschicht ganzflächig oder
- 25 stellenweise auf die Metallisierung aufgebracht werden.

- Gemäß zumindest einer Ausführungsform ist die Opferschicht selektiv gegenüber der Metallisierung ätzbar. Dies bedeutet zum Beispiel, dass eine Ätzrate der Opferschicht gegenüber
- 30 der Metallisierung um mindestens einen Faktor 10 oder 100 oder 1000 oder 10000 erhöht ist. Insbesondere erfolgt dann das Auflösen der Opferschicht durch ein trockenchemisches und/oder durch ein nasschemisches Ätzen.

Gemäß zumindest einer Ausführungsform sind die einzelnen Chipbereiche im Schritt des Entferns des Zwischenträgers an einer temporären Trägerfolie und/oder an einem

- 5 Chippositionierwerkzeug, englisch die handler, befestigt. Dabei wird die Trägerfolie bevorzugt nur an einer der Metallisierung abgewandten Seite der Halbleiterschichtenfolge aufgebracht, sodass die Trägerfolie die Metallisierung nicht berührt. Bevorzugt sind beim Schritt des Entferns des
- 10 Zwischenträgers die einzelnen Chipbereiche sowie die optoelektronischen Halbleiterchips bereits weitgehend oder vollständig gefertigt, sodass keine weiteren Verfahrensschritte mehr erforderlich sind. Insbesondere sind nach dem Schritt des Entferns des Zwischenträgers keine
- 15 weiteren Schichten über Gasphasenabscheidung oder Epitaxie oder Aufdampfen an den Chipbereichen anzubringen.

- Gemäß zumindest einer Ausführungsform ist im Schritt des Entferns des Zwischenträgers die Opferschicht noch zum Teil
- 20 vorhanden. Zum Teil kann bedeuten, dass die Opferschicht beim Entfernen des Zwischenträgers einen Flächenanteil von höchstens 25 % oder 10 % oder 5 % oder 1 % oder 0,5 % der Halbleiterschichtenfolge bedeckt, in Draufsicht gesehen. Alternativ oder zusätzlich liegt dieser Flächenanteil bei
- 25 mindestens 0,1 % oder 1 % oder 3 % oder 10 %. Durch diesen vergleichsweise kleinen Flächenbelegungsanteil der Opferschicht ist eine Haftung zwischen dem Zwischenträger und der Halbleiterschichtenfolge stark reduziert, sodass ein mechanisches Entfernen etwa mittels Brechen ermöglicht ist.

30

Gemäß zumindest einer Ausführungsform ist die Opferschicht beim Schritt des Entferns des Zwischenträgers oder unmittelbar vor diesem Schritt stellenweise in ihrer Dicke

nicht reduziert. Mit anderen Worten ist dann die Opferschicht lokal noch als intakte Schicht vorhanden, insbesondere in vielen inselförmigen, voneinander separierten Bereichen. Hierdurch ist eine Stabilisierung der

5 Halbleiterschichtenfolge an dem Zwischenträger bis zum Schritt des Entfernens des Zwischenträgers erzielbar. Es kann pro Chipbereich genau ein inselförmiger Bereich vorhanden sein.

10 Gemäß zumindest einer Ausführungsform wird die Opferschicht nach dem Entfernen des Zwischenträgers von den Chipbereichen vollständig entfernt. Dieser Schritt des Entfernens der verbleibenden Teile der Opferschicht wird bevorzugt durchgeführt, solange die Chipbereiche relativ zueinander
15 noch fixiert sind, also beispielsweise mit Hilfe des Chippositionierwerkzeugs oder der temporären Trägerfolie.

Gemäß zumindest einer Ausführungsform weist der Zwischenträger eine Vielzahl von Erhebungen auf. Ein
20 mittlerer Abstand zwischen den Erhebungen ist dabei bevorzugt kleiner als eine mittlere Kantenlänge der fertig hergestellten Halbleiterchips. Beispielsweise ist ein mittlerer Abstand zwischen den Erhebungen um mindestens einen Faktor 2 oder 4 oder 6 oder 10 kleiner als eine mittlere
25 Kantenlänge der fertig hergestellten Halbleiterchips und/oder der Chipbereiche. Eine laterale Ausdehnung der Erhebungen liegt bevorzugt bei höchstens 10 % oder 5 % oder 2 % der mittleren Kantenlänge der fertigen Halbleiterchips und/oder der Chipbereiche. Entsprechende laterale Abmessungen, in
30 Draufsicht auf den Zwischenträger gesehen, können alternativ oder zusätzlich auch für die inselförmigen Bereiche der Opferschicht gelten.

Gemäß zumindest einer Ausführungsform wird die Opferschicht direkt auf dem Zwischenträger aufgebracht. Beispielsweise wird die Opferschicht durch ein Gasphasenabscheideverfahren auf den Zwischenträger aufgebracht. Das Aufbringen der

5 Opferschicht auf den Zwischenträger kann vor dem Verbinden des Zwischenträgers mit der Halbleiterschichtenfolge erfolgen oder auch gleichzeitig mit dem Schritt des Verbindens des Zwischenträgers mit der Halbleiterschichtenfolge. Alternativ kann die Opferschicht zuerst an der Halbleiterschichtenfolge

10 erzeugt werden und erst dann wird der Zwischenträger angebracht.

Gemäß zumindest einer Ausführungsform sind die Erhebungen unmittelbar nach dem Schritt des Aufbringens des

15 Zwischenträgers an der Halbleiterschichtenfolge teilweise oder vollständig frei von der Opferschicht, in Draufsicht von der Seite der Halbleiterschichtenfolge her gesehen. Mit anderen Worten erstreckt sich dann die Opferschicht nicht oder nicht ganz auf die Erhebungen. Es ist möglich, dass eine

20 mittlere Dicke der Opferschicht oder eine maximale Dicke der Opferschicht kleiner ist als eine Höhe der Erhebungen. Mit anderen Worten können die Erhebungen die Opferschicht überragen. Alternativ können die Erhebungen bündig mit der Opferschicht abschließen oder auch von der Opferschicht

25 überragt werden.

Gemäß zumindest einer Ausführungsform sind die Erhebungen einstückig mit dem Zwischenträger ausgebildet. Beispielsweise ist dann der Zwischenträger durch ein Ätzen oder ein

30 mechanisches Abtragen von Material so strukturiert, dass sich die Erhebungen ausbilden.

Gemäß zumindest einer Ausführungsform sind die Erhebungen aus einem von dem Zwischenträger verschiedenen Material geformt. Beispielsweise sind die Erhebungen dann aus Inseln eines weiteren Materials geformt. Bevorzugt ist die Opferschicht
5 selektiv zu diesem weiteren Material ätzbar, sodass bei einem Auflösen der Opferschicht die Erhebungen erhalten bleiben. Entsprechendes gilt bevorzugt, falls die Erhebungen einstückig mit dem Zwischenträger ausgebildet sind.

10 Gemäß zumindest einer Ausführungsform wird die Opferschicht vor dem Schritt des Entferns des Zwischenträgers vollständig aufgelöst. Das heißt, beim Entfernen des Zwischenträgers trägt dann die Opferschicht nicht mehr zu einer mechanischen Verbindung zwischen dem Zwischenträger und
15 der Halbleiterschichtenfolge bei.

Gemäß zumindest einer Ausführungsform ist nach dem vollständigen Auflösen der Opferschicht eine mechanische Verbindung zwischen der Halbleiterschichtenfolge und dem
20 Zwischenträger über die Erhebungen, bevorzugt ausschließlich über die Erhebungen, hergestellt. Hierdurch ist der Zwischenträger besonders kontrolliert von der Halbleiterschichtenfolge entfernbar, da eine Struktur der Erhebungen unabhängig von der Opferschicht einstellbar ist.

25

Gemäß zumindest einer Ausführungsform ist der Zwischenträger an der Halbleiterschichtenfolge mittels zumindest einer Lotschicht befestigt. Dabei ist bevorzugt die Opferschicht selektiv gegenüber der Lotschicht oder gegenüber mindestens
30 einer der Lotschichten oder gegenüber allen Lotschichten ätzbar.

Gemäß zumindest einer Ausführungsform steht die Opferschicht in direktem Kontakt zu der Lotschicht oder zu zumindest einer der Lotschichten oder auch zu zwei Lotschichten, zwischen denen sich die Opferschicht befindet. Mit anderen Worten kann
5 die Opferschicht unmittelbar an zwei Lotschichten grenzen, die sich an einander gegenüberliegenden Hauptseiten der Opferschicht befinden.

Gemäß zumindest einer Ausführungsform befinden sich
10 elektrische Kontaktflächen zu einer externen elektrischen Kontaktierung der fertig hergestellten Halbleiterchips an einer der Halbleiterschichtenfolge abgewandten Befestigungsseite der Metallisierung. Die Befestigungsseite ist dazu eingerichtet, dass die fertigen Halbleiterchips über
15 die Befestigungsseite elektrisch und/oder mechanisch kontaktiert werden, etwa über ein Löten. Insbesondere ist die Befestigungsseite zumindest stellenweise zu einer Oberflächenmontage, auch als SMT bezeichnet, eingerichtet.

20 Gemäß zumindest einer Ausführungsform befinden sich die elektrischen Kontaktflächen oder zumindest eine elektrische Kontaktfläche an einer Unterseite derjenigen Lotschicht, die in den fertigen Halbleiterchips am weitesten von der Halbleiterschichtenfolge entfernt ist. Hierbei ist es
25 möglich, dass die Lotschicht und alternativ oder zusätzlich die Metallisierung in mehrere Bereiche strukturiert sind, die elektrisch voneinander separiert sein können. Eine elektrische Kontaktierung der Halbleiterschichtenfolge kann insbesondere gestaltet sein, wie in Verbindung mit den
30 Figuren 1 bis 3 in der Druckschrift DE 10 2007 019 775 A1 gezeigt, wobei ein Träger weggelassen wird. Der Offenbarungsgehalt dieser Druckschrift hinsichtlich der Kontaktierung wird hiermit durch Rückbezug mit aufgenommen.

Gemäß zumindest einer Ausführungsform wird die Opferschicht nur stellenweise direkt auf diejenige Schicht aufgebracht, die die Kontaktflächen bildet. Die Opferschicht wird dann
5 also insbesondere direkt auf Teile der Lotschicht oder direkt auf Teile der Metallisierung aufgebracht. Dabei sind jedoch die elektrischen Kontaktflächen bevorzugt stellenweise oder vollständig nicht direkt von der Opferschicht bedeckt.

- 10 Gemäß zumindest einer Ausführungsform sind die elektrischen Kontaktflächen vor dem Schritt des Anbringens der Opferschicht durch ein Deckmaterial abgedeckt. Durch das Deckmaterial ist verhinderbar, dass ein Material der Opferschicht die elektrischen Kontaktflächen verunreinigt.
15 Beispielsweise ist das Deckmaterial durch einen Fotolack gebildet, der über ein Veraschen rückstandsfrei entfernbar ist.

- Gemäß zumindest einer Ausführungsform wird die Opferschicht
20 strukturiert aufgebracht. Die Opferschicht bedeckt dann, in Projektion auf die Halbleiterschichtenfolge gesehen, nur zum Teil die Halbleiterschichtenfolge. Ein Bedeckungsgrad der Halbleiterschichtenfolge mit der Opferschicht liegt zum Beispiel bei mindestens 5 % oder 10 % oder 40 % oder 60 %
25 und/oder bei höchstens 80 % oder 50 % oder 30 %. Bevorzugt ist die Opferschicht dabei regelmäßig strukturiert und nicht nur statistisch verteilt aufgebracht.

- Gemäß zumindest einer Ausführungsform weist die Opferschicht
30 eine Dicke von mindestens 200 nm oder 500 nm oder 1 µm oder 5 µm auf und/oder von höchstens 20 µm oder 10 µm. Durch eine solche, vergleichsweise große Dicke der Opferschicht wird verhindert, dass insbesondere beim Anbringen des

Trägersubstrats ein Fließen von Lot aus der Lotschicht direkt an dem Trägersubstrat auf die elektrischen Kontaktflächen der Chipbereiche auftritt. Mit anderen Worten dient die Opferschicht dann aufgrund ihrer Dicke als eine Art

5 Lötstoppschicht.

Nachfolgend wird ein hier beschriebenes Verfahren unter Bezugnahme auf die Zeichnung anhand von Ausführungsbeispielen näher erläutert. Gleiche Bezugszeichen geben dabei gleiche

10 Elemente in den einzelnen Figuren an. Es sind dabei jedoch keine maßstäblichen Bezüge dargestellt, vielmehr können einzelne Elemente zum besseren Verständnis übertrieben groß dargestellt sein.

15 Es zeigen:

Figuren 1 bis 5 schematische Schnittdarstellungen von Verfahrensschritten eines hier beschriebenen Verfahrens zur Herstellung von optoelektronischen

20 Halbleiterchips.

In Figur 1 sind schematisch Verfahrensschritte zur Herstellung von optoelektronischen Halbleiterchips gezeigt. Gemäß Figur 1A wird ein Zwischenträger 6 mit einer Lotschicht

25 7 bereitgestellt. Ferner wird ein Aufwachssubstrat 2 bereitgestellt, auf dem eine Halbleiterschichtenfolge 3 epitaktisch aufgewachsen ist. An einer dem Aufwachssubstrat 2 abgewandten Kontaktseite 34 ist eine Metallisierung 4 auf die Halbleiterschichtenfolge 3 aufgebracht. An einer

30 Befestigungsseite 45 der Metallisierung 4, die dem Aufwachssubstrat 2 abgewandt ist, befindet sich eine Opferschicht 5.

Im Verfahrensschritt, wie in Figur 1B gezeigt, wird die Lotschicht 7 mit der Opferschicht 5 verbunden. Anschließend wird in einem nicht dargestellten Schritt das Aufwachssubstrat 2 von der Halbleiterschichtenfolge 3 entfernt.

Anders als in Figur 1A gezeigt ist es auch möglich, dass die Lotschicht 7 zuerst mit einer der Halbleiterschichtenfolge 3 zugewandten Unterseite 75 auf der Opferschicht 5 aufgebracht wird und dass der Zwischenträger 6 ohne Lotschicht 7 separat bereitgestellt wird. Mit anderen Worten kann sich dann die Lotschicht 7 vor dem Anbringen des Zwischenträgers 6 an der Opferschicht 5 befinden.

Wie auch in allen anderen Ausführungsbeispielen basiert die Halbleiterschichtenfolge 3 bevorzugt auf AlInGaN und weist bevorzugt mindestens eine zu einer Strahlungserzeugung vorgesehene aktive Zone auf. Mit anderen Worten handelt es sich dann bei dem fertig hergestellten optoelektronischen Halbleiterchip insbesondere um eine Leuchtdiode.

Die Metallisierung 4 ist bevorzugt aus mehreren Metallschichten zusammengesetzt. Beispielsweise befindet sich eine dünne Platinschicht und/oder Titanschicht zwischen der Halbleiterschichtenfolge 3 und einer metallischen Spiegelschicht der Metallisierung 4. Die Spiegelschicht ist beispielsweise aus Aluminium oder Silber gefertigt. Eine Dicke der gesamten Metallisierung 4 liegt zum Beispiel bei mindestens 50 nm oder 70 nm oder 100 nm und/oder bei höchstens 500 nm oder 300 nm oder 200 nm.

Die Opferschicht 5 ist insbesondere aus einem Metalloxid wie Zinkoxid hergestellt. Die Opferschicht 5 kann zum Beispiel

eine Dicke von mindestens 0,2 µm oder 0,8 µm oder 1,5 µm und/oder von höchstens 5 µm oder 10 µm oder 20 µm aufweisen.

Bei der Lotschicht 7 handelt es sich beispielsweise um ein
5 AuSn-Lot oder um ein NiSn-Lot. Eine Dicke der Lotschicht 7 liegt bevorzugt bei mindestens 1 µm oder 2 µm oder 5 µm und/oder bei höchstens 20 µm oder 10 µm oder 5 µm. Beispielsweise wird eine AuSn-Lotschicht mit einer Dicke von 2,7 µm oder eine NiSn-Lotschicht mit einer Dicke von 3,56 µm
10 verwendet. Diese Angaben können auch für alle Lotschichten in allen anderen Ausführungsbeispielen gelten.

Die einzelnen Schichten 3, 4, 5, 7 werden bevorzugt ganzflächig über das Aufwachssubstrat 3 sowie dem
15 Zwischenträger 6 aufgebracht. Das heißt, die einzelnen Schichten 3, 4, 5, 7 sind dann unstrukturiert und homogen über dem Aufwachssubstrat 2 sowie dem Zwischenträger 6 gefertigt und angebracht.

20 In Figur 1C ist gezeigt, dass nach dem Ablösen des Aufwachssubstrats 2 die Halbleiterschichtenfolge 3 und bevorzugt auch die Metallisierung 4 zu einzelnen Chipbereichen 33 zerteilt wird. Jeder der Chipbereiche 33 ist für einen der fertigen optoelektronischen Halbleiterchips
25 eingerichtet. Es ist möglich, dass die Halbleiterchips als tragende Komponente jeweils die Halbleiterschichtenfolge 3 aufweisen. Mittlere laterale Abmessungen der Halbleiterschichtenfolge 3, in Draufsicht auf den Zwischenträger 6 gesehen, liegen bevorzugt bei mindestens
30 250 µm oder 500 µm oder 750 µm. Die lateralen Abmessungen der fertigen Halbleiterchips weichen von den lateralen Abmessungen der Chipbereiche bevorzugt um höchstens 10 % oder 3 % ab.

Verfahrensschritte wie das Aufbringen von elektrischen Stromverteilungsstrukturen an einer dem Zwischenträger 6 abgewandten Seite der Halbleiterschichtenfolge 3 oder das Erzeugen von Passivierungsschichten auf Seitenflächen der Halbleiterschichtenfolge 3, die durch das Strukturieren zu den Chipbereichen 33 entstehen, sind zur Vereinfachung der Darstellung in den Figuren nicht gezeigt.

- 10 Nach dem Strukturieren der Halbleiterschichtenfolge 3 und der Metallisierung 4 wird die Opferschicht 5 teilweise aufgelöst, siehe Figur 1C. Das Auflösen der Opferschicht 5 erfolgt bevorzugt mit einem Ätzen, das selektiv zu der Metallisierung 4 und zu der Lotschicht 7 erfolgt. Wie vorhergehend
- 15 angemerkt, kann die Halbleiterschichtenfolge 3 mit einer nicht gezeichneten Passivierungsschicht versehen sein, etwa aus Siliziumnitrid.

- Das selektive Ätzen der Opferschicht 5, die beispielsweise eine ZnO-Schicht ist, kann mittels eines gasförmigen Ätzmittels 58, etwa Wasserstoffgas, erfolgen, in Figur 1C symbolisiert durch Pfeile. Dabei wird das Ätzen gestoppt, wenn inselförmige Bereiche der Opferschicht 5 zwischen den Chipbereichen 33 und dem Zwischenträger 6 gebildet sind.
- 20 Diese inselförmigen Bereiche der Opferschicht 5 werden in lateraler Richtung, gemäß Figur 1C also in Links-Rechts-Richtung, von den Chipbereichen 33 und der Metallisierung 4 überragt. Eine Ausdehnung der inselförmigen Bereiche der Opferschicht 5 liegt beispielsweise in lateraler Richtung bei
- 25 mindestens 10 % oder 20 % oder 30 % und/oder bei höchstens 70 % oder 50 % einer mittleren Kantenlänge der Chipbereiche 33. Über die inselförmigen Bereiche der Opferschicht 5 ist ein Anhaften der Chipbereiche 33 an den Zwischenträger 6 zwar
- 30

noch gegeben, jedoch sind diese inselförmigen Bereiche durch ein Brechen kontrolliert zerstörbar, ohne die Chipbereiche 33 zu zerstören.

5 In Figur 1D ist gezeigt, dass der Zwischenträger 6 mit der Lotschicht 7 von den Chipbereichen 33 abgebrochen ist. Dabei sind die einzelnen Chipbereiche 33 bevorzugt an einer Trägerfolie 8 angebracht, sodass die einzelnen Chipbereiche 33 gemeinsam handhabbar sind. Die Trägerfolie 8 ist an den
10 fertigen Halbleiterchips nicht mehr vorhanden.

In den Figuren 1E sowie 1F sind alternative Verfahrensschritte zum Entfernen der verbleibenden Opferschicht 5 gezeigt. Gemäß Figur 1E werden die
15 Chipbereiche 33 einem flüssigen Ätzmittel 58 in einem Ätzmittelbad 59 ausgesetzt. Gemäß Figur 1F erfolgt das Entfernen der Opferschicht 5 durch ein gasförmiges Ätzmittel 58, beispielsweise durch Wasserstoffgas. Über das Ätzmittelbad 59 ist etwa die Halbleiterschichtenfolge 3 von
20 dem Ätzmittel 58 geschützt, ebenso wie die Trägerfolie 8.

Durch das vollständige Entfernen der Opferschicht 5 resultieren die fertigen Halbleiterchips 1. Alternativ ist es auch möglich, dass die Opferschicht 5 zum Teil an den
25 Halbleiterchips 1 verbleibt, sodass die Verfahrensschritte gemäß Figur 1E oder 1F nicht durchgeführt werden. Etwa im Falle einer elektrisch leitfähigen Opferschicht 5 kann so eine verbesserte Stromaufweitung erzielt werden.

30 In Figur 2 ist eine weitere Möglichkeit dargestellt, wie ein kontrolliertes Entfernen mit der Opferschicht 5 realisierbar ist. Der Zwischenträger 6 weist mehrere Erhebungen 63 auf, bevorzugt mehrere Erhebungen pro in Figur 2 nicht

gezeichnetem Chipbereich. Die Opferschicht 5 ist zwischen den Erhebungen 63 angebracht, wobei die Erhebungen 63 die Opferschicht 5 überragen oder, anders als dargestellt, auch bündig mit der Opferschicht 5 abschließen können, in Richtung 5 senkrecht zu dem Aufwachssubstrat 2.

Die Opferschicht 5 ist über eine erste Lotschicht 7a und über zwei Sperrschichten 57 sowie über eine zweite Lotschicht 7b mit der Metallisierung 4 und der Halbleiterschichtenfolge 3 10 mechanisch verbunden.

Ein solcher Aufbau aus mehreren Lotschichten 7a, 7b und die Verwendung von Sperrschichten 57 kann auch in allen anderen Ausführungsbeispielen vorhanden sein. Es ist dabei möglich, 15 dass die Lotschichten 7a, 7b aus unterschiedlichen Materialien geformt sind und unterschiedliche Verarbeitungstemperaturen aufweisen. So kann insbesondere eine Verarbeitungstemperatur der zweiten Lotschicht 7b höher liegen als eine Verarbeitungstemperatur der ersten Lotschicht 20 7a. Die beiden Lotschichten sind beispielsweise aus einem AuSn-Lot geformt.

Bei den Sperrschichten 57 kann es sich um Schichten handeln, die eine Diffusion von Lotmaterial zwischen den Lotschichten 25 7a, 7b verhindern und insbesondere die eine Diffusion von Lotmaterial aus der zweiten Lotschicht 7b in die Metallisierung 4 unterbinden. Beispielsweise sind die Sperrschichten 57 aus einer Titanlegierung oder einer Wolframlegierung geformt, beispielsweise handelt es sich um 30 Titanwolframnitridschichten. Ebenso können die Sperrschichten 57 Platin aufweisen oder aus Platin bestehen.

Zum Ablösen des Zwischenträgers 6 wird die Opferschicht 5 vollständig entfernt. Eine mechanische Verbindung zwischen dem Zwischenträger 6 und der Halbleiterschichtenfolge 3 besteht dann lediglich noch in kontrollierter Weise über die Erhebungen 63, sodass die Halbleiterschichtenfolge 3 nur noch an wenigen Punkten an dem Zwischenträger 6 haftet.

Die verbleibenden Verfahrensschritte können erfolgen, wie in Verbindung mit Figur 1 dargestellt. Insbesondere wird das Aufwachssubstrat 2 entfernt, bevor die Opferschicht 5 aufgelöst wird. Nach dem Auflösen der Opferschicht 5 wird der Zwischenträger 6 entfernt, insbesondere wird zuvor wie in Figur 1 eine Trägerfolie angebracht.

Beim Verfahren, wie in Verbindung mit Figur 3 gezeigt, sind die Erhebungen 63 aus einem anderen Material gebildet als der Zwischenträger 6. Insbesondere sind die Erhebungen 63 aus einem Nitrid wie Siliziumnitrid oder Aluminiumnitrid oder auch aus einem Oxid wie Aluminiumoxid oder Siliziumoxid geformt. Die Opferschicht 5 ist selektiv zu dem Material der Erhebungen 63 ätzbar. Gemäß Figur 3 weist die Opferschicht 5 eine größere Dicke auf als die Erhebungen 63. Die erste Lotschicht 7a reicht damit in die Opferschicht 5 hinein und bis an die Erhebungen 63 heran.

25

Im Übrigen entspricht das Verfahren gemäß Figur 3 dem Verfahren gemäß Figur 2.

Beim Verfahren, wie in Figur 4 illustriert, ist lediglich eine Sperrschicht 57 zwischen der Metallisierung 4 und der ersten Lotschicht 7a vorhanden. Unmittelbar zwischen den beiden Lotschichten 7a, 7b befindet sich die Opferschicht 5. An einer der Halbleiterschichtenfolge 3 abgewandten Seite der

ersten Lotschicht 7a befinden sich elektrische Kontaktflächen 9 zu einer elektrischen oder auch mechanischen Kontaktierung der fertig hergestellten Halbleiterchips 1. Diese elektrischen Kontaktflächen 9 sind von einem Deckmaterial 95 bedeckt. Das Deckmaterial 95 ist beispielsweise durch einen Lack gebildet, das anschließend über Veraschen entfernt werden kann.

Dadurch können an den Stellen des Deckmaterials 95 Kavitäten, auch als Air Voids bezeichnet, gebildet werden. Durch das Deckmaterial 95 ist damit eine Kontaminierung der elektrischen Kontaktflächen 9 etwa mit einem Material der Opferschicht 5 verhinderbar. Dies ist insbesondere vorteilhaft, falls ein Material der Opferschicht 5 teilweise an den fertigen Halbleiterchips 1 verbleibt. Das Auflösen der Opferschicht 5 erfolgt beispielsweise, wie in Verbindung mit Figur 1C angegeben. Alternativ können auch beim Verfahren gemäß Figur 4 Erhebungen vorhanden sein, wie in Verbindung mit den Figuren 2 und 3 dargestellt.

Gemäß Figur 5 wird die Opferschicht 5 strukturiert aufgebracht. Die Opferschicht 5 weist eine vergleichsweise große Dicke t auf, beispielsweise mindestens 500 nm. Durch die große Dicke t der Opferschicht 5 ist verhindert, dass bei einem Anbringen des Zwischenträgers 6 an der Halbleiterschichtenfolge 3 ein Lotmaterial aus der zweiten Lotschicht 7b, die sich direkt an dem Zwischenträger 6 befindet, zu den von der Opferschicht 5 unbedeckten elektrischen Kontaktflächen 9 gelangt. Mit anderen Worten fungiert die Opferschicht 5 aufgrund deren großer Dicke t als Lötstoppschicht hinsichtlich der zweiten Lotschicht 7b.

Die Strukturierung der Opferschicht 5 in Figur 5 entspricht hinsichtlich deren Wirkung also dem Einsatz des Deckmaterials 95 in Figur 4. Im Übrigen kann die Opferschicht 5 aufgelöst werden, wie in Verbindung mit Figur 1C dargestellt oder es
5 können alternativ oder zusätzlich die Erhebungen 63 eingesetzt werden, wie in Verbindung mit den Figuren 2 und 3 erläutert.

Die hier beschriebene Erfindung ist nicht durch die
10 Beschreibung anhand der Ausführungsbeispiele beschränkt. Vielmehr umfasst die Erfindung jedes neue Merkmal sowie jede Kombination von Merkmalen, was insbesondere jede Kombination von Merkmalen in den Patentansprüchen beinhaltet, auch wenn dieses Merkmal oder diese Kombination selbst nicht explizit
15 in den Patentansprüchen oder Ausführungsbeispielen angegeben ist.

Diese Patentanmeldung beansprucht die Priorität der deutschen Patentanmeldung 10 2014 110 884.1, deren Offenbarungsgehalt
20 hiermit durch Rückbezug aufgenommen wird.

Bezugszeichenliste

	1	optoelektronischer Halbleiterchip
	2	Aufwachssubstrat
5	3	Halbleiterschichtenfolge
	33	Chipbereich der Halbleiterschichtenfolge
	34	Kontaktseite der Halbleiterschichtenfolge
	4	Metallisierung
	45	Befestigungsseite der Metallisierung
10	5	Opferschicht
	57	Sperrschicht
	58	Ätzmittel
	59	Ätzmittelbad
	6	Zwischenträger
15	63	Erhebung am Zwischenträger
	7	Lotschicht
	75	Unterseite der Lotschicht
	8	Trägerfolie
	9	elektrische Kontaktfläche
20	95	Deckmaterial
	t	Dicke der Opferschicht

Patentansprüche

1. Verfahren zur Herstellung von optoelektronischen Halbleiterchips (1) mit den Schritten:

- 5 - Aufwachsen einer Halbleiterschichtenfolge (3) auf einem Aufwachssubstrat (2),
- Aufbringen zumindest einer Metallisierung (4) an einer dem Aufwachssubstrat (2) abgewandten Kontaktseite (34) der Halbleiterschichtenfolge (3),
- 10 - Anbringen eines Zwischenträgers (6) an der Halbleiterschichtenfolge (3), wobei eine Opferschicht (5) zwischen dem Zwischenträger (6) und der Halbleiterschichtenfolge (3) angebracht wird,
- Ablösen des Aufwachssubstrats (2) von der
- 15 Halbleiterschichtenfolge (3),
- Strukturieren der Halbleiterschichtenfolge (3) zu einzelnen Chipbereichen (33),
- mindestens teilweises Auflösen der Opferschicht (5), und
- 20 - nachfolgend Entfernen des Zwischenträgers (6), wobei
- im Schritt des Entfernens des Zwischenträgers (6) die Opferschicht (5) noch zum Teil vorhanden ist,
- das Entfernen des Zwischenträgers (6) ein
- 25 mechanisches Brechen verbliebener Bereiche der Opferschicht (5) beinhaltet, und
- die Opferschicht nach dem Entfernen des Zwischenträgers (6) vollständig entfernt wird.
2. Verfahren nach dem vorhergehenden Anspruch,
- 30 bei dem die Opferschicht (5) ganzflächig und direkt auf die Metallisierung (4) aufgebracht wird,
- wobei die Opferschicht (5) selektiv gegenüber der

Metallisierung (4) ätzbar ist und das Auflösen der Opferschicht (5) ein trockenchemisches und/oder ein nasschemisches Ätzen ist.

3. Verfahren nach einem der vorhergehenden Ansprüche,
5 bei dem die Chipbereiche (33) im Schritt des Entfernens des Zwischenträgers (6) an einer temporären Trägerfolie (8) und/oder an einem Chippositionierwerkzeug befestigt sind.

4. Verfahren nach einem der vorhergehenden Ansprüche,
10 wobei

- der Zwischenträger (6) mit einer Lotschicht (7) bereitgestellt,
- die Lotschicht (7) mit der Opferschicht (5) verbunden wird und anschließend das Aufwachssubstrat (2) von der Halbleiterschichtenfolge (3) entfernt wird,
- 15 - die Metallisierung (4) aus mehreren Metallschichten zusammengesetzt ist und eine Spiegelschicht aus Aluminium oder Silber umfasst,
- eine Dicke der gesamten Metallisierung (4) bei
20 mindestens 70 nm und bei höchstens 500 nm liegt,
- die Opferschicht (5) aus einem Metalloxid hergestellt ist und eine Dicke von mindestens 0,8 µm und von höchstens 10 µm aufweist,
- eine Dicke der Lotschicht (7) bei mindestens 2 µm und
25 höchstens 10 µm liegt und aus AuSn oder NiSn hergestellt wird,
- die Halbleiterschichtenfolge (3), die Metallisierung (4), die Opferschicht (5) und die Lotschicht (7) ganzflächig über das Aufwachssubstrat (3) sowie dem
30 Zwischenträger (6) aufgebracht werden, und
- nach dem Ablösen des Aufwachssubstrats (2) die

Halbleiterschichtenfolge (3) und die Metallisierung (4) zu einzelnen Chipbereichen (33) zerteilt werden und jeder der Chipbereiche (33) für einen optoelektronischen Halbleiterchip (1) eingerichtet ist.

- 5 5. Verfahren zur Herstellung von optoelektronischen Halbleiterchips (1) mit den Schritten:
- Aufwachsen einer Halbleiterschichtenfolge (3) auf einem Aufwachssubstrat (2),
 - Aufbringen zumindest einer Metallisierung (4) an
10 einer dem Aufwachssubstrat (2) abgewandten Kontaktseite (34) der Halbleiterschichtenfolge (3),
 - Anbringen eines Zwischenträgers (6) an der Halbleiterschichtenfolge (3), wobei eine Opferschicht (5) zwischen dem Zwischenträger (6) und der
15 Halbleiterschichtenfolge (3) angebracht wird,
 - Ablösen des Aufwachssubstrats (2) von der Halbleiterschichtenfolge (3),
 - Strukturieren der Halbleiterschichtenfolge (3) zu einzelnen Chipbereichen (33),
 - 20 - mindestens teilweises Auflösen der Opferschicht (5), und
 - nachfolgend Entfernen des Zwischenträgers (6), wobei
 - der Zwischenträger (6) eine Vielzahl von Erhebungen
25 (63) aufweist,
 - die Opferschicht (5) direkt auf dem Zwischenträger (6) aufgebracht wird, und
 - die Erhebungen (63) unmittelbar nach dem Schritt des Aufbringen des Zwischenträgers (6) an der
30 Halbleiterschichtenfolge (3) mindestens zum Teil frei von der Opferschicht (5) sind, in Draufsicht von der Seite der Halbleiterschichtenfolge (3) her gesehen.

6. Verfahren nach dem vorhergehenden Anspruch,
wobei die Erhebungen (63) entweder einstückig mit dem
Zwischenträger (6) ausgebildet sind oder die Erhebungen
(63) aus einem vom Zwischenträger (6) verschiedenen
5 Material geformt werden und die Opferschicht (5)
selektiv zu diesem Material ätzbar ist.
7. Verfahren nach einem der Ansprüche 5 oder 6,
bei dem die Opferschicht (5) vor dem Entfernen des
Zwischenträgers (6) vollständig aufgelöst wird,
10 wobei nach dem Auflösen der Opferschicht (5) eine
mechanische Verbindung zwischen der
Halbleiterschichtenfolge (3) und dem Zwischenträger (6)
ausschließlich durch die Erhebungen (63) gegeben ist.
8. Verfahren nach einem der vorhergehenden Ansprüche,
15 bei dem der Zwischenträger (6) mittels zumindest einer
Lotschicht (7) an der Halbleiterschichtenfolge (3)
befestigt wird,
wobei die Opferschicht (5) selektiv gegenüber der
mindestens einen Lotschicht (7) ätzbar ist, und
20 wobei die Opferschicht (5) in direktem Kontakt zu der
oder zu mindestens einer der Lotschichten (7) steht.
9. Verfahren nach dem vorhergehenden Anspruch,
bei dem die Opferschicht (5) unmittelbar vor dem
Schritt des Entfernen des Zwischenträgers (6) an zwei
25 einander gegenüberliegenden Hauptseiten jeweils direkt
an eine der Lotschichten (7) grenzt.
10. Verfahren nach einem Ansprüche 8 oder 9,
bei dem sich an einer der Halbleiterschichtenfolge (3)
abgewandten Befestigungsseite (45) der Metallisierung
30 (4) oder an einer der Halbleiterschichtenfolge (3)

abgewandten Unterseite (75) derjenigen Lotschicht (7),
die in Richtung hin zu der Halbleiterschichtenfolge (3)
der Opferschicht (5) unmittelbar vor dem Schritt des
Entfernens des Zwischenträgers (6) am nächsten ist,
5 elektrische Kontaktflächen (9) zu einer externen
elektrischen Kontaktierung des fertig hergestellten
Halbleiterchips (1) befinden.

11. Verfahren nach dem vorhergehenden Anspruch,

bei dem die Opferschicht (5) stellenweise direkt auf
10 die Kontaktflächen (9) bildende Lotschicht (7) oder
Metallisierung (4) aufgebracht wird,

wobei die elektrischen Kontaktflächen (9) vor dem
Anbringen der Opferschicht (5) durch ein Deckmaterial
(95) abgedeckt werden, sodass ein Material der

15 Opferschicht (5) nicht unmittelbar an die elektrischen
Kontaktflächen (9) gelangt.

12. Verfahren nach einem der vorhergehenden Ansprüche,

bei dem die Opferschicht (5) strukturiert aufgebracht
wird, sodass sich die Opferschicht (5), in Projektion
20 auf die Halbleiterschichtenfolge (3) gesehen, nur zum
Teil über die Halbleiterschichtenfolge (3) erstreckt.

13. Verfahren nach den Ansprüchen 9, 10 und 12,

bei dem die Opferschicht (5) stellenweise unmittelbar
auf die die elektrischen Kontaktflächen (9) bildende

25 Lotschicht (7) oder Metallisierung (4) aufgebracht
wird, wobei die elektrischen Kontaktflächen (9) frei
von der Opferschicht (7) bleiben, und

wobei eine Dicke (t) der Opferschicht (7) mindestens
500 nm beträgt, sodass beim Schritt des Anbringens des
30 Trägersubstrats (6) ein Fließen von Lot aus der
Lotschicht (7), die sich an einer der

Halbleiterschichtenfolge (3) abgewandten Seite der Opferschicht (5) befindet, auf die elektrischen Kontaktflächen (9) verhindert wird.

14. Verfahren nach einem der vorhergehenden Ansprüche,
5 bei dem

- die Halbleiterschichtenfolge (3) auf AlInGaN basiert,
- die Metallisierung (4) Ag umfasst,
- die Opferschicht (5) aus ZnO geformt wird,
- die mindestens eine Lotschicht (7) Sn und/oder Au

10

umfasst, und

- sich zwischen der Opferschicht (5) und der Metallisierung (4) zumindest eine Sperrschicht aus einer TiW-Legierung befindet.

FIG 1

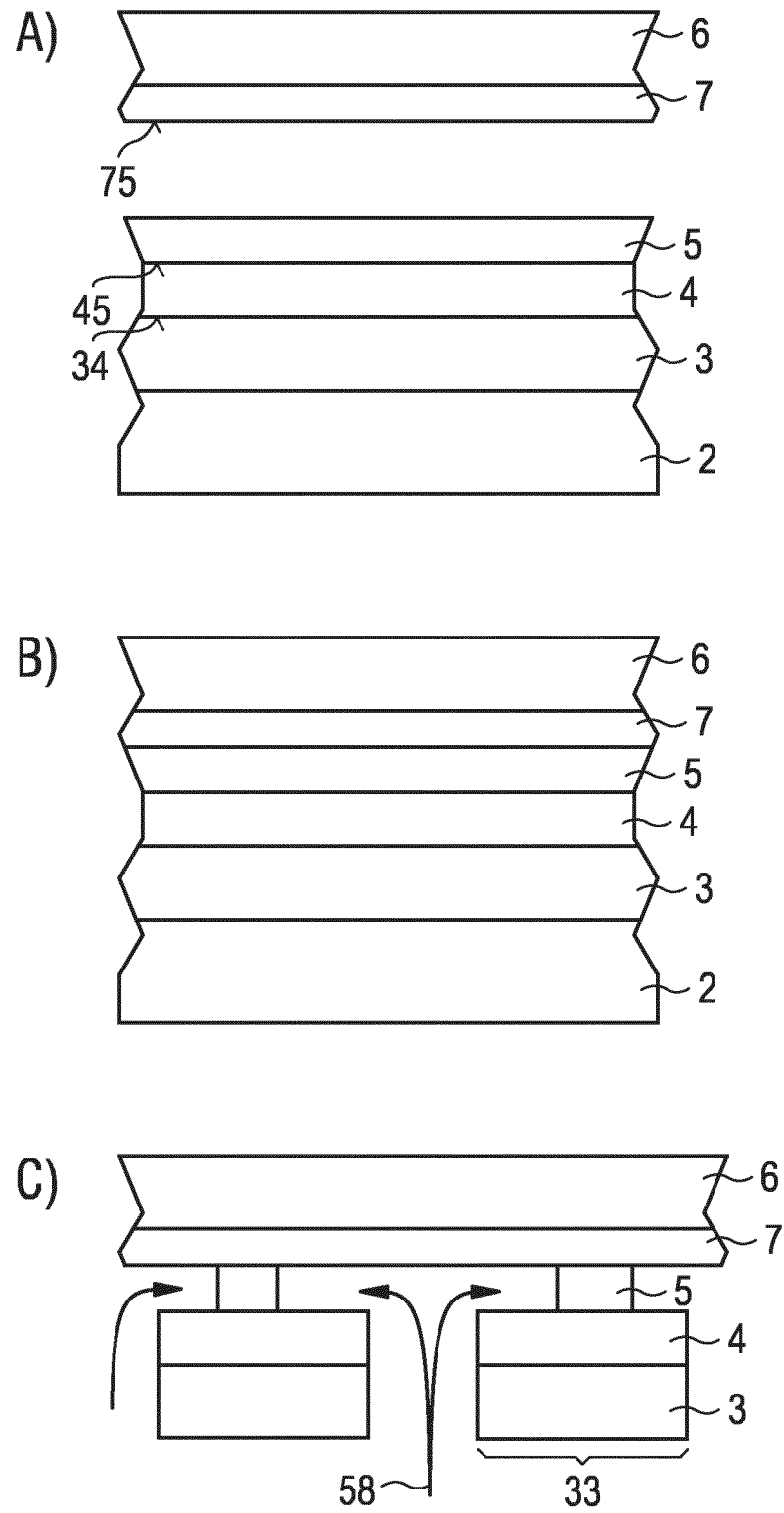


FIG 1

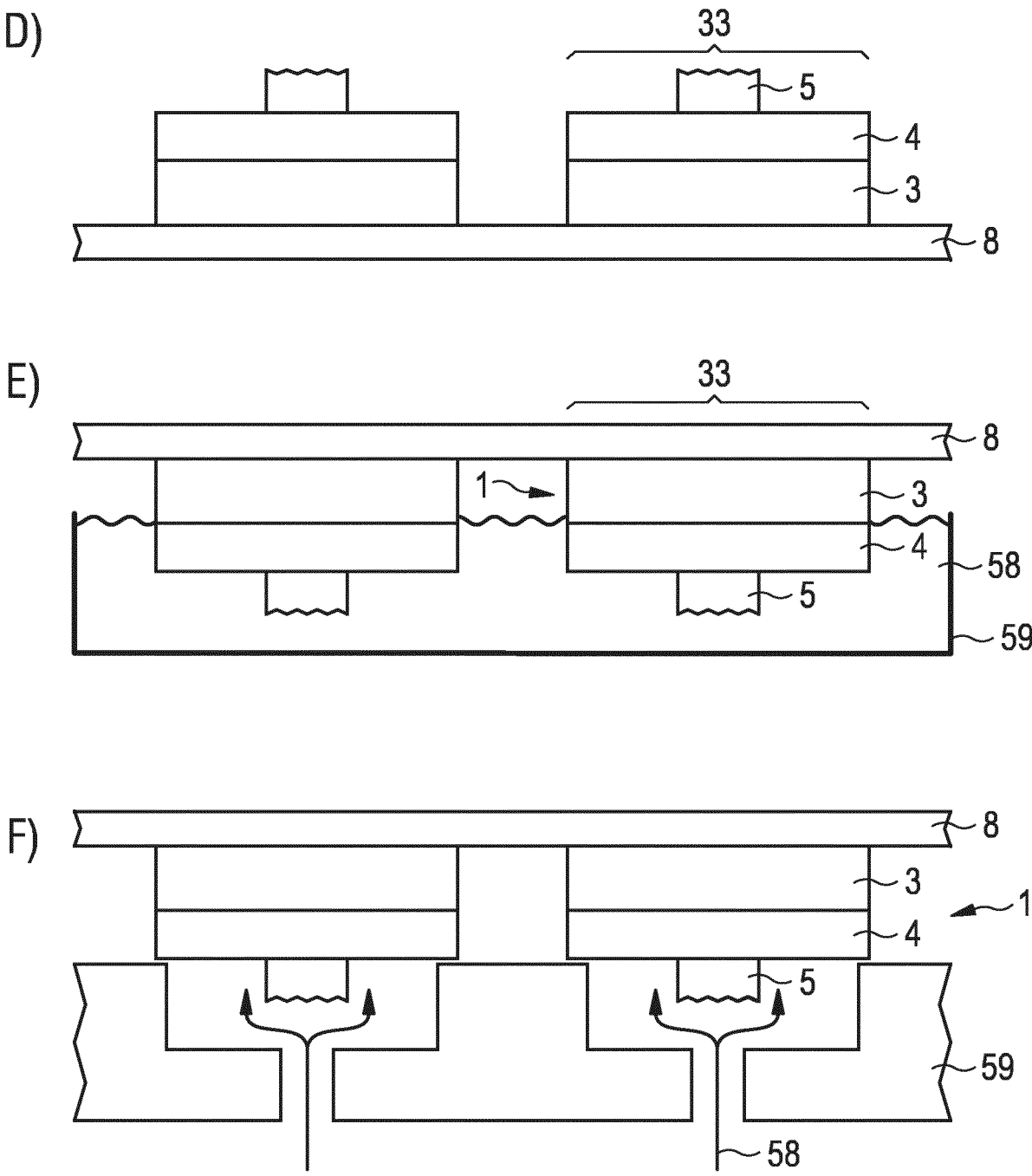


FIG 2

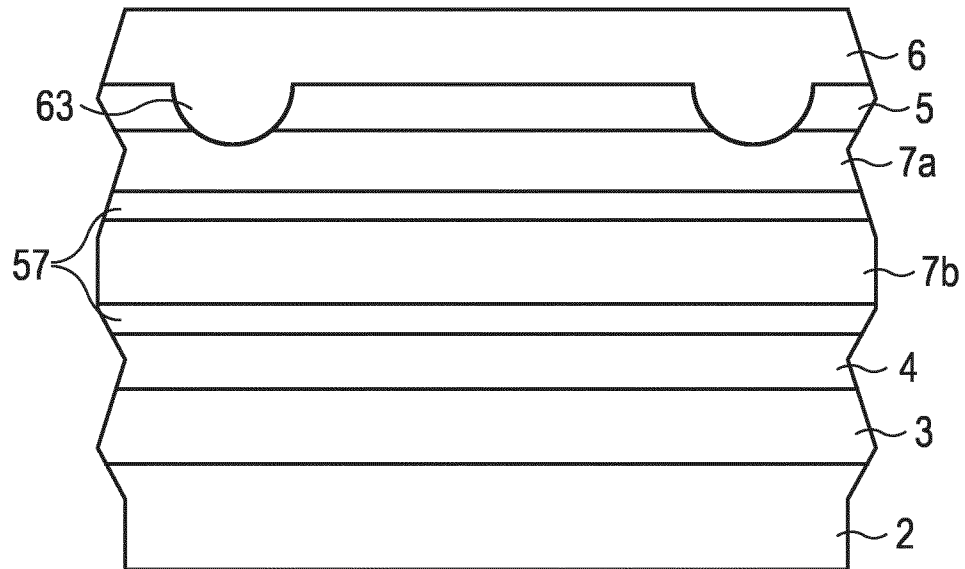


FIG 3

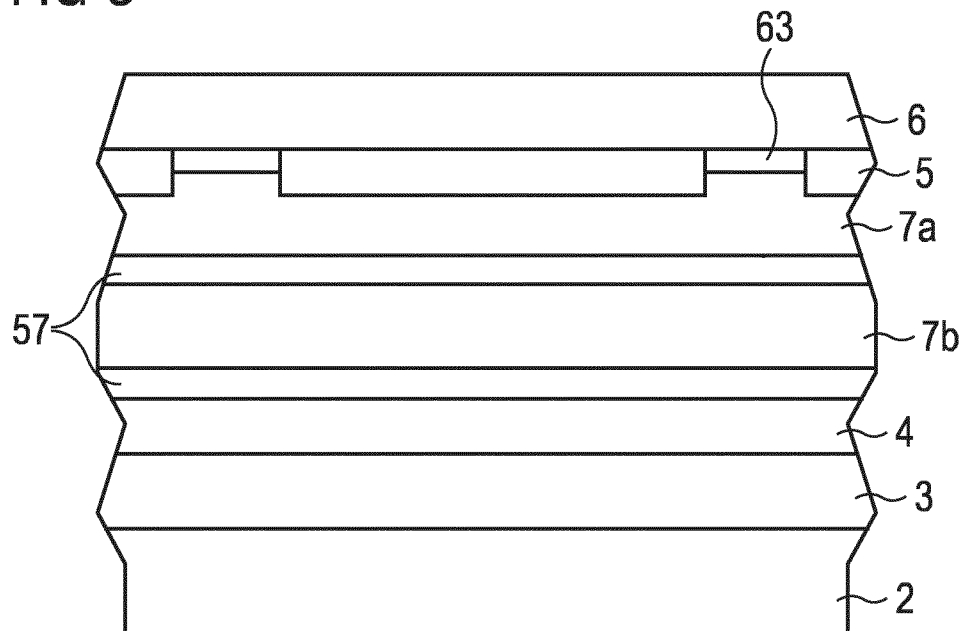


FIG 4

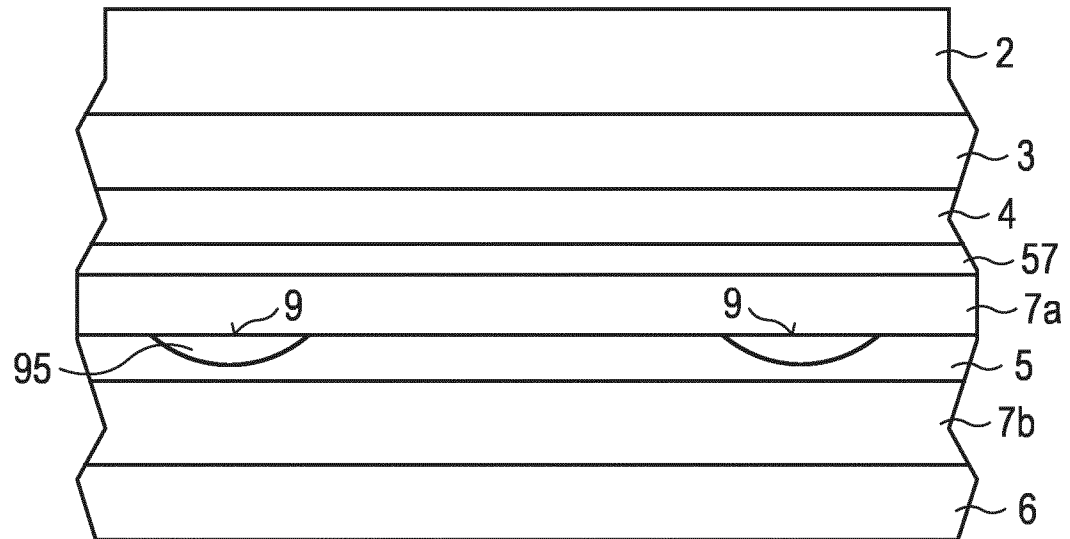
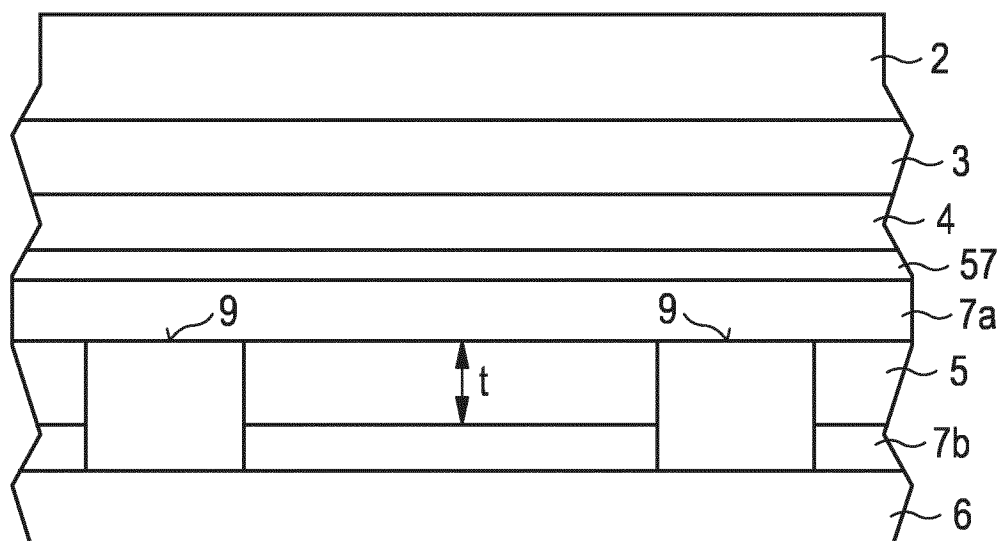


FIG 5



INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2015/066919

A. CLASSIFICATION OF SUBJECT MATTER

INV. H01L33/00
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01S H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2010/132552 A1 (UNIV ILLINOIS [US]; ROGERS JOHN A [US]; NUZZO RALPH [US]; KIM HOON-SIK) 18 November 2010 (2010-11-18) paragraphs [0030], [0524], [0527]; claim 62; figures 84,87 -----	1-4,8-14
A	US 2014/159065 A1 (HU HSIN-HUA [US] ET AL) 12 June 2014 (2014-06-12) paragraphs [0036] - [0044]; figures 1-3 -----	1-4
A	DE 10 2007 043902 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 19 March 2009 (2009-03-19) paragraphs [0020] - [0022]; figures 5-7 -----	1-4



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

17 September 2015

Date of mailing of the international search report

15/12/2015

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Claessen, Michiel

INTERNATIONAL SEARCH REPORT

International application No.

PCT/EP2015/066919

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see supplemental sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

1-4(complete); 8-14(partly)

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

The International Searching Authority has determined that this international application contains multiple (groups of) inventions, as follows:

1. Claims: 1-4 (in full); 8-14 (in part)

Method of producing optoelectronic semiconductor chips involving the following steps:

- growing a semiconductor layer sequence on a growth substrate;
- applying an intermediate carrier to the semiconductor layer sequence, a sacrificial layer being applied between the intermediate carrier and the semiconductor layer sequence;
- detaching the growth substrate from the semiconductor layer sequence;
wherein:
 - in the step in which the intermediate carrier is removed, part of the sacrificial layer is still present;
 - the removal of the intermediate carrier involves mechanical breakage of remaining areas of the sacrificial layer; and
 - the entire sacrificial layer is removed when the intermediate carrier has been removed.

2. Claims: 5-7 (in full); 8-14 (in part)

Method of producing optoelectronic semiconductor chips involving the following steps:

- growing a semiconductor layer sequence on a growth substrate;
- applying an intermediate carrier to the semiconductor layer sequence, a sacrificial layer being applied between the intermediate carrier and the semiconductor layer sequence;
- detaching the growth substrate from the semiconductor layer sequence;
wherein:
 - in the step in which the intermediate carrier is removed, part of the sacrificial layer is still present;
 - the intermediate carrier comprises a plurality of raised portions;
 - the sacrificial layer is applied directly to the intermediate carrier; and
 - directly after the step in which the intermediate carrier is applied to the semiconductor layer sequence, the raised portions are at least partially free from the sacrificial layer, viewed in plan view from the semiconductor layer sequence side.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2015/066919

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 2010132552 A1	18-11-2010	EP 2430652 A1	21-03-2012
		KR 20120065273 A	20-06-2012
		US 2010317132 A1	16-12-2010
		US 2015132873 A1	14-05-2015
		WO 2010132552 A1	18-11-2010

US 2014159065 A1	12-06-2014	NONE	

DE 102007043902 A1	19-03-2009	NONE	

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

INV. H01L33/00

ADD.

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

H01S H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	WO 2010/132552 A1 (UNIV ILLINOIS [US]; ROGERS JOHN A [US]; NUZZO RALPH [US]; KIM HOON-SIK) 18. November 2010 (2010-11-18) Absätze [0030], [0524], [0527]; Anspruch 62; Abbildungen 84,87 -----	1-4,8-14
A	US 2014/159065 A1 (HU HSIN-HUA [US] ET AL) 12. Juni 2014 (2014-06-12) Absätze [0036] - [0044]; Abbildungen 1-3 -----	1-4
A	DE 10 2007 043902 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 19. März 2009 (2009-03-19) Absätze [0020] - [0022]; Abbildungen 5-7 -----	1-4



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert,
aber nicht als besonders bedeutsam anzusehen ist"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach
dem internationalen Anmeldedatum veröffentlicht worden ist"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft er-
scheinen zu lassen, oder durch die das Veröffentlichungsdatum einer
anderen im Recherchenbericht genannten Veröffentlichung belegt werden
soll oder die aus einem anderen besonderen Grund angegeben ist (wie
ausgeführt)"O" Veröffentlichung, die sich auf eine mündliche Offenbarung,
eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach
dem beanspruchten Prioritätsdatum veröffentlicht worden ist"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum
oder dem Prioritätsdatum veröffentlicht worden ist und mit der
Anmeldung nicht kollidiert, sondern nur zum Verständnis des der
Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden
Theorie angegeben ist"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung
kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf
erfinderischer Tätigkeit beruhend betrachtet werden"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung
kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet
werden, wenn die Veröffentlichung mit einer oder mehreren
Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und
diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

17. September 2015

Absendedatum des internationalen Recherchenberichts

15/12/2015

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Claessen, Michiel

Feld Nr. II Bemerkungen zu den Ansprüchen, die sich als nicht recherchierbar erwiesen haben (Fortsetzung von Punkt 2 auf Blatt 1)

Gemäß Artikel 17(2)a) wurde aus folgenden Gründen für bestimmte Ansprüche kein internationaler Recherchenbericht erstellt:

1. ☐ Ansprüche Nr.
weil sie sich auf Gegenstände beziehen, zu deren Recherche diese Behörde nicht verpflichtet ist, nämlich

2. ☐ Ansprüche Nr.
weil sie sich auf Teile der internationalen Anmeldung beziehen, die den vorgeschriebenen Anforderungen so wenig entsprechen, dass eine sinnvolle internationale Recherche nicht durchgeführt werden kann, nämlich

3. ☐ Ansprüche Nr.
weil es sich dabei um abhängige Ansprüche handelt, die nicht entsprechend Satz 2 und 3 der Regel 6.4 a) abgefasst sind.

Feld Nr. III Bemerkungen bei mangelnder Einheitlichkeit der Erfindung (Fortsetzung von Punkt 3 auf Blatt 1)

Diese Internationale Recherchenbehörde hat festgestellt, dass diese internationale Anmeldung mehrere Erfindungen enthält:

siehe Zusatzblatt

1. ☐ Da der Anmelder alle erforderlichen zusätzlichen Recherchegebühren rechtzeitig entrichtet hat, erstreckt sich dieser internationale Recherchenbericht auf alle recherchierbaren Ansprüche.

2. ☐ Da für alle recherchierbaren Ansprüche die Recherche ohne einen Arbeitsaufwand durchgeführt werden konnte, der zusätzliche Recherchegebühr gerechtfertigt hätte, hat die Behörde nicht zur Zahlung solcher Gebühren aufgefordert.

3. ☐ Da der Anmelder nur einige der erforderlichen zusätzlichen Recherchegebühren rechtzeitig entrichtet hat, erstreckt sich dieser internationale Recherchenbericht nur auf die Ansprüche, für die Gebühren entrichtet worden sind, nämlich auf die Ansprüche Nr.

4. ☒ Der Anmelder hat die erforderlichen zusätzlichen Recherchegebühren nicht rechtzeitig entrichtet. Dieser internationale Recherchenbericht beschränkt sich daher auf die in den Ansprüchen zuerst erwähnte Erfindung; diese ist in folgenden Ansprüchen erfasst:
1-4(vollständig); 8-14(teilweise)

Bemerkungen hinsichtlich eines Widerspruchs

- ☐ Der Anmelder hat die zusätzlichen Recherchegebühren unter Widerspruch entrichtet und die gegebenenfalls erforderliche Widerspruchsgebühr gezahlt.
- ☐ Die zusätzlichen Recherchegebühren wurden vom Anmelder unter Widerspruch gezahlt, jedoch wurde die entsprechende Widerspruchsgebühr nicht innerhalb der in der Aufforderung angegebenen Frist entrichtet.
- ☐ Die Zahlung der zusätzlichen Recherchegebühren erfolgte ohne Widerspruch.

WEITERE ANGABEN

PCT/ISA/ 210

Die internationale Recherchenbehörde hat festgestellt, dass diese internationale Anmeldung mehrere (Gruppen von) Erfindungen enthält, nämlich:

1. Ansprüche: 1-4(vollständig); 8-14(teilweise)

Verfahren zur Herstellung von optoelektronischen Halbleiterchips mit den Schritten:- Aufwachsen einer Halbleiterschichtenfolge auf einem Aufwachssubstrat Anbringen eines Zwischenträgers an der Halbleiterschichtenfolge wobei eine Opferschicht zwischen dem Zwischenträger und der Halbleiterschichtenfolge angebracht wird,- Ablösen des Aufwachssubstrats von der Halbleiterschichtenfolge wobei im Schritt des Entferns des Zwischenträgers die Opferschicht noch zum Teil vorhanden ist,- das Entfernen des Zwischenträgers ein mechanisches Brechen verbliebener Bereiche der Opferschicht beinhaltet, und- die Opferschicht nach dem Entfernen des Zwischenträgers vollständig entfernt wird.

2. Ansprüche: 5-7(vollständig); 8-14(teilweise)

Verfahren zur Herstellung von optoelektronischen Halbleiterchips mit den Schritten:- Aufwachsen einer Halbleiterschichtenfolge auf einem Aufwachssubstrat Anbringen eines Zwischenträgers an der Halbleiterschichtenfolge wobei eine Opferschicht zwischen dem Zwischenträger und der Halbleiterschichtenfolge angebracht wird,- Ablösen des Aufwachssubstrats von der Halbleiterschichtenfolge , wobei im Schritt des Entferns des Zwischenträgers die Opferschicht noch zum Teil vorhanden ist, wobei- der Zwischenträger eine Vielzahl von Erhebungen aufweist,- die Opferschicht direkt auf dem Zwischenträger aufgebracht wird, und- die Erhebungen unmittelbar nach dem Schritt des Aufbringens des Zwischenträgers an der Halbleiterschichtenfolge mindestens zum Teil frei von der Opferschicht sind, in Draufsicht von der Seite der Halbleiterschichtenfolge her gesehen.

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2015/066919

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
WO 2010132552 A1	18-11-2010	EP 2430652 A1	21-03-2012
		KR 20120065273 A	20-06-2012
		US 2010317132 A1	16-12-2010
		US 2015132873 A1	14-05-2015
		WO 2010132552 A1	18-11-2010

US 2014159065 A1	12-06-2014	KEINE	

DE 102007043902 A1	19-03-2009	KEINE	
