



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년01월16일
 (11) 등록번호 10-1483534
 (24) 등록일자 2015년01월12일

(51) 국제특허분류(Int. Cl.)
G06F 13/14 (2006.01)
 (21) 출원번호 10-2013-7019869
 (22) 출원일자(국제) 2011년12월02일
 심사청구일자 2014년11월27일
 (85) 번역문제출일자 2013년07월26일
 (65) 공개번호 10-2014-0025333
 (43) 공개일자 2014년03월04일
 (86) 국제출원번호 PCT/US2011/063105
 (87) 국제공개번호 WO 2012/091852
 국제공개일자 2012년07월05일
 (30) 우선권주장
 12/979,995 2010년12월28일 미국(US)
 (56) 선행기술조사문헌
 US20070226385 A1
 전체 청구항 수 : 총 20 항

(73) 특허권자
실리콘 이미지, 인크.
 미국 캘리포니아 (우편번호: 94085) 쉘니베일 이스트 아쿠에스 애비뉴 1140
 (72) 발명자
오 규택
 미국 94085 캘리포니아주 쉘니베일 이스트 아쿠에스 애비뉴 1140
맥스웰 콘래드 에이
 미국 94085 캘리포니아주 쉘니베일 이스트 아쿠에스 애비뉴 1140
 (74) 대리인
특허법인에이아이피

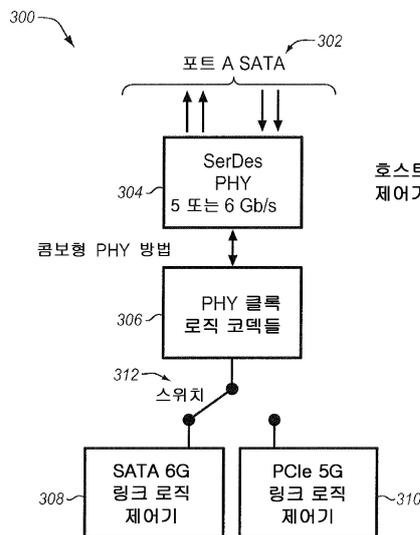
심사관 : 김세영

(54) 발명의 명칭 **구성가능한 포트형 PCIe/SATA 호스트 제어기 아키텍처를 용이하게 하기 위한 매커니즘**

(57) 요약

포트형 PCIe/SATA 호스트 제어기 아키텍처의 구성을 용이하게 하기 위한 매커니즘이 설명된다. 일 실시형태에서, 장치는 PCIe 포트들과 SATA 포트들로서 이용될 복수의 PHY들, 및 PCIe 포트들인 것과 SATA 포트들인 것 사이에서 복수의 PHY들 중의 하나 이상의 PHY들의 스와핑을 용이하게 하기 위한 로직을 포함한다.

대표도 - 도3a



특허청구의 범위

청구항 1

PCIe (Peripheral Component Interconnect Express) 포트들 및 SATA (Serial Advanced Technology Attachment) 포트들로서 이용되는 복수의 PHY들;

장치에 전력이 인가되기 전에 스트래핑되는(strapped) 적어도 하나의 핀; 및

상기 적어도 하나의 핀의 스트래핑에 기초하여, 상기 PCIe 포트들인 것과 상기 SATA 포트들인 것 사이에서의 상기 복수의 PHY들 중의 하나 이상의 PHY들의 스와핑을 용이하게 하기 위한 로직부를 포함하는, 장치.

청구항 2

제 1 항에 있어서,

PCIe 포트와 SATA 포트 사이의 스와핑을 용이하게 하기 위해 상기 로직부를 트리거하기 위한 단일 스위치를 더 포함하는, 장치.

청구항 3

제 1 항에 있어서,

상기 PCIe 포트와 상기 SATA 포트 사이의 스와핑을 용이하게 하기 위해 상기 로직부를 트리거하기 위한 다수의 스위치들을 더 포함하는, 장치.

청구항 4

제 1 항에 있어서,

상기 복수의 PHY들은 1 개의 PCIe 포트와 15 개의 SATA 포트들의 조합을 갖는 16 개의 PHY들을 포함하는, 장치.

청구항 5

제 1 항에 있어서,

상기 복수의 PHY들은 2 개의 PCIe 포트들과 14 개의 SATA 포트들의 조합을 갖는 16 개의 PHY들을 포함하는, 장치.

청구항 6

제 1 항에 있어서,

상기 복수의 PHY들은 4 개의 PCIe 포트들과 12 개의 SATA 포트들의 조합을 갖는 16 개의 PHY들을 포함하는, 장치.

청구항 7

제 1 항에 있어서,

상기 복수의 PHY들은 8 개의 PCIe 포트들과 8 개의 SATA 포트들의 조합을 갖는 16 개의 PHY들을 포함하는, 장치.

청구항 8

집적 회로를 포함하는 시스템으로서,

상기 집적 회로는,

PCIe (Peripheral Component Interconnect Express) 포트들 및 SATA (Serial Advanced Technology Attachment) 포트들로서 이용되는 복수의 PHY들;

상기 집적 회로에 전력이 인가되기 전에 스트래핑되는 적어도 하나의 핀; 및

상기 적어도 하나의 핀의 스트래핑에 기초하여, 상기 PCIe 포트들인 것과 상기 SATA 포트들인 것 사이에서의 상기 복수의 PHY들 중의 하나 이상의 PHY들의 스와핑을 용이하게 하기 위한 로직부를 갖는, 시스템.

청구항 9

제 8 항에 있어서,

PCIe 포트와 SATA 포트 사이의 스와핑을 용이하게 하기 위해 상기 로직부를 트리거하기 위한 단일 스위치를 더 포함하는, 시스템.

청구항 10

제 8 항에 있어서,

상기 PCIe 포트와 상기 SATA 포트 사이의 스와핑을 용이하게 하기 위해 상기 로직부를 트리거하기 위한 다수의 스위치들을 더 포함하는, 시스템.

청구항 11

제 8 항에 있어서,

상기 복수의 PHY들은 1 개의 PCIe 포트와 15 개의 SATA 포트들의 조합을 갖는 16 개의 PHY들을 포함하는, 시스템.

청구항 12

제 8 항에 있어서,

상기 복수의 PHY들은 2 개의 PCIe 포트들과 14 개의 SATA 포트들의 조합을 갖는 16 개의 PHY들을 포함하는, 시스템.

청구항 13

제 8 항에 있어서,

상기 복수의 PHY들은 4 개의 PCIe 포트들과 12 개의 SATA 포트들의 조합을 갖는 16 개의 PHY들을 포함하는, 시스템.

청구항 14

제 8 항에 있어서,

상기 복수의 PHY들은 8 개의 PCIe 포트들과 8 개의 SATA 포트들의 조합을 갖는 16 개의 PHY들을 포함하는, 시스템.

청구항 15

PCIe (Peripheral Component Interconnect Express) 포트들 및 SATA (Serial Advanced Technology Attachment) 포트들로서 이용되는 복수의 PHY들을 식별하는 단계;

전력이 인가되기 전에 적어도 하나의 핀을 스트래핑하는 단계; 및

상기 적어도 하나의 핀의 스트래핑에 기초하여, 상기 PCIe 포트들인 것과 상기 SATA 포트들인 것 사이에서 상기 복수의 PHY들 중의 하나 이상의 PHY들을 스와핑하는 단계를 포함하는, 방법.

청구항 16

제 15 항에 있어서,

단일 스위치를 이용하여 PCIe 포트와 SATA 포트 사이에 스와핑하는 단계를 더 포함하는, 방법.

청구항 17

제 15 항에 있어서,

다수의 스위치들을 이용하여 상기 PCIe 포트와 상기 SATA 포트 사이에 스와핑하는 단계를 더 포함하는, 방법.

청구항 18

제 15 항에 있어서,

상기 복수의 PHY들은 1 개의 PCIe 포트와 15 개의 SATA 포트들의 조합을 갖는 16 개의 PHY들을 포함하는, 방법.

청구항 19

제 15 항에 있어서,

상기 복수의 PHY들은 2 개의 PCIe 포트들과 14 개의 SATA 포트들의 조합을 갖는 16 개의 PHY들을 포함하는, 방법.

청구항 20

제 15 항에 있어서,

상기 복수의 PHY들은 4 개의 PCIe 포트들과 12 개의 SATA 포트들의 조합을 갖는 16 개의 PHY들을 포함하고, 상기 복수의 PHY들은 8 개의 PCIe 포트들과 8 개의 SATA 포트들의 조합을 갖는 16 개의 PHY들을 포함하는, 방법

명세서

기술분야

[0001]

본 발명의 실시형태들은 일반적으로 네트워크 분야에 관한 것으로, 좀더 구체적으로, 구성가능한 포트형 PCIe (Peripheral Component Interconnect Express)/SATA (Serial Advanced Technology Attachment) 호스트 제어기 아키텍처를 용이하게 하기 위한 매커니즘에 관한 것이다.

배경기술

[0002]

네트워크는 다수의 개인용 전자 디바이스들의 상호접속부를 포함할 수도 있다. 다양한 디바이스들은 데이터를 공유하며, 편리함을 증가시키고, 각각의 요소를 보다 충분히 사용하기 위해 함께 네트워킹될 수도 있다. 예를 들어, "SATA" 또는 "직렬 ATA" (Serial Advanced Technology Attachment) 는 호스트 버스 어댑터들을 디스크 드라이브들, 광 드라이브들, 솔리드 스테이트 드라이브들과 같은 다른 디바이스들에 접속하기 위한 잘 알려진 버스 인터페이스이다. SATA 는 컴퓨터 마더보드들에 널리 이용된다. 유사하게, "PCIe" (Peripheral Component Interconnect Express) 는 마더보드에 장착된 주변기기들과 애드-인 기판 (add-in board) 들을 링크하기 위해 컴퓨터 마더보드들에서 이용되는 컴퓨터 확장 버스를 지칭한다. 그러나, 오늘날의 호스트 제어기들은 호스트 제어기들의 고정 포트 설계들이라는 면에서 융통성이 있지 않고 각각의 작은 (niche) 세그먼트에 대해 상이한 제어기를 필요로 하고, 결과적으로, 예를 들어, 상이한 웹 서비스들에 대한 다양한 유형들의 저장 서버들의 배치를 요구한다. 또한, 예를 들어, 일반적인 종래의 엔터프라이즈 제어기는 SAS (serial attached Small Computer System Interface ("SCSI")) 와 프로토콜, 배터리 백업 메모리, 메모리 ECC (memory error correcting-code ("ECC")), 및 제어기 리던던시 등과 같은 추가적인 컴포넌트들을 요구할 수도 있으며, 이는 엔터프라이즈 제어기가 일반적인 용도에서 약 7 와트 또는 그 이상을 소모하고, 냉각을 위해 히트 싱크들, 팬들 등을 필요로 할 것을 초래할 수도 있다.

발명의 내용

과제의 해결 수단

[0003]

포트형 PCIe/SATA 호스트 제어기 아키텍처의 구성을 용이하게 하기 위한 매커니즘이 설명된다.

[0004]

일 실시형태에서, 장치는 PCIe 포트들과 SATA 포트들로서 이용될 복수의 PHY들, 및 복수의 PHY들 중의 하나 이상의 PHY들의 PCIe 포트들인 것과 SATA 포트들인 것의 사이에서의 스와핑 (swapping) 을 용이하게 하기 위한 로

직부를 포함한다.

[0005] 일 실시형태에서, 시스템은 PCIe 포트들과 SATA 포트들로서 이용될 복수의 PHY들을 포함하는 집적 회로, 및 복수의 PHY들 중의 하나 이상의 PHY들의 PCIe 포트들인 것과 SATA 포트들인 것의 사이에서의 스와핑을 용이하게 하기 위한 로직부를 포함한다.

[0006] 일 실시형태에서, 방법은 PCIe 포트들과 SATA 포트들로서 이용될 복수의 PHY들을 식별하는 단계, 및 복수의 PHY들 중의 하나 이상의 PHY들을 PCIe 포트들인 것과 SATA 포트들인 것의 사이에서 스와핑하는 단계를 포함한다.

도면의 간단한 설명

[0007] 본 발명의 실시형태들은 유사한 도면 부호들이 유사한 요소들을 지칭하는 첨부되는 도면들의 도면들에서, 예로서 예시되지 제한으로서 예시되지는 않는다.

도 1 은 본 발명의 일 실시형태에 따른 구성가능한 PCIe 대 SATA 호스트 제어기 아키텍처를 도시하며;

도 2a 는 본 발명의 일 실시형태에 따른 도 1 의 16 포트 PCIe/SATA 호스트 제어기의 1:15 PCIe 대 SATA 포트 구성 설정을 도시하며;

도 2b 는 본 발명의 일 실시형태에 따른 도 1 의 16 포트 PCIe/SATA 호스트 제어기의 2:14 PCIe 대 SATA 포트 구성 설정을 도시하며;

도 2c 는 본 발명의 일 실시형태에 따른 도 1 의 16 포트 PCIe/SATA 호스트 제어기의 4:12 PCIe 대 SATA 포트 구성 설정을 도시하며;

도 2d 는 본 발명의 일 실시형태에 따른 도 1 의 16 포트 PCIe/SATA 호스트 제어기의 8:8 PCIe 대 SATA 포트 구성 설정을 도시하며;

도 3a 는 본 발명의 일 실시형태에 따른 PCIe 대 SATA 호스트 제어기에 PCIe 포트 또는 SATA 포트를 구성하기 위한 콤보형 포트 스위치 호스트 제어기 구성 매커니즘을 도시하며;

도 3b 는 본 발명의 일 실시형태에 따른 PCIe 대 SATA 호스트 제어기에 PCIe 포트 또는 SATA 포트를 구성하기 위한 분리형 포트 스위치 호스트 제어기 구성 매커니즘을 도시하며;

도 4 는 본 발명의 일 실시형태에 따른 PCIe/SATA 호스트 제어기의 맞춤 구성을 용이하게 하기 위한 포트 스위치 매커니즘들을 이용하는 방법을 도시하고;

도 5 는 본 발명의 일 실시형태에 따른 컴퓨터 시스템을 도시한다.

발명을 실시하기 위한 구체적인 내용

[0008] 본 발명의 실시형태들은 일반적으로 구성가능한 포트형 PCIe/SATA 호스트 제어기 아키텍처를 용이하게 하는 것에 대한 것이다.

[0009] 본원에 이용된 바와 같은, "네트워크" 또는 "통신 네트워크" 는 디바이스들 사이에 (음악, 오디오/비디오, 게임, 사진들, 및 다른 것들을 포함하는) 디지털 미디어 콘텐츠를 전달하기 위한 상호접속 네트워크를 의미한다. 네트워크는 가정에서의 네트워크와 같은 개인용 엔터테인먼트 네트워크, 비즈니스 설정에서의 네트워크, 또는 디바이스들 및/또는 컴포넌트들의 임의의 다른 네트워크를 포함할 수도 있다. 네트워크에서, 소정의 네트워크 디바이스들은 디지털 텔레비전 튜너, 케이블 셋 톱 박스, 비디오 저장 서버, 및 다른 소스 디바이스와 같은 미디어 콘텐츠의 소스일 수도 있다. 디지털 텔레비전, 홈 시어터 시스템, 오디오 시스템, 게임 시스템, 또는 브라우저에서 인터넷을 통한 프리젠틱, 및 다른 디바이스들과 같은 다른 디바이스들은 미디어 콘텐츠를 디스플레이하거나 이용할 수도 있다. 또한, 소정의 디바이스들은 비디오 및 오디오 저장 서버들과 같은 미디어 콘텐츠를 저장하거나 전송하고자 하는 것일 수도 있다. 소정의 디바이스들은 다수의 미디어 기능들을 수행할 수도 있다. 일부 실시형태들에서, 네트워크 디바이스들은 단일 근거리 통신망 내에 함께 위치될 수도 있다 (co-locate). 다른 실시형태들에서, 네트워크 디바이스들은 근거리 통신망들 사이의 터널링을 통해서와 같이, 다수의 네트워크 세그먼트들에 걸칠 수도 있다. 네트워크는 다수의 데이터 인코딩 및 암호 프로세스들을 포함할 수도 있다.

[0010] 실시형태들은, 선택된 부분들이 SATA 또는 PCIe 로 이용되도록 구성될 수 있고 따라서 단일 칩 상에 다양한 단일 및 다중 레인 PCIe 구성들을 가능하게 하는 단일 칩 맞춤형 SATA/PCIe 제어기 ("호스트 제어기") 와 같은

구성가능하거나 맞춤가능한 SATA/PCIe 제어기를 용이하게 하기 위한 매커니즘을 제공한다. 이러한 방식으로, 사용자 (예를 들어, 시스템 설계자, 시스템 관리자 등) 는 고정된 구성들의 세트 중 하나를 선택하여 목표 컴퓨터 시스템의 성능 및/또는 접속성 요구사항들에 부합시킬 수도 있다. 칩은 주로 반도체 디바이스들로 이루어지는 전자 회로를 포함하는 집적 회로 (integrated circuit; IC) 를 지칭한다. 호스트 제어기는, 일 실시형태에서, 전력이 그 부분에 인가되기 전에 핀들을 스트랩핑하여 (strap) 구성되는 4 개의 모드들을 지원한다. 호스트 제어기는 SATA 또는 PCIe 일 수 있는 7 개의 포트들을 갖는 16 개의 고속 포트들을 포함할 수도 있다. 이러한 독특한 융통성은 서버 아키텍처들의 훨씬 넓은 스펙트럼에 걸쳐 이러한 단일 제어기 기반 서버 아키텍처를 배치하는 것을 허용한다. 또한, 회사들은 단일 드라이버 및 단일 접촉 점을 유지하면서 상이한 요구들에 대한 최적화된 저장 솔루션들을 배치할 수 있어, 유지 및 구성과 관련하여 기술 팀 및 운영 팀에 실제 이득들을 제공한다.

[0011] 또한, 일 실시형태에서, 이러한 간단한 SATA 호스트 제어기는 종래의 비싼 아이템들 (예를 들어, 배터리 백업 메모리), "SAS" (Serial Attached Small Computer System Interface; "Serial Attached SCSI") 를 제거함으로써 저비용 서버에 의해 이용되기에 충분한 포트들을 제공하여, 결과적으로, SATA 포트들의 개수를 증가시키면서 (예를 들어, 15 개의 SATA 포트들) 전력 소모를 상당히 감소시킨다 (예를 들어, 일반적인 사용에 있어서 종래의 7 와트에 반해 2 와트). 이러한 조합은, 예컨대, 종래의 8 포트 기업 서버 모델과 비교하는 경우 비용을 상당히 감소시킨다. 예를 들어, 일 실시형태에서, 호스트 제어기는 범위가 8 SATA 포트 "SSD" (solid-state drive) 에서 15 SATA 포트 "HDD" (hard disk drive) 에 이르는, 4 개의 상이한 성능 레벨들로 구성될 수 있는 하드 드라이브들 또는 솔리드 스테이트 드라이브들을 지원할 수 있다. 실시형태들은 7 개의 융통성 있는 포트들을 갖는 16 개의 포트들을 갖는 호스트 제어기 (예를 들어, Green 클라우드 제품들) 로 제한되지 않고, 실시형태들은 16 레인 PCIe 와 같은 다른 보다 큰 토폴로지 및 보다 작은 토폴로지도 포함하고 허용하는 것으로 고려된다.

[0012] 도 1 은 본 발명의 일 실시형태에 따른 구성가능한 PCIe 대 SATA 호스트 제어기 아키텍처 (100) 를 도시한다. 일 실시형태에서, PCIe/SATA 호스트 아키텍처 (100) 는 16 개의 포트들을 갖는 PCIe/SATA 호스트 제어기 (102) 를 포함한다. 앞서 언급한 바와 같이, 본 발명의 실시형태들은 본원에 예시된 호스트 제어기 (102) 로 제한되지 않고, 본 발명의 실시형태들은 본원에서 논의되는 토폴로지보다 작은 토폴로지 및 큰 토폴로지 양자 모두의 토폴로지들의 다른 형태들의 호스트 제어기들에 적용가능함이 주지되어야 한다. 간단함, 명료함, 및 이해의 가능성을 위해 이 문서 전반에서는 호스트 제어기 (102) 가 논의된다.

[0013] 일 실시형태에서, 동일한 칩 상에, 8 개의 PCIe 포트들 (104) 및 8 개의 SATA 포트들 (106) 의 다양한 조합들을 포함하도록 호스트 제어기 (102) 가 구성되거나 맞춤제작될 수 있다. 예를 들어, PCIe (예를 들어, PCIe 2.0) 및 SATA (예를 들어, SATA 3.0 (5G/6G)) 에 대한 물리적 계층 또는 PHY 라고 고려하면, 연관된 백엔드 로직 (backend logic) 이 직접적으로 스위칭가능하고 투명한 경우, 재이용되기에 충분히 유사하다. 각각의 기능에 대한 완전한 지원 체인은 비효율성들을 제거하면서 간단한 재이용을 제공하기 위해 다중목적 PHY 에서는 뒤쳐질 것이다. 다음의 도면들을 참조하여 더 설명될 것으로, 일 실시형태에서, 예를 들어, PCIe 백 엔드 로직 중의 일부가 이러한 우수하며, 효율적이고, 신규한 호스트 제어기 아키텍처 (100) 의 제조 시에 어떠한 PHY 도 낭비하지 않으면서 (예를 들어, 각각 15, 14, 12, 또는 8 개의 SATA 포트들을 제공하기 위해 1, 2, 4, 또는 8 개의 PCIe 포트들을 갖는) SATA 백 엔드 로직으로 스와핑될 수도 있다.

[0014] 이러한 예시된 호스트 제어기 (102) 의 실시형태에서, 15 개의 SATA 포트들 (106) 까지 제공하기 위한 융통성을 갖는다는 것은 단지 8 개의 SATA 포트들로 고정된 종래의 호스트 제어기보다 7 개 더 많은 SATA 포트들을 의미한다. 이러한 융통성은 비용 및 복잡도를 감소시키면서 이용 및 효율성 (예를 들어, 다이 (die) 효율성, 패키지 효율성) 을 최대화한다. 도 2a - 도 2d 를 참조하여 PCIe 포트 및 SATA 포트 (104, 106) 의 다양한 조합들이 제공된다.

[0015] 도 2a 는 본 발명의 일 실시형태에 따른 도 1 의 16 포트 PCIe/SATA 호스트 제어기 (102) 의 1:15 PCIe 대 SATA 포트 구성 설정 (200) 을 도시한다. 일 실시형태에서, 7 개의 PCIe 포트들이 SATA 포트들로 이용되는 것을 허용하기 위해 7 개의 PCIe 포트들을 스와핑함으로써, (도 1 에 도시된 바와 같은) 호스트 제어기 (102) 의 8 개의 PCIe 포트들은 1 포트 또는 1 레인 PCIe (202) 로 감소된다. 따라서, 구성 설정 (200) 은 15 개의 SATA 포트들 (212) 및 1 개의 PCIe 포트 (202) 를 갖는 호스트 제어기 (102) 를 제공한다.

[0016] 도 2b 는 본 발명의 일 실시형태에 따른 도 1 의 16 포트 PCIe/SATA 호스트 제어기 (102) 의 2:14 PCIe 대 SATA 포트 구성 설정 (220) 을 도시한다. 이러한 실시형태에서, 호스트 제어기 (102) 의 8 개의 PCIe 포트

들 중 6 개는 SATA 포트들로 이용되도록 스와핑된다. 이에 따라, 일 실시형태에서, 구성 설정 (220) 은 14 개의 SATA 포트들 (214) 및 2 개의 PCIe 포트들 (204) 을 갖는 호스트 제어기 (102) 를 제공한다.

[0017] 도 2c 는 본 발명의 일 실시형태에 따른 도 1 의 16 포트 PCIe/SATA 호스트 제어기 (102) 의 4:12 PCIe 대 SATA 포트 구성 설정 (230) 을 도시한다. 이러한 실시형태에서, 8 개의 PCIe 포트들은 다른 4 개의 포트들이 SATA 포트들로 이용되도록 스와핑됨으로써 4 개의 포트들로 반감된다. 이에 따라, 구성 설정 (230) 은 12 개의 SATA 포트들 (216) 및 4 개의 PCIe 포트들 (206) 을 갖는 호스트 제어기 (102) 를 도시한다.

[0018] 도 2d 는 본 발명의 일 실시형태에 따른 도 1 의 16 포트 PCIe/SATA 호스트 제어기 (102) 의 8:8 PCIe 대 SATA 포트 구성 설정 (240) 을 도시한다. 도 2a - 도 2c 의 구성 설정들 (200, 220, 230) 과 함께, 이러한 실시형태에서, 8 개의 PCIe 레인들 또는 포트들 (208) 모두가 이용되는데, 이는 SATA 포트들 (218) 의 이용을 8 개로 제한한다. 따라서, 구성 설정 (240) 은 8 개의 SATA 포트들 (218) 및 8 개의 PCIe 포트 (208) 를 갖는 호스트 제어기 (102) 를 제공한다.

[0019] 도 3a 는 본 발명의 일 실시형태에 따른 PCIe 대 SATA 호스트 제어기에 PCIe 포트 또는 SATA 포트를 구성하기 위한 콤보형 포트 스위치 호스트 제어기 구성 매커니즘 (300) 을 도시한다. 일 실시형태에서, PHY 레벨에서 포트 스위칭을 하여 호스트 제어기의 구성을 용이하게 하기 위해 콤보형 PHY 포트 스위치 호스트 제어기 구성 매커니즘 ("콤보형 PHY 매커니즘") (300) 이 제공된다. 앞서 언급한 바와 같이, 일 실시형태에서, PCIe 에 대한 PHY (예를 들어, PCIe 2.0 5Gb/s) 및 SATA 에 대한 PHY (예를 들어, SATA 3.0 6Gb/s) 는 충분히 유사하여 PHY들은 바로 스위칭가능하고 투명한 연관된 백엔드 로직과 스와핑되어 재사용될 수 있다.

[0020] 이러한 실시형태들에서, SATA 포트 (302), SATA 6Gb/s 링크 로직 제어기 (308) 및 PCIe 5Gb/s 링크 로직 제어기 (310) 양자 모두를 지원하는 단일 "SerDes" (serializer/deserializer) PHY (304) (예를 들어, SerDes PHY 5Gb/s 또는 6Gb/s), 및 PHY 클록 로직 코덱들 (306) 이 콤보형 PHY 매커니즘 (300) 에서 제공된다. PHY 클록 로직 코덱들 (306) 은 스위치 (312) 를 통해 2 개의 링크 로직 제어기들 (308, 310) 에 더 접속된다. 콤보형 PHY 매커니즘 (300) 은 단일 스위치 (312) 를 통해 단일 PHY 클록 로직 코덱들 (306) 에 접속되는 2 개의 링크 로직 제어기들 (308, 310) 의 조합을 제공한다. 일 실시형태에서, PCIe 와 SATA 사이의 스와핑은 단순히 스위치 (312) 를 터닝하여 수행될 수도 있다. 예를 들어, 스위치 (312) 가 SATA 링크 로직 제어기 (308) 로 터닝되는 경우, 적용가능한 포트는 SATA 로 전용되고, 스위치 (312) 가 PCIe 링크 로직 제어기 (310) 로 터닝되는 경우, 애플리케이션 포트는 PCIe 로 전용된다.

[0021] 도 3b 는 본 발명의 일 실시형태에 따른 PCIe 대 SATA 호스트 제어기에 PCIe 포트 또는 SATA 포트를 구성하기 위한 분리형 포트 스위치 호스트 제어기 구성 매커니즘 (350) 을 도시한다. 일 실시형태에서, PHY 레벨에서 포트 스위칭을 하여 호스트 제어기의 구성을 용이하게 하기 위해 분리형 포트 스위치 호스트 제어기 구성 매커니즘 ("스위치 PHY 매커니즘") (350) 이 제공된다. 일 실시형태에서, PCIe PHY 5Gb/s (354) 및 SATA PHY 6Gb/s (374) 에 대한 2 개의 분리된 SerDes 가, (공유되거나 분리된 입력/출력 (I/O) 일 수도 있는) PCIe 포트에 제공되고, SerDes들 각각의 PHY 클록 로직 코덱들 (356 및 376) 과 통신하는 것으로 도시된다. 2 개의 PHY 클록 로직 코덱들 (356, 376) 은 PCI 5Gb/s 링크 로직 제어기 (358) 와 SATA 6Gb/s 링크 로직 제어기 (378), 및 나아가 PHY 클록 로직 코덱들의 각각의 스위치들 (360 및 380) 과 접속되는 것으로 도시된다.

[0022] 예시된 실시형태들에서, PCIe 포트 (352) 는 애플리케이션 스위치 (380) 를 턴 온하여 SATA 링크 로직 제어기 (378) 를 PHY 클록 로직 코덱들 (376) 및 SerDes SATA PHY (374) 와 접속해 SATA 포트로서 이용되는 것으로 도시되며, 반면 다른 스위치 (360) 는 턴 오프되는 것으로 도시되고 따라서 포트 (352) 가 PCIe 포트 (358) 로서 이용되는 것을 허용하지 않는다. 일 실시형태에서, 스위치 (360) 가 턴 온되는 경우, 포트 (352) 는 PCIe 포트로서 이용될 수 있으며, 반면 다른 스위치 (380) 는 턴 오프되어 포트 (352) 를 SATA 포트로서 이용하는 것을 중지할 수도 있다.

[0023] 도 4 는 본 발명의 일 실시형태에 따른 PCIe/SATA 호스트 제어기의 맞춤 구성을 용이하게 하기 위한 포트 스위치 매커니즘들을 이용하는 방법 (400) 을 도시한다. 방법 (400) 은 블록 405 에서 PCIe 및 SATA 에 대해 충분히 유사한 PHY들을 식별하는 것으로 시작한다. 일 실시형태에서, 블록 410 에서의 콤보형 PHY 매커니즘의 경우에, 블록 415 에서 단일 스위치를 통해 SATA 링크 로직 제어기 및 PCIe 링크 로직 제어기에 단일 PHY 클록 로직 코덱들이 접속된다. 블록 420 에서 각각 PCIe 링크 로직 제어기 및 SATA 링크 로직 제어기로 스위치를 터닝함으로써 PCIe 포트인 것과 SATA 포트인 것 사이에서 포트를 스와핑한다. 따라서, 블록 440 에서 구성된 호스트 제어기가 획득된다.

- [0024] 다른 실시형태에서, 블록 425 에서의 분리형 PHY 매커니즘의 경우에, 블록 430 에서, 2 개의 PHY 클록 로직 코덱들이 사용되고, PHY 클록 로직 코덱들 중의 하나의 PHY 클록 로직 코덱은 PCIe 링크 로직 제어기와 접속되고 다른 PHY 클록 로직 코덱은 SATA 링크 로직 제어기와 접속된다. 블록 435 에서, PHY 클록 로직 코덱들은 PCIe 포트인 것과 SATA 포트인 것 사이에서 포트를 스위칭하는데 이용되는 한 쌍의 스위치들과 더 접속된다. 예를 들어, SATA 측 스위치가 오프이고 PCIe 측 스위치가 온인 경우, 포트는 PCIe 포트 또는 라인으로서 거동하는 것으로 변환된다. 역으로, SATA 측 스위치가 온이고 PCIe 측 스위치가 오프인 경우, 포트는 SATA 포트로서 작동한다. 따라서, 블록 440 에서 구성된 호스트 제어기가 획득된다.
- [0025] 도 5 는 본 발명의 실시형태들이 구현될 수도 있는 컴퓨터 시스템 (500) 을 도시한다. 컴퓨터 시스템 (500) 은 정보를 통신하기 위한 시스템 버스 (520), 및 정보를 프로세싱하기 위한, 버스 (520) 에 커플링된 프로세서 (510) 를 포함한다. 일 실시형태에 따라, 프로세서 (510) 는 다수의 마이크로프로세서들 중의 하나의 마이크로프로세서를 이용하여 구현된다. 그렇기는 하지만, 다른 프로세서들이 이용될 수도 있음을 당업자는 이해할 것이다.
- [0026] 컴퓨터 시스템 (500) 은 프로세서 (510) 에 의해 실행될 정보 및 명령들을 저장하기 위해 버스 (520) 에 커플링된, RAM (random access memory) 또는 (본원에서 메인 메모리로 지칭되는) 다른 동적 저장 디바이스 (525) 를 더 포함한다. 메인 메모리 (525) 는 또한 프로세서 (510) 에 의한 명령들의 실행 중에 일시적 변수들 또는 다른 중간 정보를 저장하는데 이용될 수도 있다. 컴퓨터 시스템 (500) 은 또한 프로세서 (510) 에 의해 이용되는 정적 정보 및 명령들을 저장하기 위해 버스 (520) 에 커플링된, ROM (read only memory) 및/또는 다른 정적 저장 디바이스 (526) 를 포함할 수도 있다.
- [0027] 자기 디스크나 광 디디스크와 같은 데이터 저장 디바이스 (525) 및 이것의 대응하는 드라이브가 또한 정보 및 명령들을 저장하기 위해 컴퓨터 시스템 (500) 에 커플링될 수도 있다. 컴퓨터 시스템 (500) 은 또한 I/O 인터페이스 (530) 를 통해 제 2 입력/출력 (I/O) 버스 (550) 에 커플링될 수 있다. 디스플레이 디바이스 (524), 입력 디바이스 (예를 들어, 영숫자 입력 디바이스 (523) 및/또는 커서 제어 디바이스 (522)) 를 포함하여, 복수의 I/O 디바이스들이 I/O 버스 (550) 에 커플링될 수도 있다. 통신 디바이스 (521) 는 외부 데이터 네트워크를 통해 다른 컴퓨터들 (서버들 또는 클라이언트들) 에 액세스하기 위한 것이다. 통신 디바이스 (521) 는 모뎀, 네트워크 인터페이스 카드, 또는 이더넷, 토큰링이나, 다른 유형들의 네트워크들에 커플링하는데 이용되는 것과 같은 다른 공지의 인터페이스 디바이스를 포함할 수도 있다. 컴퓨터 시스템 (500) 은 네트워크 컴퓨터 디바이스, 모바일 전화, PDA (personal data assistant) 등을 포함하나, 이로 제한되지는 않는다.
- [0028] 컴퓨터 시스템 (500) 은 클라이언트/서버 네트워크 시스템에 상호접속될 수도 있다. 네트워크는, LAN (Local Area Network), WAN (Wide Area Network), MAN (Metropolitan Area Network), 인트라넷, 인터넷 (Internet) 등을 포함할 수도 있다. 이 문서의 다른 곳에서 언급한 바와 같이, 임의의 개수의 네트워크 디바이스들이 포트 증배기와 접속되는 것으로 다단접속되어 (cascade) 네트워크 내에 네트워크 매커니즘을 형성할 수 있다. 네트워크를 통해 접속된 임의의 개수의 디바이스들이 있을 수도 있는 것으로 고려된다. 디바이스는, 이 문서에서 설명된 프로토콜들을 포함하여 다수의 표준 프로토콜 및 비표준 프로토콜을 통해 네트워크 시스템 내의 다른 디바이스들에, 스트리밍 미디어 데이터와 같은 데이터 스트림들을 전송할 수도 있다.
- [0029] 위의 설명에서, 설명을 위한 목적으로, 본 발명의 완전한 이해를 제공하기 위해 다양한 특정 세부사항들이 제시된다. 그러나, 본 발명은 이러한 특정 세부사항들 중의 일부 세부 사항들이 없이도 실시될 수 있음이 당업자에게 자명할 것이다. 다른 예시들에서, 공지의 구조들 및 디바이스들은 블록 다이어그램 형태로 도시된다. 도시된 컴포넌트들 사이에 중간 구조가 있을 수도 있다. 본원에 설명되거나 예시된 컴포넌트들은 예시되거나 설명되지 않은 추가적인 입력들 또는 출력들을 가질 수도 있다.
- [0030] 본 발명의 다양한 실시형태들은 다양한 프로세스들을 포함할 수도 있다. 이러한 프로세스들은 하드웨어 컴포넌트들로 수행될 수도 있거나, 범용 프로세서나 특수 목적용 프로세서 또는 명령들로 프로그래밍된 로직 회로들로 하여금 프로세스들을 수행하도록 하는데 이용될 수도 있는 컴퓨터 프로그램 또는 기계 실행가능 명령들로 구현될 수도 있다. 대안으로, 프로세스들은 하드웨어와 소프트웨어의 조합으로 수행될 수도 있다.
- [0031] 포트 증배기 강화 매커니즘의 실시형태 내에 또는 이와 연관되어 보여진 것들과 같은, 이 문서 전반에 걸쳐 설명된 하나 이상의 모듈들, 컴포넌트들, 또는 요소들은 하드웨어, 소프트웨어, 및/또는 이들의 조합을 포함할 수도 있다. 모듈이 소프트웨어를 포함하는 경우, 기계/전자 디바이스/하드웨어에 의한 제조품을 통해 소프트

웨어 데이터, 명령들, 및/또는 구성이 제공될 수도 있다. 제조품은 명령들, 데이터 등을 제공하기 위한 콘텐츠를 갖는, 기계 액세스가능/관독가능 매체를 포함할 수도 있다. 콘텐츠는 전자디바이스, 예를 들어, 본원에 설명된 바와 같은 파일러 (filer), 디스크, 또는 디스크 제어기로 하여금 설명된 다양한 동작들 또는 실행들을 수행하도록 할 수도 있다.

[0032]

본 발명의 다양한 실시형태들의 부분들은 컴퓨터 프로그램 제품으로 제공될 수도 있으며, 컴퓨터 프로그램 제품은 컴퓨터 프로그램 명령들이 저장된 컴퓨터 관독가능 매체를 포함할 수도 있으며, 컴퓨터 프로그램 명령들은 컴퓨터 (또는 다른 전자 디바이스들)가 본 발명의 실시형태들에 따라 프로세스를 수행하도록 프로그래밍하는 데 이용될 수도 있다. 기계 관독가능 매체는 플로피 디스켓들, 광 디스크들, CD-ROM (compact disk read-only memory), 및 광자기 디스크들, ROM (read-only memory), RAM (random access memory), EPROM (erasable programmable read-only memory), EEPROM, 자기 카드나 광 카드, 플래시 메모리, 또는 전자 명령들을 저장하기에 적합한 다른 유형의 매체들/기계 관독가능 매체를 포함할 수도 있으나, 이로 제한되지는 않는다. 더불어, 본 발명은 또한 컴퓨터 프로그램 제품으로서 다운로드될 수도 있는데, 여기서 프로그램은 원격 컴퓨터로부터 요청 컴퓨터로 전송될 수도 있다.

[0033]

방법들 중 많은 방법들이 방법들의 가장 기본 형태로 설명되나, 본 발명의 기본 범위로부터 벗어나지 않으면서, 방법들 중 임의의 방법으로부터 프로세스들이 추가되거나 삭제될 수 있고, 설명된 메시지들 중 임의의 메시지로부터 정보가 추가되거나 빠질 수 있다. 많은 다른 변경들 및 각색들이 이루어질 수 있음이 당업자들에게 자명할 것이다. 특정 실시형태들은 본 발명을 제한하기 위해 제공되는 것이 아니라 본 발명을 예시하기 위해 제공된다. 본 발명의 실시형태들의 범위는 위에서 제공된 특정 예들에 의해 결정되지 않고 오직 하기의 청구항들에 의해 결정된다.

[0034]

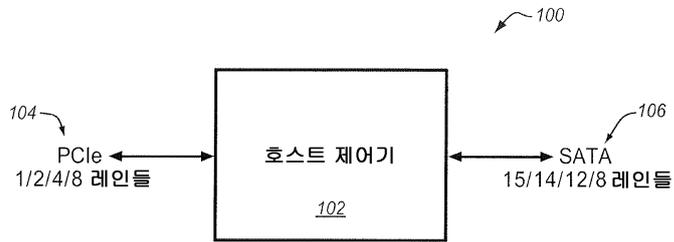
요소 "A"가 요소 "B"에 또는 그와 커플링된다고 언급되는 경우, 요소 A는 요소 B에 직접적으로 커플링되거나, 예를 들어, 요소 C를 통해 간접적으로 커플링될 수도 있다. 컴포넌트, 특징, 구조, 프로세스, 또는 특성 A가 컴포넌트, 특징, 구조, 프로세스, 또는 특성 B를 "야기한다"고 명세서 또는 청구항들이 언급하는 경우, "A"가 "B"의 적어도 부분적 원인이기는 하나 "B"를 야기하는 것을 보조하는 적어도 하나의 다른 컴포넌트, 특징, 구조, 프로세스, 또는 특성이 또한 있을 수도 있음을 의미한다. 컴포넌트, 특징, 구조, 프로세스, 또는 특성이 포함 "될 수도 있다", "될 것이다", 또는 "될 수 있다"고 명세서가 나타내는 경우, 그 특정 컴포넌트, 특징, 구조, 프로세스, 또는 특성은 포함될 것이 요구되지는 않는다. 명세서 및 청구항이 "하나 (a)" 또는 "한 (an)" 요소를 지칭하는 경우, 이는 설명된 요소들 중 오직 하나의 요소만이 있음을 의미하지는 않는다.

[0035]

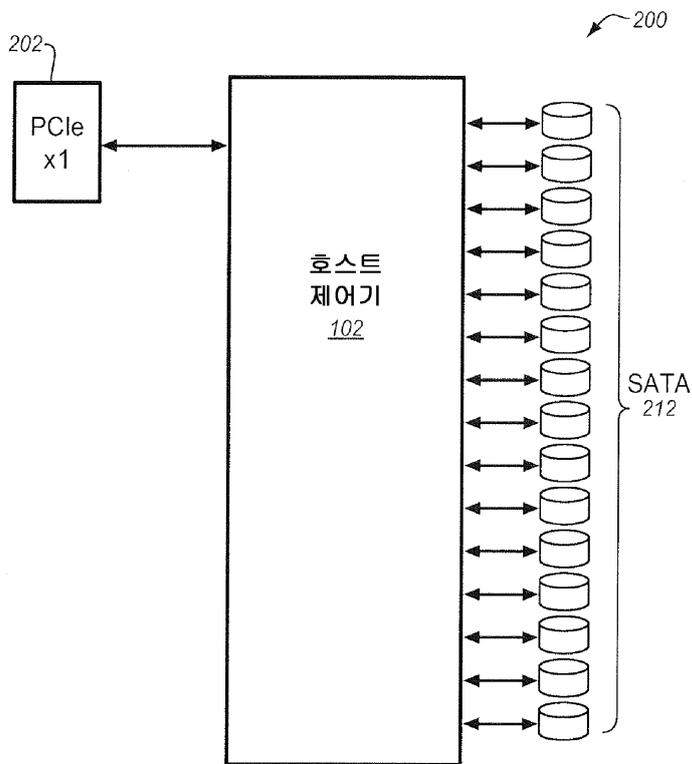
실시형태는 본 발명의 구현 또는 예이다. 명세서에서 "실시형태", "일 실시형태", "일부 실시형태들", 또는 "다른 실시형태들"에 대한 지칭은 실시형태들과 관련하여 설명된 특정 특징, 구조, 또는 특성이 적어도 일부 실시형태들에 포함되나, 반드시 모든 실시형태들에 포함되는 것은 아님을 의미한다. 다양한 모습의 "실시형태", "일 실시형태", 또는 일부 실시형태들"은 반드시 모두 동일한 실시형태들을 지칭하지는 않는다. 본 발명의 예시적인 실시형태들의 앞서 언급한 설명에서, 본 개시물을 간소화하고 다양한 발명의 양상들 중의 하나 이상의 양상들의 이해를 도울 목적으로, 다양한 특징들이 종종 단일 실시형태, 도면, 또는 설명으로 함께 그룹화될 수도 있음이 이해될 것이다. 그러나, 이 개시물의 방법은 청구된 발명이 각각의 청구항에서 명시적으로 인용된 것보다 많은 특징들을 요구한다는 의도를 반영하는 것으로 해석되지는 않는다. 오히려, 다음의 청구항들이 반영하는 바와 같이, 발명의 양상들은 하나의 앞서 언급된 개시된 실시형태의 모든 특징들 내에 있다. 따라서, 청구항들은 이로써 이러한 설명 내에 명확히 포함되며, 각각의 청구항은 본 발명의 별개의 실시형태로서 그 자체에 의거한다.

도면

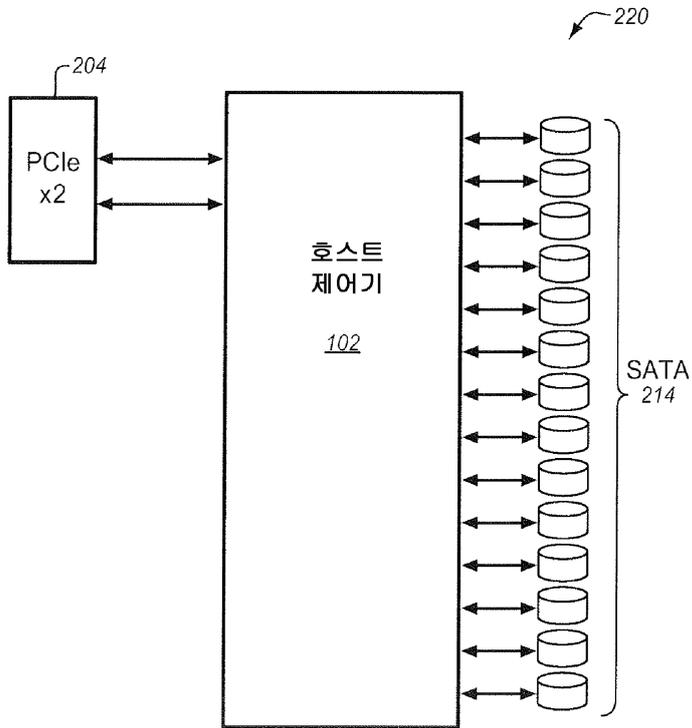
도면1



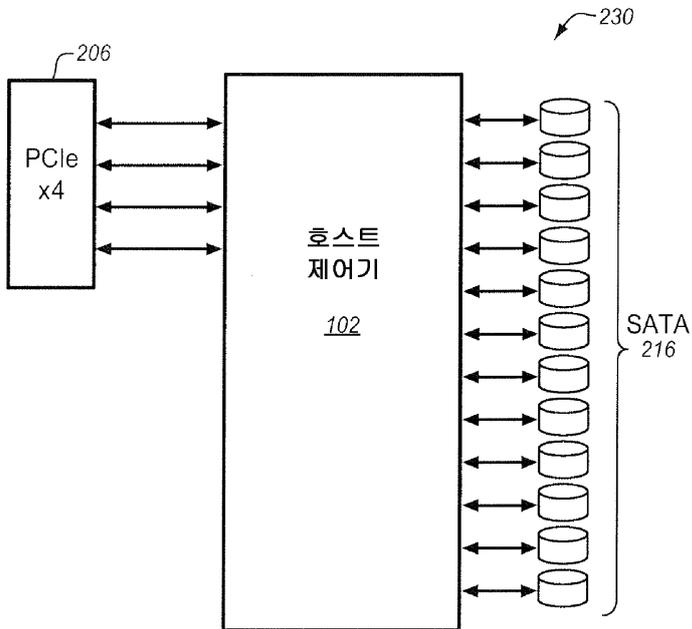
도면2a



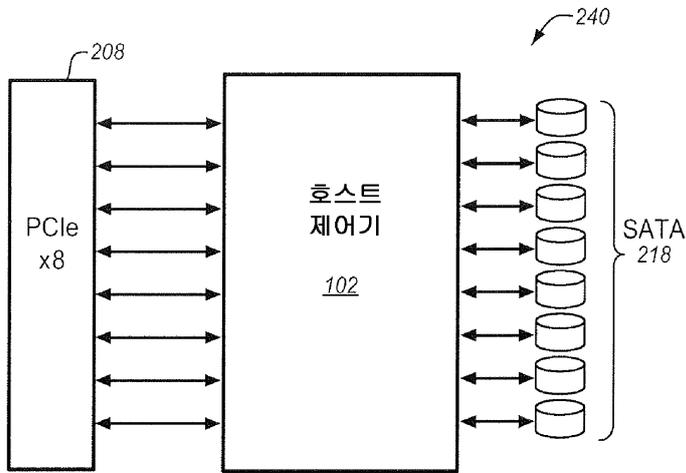
도면2b



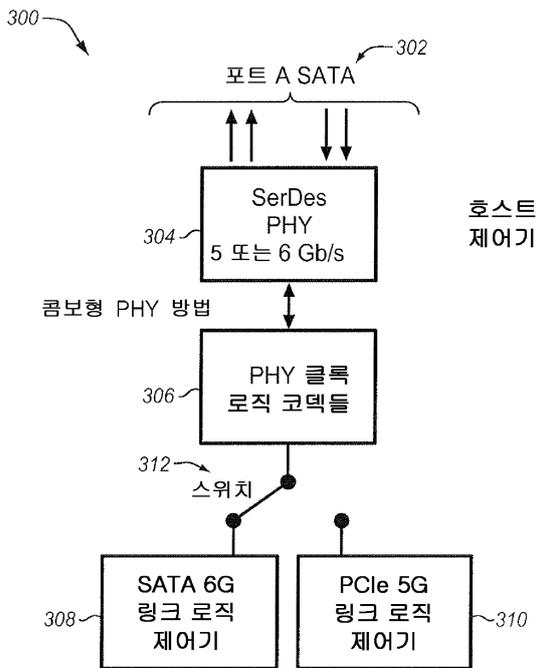
도면2c



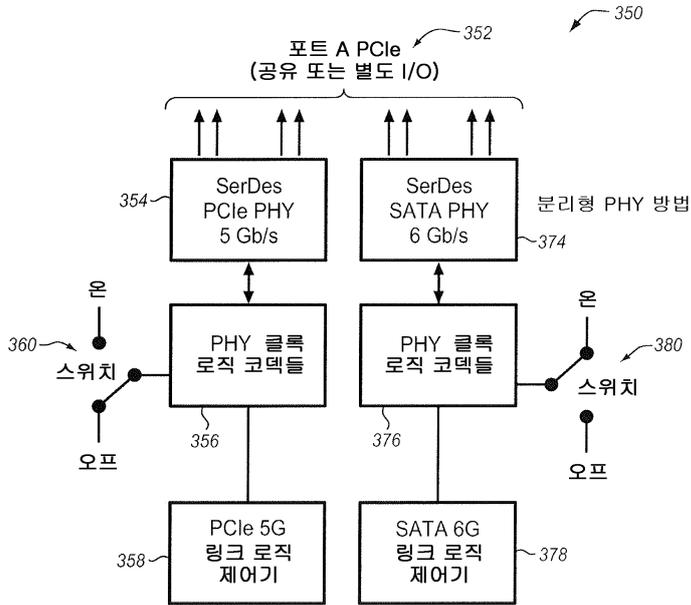
도면2d



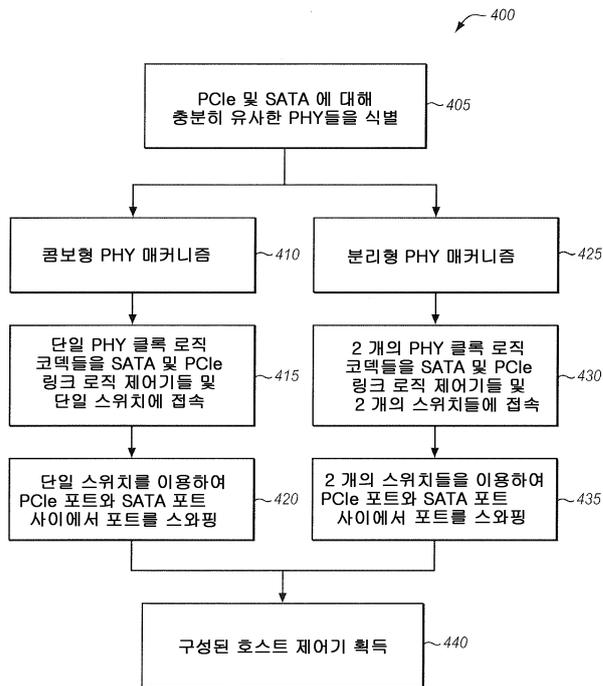
도면3a



도면3b



도면4



도면5

